(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/76

(45) 공고일자 2004년03월09일
(11) 등록번호 10-0421294
(24) 등록일자 2004년02월23일

(21) 출원번호 10-2001-0083549
(22) 출원일자 2001년12월22일

(65) 공개번호 10-2003-0053369
(43) 공개일자 2003년06월28일

(73) 특허권자 동부전자 주식회사
서울 강남구 역삼1동 838

(72) 발명자 김인수
경기도수원시팔달구영통동955-1황골마을주공아파트1단지150-703

(74) 대리인 김영철
김 순 영
이준서

심사관 : 신창우

(54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법을 제공한다. 본 발명은 반도체 기판의 필드영역에 트렌치를 건식 식각공정에 의해 형성시키고 상기 트렌치 내의 노출된 반도체 기판의 표면을 레이저 어닐링에 의해 처리시키고, 상기 트렌치 내에 절연막을 매립시킨다.
따라서, 본 발명은 상기 트렌치 내의 반도체 기판의 식각 손상부를 제거시키고 상기 트렌치 내의 잔존하는 이물질을 제거시킨다. 그 결과, 상기 트렌치를 빈 공간인 보이드의 생성을 유발시키지 않고 절연막으로 매립할 수 있다. 또한, 상기 트렌치 내의 절연막의 절연 특성이 향상되고 누설 전류가 감소된다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 샐로우 트렌치 아이솔레이션층공정에 있어서, 트렌치의 실리콘 벽면의 식각 손상을 나타낸 단면 구조도.
도 2 내지 도 5는 본 발명에 의한 반도체소자의 제조방법을 나타낸 단면 공정도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 더욱 상세하게는 샐로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI)의 절연 특성을 향상시키도록 한 반도체소자의 제조방법에 관한 것이다.
일반적으로, 반도체소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사용되어 왔다. 이들 기술들은 공정이 복잡하고 실리콘산화막에 의한 채널 영역의 잠식(Bird's Beak)을 근본적으로 감소시킬 수 없어 반도체소자의 고집적화에 한계가 있으며 소자 형성부분과의 단차가 심하게 발생하여 이를 후속 공정에서 평탄화할 필요가 있다.
최근에 들어, 이를 개선한 샐로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정이 도입되기 시작하였다. 상기 샐로우 트렌치 아이솔레이션 공정은 종래의 아이솔레이션 기술에 비하여 소자 분리 특성이 우수하고 점유 면적도 작기 때문에 반도체소자의 고집적화에 매우 적합하다.
상기 STI공정은 반도체기판의 일부 영역에 트렌치를 형성하고 갭필링(Gap Filling) 공정에 의해 상기 트렌치 내에 산화막을 갭필링시킨 후 상기 산화막을 화학기계연마(Chemical Mechanical Polishing: CMP)공정으로 연마하여 트렌치 내의 산화막과 반도체기판을 평탄화시킨다. 따라서, 반도체기판의 격리영역에 필드산화막이 형성된다.
상기 트렌치를 갭필링하는 산화막으로는 갭필링 특성과 평탄화 특성이 양호한 O_3-TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition: APCVD) 산화막, 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 산화막이 주로 사용되어 오고 있다.
종래의 샐로우 트렌치 아이솔레이션 공정에서는 도 1에 도시된 바와 같이, 실리콘 기판과 같은 반도체 기판(10)의 표면 전체에 희생막(10)으로서 산화막을 형성시키고, 그 위에 화학기계연마공정에서의 식각정지막(13)을 적층시키고, 그 위에 트렌치를 형성하기 위한 하드 마스킹층(도시 안됨), 예를 들어 TEOS 산화막을 적층시키고, 트렌치(16)에 해당하는 개구를 갖는 하드 마스킹층(15), 식각정지막(13) 및 희생막(10)의 패턴을 상기 반도체 기판(10)의 액티브영역상에 형성시키고, 상기 하드 마스킹층(15)을 마스크층으로 이용하여 상기 개구 내의 노출된 반도체 기판(10)을 일정 깊이로 식각함으로써 상기 반도체 기판(10)의 필드영역에 트렌치(16)를 형성시키고, 상기 트렌치(16)에 아이솔레이션용 절연막(20)을 매립시키기 위해 상기 트렌치(16) 및 상기 하드 마스킹층(15)에 상기 절연막(20)을 적층시키고, 상기 절연막(20)을 화학기계연마공정에 의해 연마시켜 상기 식각정지막(13)에 평탄화시킨다. 따라서, 상기 트렌치(16)내에만 상기 절연막(20)이 존재하고 상기 트렌치(16) 외측의 하드 마스킹층(15) 상에는 전혀 존재하지 않는다. 한편, 상기 트렌치(16)에 매립된 절연막(20)에 빈 공간인 보이드(Void)가 유발되는 것을 방지하기 위해 상기 트렌치(16)가 형성된 후에 별도의 산화 및 식각공정을 추가로 실시함으로써 상기 트렌치(16)의 상측 모서리를 라운드(Round) 형상으로 만들어준다. 따라서, 상기 트렌치(16) 내에서 상기 절연막(20)의 원활한 적층이 가능하고 상기 절연막(20)의 특성이 향상된다.

발명이 이루고자 하는 기술적 과제

그런데, 종래의 샐로우 트렌치 아이솔레이션 공정은 상기 트렌치(16)를 형성 하기 위해 상기 필드영역의 상기 반도체 기판(10)을 반응성 이온 식각 공정과 같은 건식 식각공정에 식각시키므로 상기 트렌치(16) 내의 반도체 기판(10)의 표면이 식각 손상을 받기 쉽고 아울러 결함이 발생하기 쉽다. 이로써, 상기 트렌치(16)의 저면이나 측면의 일부분에서 반도체 기판(10)의 식각 손상부(10a)가 다발한다.
그러나, 종래에는 상기 식각 손상부(10a)가 상기 트렌치(16) 내의 반도체 기판(10)에 존재하는 상태에서 상기 반도체 기판(10)에 상기 절연막(20)의 하층 절연막, 예를 들어 열적 산화막을 형성시킨 후 상기 절연막(20)의 상측 절연막, 예를 들어 TEOS 산화막을 추가로 두껍게 적층함으로써 상기 트렌치(16)를 상기 절연막(20)으로 매립시킨다.
이때, 상기 식각 손상부(10a) 상에서 상기 하층 절연막이 제대로 형성되지 못한다. 그 결과, 상기 트렌치(16) 내의 절연막(20)의 절연 특성이 저하되고 나아가 상기 절연막(20)에서의 누설 전류가 증가한다.
따라서, 본 발명의 목적은 트렌치를 매립시키면서도 절연 특성을 향상시키도록 한 반도체소자의 제조방법을 제공하는데 있다.
본 발명의 다른 목적은 누설 전류의 증가를 방지하도록 한 반도체소자의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체소자의 제조방법은
반도체 기판의 필드 영역을 선택적으로 건식 식각시킴으로써 상기 필드영역 에 트렌치를 형성시키는 단계;
상기 트렌치 내의 반도체 기판을 레이저 어닐링시킴으로써 상기 트렌치 내의 반도체 기판의 식각 손상부와 함께 상기 트렌치 내의 잔존하는 이물질을 동시에 제거시키는 단계; 및
상기 트렌치에 절연막을 매립시키는 단계를 포함하는 것을 특징으로 한다.
이하, 본 발명에 의한 반도체소자의 제조방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.
도 2 내지 도 5는 본 발명에 의한 반도체소자의 제조방법을 나타낸 단면 공정도이다.

도 2를 참조하면, 먼저, 반도체 기판(10), 예를 들어 단결정 실리콘 기판 상에 예를 들어 열산화공정에 의해 희생 산화막(11)을 100 150Å의 두께로 성장시키고, 상기 희생 산화막(11) 상에 화학기계연마(Chemical Mechanical Polishing) 공정의 식각정지막(13)으로서 역할을 담당하는 질화막을 1000 1500Å의 두께로 적층시키고, 상기 식각정지막(13) 상에 하드 마스크층(15)을 1000Å 정도의 두께로 적층시킨다.
그런 다음, 사진식각공정을 이용하여 상기 하드 마스크층(15)의 일부 영역, 즉 상기 반도체 기판(10)의 필드영역 상에 개구부가 위치한 감광막(도시 안됨)의 패턴을 상기 하드 마스크층(15)에 형성시킨다. 이어서, 상기 감광막의 패턴을 식각마스크로 이용하여 상기 개구 내의 하드 마스크층(15)과 식각정지막(13) 및 희생 산화막(11)을 예를 들어 반응성 이온 에칭 공정에 의해 상기 반도체 기판(10)의 필드영역의 표면이 노출될 때까지 건식 식각시킨다.
이후, 상기 감광막의 패턴을 제거시키고 상기 하드 마스크층(15)을 식각 마스크로 이용하여 상기 반도체 기판(10)의 노출된 필드영역을 예를 들어 반응성 이온 식각공정에 의해 3500 4500Å의 깊이로 식각시킨다. 따라서, 상기 반도체 기판(10)의 필드영역에 트렌치(16)가 형성된다.
이때, 상기 트렌치(16) 내의 반도체 기판(10)의 표면이 식각 손상을 받기 쉽고 아울러 결함이 발생하기 쉬우므로 상기 트렌치(16)의 저면이나 측면의 일부분에서 도 1의 식각 손상부(10a)가 다발한다.
한편, 상기 트렌치(16)가 형성되면, 별도의 산화 및 식각공정을 추가로 실시함으로써 상기 트렌치(16)의 상측 모서리를 라운드(Round) 형상으로 만들어주는 것이 통상적이다. 이는 후속의 공정에서 도 4에 도시된 바와 같이, 상기 트렌치(16)에 절연막(20)을 매립할 때 상기 절연막(20)에 빈 공간인 보이드가 유발되는 것을 방지시켜주기 위함이다. 따라서, 상기 트렌치(16) 내에서 상기 절연막(20)의 원활한 적층이 가능하고 상기 절연막(20)의 특성이 향상된다.
도 3을 참조하면, 상기 트렌치(16)가 형성되고 나면, 상기 트렌치(16) 내의 반도체 기판(10)의 노출된 부분을 185nm 또는 254nm의 파장을 갖는 레이저(17)에 의해 어닐링시켜준다. 이는 상기 트렌치(16)의 저면이나 측면의 일부분에 발생한 식각 손상부(10a)를 제거시키고 또한, 상기 트렌치(16) 내에 잔존하는 탄소 등의 유기물과 같은 이물질을 상기 레이저 어닐링에 의한 산화작용을 통해서 H_2O 나 CO_2 와 같은 형태로 제거시켜 주기 위함이다.
도 4를 참조하면, 상기 레이저 어닐링 처리가 완료되고 나면, 상기 트렌치(16) 내의 노출된 반도체 기판(10)의 표면에 예를 들어, 열산화공정에 의해 산화막(21)을 30 50Å의 두께로 형성시킨다. 그런 다음, 상기 트렌치(16)를 매립시키기 위한 절연막(23), 예를 들어 O_3 TEOS USG(Undoped Silicate Glass)와 같은 산화막을 상기 트렌치(16)와 상기 트렌치(16) 외측의 하드 마스킹층(15) 상에 4500 5990Å의 두께로 적층시킨다. 따라서, 상기 트렌치(16) 내에 절연막(20)이 보이드의 생성을 유발시키지 않고 매립된다.
더욱이, 상기 트렌치(16) 내의 식각 손상부와 이물질이 제거되므로 상기 절연막(20)의 절연 특성이 향상되고 누설 전류가 감소한다.
도 5를 참조하면, 상기 트렌치(16)에 상기 절연막(20)이 매립되고 나면, 화학기계연마공정을 이용하여 상기 절연막(20)을 연마함으로써 상기 트렌치(16) 내의 절연막(20)을 상기 식각정지막(13)에 평탄화시킨다.
따라서, 본 발명은 상기 트렌치(16) 내의 반도체 기판(10)의 노출된 표면을 레이저 어닐링으로 처리함으로써 상기 트렌치(16) 내의 잔존하는 이물질을 제거시키고 아울러 상기 트렌치(16) 내의 반도체 기판의 식각 손상부를 제거시켜주므로 상기 트렌치(16)에 절연막(20)을 보이드의 생성없이 매립시킬 수 있다. 또한, 상기 트렌치(16) 내의 절연막(20)의 절연 특성이 향상되고 누설 전류가 감소된다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체소자의 제조방법은 반도체 기판의 필드영역에 트렌치를 건식 식각공정에 의해 형성시키고 상기 트렌치 내의 노출된 반도체 기판의 표면을 레이저 어닐링에 의해 처리시키고, 상기 트렌치 내에 절연막을 매립시킨다.
따라서, 본 발명은 상기 트렌치 내의 반도체 기판의 식각 손상부를 제거시키고 상기 트렌치 내의 잔존하는 이물질을 제거시킨다. 그 결과, 상기 트렌치를 빈 공간인 보이드의 생성을 유발시키지 않고 절연막으로 매립할 수 있다. 또한, 상기 트렌치 내의 절연막의 절연 특성이 향상되고 누설 전류가 감소된다.
한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

(57) 청구의 범위

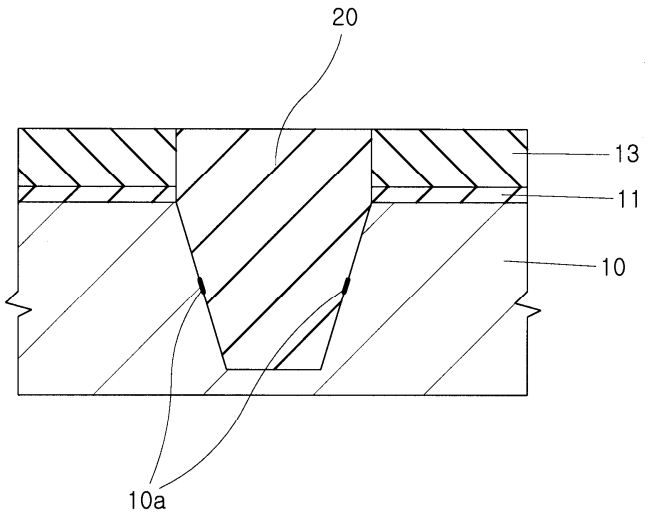
청구항 1.
반도체 기판의 필드 영역을 선택적으로 건식 식각시킴으로써 상기 필드영역에 트렌치를 형성시키는 단계;
상기 트렌치 내의 반도체 기판을 레이저 어닐링시킴으로써 상기 트렌치 내의 반도체 기판의 식각 손상부와 함께 상기 트렌치 내의 잔존하는 이물질을 동시에 제거시키는 단계; 및
상기 트렌치에 절연막을 매립시키는 단계를 포함하는 반도체소자의 제조방법.

청구항 2.
삭제

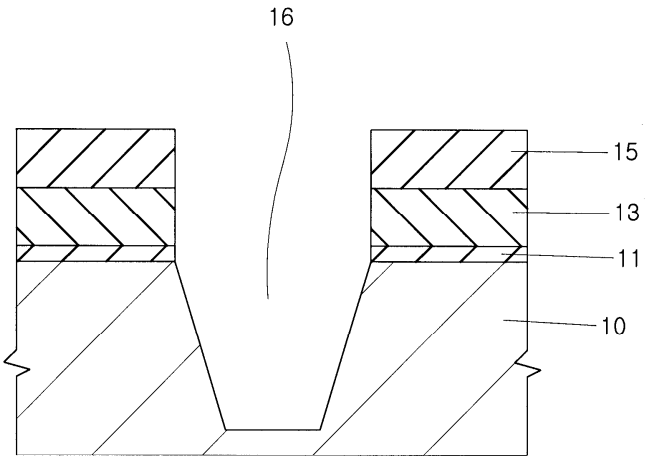
청구항 3.
삭제

도면

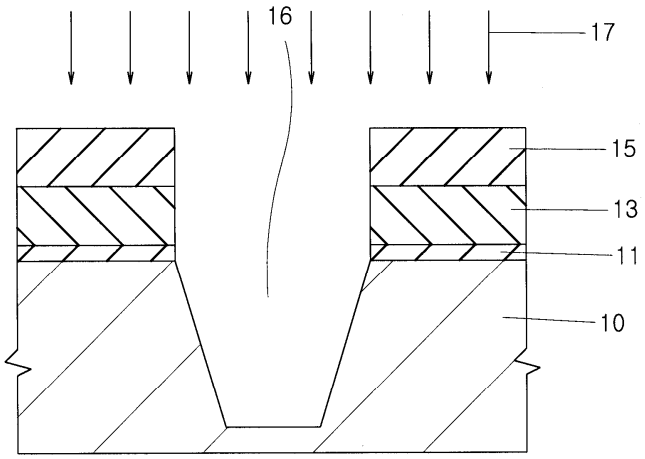
도면1



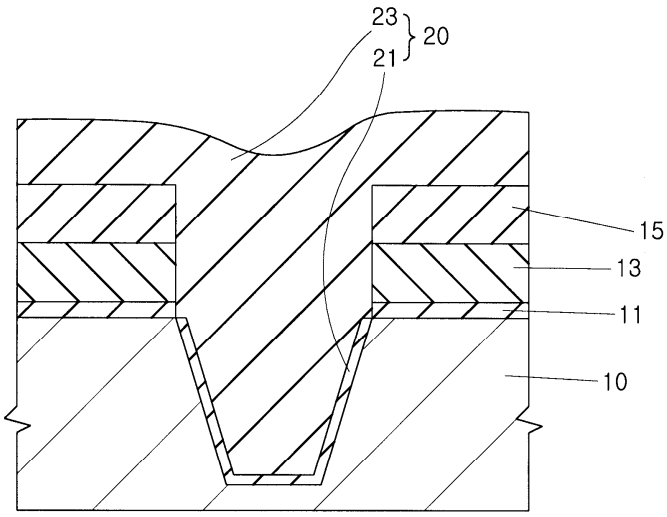
도면2



도면3



도면4



도면5

