

更正  
91.3.補充

第 88117019 號 專利案

91.3.12  
91.2.27 日更正

中文說明書更正本

民國 91 年 02 月更正

申請日期	88 年 10 月 2 日
案 號	88117019
類 別	G11C 17/00

A4  
C4

449748

(以上各欄由本局填註)

## 發明專利說明書

一、發明 新型 名稱	中 文	半導體裝置
	英 文	
二、發明 創作 人	姓 名	(1) 伊藤清男 (2) 中里和郎
	國 稷	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸內一丁目五番一號新 丸大樓日立製作所股份有限公司知的所有權本  (2) 英國劍橋市麥汀里路歐洲日立有限公司卡文迪 西實驗室 c/o Hitachi Europe Limited, Hitachi Cambridge Laboratory, Cavendish Laboratory, Madingley Road,
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式會社日立製作所
	國 稷	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
代表人 姓 名	(1) 庄山悅彥	

裝  
訂

線

91.3.12  
變更

91.3.12  
年 月 日變更

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：  有  無 主張優先權

日本

1998 年 10 月 2 日 10-280663

有 主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

## 五、發明說明（1）

### 技術領域

本發明係關於高信賴、大容量半導體記憶體裝置。

(請先閱讀背面之注意事項再填寫本頁)

### 背景技術

半導體記憶體大別為 R A M (隨機存取記憶體) 與 R O M (唯讀記憶體)。其中也有作為計算機之主記憶體，最被大量使用之動態 R A M (D R A M)。儲存記憶之記憶體單元係由一個之儲存靜電電容與讀出儲存在其之電荷之讀出電晶體所構成。此記憶體以 R A M 為最小之構成要素被實現之故，適合於大規模化。因此，相對地便宜而且大量地被生產。但是，D R A M 之問題點為動作容易變得不安定。最大之不安定要因為記憶體單元本身沒有放大作用，因此，由記憶體單元之讀出信號電壓小，記憶體單元之動作容易受到各種之雜訊影響。再者，由於存在於記憶體單元內之 p n 接合 (漏) 電流，被儲存在電容之資訊電荷會消失。因此，在消失前週期性地使記憶體單元進行更新 (再生寫入) 動作以保持記憶資訊。此週期稱為更新時間，現狀雖然為 1 0 0 m s 程度，但是，隨著記憶容量增加，有必要更長。即，雖然有必要抑制漏電流，但是，伴隨元件之微細化，更形困難。解決此之記憶體為 R O M，特別是快閃記憶體。快閃記憶體如所周知般地，與 D R A M 單元為相等以上地小形，記憶體單元內具有增一隻故，本質上信號電壓大，因此，動作安定。又，在以絕緣膜互連之儲存箇點儲存記憶電荷之故，如 D R A M 般地

## 五、發明說明（2）

，無 p-n 接合電流，不需要更新動作。但是，在儲存節點流過微弱通道電流以儲存電荷之故，寫入時間極端地長。又，如重複寫入，成為在絕緣膜強制地流過電流，漸漸地絕緣膜劣化，最終絕緣膜成為導電膜，成為無法保持記憶。因此，製品一般控制為 10 萬次寫入。即，無法將快閃記憶體當成 RAM 使用。如此，雖然 DRAM 與快閃記憶體皆係大容量記憶體，但是，各有優缺點，必須活用其個別之特徵加以分開使用。

(請先閱讀背面之注意事項再填寫本頁)

### 發明之公開揭露

本發明提供：可以 RAM 動作之小型、有增益之記憶體單元及利用其之半導體記憶體裝置。再者，藉由在儲存（記憶）節點內沒有 p-n 接合電流之記憶體構造，也提供可以保證 10 年程度之保持期間之不揮發 RAM。

為了達成上述目的，例如，如第 1 圖與第 2 圖顯示第 1 實施例之記憶體單元之電路圖及其之動作時機般地，以 2 個之電晶體與 1 個之電容器構成。即記憶體係由：讀出用之電晶體  $Q_R$ 、寫入用之電晶體  $Q_w$ 、以及控制記憶體單元節點 N 之電壓之結合電容 C 所構成。C 之電極之一端與  $Q_w$  之間極被連接於字元線 WL， $Q_R$  與  $Q_w$  之個別之一端被連接於資料線。此處， $Q_R$  例如假定為 N 通道型 MOSFET（以下，稱為 MOS 電晶體）。又， $Q_w$  雖也可以 MOSFET 構成，但是，如之後敘述般地，也可以使用利用穿隧現象之電晶體（以下，稱為通道型電晶體）

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

本

## 五、發明說明(3)

通道型電晶體之情形，為了說明之方便，也與 M O S F E T 相同地定義端子名。即將被連接於節點 N 之端子稱為源極、將被連接於資料線 D L 之端子稱為汲極（或源極）、將被連接於字元線 W L 之端子稱為閘極。在此記憶體單元中，由於具有電容器 (C) 之故，可以使記憶節點 N 之電壓因應字元線電壓改變之。因此，不須特地設置其他之選擇用電晶體，也可以選擇記憶體單元之故，可以實現小型之記憶體單元。特別如之後敘述般地，使用縱型之電晶體作為  $Q_w$ ，使 C 及 / 或  $Q_r$  為立體構造，更可以發揮小型化之優點。如之後敘述般地，與周知之由 1 個之 M O S F E T 與 1 個之電容器形成之 D R A M 相比，面積幾乎成為一半，表面之凹凸少之記憶體單元也可以以更少之光罩數製造之。因此，記憶體晶片可以更容易製造，價格更為便宜。再者， $Q_w$  如係通道型電晶體，記憶體單元內之記憶節點係成為被以絕緣膜包圍之構造之故，原理上，如 D R A M 單元般地，沒有由於 p n 接合電流所導致之漏電流或軟錯記 (soft error) 之問題。因此，如將  $Q_w$  之臨界值電壓 ( $V_{rw}$ ) 設定成十分高，記憶體單元在非選擇時，通過  $Q_w$ ，由記憶節點流過資料線之電流（相當於所謂之 M O S F E T 之副臨界電流）可以抑制得十分小之故，資料保存期間變長。因此，更新時間之極為長之 D R A M 動作，或事實上不須更新動作之不揮發動作也變得可能。

實施發明案之最好形態

## 五、發明說明（4）

以下，利用圖面說明本發明之實施例。又，本詳細說明書之 N 表示記憶體單元之記憶節點、W L 表示字元線、D L 表示資料線。在字元線 W L 被施加 3 值電平之字元電壓賣衝。即非選擇時，被施加負電壓  $-V_B$ 、讀出時被施加  $V_R$ 、寫入或再寫入時，被施加  $V_w$ 。讀出動作係在電晶體  $Q_w$  非倒通下進行。因此，讀出電壓  $V_R$  被選擇為比  $Q_w$  之臨界值  $V_{T_w}$ （以  $Q_w$  導通開始時之源極電壓為基準之閘極電壓）還小之值。又，寫入電壓  $V_w$  被選擇為  $V_{DD} + V_{TW}$  以上。使對應 2 值資訊（1、0）之寫入電壓（ $V_{DD}$ 、0 V）不受  $V_{TW}$  之影響地，寫入節點 N。結合電容 C 擔負：在寫入動作終了，使字元電壓由  $V_w$  變化為  $-V_B$ ，移往非選擇狀態時，使被寫入節點 N 之電壓（ $V_{DD}$  或 0 V）移往負側之目的。此處，使非選擇狀態之字元電壓設定為  $-V_B$  之負的值，目的在於：使字元電壓之電壓振幅大，使節點 N 之電壓更大，以移往負側。此移往負側之節點 N 之電壓如果設定為比  $Q_R$  之臨界值電壓  $V_{TR}$  還小，非選擇單元之  $Q_R$  成為非導通。當然， $Q_w$  之間極電壓為  $-V_B$  之故， $Q_w$  也是非導通。因此，被連接於相同資料線 D L 之其它的記憶體單元被選擇，其之資料線即使成為  $V_{DD}$  與 0 V 之間之任一電壓，複數之非選擇單元之個別之  $Q_R$  為非導通之故，非選擇單元不會對選擇單元之動作造成壞的影響。此處，源極電壓控制電路 S V C 係因應讀出動作與寫入（或再寫入）動作控制  $Q_R$  之源極線 S L 之電壓之電路。

讀出時，使 S L 固定為 0 V，寫入時，開放 S L 或給予

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明（5）

（請先閱讀背面之注意事項再填寫本頁）

適當之正電壓以控制  $Q_R$  之導通狀態。藉由此，可以解決在節點 N 由資料線 D L 施加高電壓  $V_{DD}$  之寫入（或再寫入）之情形所引起之以下的諸問題。例如，考慮將 S L 固定為 0 V 之情形。由資料線將  $V_{DD}$  之直流電壓施加於節點 N 之寫入之情形，讀出電晶體  $Q_R$  導通，導通電流繼續流通之故，消耗電力變大。或將被保持於資料線之  $V_{DD}$  之浮游電壓施加於節點之再寫入之情形， $Q_R$  導通之故，資料線與節點 N 放電，降低至  $V_{TR}$  程度而停止。此降低之電壓被寫入節點 N 之故，記憶體單元之高電壓側之電壓裕度顯著降低。這些之間題例如再寫入時，藉由使 S L 成為開放狀態（0 V 之浮游電壓）而被解決。在此情形， $Q_R$  導通，雖然開始充電 S L，但是，假如 S L 之寄生電容  $C_{SL}$  與資料線之寄生電容  $C_D$  相比，小到可以忽視之程度，S L 電壓被高速充電至  $V_{DD} - V_{TR}$  為止， $Q_R$  成為非導通。資料線之電壓為  $C_{SL} \ll C_D$  之故，幾乎就是  $V_{DD}$  之值，此值被原樣地寫入節點 N。因此，如上述般地，通過  $Q_R$ ，電流繼續流通或記憶體單元高電壓側之電壓裕度之降低皆變不見。

以下，利用圖 1 更詳細說明寫入、保持、讀出之各動作。

與 DRAM 相同地，在都沒有選擇記憶體單元之狀態時，藉由預充電電路，資料線被變成  $V_{DD}$  之浮游狀態，即設成被預充電為  $V_{DD}$  者。又，源極線 S L 在寫入、再寫入動作時，由目前為止之 0 V 之固定電壓成為 0 V 之浮游狀態。 $C_{SL}$  與  $C_D$  相比，假定成為相當之小

## 五、發明說明( 6 )

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### ( 1 ) 寫入動作

被寫入單元節點 N 之資訊電壓 ( $V_{DD}$ 、0) 在字元電壓下降為關閉狀態之電壓  $-V_B$  之過程中，接受由單元電容器 C 來之電容結合之影響，成為最終電壓。此處，設  $V_N(H)$  與  $V_N(L)$  分別為對應高電壓  $V_{DD}$  與低電壓 0 V 被寫入之情形之節點 N 之最終電壓。因此，此  $V_N(H)$  或  $V_N(L)$  成為非選擇單元之節點電壓。此處， $V_N(H)$  以如下方式求得。即， $V_w$  在下降至  $V_{DD} + V_{TW}$  為止，節點 N 即使由於 C 來之電容結合而降低，但是，藉由還是導通狀態之  $Q_w$ ，由資料線被充電之故，結果還是被保持為  $V_{DD}$ 。在由  $V_{DD} + V_{TW}$  下降為  $-V_B$  之期間， $Q_w$  非導通之故，節點 N 由於電容結合比  $\alpha$  而降低。因此，

$$\begin{aligned} V_N(H) &= V_{DD} - \alpha (V_{DD} + V_{TW} + V_B) \\ \alpha &= C / (C + C_N) \end{aligned} \quad (1)$$

此處， $C_N$  為節點 N 之寄生電容。 $V_N(L)$  也同樣求之。在此情形， $V_w$  在下降至  $V_{TW}$  為止， $Q_w$  為導通狀態之故，節點 N 由於上述之理由，被保持為 0 V。但是，之後由於電容結合而下降，

$$V_N(L) = -\alpha (V_{TW} + V_B) \quad (2)$$

式 (1)、(2) 成為非選擇狀態之單元節點 (N) 電壓。

### ( 2 ) 保持動作

非選擇單元在任何狀態皆可保持資料，又，對於被選

## 五、發明說明 ( 7 )

擇之單元之動作不會給予壞的影響。如第 1 圖所示之預充電期間般地，即使全部之單元為非選擇之情形，又，即使在被連接於 1 條之資料線之複數的單元之中，某一個之單元被選擇，其之資料線之電壓由 0 變化為  $V_{DD}$  之狀態，也必須滿足此條件。因此， $Q_w$  與  $Q_R$  只要為完全非導通即可。很明確地，在非選擇單元中， $Q_w$  之臨界值電壓 ( $V_{TRw}$ ) 十分地高，而且，在其閘極被施加負電壓之故， $Q_w$  為完全非導通。另一方面，在非選擇單元中，S L 電壓為 0 V 之固定電壓之故， $Q_R$  經常為非導通之故，以式 (1)、(2) 所代表之電壓之兩者，即  $V_N(H)$  與  $V_N(L)$  比  $Q_R$  之臨界值 ( $V_{TRR}$ ) 低即可。 $V_N(H)$  經常比  $V_N(L)$  高之故，其之條件以下式表示之。

$$V_N(H) = V_{DD} - \alpha (V_{DD} + V_{TW} + V_B) < V_{TRR} \quad (3)$$

### ( 3 ) 讀出動作

讀出時，藉由被施加之字元電壓  $V_R$  與結合電容 C，單元節點 N 被昇壓， $V_N(H)$  以及  $V_N(L)$  分別被昇壓為以下式表示之電壓  $V_N^+(H)$  與  $V_N^+(L)$  。

$$\begin{aligned} V_N^+(H) &= V_N(H) + \alpha (V_R + V_B) \\ &= V_{DD} - \alpha (V_{DD} + V_{TW} + V_R) \\ V_N^+(L) &= V_N(L) + \alpha (V_R + V_B) = \\ &\alpha (V_R - V_{TW}) \end{aligned}$$

此處，例如在辨別資訊 1 與 0 上， $Q_R$  有必要以  $V_N(H)$  導通，以  $V_N(L)$  非導通。藉由此，被預充電為  $V_{DD}$  之資料線如圖所示般地，被放電為 0 V 或是保持

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
人  
及  
簽  
名

## 五、發明說明 ( 8 )

V<sub>DD</sub>。此時，讀出動作不欲由於寫入電晶體Q<sub>w</sub>而受到壞的影響，有必要使Q<sub>w</sub>成為非導通。因此，Q<sub>w</sub>由於V<sub>N</sub>(L)比V<sub>N</sub>(H)其之源極電壓低，容易導通之故，在V<sub>N</sub>(L)之情形，只要使Q<sub>w</sub>滿足成為非導通之條件即可。因此，

$$V_N(H) = V_{DD} - \alpha (V_{DD} + V_{TW} - V_R) > V_{TR} \quad (4)$$

$$V_N(L) = \alpha (V_R - V_{TW}) < V_{TR} \quad (5)$$

$$V_R - V_N(L) < V_{TW} \quad (6)$$

由式(5)、(6)

$$V_R < V_{TW} \quad (7)$$

如使V<sub>TR</sub>成為正值，只要滿足式(7)，式(5)便成立。因此，藉由式(3)、(4)、(7)，決定了記憶體單元之電壓裕度。

第3圖係非選擇單元之記憶節點N之電壓V<sub>N</sub>(H)與V<sub>N</sub>(L)，以及選擇單元之讀出時之記憶節點N之電壓V<sub>N</sub>(H)與V<sub>N</sub>(L)對於 $\alpha$ 求得者。電壓條件為：在V<sub>DD</sub>=2.5V、V<sub>TW</sub>-V<sub>R</sub>=0.25V之下，使V<sub>TR</sub>+V<sub>B</sub>為可變。實線為V<sub>TW</sub>+V<sub>B</sub>=2.5V，點線為V<sub>TW</sub>+V<sub>B</sub>=3.5V。但是，V<sub>N</sub>(H)與V<sub>N</sub>(L)由式(4)、(5)可以明白地，與V<sub>TW</sub>+V<sub>B</sub>之值無關，為一定。V<sub>TR</sub>之範圍由式(3)、(4)、(5)所決定，成為圖中之塗黑領域。此處，以 $\alpha=0.4$ 為例，調查記憶體單元之電壓裕度之關係。V<sub>TR</sub>=2V、V<sub>B</sub>=0.5V，即V<sub>TW</sub>+V<sub>B</sub>=2.5V，雖然V<sub>TR</sub>可以採取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 9 )

由點 a 至點 b 為止之範圍之值，假定  $V_{TR} = 0 . 75 V$  ( 點 A )。此時，在非選擇單元中， $V_N(H) = 0 . 5 V$  ( 點 b )， $V_N(L) = - 1 V$  ( 點 d ) 之故，電晶體  $Q_R$  為完全非導通。

其中一方如被選擇， $V_N(H) = 1 . 4 V$  ( 點 a )， $V_N(L) = - 0 . 1 V$  ( 點 c )。因此，以  $V_N(H)$ ， $Q_R$  導通，以  $V_N(L)$  成為非導通。導通時之  $Q_R$  之實效閘極電壓成為  $V_N(H) - V_{TR} = 0 . 65 V$ 。此處， $V_{TW} = 2 V$ 、 $V_B = 1 . 5 V$  以及使字元電壓在負側更偏置 1 V，設  $V_{TW} + V_B = 3 . 5 V$ ， $Q_R$  之實效閘極電壓變得更大，高速動作。在此情形， $V_{TR}$  之可以採用範圍變寬為由點 a 至點 b 之故，非導通例之電壓裕度 ( 點 A 與點 b 之差，以及點 A 與點 b 之差 ) 幾乎在相同之下，可以使  $V_{TR}$  下降為  $0 . 35 V$  ( 點 A )。因此， $Q_R$  之實效閘極電壓變大為  $V_N(H) - V_{TR} = 1 . 05 V$ 。

第 4 圖係記憶體單元陣列及其之周邊電路之概略圖，第 5 圖係其之動作時機圖。記憶體單元 M C 被連接於字元線 ( $WL_0, \dots, WL_{m-1}$ ) 與複數之資料線 ( $DL_0, \dots, DL_{m-1}$ ) 之交點。各資料線藉由依據周知之位址信號被活性化之列信號 ( $YS_0, Y_{s-1}$ ) 被選擇，透過列選擇電晶體 ( $Q_Y$ ) 被連接於共通資料輸入輸出對線 ( $I/O, I/O$ )。

$I/O$  對線透過讀出放大器 S A，資料輸入輸出緩衝器 D B 被連接於資料輸出  $D$ ，又，透過 D B 被連接於資料

(請先閱讀背面之注意事項再填寫本頁)

## 五、發明說明 ( 10 )

輸入 D。各字元線被連接檢測出個別之字元線之選擇狀態之資料控制寄存器 ( D C R )，藉由由其之輸出信號線 ( D C L ) 來之信號，D B 被控制著。

本實施例之特長如下所述。在記憶體單元內具有增益之故，即繼續流經讀出電晶體 Q<sub>R</sub> 之電流被轉換為資料線上之電壓之故，顯現於資料線上之信號電壓變得極為大。如上述般地，藉由設計，電源電壓之振幅也可以。又，可以被連接於 1 條資料線之記憶體單元之數目原理上無限制。即使資料線之寄生電容 (C<sub>D</sub>) 增加，由於具有增益之故，記憶體單元可以正確動作。相對於此，周知之 D R A M 單元沒有增益之故，顯現於資料線上之信號電壓極為小。因此，欲使資料線適用於低雜訊，在故意對線配置之外，必須在每一狹窄節距之資料對線設置面積大之差動 C M O S 讀出放大器以放大信號。再者，使 C<sub>D</sub> 小，使信號電壓大，必須使資料對線多分割，在每一被分割之資料對線設置上述之差動放大器。這些全部成為使晶片面積變大之原因。因此，本實施例與 D R A M 相比，具有動作安定，晶片面積可以小之優點。以下，說明本實施例之動作。

記憶體單元陣列在非活性時，使各資料線上之預充電電晶體 Q<sub>P</sub> 導通，使全部之資料線預充電為 V<sub>D.D</sub>。I / O 對線也預充電為其之一半之電壓值 V<sub>D.D</sub> / 2，使之等電位化。又，使各源極線 (S<sub>L<sub>0</sub></sub>、S<sub>L<sub>n-1</sub></sub>) 之控制信號 R W C 成為高電位，使各源極線之電晶體 Q<sub>S.L</sub> 成為開 ( O N )，使各源極線固定為 0 V。記憶體單元陣列一被活

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明（1）

性化，藉由行位址信號被指定之1條之字元線（例如W<sub>L<sub>0</sub></sub>）被選擇，被施加V<sub>R</sub>電壓，開始讀出動作。藉由如此，W<sub>L<sub>0</sub></sub>上之全部的記憶體單元被讀出，在對應之個別的資料線顯現讀出信號電壓。例如，單元節點為V<sub>S</sub>（H）之情形，Q<sub>R</sub>導通之故，為V<sub>D<sub>D</sub></sub>之浮動狀態之D<sub>L<sub>0</sub></sub>被放電為0V。另一方面，在V<sub>S</sub>（L）之情形，Q<sub>R</sub>為非導通之故，D<sub>L<sub>0</sub></sub>維持原來之V<sub>D<sub>D</sub></sub>之狀態。被讀出之資料線之電壓確定為V<sub>D<sub>D</sub></sub>或0V後，藉由列位址信號，一使列選擇開關（例如Q<sub>Y</sub>）導通，D<sub>L<sub>0</sub></sub>之電壓藉由D<sub>L<sub>0</sub></sub>與I/O間之電荷分配，被取出於I/O線。假如D<sub>L<sub>0</sub></sub>為V<sub>D<sub>D</sub></sub>之情形，在I/O線對於V<sub>D<sub>D</sub></sub>/2，顯現+v<sub>s</sub>之信號電壓，在0V之情形，顯現-v<sub>s</sub>之信號電壓。

此處，分別設D<sub>L<sub>0</sub></sub>與I/O之寄生電容為C<sub>D</sub>、C<sub>I<sub>O</sub></sub>，

$$v_s = (C_D / (C_D + C_{I_O})) \cdot (V_{D_D} / 2) \quad (8)$$

I/O對線之另一方之I/O之電壓維持為V<sub>D<sub>D</sub></sub>/2之故，如果使此電壓為參考電壓，以使讀出放大器SA動作，讀出電壓之資訊可以加以辨別。第6圖係栓鎖型之COMS讀出放大器。如使P通道以及N通道MOSFET之共通端子之SP以及SN分別由V<sub>D<sub>D</sub></sub>/2驅動為V<sub>D<sub>D</sub></sub>，由V<sub>D<sub>D</sub></sub>/2驅動為0V，I/O之+v<sub>s</sub>、-v<sub>s</sub>資訊被放大為V<sub>D<sub>D</sub></sub>或0V，通過資料輸入輸出緩衝器DB，被取用於資料輸出端子D<sub>O</sub>。與此並行，I/O之被放大之電壓藉由接續於V<sub>S</sub>之V<sub>D<sub>D</sub></sub>之字元電壓之施加，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 12 )

維持原樣地被再寫入記憶體單元節點 N。被讀出於 D L<sub>0</sub> 之 V<sub>DD</sub> 或 0 V 之電壓由於被連接於 I/O，劣化為 V<sub>DD</sub> 以下，或 0 V 以上之故，有必要以讀出放大器再生為 V<sub>DD</sub> 或 0 V 以再寫入。在其它之資料線 (D L<sub>1</sub> ~ D L<sub>m-1</sub>) 中，原理上沒有如上述之電壓劣化之故，讀出後之資料線電壓原樣地被再寫入對應之記憶體單元。此處，如上述般地，在 V<sub>w</sub> 被施加之前，使控制信號 RWC 成為 0 V，使各 Q<sub>SL</sub> 成為關閉，以使各 SL 線成為浮游狀態之 0 V。藉由此，例如防止再寫入時之資料線之電壓電位之降低。以上雖係讀出動作，但是，寫入動作係利用上述再寫入動作期間而被進行。即，將對應由資料輸入端子 D<sub>i</sub> 來之寫入資料之電壓透過資料輸入輸出緩衝器 DB，以差動電壓之形式給予 I/O 對線，以此電壓置換讀出時之讀出放大器放大電壓。將其結果之電壓 (V<sub>DD</sub> 或 0 V) 由 I/O 透過 D L<sub>0</sub> 純予單元節點即可。此處，記憶體單元係一種之換流器之故，如第 5 圖所示般地，在字元線被選擇時，該字元線上之全部之記憶體單元之節點電壓高低替換。此處，為了使資料之輸入輸出關係在邏輯上沒有矛盾，以被連接於各字元線之資料控制寄存器 (DCR) 之輸出信號控制資料輸入輸出緩衝器 DB。

第 7 圖係資料控制寄存器與資料輸入輸出緩衝器之控制方式。此控制方式之概念以利用由 3 個之電晶體形成之單元之 DRAM 為例，已經在 ISSCC 72 (International Solid-State Circuits Conference in 1972) 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 13 )

Digest pp.12-13 中被敘述。即，在各字元線被連接與記憶體單元相同構造之資料控制單元 ( D C C )。某字元線一被選擇，由被選擇之資料控制單元在共通輸出信號線 ( D C L ) 被輸出該讀出信號。此信號與由記憶體單元陣列透過讀出放大器被讀出之信號採取“異或”邏輯 ( exclusive OR )，成為資料輸出 D。另一方面，往 D C L 之讀出信號與資料輸入 D 採取“異或”邏輯，成為往記憶體單元陣列之寫入資料。又，為了高速進行資料輸入輸出之控制，也可以使增要控制單元內之輸出電晶體 ( 相當於 Q<sub>R</sub> ) 之通道寬度比記憶體單元之通道寬度還大。

第 8 圖係再寫入或寫入時，抑制資料線之高電位 (V<sub>DD</sub>) 側之降低用之 S L 線之電壓控制方式。特長為：使 1 條之 S L 線多分割為 S L<sub>00</sub>、S L<sub>01</sub> 等，實效上，使每一條之 S L 線之寄生電容 (C<sub>SL</sub>) 變小。如上述般地，使 R W C 關閉，使各 S L 線成為浮游狀態，對於資料線寄生電容 (C<sub>D</sub>)，只是 C<sub>SL</sub> 變小之部份，上述之電壓電位之降低被抑制。其特長在於：在被分割之個別之 S L 線，為了控制其之電壓，連接與記憶體單元相同構造之空單元 ( D C )，使該資料線 (D D L<sub>0</sub>、D D L<sub>1</sub> 等) 經常固定為 V<sub>DD</sub>。藉由如此，可以使資料線之上述電壓電位之降低之最大值如下述般地，更減少為一半。如上述般地，在字元線 (W L<sub>0</sub>) 被施加讀出電壓 (V<sub>R</sub>)，W L<sub>0</sub> 上之全部之記憶體單元 ( M C ) 被讀出，在對應之個別的資料線被輸出讀出電壓。當然，在此期間，S L<sub>00</sub>、S L<sub>01</sub> 等被固定

( 請先閱讀背面之注意事項再填寫本頁 )

## 五、發明說明 ( 14 )

為 0 V。各資料線被充分放電後，S L<sub>00</sub>、S L<sub>01</sub>等被設為浮游狀態之 0 V，之後，在 W L<sub>0</sub> 被施加寫入電壓 (V<sub>w</sub>)，各資料線之高電位側之降低之程度依存於在 W L<sub>0</sub> 上具有特定之讀出資訊之記憶體單元之數目。即，在讀出後，資料線電壓成為高電位之記憶體單元之數目 (k) 愈多，高電位側之降低愈少。此係以更多之記憶體單元 Q R，S L<sub>00</sub> 等之寄生電容量被充電至幾乎成為 V<sub>D D</sub> - V<sub>T R</sub> 為止之故。即，如將資料線之電壓降低份設為 △V<sub>D</sub>，C<sub>S L</sub>。
$$(V_{DD} - V_{TR}) = k C_D \cdot \Delta V_D$$
 因此， $k = 1$  之情形，△V<sub>D</sub> 成為最大。減少此降低者為上述之空單元 (D C)。空單元內之 Q R 在再寫入或寫入時，經常為導通之故，實效上，成為  $k = 2$ ，△V<sub>D</sub> 減為一半。在空單元方式以外，如之後敘述般地，也有使 S L 線固定為某一定之電壓 (例如 V<sub>D D</sub> - V<sub>T R</sub> 以上) 後，施加 V<sub>w</sub> 之方法。即，讀出之，在資料線被輸出充分之讀出電壓後，使 S L 線由至目前為止之 0 V 充電至 V<sub>D D</sub> - V<sub>T R</sub> 以上後，施加 V<sub>w</sub>。雖然充電部份使得循環時間變長，但是，不會有資料線之電壓降低。

第 9 圖係控制 S L 線之電壓之電路的實施例。讀出之，資料線電壓決定後，被連接於各 S L 線之端部之電晶體 Q<sub>S L<sub>0</sub></sub>、Q<sub>S L<sub>1</sub></sub> 等之閘極電壓藉由位址信號被解碼，個別地被控制著。因此，只有對應被選擇之字元線 (W L<sub>0</sub>) 之 Q<sub>S L<sub>0</sub></sub> 成為非導通，只有 Q<sub>S L<sub>0</sub></sub> 成為 0 V 之浮游狀態。其它之非選擇狀態之電晶體維持為導通之故，S L<sub>10</sub> 等被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 15 )

固定為 0 V。之後，字元電壓  $V_w$  被施加。如第 8 圖所示般地，與藉由 RWC 一齊控制複數之電晶體之間極之情形相比，RWC 之負荷容量被減少之故，可以高速。

第 10 圖非如第 9 圖般地，使 SL 線之電壓供給源 PSL 經常固定為 0 V，係脈衝驅動之例。藉由此，在  $V_w$  施加時， $S_{L00}$  強制地被驅動為  $V_{DD} - V_{TR}$ 。 $Q_{SL0}$ 、 $Q_{SL1}$  等之閘極電壓藉由位址信號被解碼，只有被選擇之電晶體 ( $Q_{SL6}$ ) 導通之故，PSL 之負荷容量幾乎成為只有  $S_{L00}$ ，變得高速。

在至目前為止之說明中，雖然以 SL 線如果被充電至  $V_{DD} - V_{TR}$  為止， $Q_R$  成為非導通為前提，但是，實際上，在比  $V_{DD} - V_{TR}$  還相當低之電壓下， $Q_R$  便成為非導通。如廣為周知般地，隨著 SL 線被充電，由於  $Q_R$  之基板效果， $V_{TR}$  上昇。因此，實際上， $\Delta V_D$  更小，又，SL 線之充電電壓也可以更小。

此處，在記憶體單元內之寫入電晶體 ( $Q_w$ ) 如使用後述之通道電晶體，可以做成以絕緣膜包圍記憶節點之構造之故，可以做不揮發動作。在記憶節點不存在 p-n 接合電流之故，記憶節點之電荷只以通過  $Q_w$  之路徑而消失。假如， $Q_w$  之臨界值電壓 ( $V_{Tw}$ ) 設定為 2 V 程度之相當地高，通過  $Q_w$  之電流也小到可以忽視之程度。利用第 3 圖之  $V_{Tw} = V_E = 3 \sim 5 V$ 、 $V_{Tw} = 2 V$ 、 $a = 0 \sim 4$  之例說明之。

如第 11 圖所示般地，電源電壓如果遮斷 ( 關閉 )，

( 請先閱讀背面之注意事項再填寫本頁 )

裝  
訂  
人

## 五、發明說明 ( 16 )

字元線與資料線等結果變成 0 V 之浮游狀態。此時被儲存在記憶節點之電壓（第 3 圖之點 b 與 d）也由於記憶體單元之電容器 C 而昇壓。字元線電壓之電壓變化，在 1 . 5 V 時， $\alpha = 0 . 4$  之故， $V_N(H)$  只昇壓 0 . 6 V，成爲 0 . 7 V。另一方面， $V_N(L)$  也昇壓爲 -0 . 8 V。此後之電源爲關閉之期間（例如，最長 10 年間）， $Q_w$  微弱導通，記憶節點 N 被由資料線充電。此處， $Q_w$  完全關閉之  $Q_w$  之最小臨界值電壓如後述般地，假定爲 1 . 6 V。字元線電壓爲 0 V， $V_{T_w} = 2$  V 之故，在上述節點電壓之中，只有成爲問題之 -0 . 8 V 側被充電，到達 -0 . 4 V 為止便停止。如電源再度開，記憶節點由於字元線電壓之變化與電容器而只下降 0 . 6 V。之後，在某字元線被施加電壓 ( $V_R$ )，開始讀出動作。此時之記憶節點電壓只被昇壓 1 . 3 V 之故， $V_N(H) = 1 . 4$  V、 $V_N(L) = 0 . 3$  V。很明確地，藉由使電源關閉，記憶體單元之  $V_N(H)$  與  $V_N(L)$  之電壓差由 1 . 5 V 減少爲 1 . 1 V。但是，假如  $Q_R$  之臨界值電壓 ( $V_{T_R}$ ) 選擇爲 0 . 75 V， $Q_R$  以  $V_N(H)$  而導通，以  $V_N(L)$  成爲非導通之故，記憶體單元正確動作。即，實現了不揮發動作。當然，電源開後之第 2 次以後之讀出動作中， $V_N(H)$  與  $V_N(L)$  之電壓差回復爲 1 . 5 V。

第 12 圖、第 13 圖係記憶體單元之其它的實施例與其之動作時機。由第 1 圖之記憶體單元被去除電容器 (C)，被附加讀出選擇用 MOSFET ( $Q_{R2}$ )。與第 1 圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(1)

相比，雖然記憶體單元面積變大，但是，設計變得簡單。

即：

(1) 使讀出專用字元線 (RWL) 開，將節點 N 之記憶資訊輸出於資料線 DL。假如，節點 N 之電壓為高電位 ( $V_{DD}$ )， $Q_{R1}$  與  $Q_{R2}$  兩者皆導通之故，至目前為止被預充電為  $V_{DD}$  之資料線 (DL) 放電為 0 V。假如，節點 N 之電壓為低電位 (0 V)， $Q_{R1}$  為非導通之故，資料線維持  $V_{DD}$  之本來樣子。藉由此讀出動作，資料線之電壓確定後，使 RWL 關閉，之後，使寫入專用字元線 (WWL) 開。藉由此，再寫入資料線之讀出資訊。或是，在相同字元線上之特定的記憶體單元由外部強制性的給予寫入資料電壓進行寫入動作。因此，與第 1 圖不同，不會有記憶體單元經常動態地動作，貫通電流繼續流通。因此，如上述般地，電容器 (C) 或 SL 線之電壓控制變得不需要，SL 線之電壓為固定電壓 (0 V) 便可。

(2) RWL 開之期間，WWL 係關閉之故，藉由讀出動作，記憶體單元之記憶資訊沒有被破壞之虞。

(3)  $Q_{R2}$  或  $Q_w$  之臨界值電壓除非特別低之外，在非選擇時，沒有必要在字元線 (RWL, WWL) 施加負電壓。當然，上述臨界值電壓過低之情形，必須給予負電壓，使兩電晶體成為非導通。

(4) 純予字元線之電壓，沒有必要如第 2 圖所示之 3 值電位。

此處，但  $Q_w$  如使用通過型電晶體，如後述般地， $Q_w$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 18 )

與  $Q_R$  可以做成立體構造之故，記憶體單元被小型化。此處，如果使  $W_W L$  與記憶節點  $N$  間之結合電容儘可能地小，記憶節點幾乎被寫入保持  $V_{DD}$  與  $0V$ 。又，節點  $N$  之電荷也長期間被保持，如將  $Q_w$  之臨界值電壓設得很高，如上述般地，也可以容易實現不揮發動作。當然，對於使用此記憶體單元之記憶體單元陣列，也可以如第 4 圖所示之電路構成之。各字元線  $R_W L$ 、 $W_W L$  成為 2 條， $S_L$  線被固定為接地電壓以外，構造可以完全相同。

第 14 圖係通道型電晶體之剖面構造之概略圖。特點在於：於疊層之 4 層的多晶矽（多晶矽 1 ~ 多晶矽 4）之兩側透過閘極氧化膜（膜厚  $t_{ox}$  之熱氧化膜），被配置閘極電極  $G$  之縱型電晶體。實際上，以兩側之多晶矽所形成之閘極電極如後述般地，被一體形成，經常為等電位。多晶矽 1 與多晶矽 2 矽在多晶矽中被摻雜  $10^{20} \text{ cm}^{-3}$  程度之磷，形成電晶體之汲極 D（或源極 S）與源極（或汲極）。多晶矽 2 與多晶矽 3 以極為低濃度 ( $10^{15} \sim 10^{17} \text{ cm}^{-3}$  程度) 被摻雜磷之固有多晶矽形成電晶體基板。多晶矽 1 與多晶矽 2、多晶矽 2 與多晶矽 3 以及多晶矽 3 與多晶矽 4 之間，例如形成由薄的 ( $2 \sim 3 \text{ nm}$ ) 硅氮化膜形成之通道膜  $S_N 1$ 、 $S_N 2$ 、 $S_N 3$ 。 $S_N 1$  與  $S_N 3$  擔負在電晶體形成時，汲極或源極領域之高濃度之磷不會擴散至內部（多晶矽 2、多晶矽 3）之低濃度層之阻擋層之任務。為了在汲極、源極間流通電流，這些膜厚必須為不太厚之通道膜。中央通道膜  $S_N 2$  矽使電晶體之

(請先閱讀背面之注意事項再填寫本頁)

四、中文發明摘要（發明之名稱：）

### 半導體裝置

本發明係關於高信賴、大容量半導體記憶體裝置。通常之大容量 D R A M (動態隨機存取記憶體) 由於記憶體單元之讀出信號電壓小之故，動作容易變得不安定。如欲使記憶體單元具備增益 (gain) 以使信號電壓變大，如此一來，記憶體單元面積變大。因此，動作安定、面積小，可以有 R A M 動作之記憶體單元為所期望著。

例如，使保持資訊電壓之 M O S 電晶體、賦予該資訊電壓之寫入電晶體（例如，通道型電晶體）、控制該閘極之電壓之電容作成立體構造以製作記憶體單元。可以實現高速、安定動作之便宜的半導體裝置。再者，並且可以附加不揮發性 R A M 機能。

(請先閱讀背面之注意事項，再填寫本頁各欄)

裝

訂

泉

英文發明摘要（發明之名稱：）

## 六、申請專利範圍

1. 一種半導體裝置，其特徵係具有：由將資訊電壓保持於其之閘極之MOS電晶體、給予該資訊電壓用之寫入電晶體、控制該閘極電壓之電容器所形成之記憶體單元。

2. 如申請專利範圍第1項記載之半導體裝置，其中該寫入電晶體之第1以及第2端子分別被連接於該閘極與給予資料之資料線，第3端子被連接於字元線，再者，該電容器之一端之電極被連接於該閘極，另一端之電極電壓在該記憶體單元之讀出時被控制著。

3. 如申請專利範圍第2項記載之半導體裝置，其中該電容器之另一端之電極連接於字元線。

4. 如申請專利範圍第1項至第3項記載之半導體裝置，其中該MOS電晶體之汲極（或源極）被連接於該資料線。

5. 如申請專利範圍第4項記載之半導體裝置，其中該MOS電晶體之源極（或汲極）在該記憶體單元之讀出時與再寫入或寫入時，被控制為成為不同之電壓。

6. 如申請專利範圍第3項記載之半導體裝置，其中該字元線之讀出時之選擇脈衝電壓之振幅比再寫入或寫入時之選擇脈衝電壓之振幅還小。

7. 如申請專利範圍第5項記載之半導體裝置，其中將被連接於字元線方向之複數之記憶體單元之個別的源極（或汲極）共通接線，將具有與該記憶體單元幾乎相同構造之該共通接線之電壓控制用單元設置為對應該複數之記

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 六、申請專利範圍

憶體單元。

8. 一種半導體裝置，其係一種由將資訊電壓保持於其之閘極之MOS電晶體、給予該資訊電壓用之寫入電晶體所形成，該寫入電晶體之第1以及第2端子分別被連接於該閘極與資料線，第3端子被連接於字元線，該MOS電晶體之汲極（或源極）直接或透過其它之電晶體，被連接於該資料線之記憶體單元，其特徵為：該寫入電晶體係由多層之半導體領域與阻障絕緣膜之構造形成，通過該阻障絕緣膜進行電荷之寫入或消除，或進行其中一方之動作。

9. 一種半導體裝置，其係至少由將資訊電壓保持於其之閘極之MOS電晶體、給予該資訊電壓用之寫入電晶體所形成，由該MOS電晶體之汲極（或源極）被連接於資料線之記憶體單元所形成之記憶體單元陣列，該資料現在該記憶體單元之讀出前，被預充電為大電壓，於讀出時，在該MOS電晶體因應資訊電壓而導通之情形，資料線放電至小電壓為止，在非導通之情形，資料線被保持為大的電壓之記憶體陣列，其特徵為：對應複數之資料線設置之共通資料線上之讀出放大器以該大電壓與小電壓之中間電壓為基準而動作。

10. 如申請專利範圍第8項記載之半導體裝置，其中該寫入電晶體之臨界值電壓比在該閘極保持資訊電壓之該MOS電晶體之臨界值電壓還大。

11. 一種半導體裝置，其係至少由將資訊電壓保持

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

於其之間極之 M O S 電晶體，給予該資訊電壓用之寫入電晶體所形成之記憶體單元，其特徵為：該兩電晶體之電流路徑互相垂直。

1 2 . 一種半導體裝置，其特徵為具備：寫入電晶體由阻障絕緣膜之構造形成，藉由通過該阻障絕緣膜進行電荷之寫入與去除以控制資訊電壓，被與該 M O S 電晶體立體配置之記憶體單元。

(請先閱讀背面之注意事項再填寫本頁)

裝

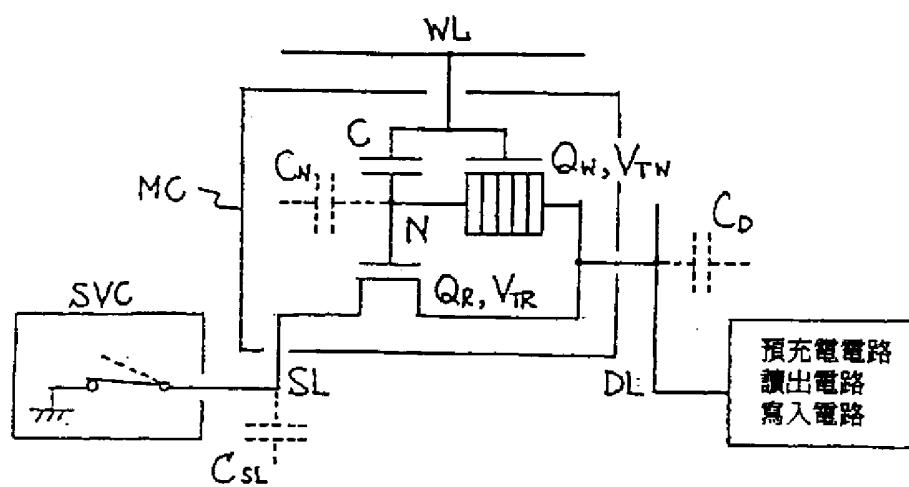
訂

線

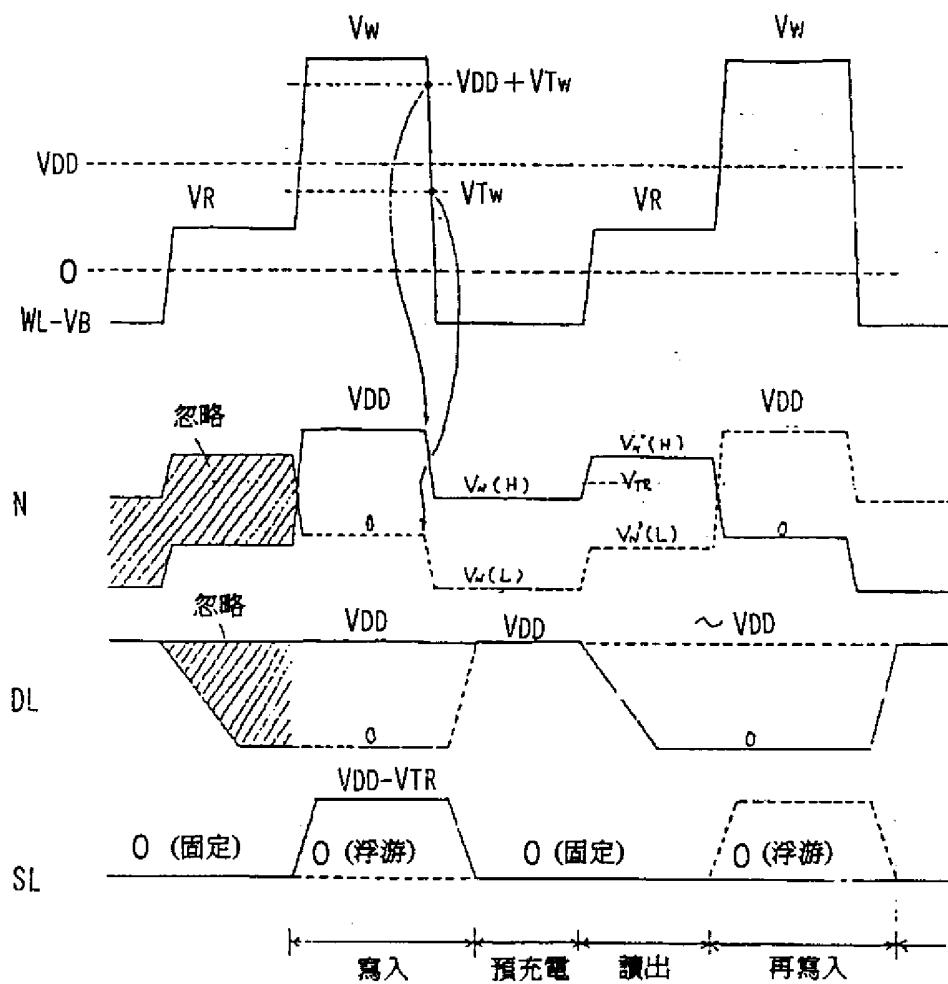
449748

735069

1 / 11

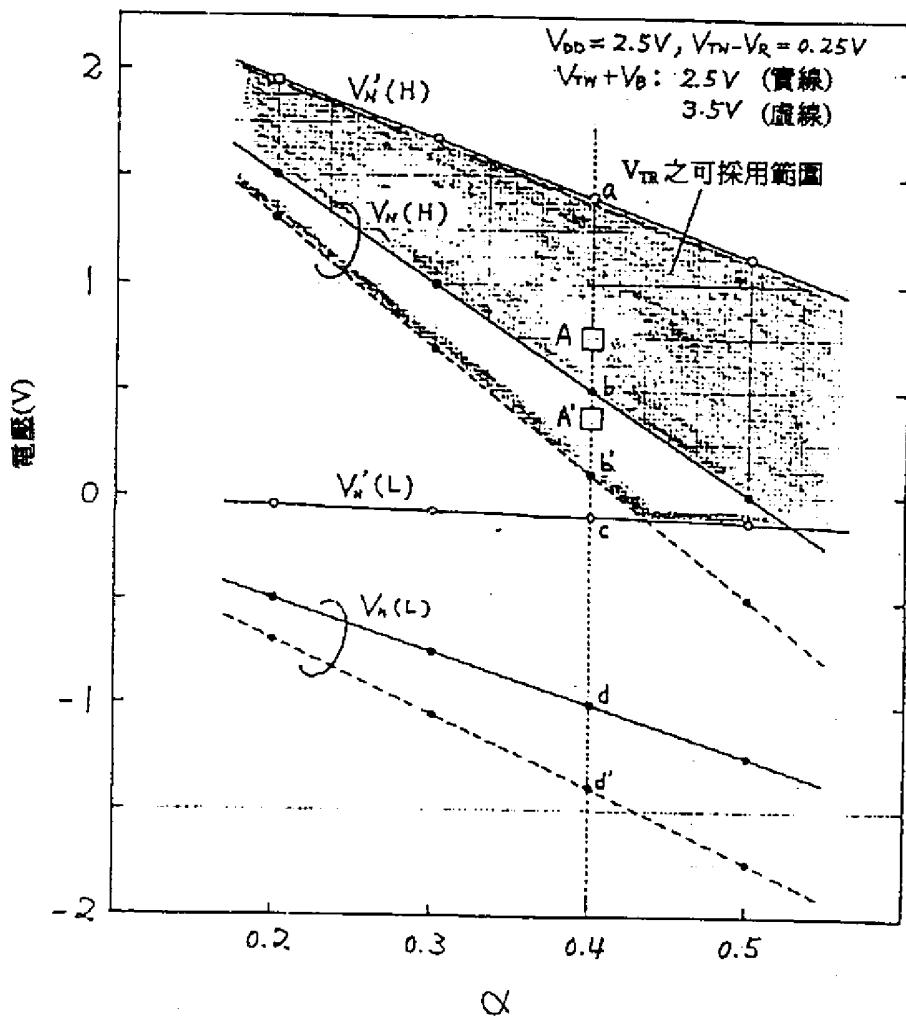


第 1 圖



第 2 圖

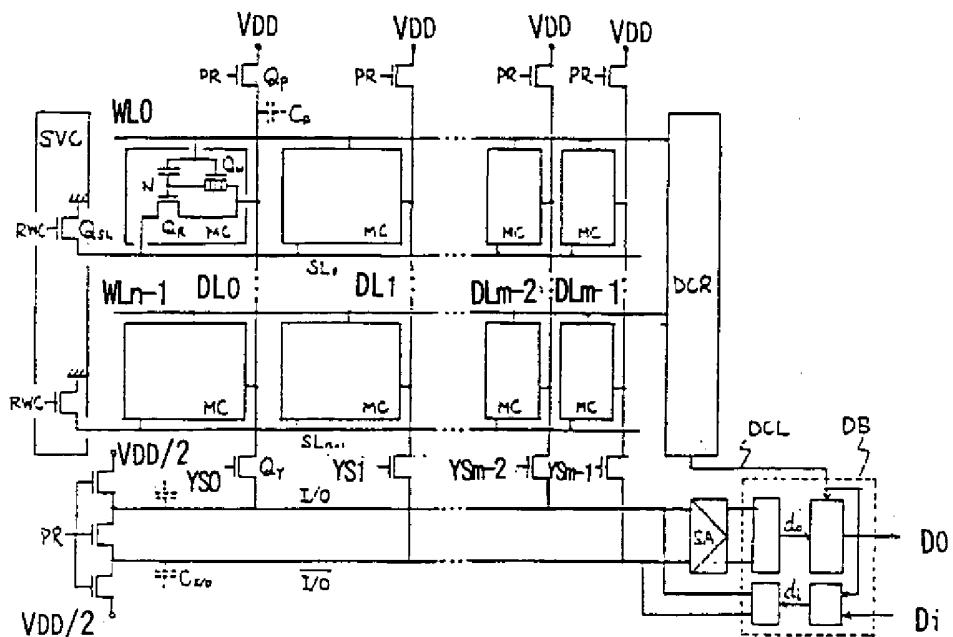
3 / 11



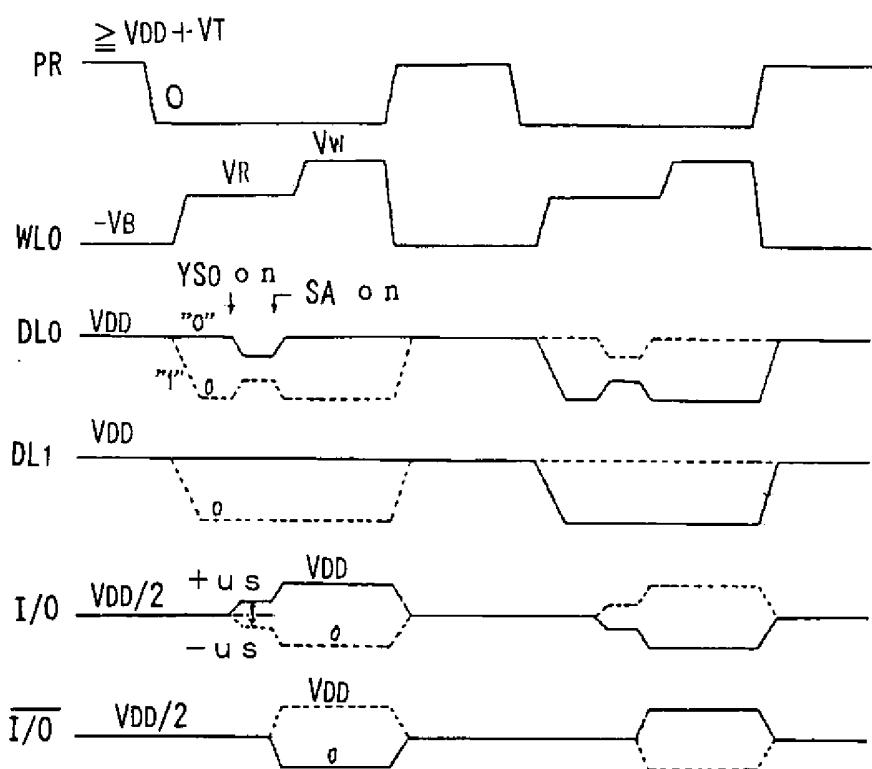
第3圖

449748

4 / 11



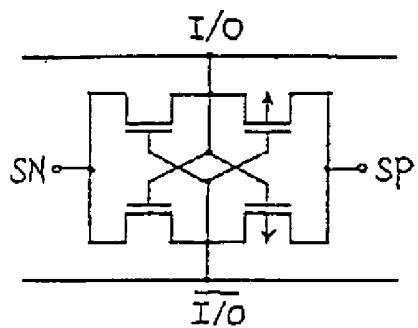
第 4 圖



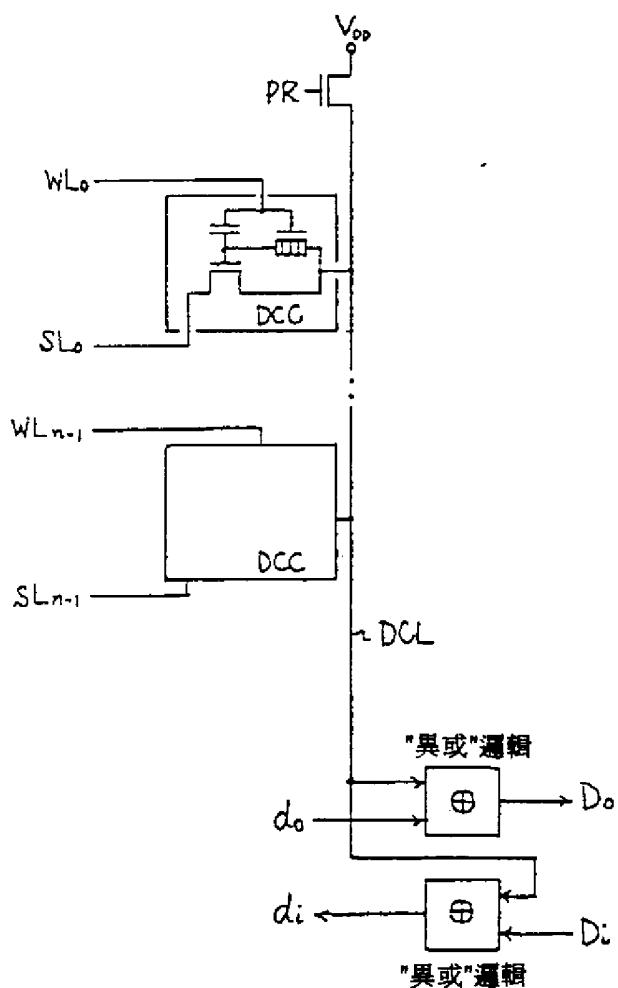
第 5 圖

449748

5 / 11



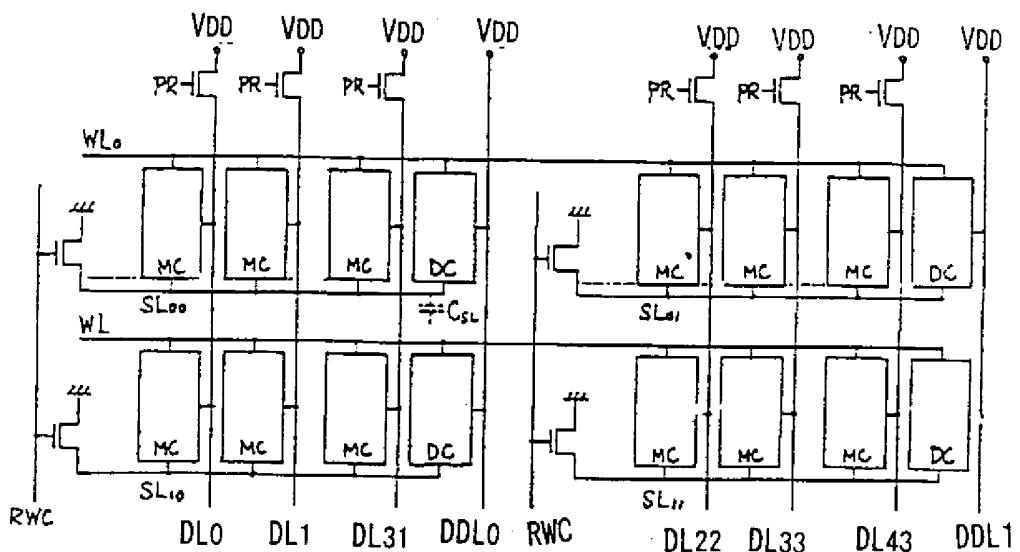
第 6 圖



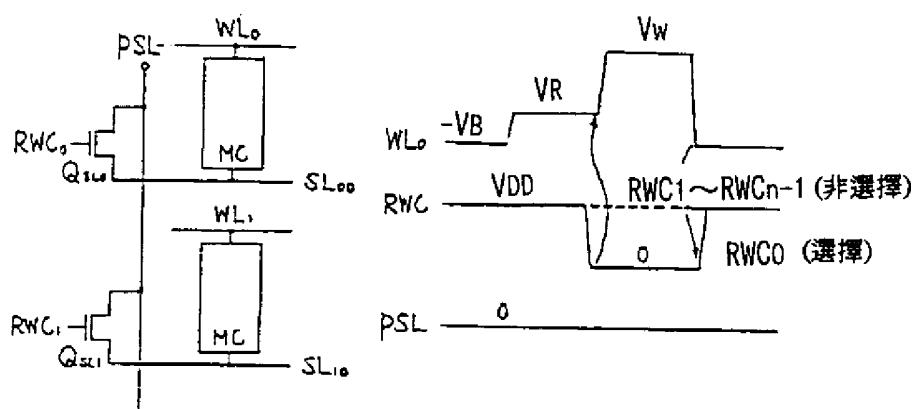
第 7 圖

449748

6 / 11



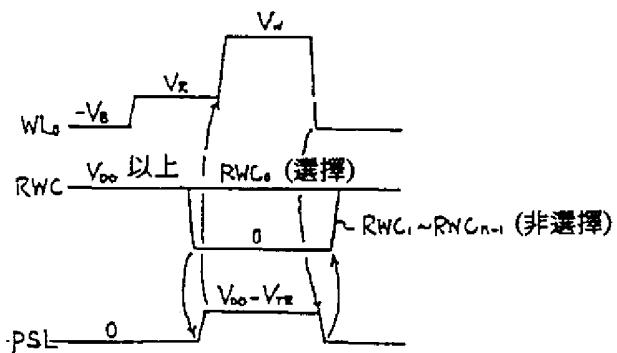
第 8 圖



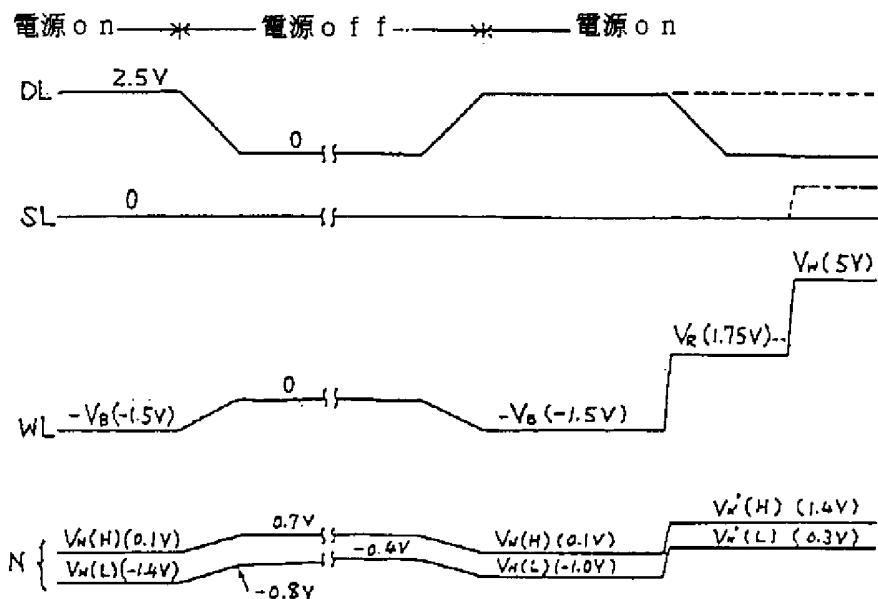
第 9 圖

449748

7 / 11



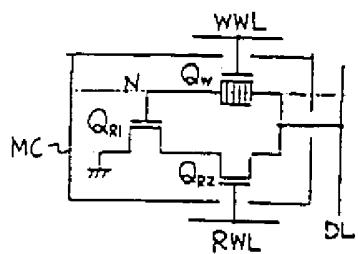
第 10 圖



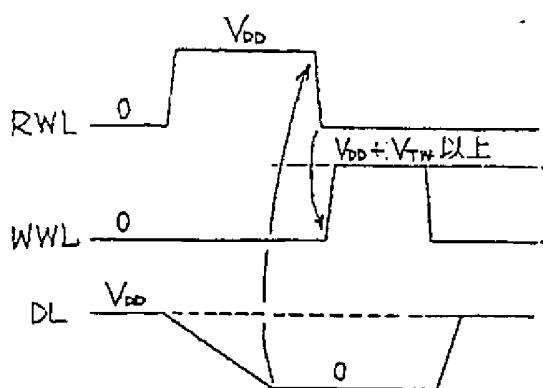
第 11 圖

449748

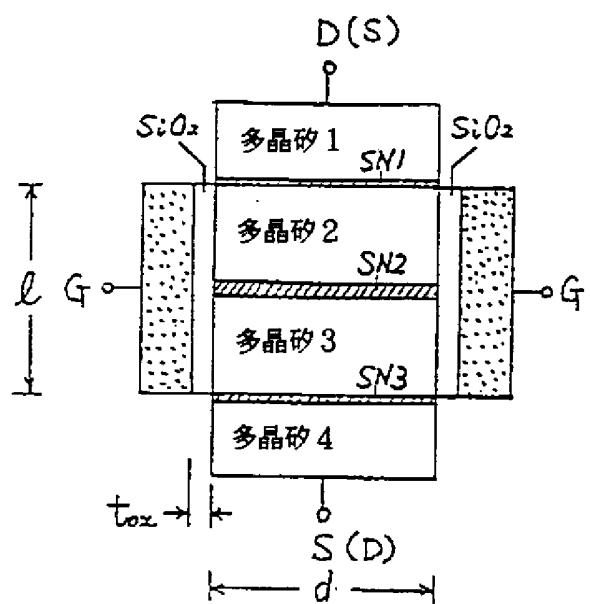
8 / 11



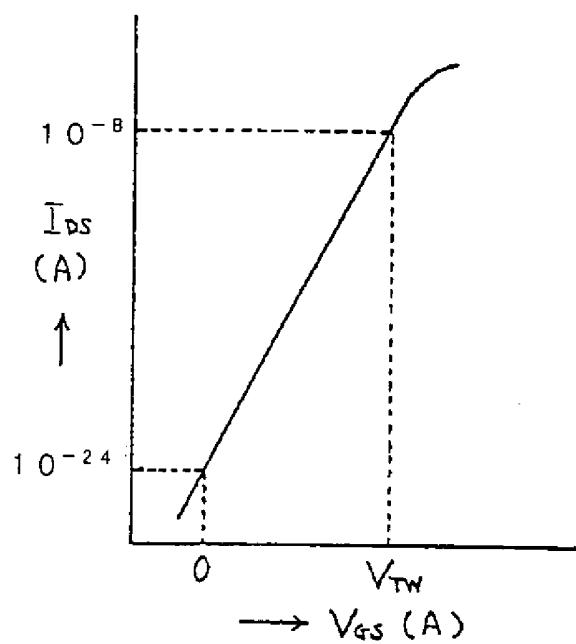
第 12 圖



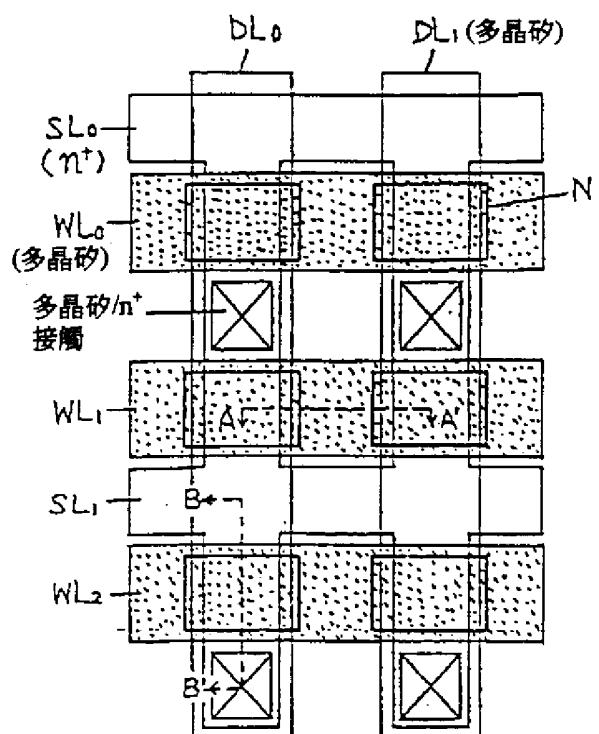
第 13 圖



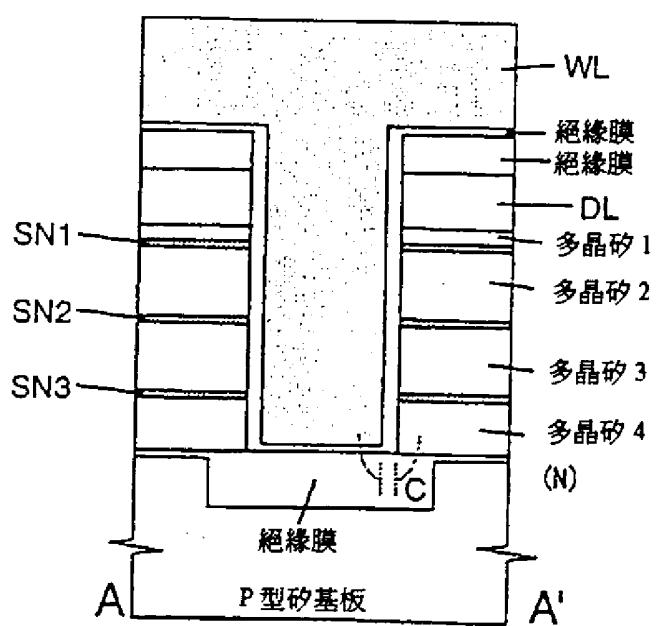
第 14 圖



第 15 圖



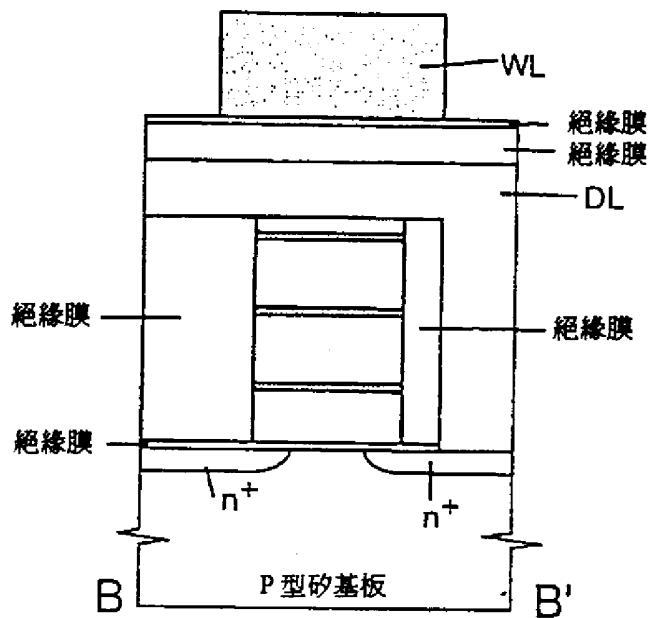
第 16 圖



第 17 圖

449748

11/11



第 18 圖

更正  
91.3.補充

第 88117019 號 專利案

91.3.12  
91.2.27 日更正

中文說明書更正本

民國 91 年 02 月更正

申請日期	88 年 10 月 2 日
案 號	88117019
類 別	G11C 17/00

A4  
C4

449748

(以上各欄由本局填註)

## 發明專利說明書

一、發明 新型 名稱	中 文	半導體裝置
	英 文	
二、發明 創作 人	姓 名	(1) 伊藤清男 (2) 中里和郎
	國 稷	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸内一丁目五番一號新 丸大樓日立製作所股份有限公司知的所有權本 (2) 英國劍橋市麥汀里路歐洲日立有限公司卡文迪 西實驗室 c/o Hitachi Europe Limited, Hitachi Cambridge Laboratory, Cavendish Laboratory, Madingley Road,
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 稷	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
代表人 姓 名	(1) 庄山悅彥	

裝  
訂

線

91.3.12  
變更

91.3.12  
年 月 日變更

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：  有  無 主張優先權

日本

1998 年 10 月 2 日 10-280663

有 主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)