

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025年1月2日 (02.01.2025)

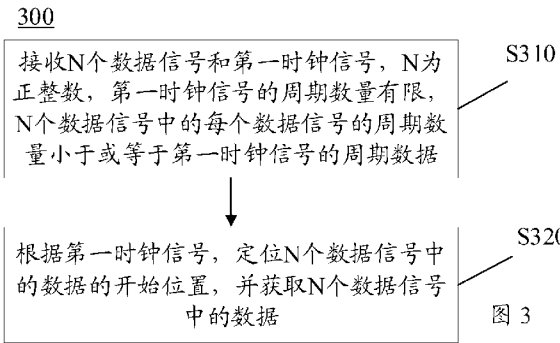


(10) 国际公布号
WO 2025/001771 A1

- (51) 国际专利分类号:
G06F 15/163 (2006.01)
- (21) 国际申请号: PCT/CN2024/097274
- (22) 国际申请日: 2024年6月4日 (04.06.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310802966.6 2023年6月30日 (30.06.2023) CN
- (71) 申请人: 海光信息技术股份有限公司 (**HYGON INFORMATION TECHNOLOGY CO., LTD.**) [CN/CN]; 中国天津市滨海新区华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。
- (72) 发明人: 梁岩 (**LIANG, Yan**); 中国天津市滨海新区华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** DATA TRANSMISSION METHOD FOR CHIPLET INTERCONNECTION INTERFACE, AND CHIPLET INTERCONNECTION INTERFACE

(54) 发明名称: 用于芯粒互联接口的数据传输方法及芯粒互联接口



S310 Receive N data signals and a first clock signal, wherein N is a positive integer, the number of periods of the first clock signal is limited, and the number of periods of each data signal among the N data signals is less than or equal to that of the first clock signal

S320 On the basis of the first clock signal, position a starting position of data among the N data signals, and obtain the data among the N data signals

(57) **Abstract:** Embodiments of the present disclosure provide a data transmission method for a chiplet interconnection interface, and a chiplet interconnection interface. The data transmission method is applied to a receiving end. The method comprises: receiving N data signals and a first clock signal, wherein the number of periods of the first clock signal is limited, the number of periods of each data signal among the N data signals is less than or equal to that of the first clock signal, and N is a positive integer; and on the basis of the first clock signal, positioning a starting position of data among the N data signals, and obtaining the data among the N data signals. According to the embodiments of the present disclosure, a receiving end uses a first clock signal to obtain data among data signals, and does not use an effective flag bit, so that clock and data alignment training does not need to be performed in advance, and real-time alignment can also be realized.

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。
-

(57) 摘要: 本公开的实施例提供用于芯粒互联接口的数据传输方法及芯粒互联接口。数据传输方法应用于接收端, 该方法包括: 接收N个数据信号和第一时钟信号, 第一时钟信号的周期数量有限, N个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量, N为正整数; 根据第一时钟信号, 定位N个数据信号中的数据开始位置, 并获取N个数据信号中的数据。本公开的实施例接收端使用第一时钟信号来获取数据信号中的数据, 而不是使用有效标志位, 从而无需预先进行时钟到数据对齐训练, 并且还能够实时对齐。

用于芯粒互联接口的数据传输方法及芯粒互联接口

本申请要求于 2023 年 6 月 30 日递交的中国专利申请第 202310802966.6 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种数据传输方法、发送端、接收端、芯粒互联接口、芯片及电子设备。

背景技术

芯粒(Chiplet)是一种具有一定功能且含有封装内互联接口的单元芯片，其为芯片设计技术的最新发展。Chiplet 技术通过使用多个芯粒实现芯片设计，不仅可以降低成本，还可以提升芯片的性能。

芯粒间的互连自然成为影响芯片性能的重要因素。目前有串行总线和并行总线两种实现方式，其中并行总线互连是当下的主流。并行总线可以给两个芯粒之间较短的延迟，还能够通过增加总线带宽来扩大芯粒间的带宽。

实现了物理层面的互连之后，芯粒互联还需要完成数据链路的训练，其中的时钟到数据对齐是数据传输必不可少的一个环节。但是时钟到数据对齐是属于数据链路的训练的组成部分，若在训练完成之后出现时钟与数据不对齐的情况，就需要重新进行数据链路的完整训练，这严重影响了芯片的正常工作。

发明内容

本公开的实施例提供了数据传输方法、发送端、接收端、芯粒互联接口、芯片及电子设备。

第一方面，本公开至少一个实施例提供一种数据传输方法，应用于接收端，包括：接收 N 个数据信号和第一时钟信号，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的

周期数量， N 为正整数；根据第一时钟信号，定位 N 个数据信号中的数据的开始位置，并获取 N 个数据信号中的数据。

例如，在本公开一实施例提供的方法中，根据第一时钟信号，定位 N 个数据信号中的数据的开始位置，并获取 N 个数据信号中的数据，包括：根据
5 第一时钟信号，获取 N 个第二时钟信号， N 个第二时钟信号分别对应于 N 个数据信号；根据 N 个第二时钟信号，分别定位 N 个数据信号中的每个数据信号的数据的开始位置，并分别将 N 个数据信号中的数据从串行数据转换为并行数据；其中， N 个第二时钟信号中的每一个第二时钟信号具有与第一时钟信号相同的周期数量。

10 例如，在本公开一实施例提供的方法中，在获取 N 个数据信号中的数据之后，方法还包括：根据 N 个第二时钟信号，对应地将 N 个数据信号中的数据保存到缓冲存储器。

例如，在本公开一实施例提供的方法中，方法还包括：根据第三时钟信号，从缓冲存储器中读取 N 个数据信号中的数据，其中，第三时钟信号为接
15 收端的本地时钟信号。

例如，在本公开一实施例提供的方法中，根据第三时钟信号，从缓冲存储器中读取数据信号中的数据，包括：根据第三时钟信号，访问缓冲存储器的读指针，以读取 N 个数据信号中的数据。

例如，在本公开一实施例提供的方法中，根据 N 个第二时钟信号，对应
20 地将 N 个数据信号中的数据保存到缓冲存储器，包括：根据 N 个第二时钟信号，分别访问缓冲存储器的写指针，以将 N 个数据信号中的数据保存到缓冲存储器。

例如，在本公开一实施例提供的方法中，方法还包括：在从缓冲存储器中读取到至少一个空数据之后，停止对缓冲存储器的读取。

25 例如，在本公开一实施例提供的方法中， N 个数据信号中的每个数据信号的周期数量为 M ，第一时钟信号的周期数量为 $M+X$ ， M 为大于或等于 2 的整数， X 为大于或等于 0 的整数。

第二方面，本公开至少一个实施例提供一种数据传输方法，应用于发送
30 端，包括：发送 N 个数据信号和第一时钟信号，其中， N 为正整数，第一时钟信号的周期数量有限， N 个数据信号中的每个数据信号的周期数量小于或

等于所述第一时钟信号的周期数量，并且第一时钟信号用于定位 N 个数据信号中的数据开始位置并获取 N 个数据信号中的数据。

例如，在本公开一实施例提供的方法中，发送 N 个数据信号和第一时钟信号，包括：同时发送 N 个数据信号和第一时钟信号；或者，先发送第一时钟信号，然后在预设周期之后发送 N 个数据信号。

例如，在本公开一实施例提供的方法中，方法还包括：在 N 个数据信号停止发送时或者停止发送之后，停止发送第一时钟信号。

例如，在本公开一实施例提供的方法中，N 个数据信号中的每个数据信号的周期数量为 M，第一时钟信号的周期数量为 M+X，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

第三方面，本公开至少一个实施例提供一种接收端，应用于芯粒互连接口，包括：N 个数据端口，被配置为接收 N 个数据信号，N 为正整数；时钟端口，被配置为接收第一时钟信号，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量；数据处理模块，与 N 个数据端口及时钟端口连接，被配置为根据第一时钟信号，定位 N 个数据信号中的数据开始位置，并获取 N 个数据信号中的数据。

例如，在本公开一实施例提供的接收端中，接收端还包括：时钟获取模块，与时钟端口及数据处理模块连接，被配置为根据第一时钟信号，获取 N 个第二时钟信号，并将 N 个第二时钟信号发送至数据处理模块；数据处理模块被配置为根据 N 个第二时钟信号，分别将 N 个数据信号中的数据从串行数据转换为并行数据；其中，N 个第二时钟信号中的每一个第二时钟信号具有与第一时钟信号相同的周期数量。

例如，在本公开一实施例提供的接收端中，接收端还包括：缓冲存储器，与数据处理模块连接，被配置为保存 N 个数据信号中的数据。

例如，在本公开一实施例提供的接收端中，数据处理模块还被配置为根据 N 个第二时钟信号，分别访问缓冲存储器的写指针，以将 N 个数据信号中的数据保存到缓冲存储器。

例如，在本公开一实施例提供的接收端中，接收端还包括：数据读取模块，与缓冲存储器连接，被配置为根据第三时钟信号从缓冲存储器中读取

N 个数据信号中的数据，其中，第三时钟信号为接收端的本地时钟信号。

例如，在本公开一实施例提供的接收端中，数据读取模块还被配置为根据第三时钟信号，访问缓冲存储器的读指针，以读取 N 个数据信号中的数据。

5 例如，在本公开一实施例提供的接收端中，数据读取模块还被配置为在从缓冲存储器中读取到至少一个空数据之后，停止对缓冲存储器的数据读取。

例如，在本公开一实施例提供的接收端中，缓冲存储器为异步 FIFO 存储器。

例如，在本公开一实施例提供的接收端中，接收端还包括：本地时钟，被配置为生成本地时钟信号。

10 例如，在本公开一实施例提供的接收端中，N 个数据信号中的每个数据信号的周期数量为 M，第一时钟信号的周期数量为 $M+X$ ，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

第四方面，本公开至少一个实施例提供一种发送端，应用于芯粒互连接口，包括：N 个数据端口，被配置为对应地发送 N 个数据信号，N 为正整数；
15 时钟端口，被配置为发送第一时钟信号；本地时钟，与时钟端口及 N 个数据端口连接，被配置为生成第一时钟信号；其中，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量，并且第一时钟信号用于定位 N 个数据信号中的数据的开始位置并获取 N 个数据信号中的数据。

20 例如，在本公开一实施例提供的发送端中，N 个数据端口和时钟端口被配置为同时发送 N 个数据信号和第一时钟信号；或者，时钟端口被配置为先发送第一时钟信号，N 个数据端口被配置为在第一时钟信号发送后的预设周期之后发送 N 个数据信号。

25 例如，在本公开一实施例提供的发送端中，发送端还包括：时钟开关，与本地时钟连接以及与时钟端口连接，被配置为在 N 个数据信号停止发送时或者停止发送的一个周期之后，断开本地时钟与时钟端口的连接。

例如，在本公开一实施例提供的发送端中，N 个数据信号的每个数据信号的周期数量为 M，第一时钟信号的周期数量为 $M+X$ ，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

30 第五方面，本公开至少一个实施例还提供一种芯粒互连接口，被配置为

执行如上述第一方面中任一项的方法。

第六方面，本公开至少一个实施例还提供一种芯粒互联接口，被配置为执行如上述第二方面中任一项的方法。

5 第七方面，本公开至少一个实施例还提供一种芯粒互联接口，包括如第三方面中任一项的接收端。

第八方面，本公开至少一个实施例还提供一种芯粒互联接口，包括如第三方面中任一项的发送端。

第九方面，本公开至少一个实施例还提供一种芯片，包括多个芯粒，其中，多个芯粒中的任意两个芯粒通过如第五方面或第七方面的芯粒互联接口和如第六方面或第八方面的芯粒互联接口连接。

第十方面，本公开至少一个实施例提供一种电子设备，包括如第九方面的芯片。

附图说明

15 为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 示出了一种现有技术中的芯粒互联接口的示意图；

图 2 示出了一种现有技术中芯粒间进行时钟到数据对齐的示意图；

20 图 3 示出了根据本公开至少一个实施例提供的数据传输方法的流程图；

图 4 示出了根据本公开至少一个实施例提供的又一种数据传输方法的流程图；

图 5 示出了本公开至少一个实施例提供的接收端的示意图；

图 6 示出了本公开至少一个实施例提供的发送端的示意图；

25 图 7a 示出了本公开至少一个实施例提供的时钟开关的结构示意图；

图 7b 示出了本公开至少一个实施例提供的第一时钟信号和数据信号的示意图；

图 7c 示出了本公开至少一个实施例提供的第一时钟信号和数据信号的有一种示意图；

30 图 8 示出了本公开至少一个实施例提供的芯片的示意图；

图 9 示出了本公开至少一个实施例提供的芯粒互联后的数据传输方法的时序图；以及

图 10 示出了本公开至少一个实施例提供的电子设备的示意图。

5 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

数据链路的训练通常是在芯粒的初始化完成之后进行的，其需要作为发送侧的芯粒和作为接收侧的芯粒协作完成，从而使得接收侧的芯粒可以找到最合适的数据采样窗口。完整的数据链路的训练包括多个部分，例如偏置 Offset 校准、参考电源 Verf 校准、数据通路去歪斜 (deskew)、时钟到数据对齐 (CDA, Clock and Data Alignment)、并行数据保序 (reorder) 和数据检查等。时钟到数据对齐是调整数据和时钟之间的相位，最终获得合适的采样相位。

图 1 示出了一种现有技术中的芯粒互联接口的示意图。

在图 1 中，芯粒 A 和芯粒 B 通过芯粒互联接口 110 和芯粒互联接口 120 实现连接。芯粒 A 是发送侧，芯粒 B 是接收侧。芯粒互联接口 110 包括多个

数据端口 111、时钟端口 112 和本地时钟 113。芯粒互接口 120 包括多个数据端口 121、时钟端口 122、时钟接收模块 123 和数据采样模块 124。多个数据端口 111 和多个数据端口 121 的数据端口数量相等，其分别通过多个数据通路连接。时钟端口 112 通过时钟通路连接到时钟端口 122。本地时钟 113 产生时钟信号，并将时钟信号发送给多个数据端口 111 和时钟端口 112。时钟接收模块 123 接收本地时钟 113 产生的时钟信号并对该时钟信号进行调整，并将调整后的时钟信号发送给数据采样模块 124。数据采样模块 124 利用该时钟信号进行数据采样。该时钟信号可以是差分时钟信号。时钟信号和数据信号是持续发送给芯粒 B 的，数据信号携带有效数据和空数据，即数据信号携带的不全是有效数据。有效数据是芯粒 A 希望发送给芯粒 B 的，芯粒 A 是按照预设数据格式传输有效数据，每一次发送的有效数据的长度有限，有效数据之间不是连续发送的，其会存在一些时间间隙，空数据则是用来填充有效数据之间的间隙。因此，芯粒 A 和芯粒 B 之间的数据传输会存在多个数据通道之间的数据不对齐。在现有技术中，需要对时钟到数据对齐进行预先的训练，从而才能接收到准确的数据。

图 2 示出了一种现有技术中芯粒间进行时钟和数据对齐的示意图。

通常使用有效标志位来进行时钟到数据对齐的训练。图 2 中的芯粒 A 和芯粒 B 可以是图 1 所示的芯粒 A 和芯粒 B。有效标志位为 vld，其取值为 1，发送端将其复制 3 次变成长度为 3bit 的数据，使用每个数据通道的前 3bit 携带有效标志位。有效标志位可以表示一段有效数据的开始。根据有效标志位，芯粒 B 可以从每个数据信号中准确的定位到有效数据。有效数据又具有约定的数据格式，包括数据长度。因此芯粒 B 在发现有效标志位之后，就能够定位到一段有效数据。图 2 中，从芯粒 A 中的发送出的 3 个数据信号是对齐的。芯粒 B 接收到的 3 个数据信号之间存在一定的相位差或延迟，这种延迟是难以消除的，其受到芯粒设计、工作环境、温度、湿度、制造工艺等多种因素的影响。接收端只要成功接收到 3 个有效标志位中的 2 个有效标志位就判断数据通道之间是对齐的。

图 2 中的下方的两个数据通路和上方的第一个数据通路之间虽然存在一定相位差，但 3 个数据通路仍有 2 个有效标志位对齐，因此认定这三个数据通路是对齐的。这种对齐方式并不是绝对的对齐，其允许一定的误差存在。

然而时钟到数据对齐的训练包含在完整的数据链路训练中，如果在芯片正常使用的过程中出现数据信号之间的不对齐、数据和时钟不对齐，即使数据链路训练中的其他训练没有必要进行，也必须重新进行完整的数据链路训练，对芯片的正常工作造成严重影响，还增加功耗。

5 基于此，本公开的实施例提供了数据传输方法、发送端、接收端、芯粒互联接口、芯片及电子设备，能够实现芯粒间实时的时钟和数据对齐，无需预先的时钟到数据对齐训练，并且提供了将时钟到数据对齐从数据链路训练中移除的可行方案。

下面结合附图对本公开所提供的实施例进行描述。

10 图 3 示出了根据本公开至少一个实施例提供的数据传输方法的流程图。图 3 所示的数据传输方法 300 应用于芯粒互联接口的接收端。

数据传输方法 300 包括以下步骤：

15 步骤 S310，接收 N 个数据信号和第一时钟信号，N 为正整数，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量。

步骤 S320，根据第一时钟信号，定位 N 个数据信号中的数据的开始位置，并获取 N 个数据信号中的数据。

20 在本公开中，N 个数据信号对应于 N 个数据通路，第一时钟信号对应于时钟通路。每个数据通路传输 1 个数据信号，每个数据信号携带的是串行数据。第一时钟信号可以是差分时钟信号。例如 N 为 2、3、4、……、16 等。N 的取值跟芯粒互联接口所需的带宽相关，数据通路越多，芯粒间的数据传输的带宽越大，数据通路的数量可以根据需求来设置。

25 每个数据信号携带的数据是长度有限，即每个数据信号中携带数据的周期数量有限。本公开的实施例中所涉及的 N 个数据信号的周期数量或者每个数据信号的周期数量都是指携带有效数据的周期数量。周期数量也可能被称为长度或周期长度，这些术语可以在本公开中互换。可以理解地，芯粒之间的数据传输通常有固定的数据格式，即每次传输的数据长度是固定的并且是相等的，例如数据格式规定数据长度为 128 位。本实施例中的 N 个数据信号的周期数量是相等的，即 N 个数据信号的周期数量和每个数据信号的周期数
30 量指的是相同的周期数量。

每个数据信号中的数据不包括有效标志位。每个数据信号中携带的数据可以具有预定义的数据格式，比如具有预定的数据长度或周期数量。例如，周期数量为 8。为了便于描述，在本公开中提及的数据信号的长度或周期数量都是指数据信号中携带有效数据的部分，数据信号中的数据也是指有效数据。本公开中的数据信号是方波，方波可能会被持续接收到，但是其中携带有数据的部分才是本公开要讨论的数据信号的部分。

相应地，第一时钟信号的长度也有限，该长度为携带有效时钟周期的长度，例如该长度为 4 个周期。第一时钟信号有效时钟周期例如是具有时钟跳变的周期，每个有效时钟周期包括时钟的 1 个上升沿和 1 个下降沿。第一时钟信号也可以是方波的形式传输的，与数据信号不同的是，本公开中的第一时钟信号有效时是方波，无效时可以是持续的低电平。

本公开中的数据信号中的数据不携带有效标志位，而是利用第一时钟信号来确定数据的开始位置。N 个数据信号与第一时钟信号存在对应关系，对应关系为周期数量相差小于或等于预设数量。例如，第一时钟信号的周期数量有限并且第一时钟信号的周期数量大于或等于每个数据信号的周期数量。优选地，第一时钟信号的周期数量等于每个数据信号的周期数量。

第一时钟信号的长度需要大于或等于每个数据信号的长度，每个数据信号的长度是相同的。第一时钟信号的长度大于或大于数据信号的长度时，才能够保证数据信号中的数据被完整的获取，否则可能出现数据残缺。例如，可以认为是第一时钟信号决定了数据信号中数据的开始位置，本公开的方案不涉及有效标志位，从而第一时钟信号的第一时间周期的位置就对应了数据信号中携带的数据的开始位置，例如图 9。例如，N 个数据信号周期数量为 M，N 个第一时钟信号的周期数量为 $M+X$ ，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。X 还需要小于或等于预设数量。预设数量例如是 1、2、3、4 等。预设数量可以根据需求进行调整，预设数量越小，第一时钟信号的长度越短，从而发送和接收第一时钟信号的功耗就越小。

在执行步骤 S320 时，由于第一时钟信号和 N 个数据信号之间的对应关系。因此可以根据第一时钟信号得到数据信号中的数据。这里的数据信号中数据是指数据信号携带的有效数据。本实施例中，与有效数据相对的是无效数据或者空数据，无效数据或空数据可以是乱码、预设填充数值等，从而读

取到无效数据或空数据之后就确定数据信号中的有效数据已经接收完。例如，本实施例中，第一时钟信号不是持续存在而是长度有限的，将第一时钟信号用来定位数据信号中的数据的位置。

5 按照本实施例所提供的方法，接收的 N 个数据信号和第一时钟信号存在对应关系，从而可以利用第一时钟信号来确定并获取数据信号中的数据，数据中无需包括有效标志位，亦无需预先进行时钟到数据对齐的训练，并且可以实时得到时钟到数据对齐的效果。

10 在一些实施例中，执行步骤 S320 可以包括：根据第一时钟信号，定位 N 个数据信号中的数据的开始位置，并获取 N 个第二时钟信号， N 个第二时钟信号分别对应于 N 个数据信号；根据 N 个第二时钟信号，分别定位 N 个数据信号中的每个数据信号的数据的开始位置，并分别将 N 个数据信号中的数据从串行数据转换为并行数据；其中， N 个第二时钟信号中的每一个第二时钟信号具有与第一时钟信号相同的周期数量。

15 例如，将第一时钟信号扩展出 N 个第二时钟信号，不改变时钟信号的频率和周期数量（或长度）。 N 个第二时钟信号之间可以存在不同的相位差，例如获取 N 个第二时钟信号时，对每个第二时钟信号调整不同的相位，如图 9 中的多个 lane 的时钟信号具有不同的相位差。本实施例中的相位差可以被理解为延迟。然后根据 N 个第二时钟信号中的每个时钟信号对 N 个数据信号中的数据进行定位，例如定位数据的开始位置。

20 例如，利用 N 个第二时钟信号对应地对 N 个数据信号进行采样，从而将每个数据信号中的数据从串行转换为并行，其中每个第二时钟信号被用于对应的 1 个数据信号的采样。比如在每个时钟下降沿或每个时钟上升沿进行一次数据采样，从而得到数据信号中的数据。

25 在一些实施例中，在获取 N 个数据信号中的数据之后，数据传输方法还包括：根据 N 个第二时钟信号，对应地将 N 个数据信号中的数据保存到缓冲存储器。

30 可选地，每个数据信号中的数据可以被保存到缓冲存储器的部分存储区域，或者被单独保存到 1 个缓冲存储器中。即，缓冲存储器的数量可以为 1 个或 N 个。例如，将数据信号中的数据解串行之后，得到若干个数据块，每个数据块可以存储在缓冲存储器的一个存储空间内，例如一个条目 entry 内、

一段地址空间内。不同数据信号中的数据可以被保存到不同的缓冲存储器，这样更容易实现并便于后续的处理。

在将 N 个数据信号中的数据保存到一个缓冲存储器的不同区域内时，缓冲存储器为每个数据信号中的数据预留固定的存储区域。例如缓冲存储器分为 N 个存储区域，每个存储区域包括多个存储空间。

在一些实施例中，将 N 个数据信号中的数据保存到缓冲存储器，包括：根据 N 个第二时钟信号，分别访问缓冲存储器的写指针，以将 N 个数据信号中的数据保存到缓冲存储器。

例如，在仅有一个缓冲存储器时，利用 N 个第二时钟信号来访问不同存储区域的写指针，以将 N 个数据信号中的数据存储到不同的存储区域。缓冲存储器可以包括 N 个存储区域，每个存储区域有自己的写指针以及读指针。

又如，在有 N 个缓冲存储器时，利用 N 个第二时钟信号来访问不同的缓冲存储器的写指针，以将 N 个数据信号中的数据存储到不同的缓冲存储器。

例如，缓冲存储器是利用访问写指针的方式写入数据，从而可以利用第二时钟信号对写指针进行计数，比如第二时钟信号的每一次上升沿或每一次下降沿使得写指针的取值加 1，即指向下一个存储空间。每个写指针有规律的循环指向一个存储区域中的若干个存储空间。例如，写指针按照存储空间的地址由大到小或者由小到大来跳转。

在一些实施例中，数据传输方法还包括：根据第三时钟信号，从缓冲存储器中读取 N 个数据信号中的数据，其中，第三时钟信号为接收端的本地时钟信号。可以利用同一个第三时钟信号，对 N 个数据信号中的数据进行读取。

从缓冲存储器中读取数据的方式和保存数据的方式类似。例如，可以根据第三时钟信号，访问缓冲存储器的读指针，以读取 N 个数据信号中的数据。比如在有 N 个缓冲存储器时，可以根据第三时钟信号去访问 N 个缓冲存储器，从而得到 N 个数据信号中的数据。缓冲存储器的读指针被访问之后，读指针的取值也会加 1，并指向下一个存储空间。可选地，读指针的取值数量有限或者取值范围有限，读指针的取值在该取值范围内循环跳转。例如，根据第三时钟信号中的上升沿或下降沿对 N 个缓冲存储器的读指针进行访问以及计数，从而就可以同时读取 N 个数据信号中的数据。

可选地，N 个数据信号中的数据被保存到缓冲存储器之后，可以被同时

读取出来。例如，在确定所有的 N 个数据信号中的数据都被对应保存到缓冲存储器之后，可以使用第三时钟信号来同时进行读取。N 个数据信号中的数据的长度和以及数据块的数量是规定相同的，数据块可以保存在不同缓冲存储器的相似的若干个存储空间中，或者数据块可以被按照相同的顺序进行保存。因此，在读取数据时，就可以使用同一个信号来触发，使得不同缓冲存储器或不同存储区域中的数据可以被同时且有序的读取。第三时钟信号还可以是根据第一时钟信号生成的时钟信号，例如根据第一时钟信号的频率来生成长度超过第一时钟信号的第三时钟信号，或者对第一时钟信号进行延迟得到第三时钟信号。

10 采用本实施例中的方法，N 个数据信号中的数据可以被认为“对齐的”保存到缓冲存储器，而后进一步使用同一个第三时钟信号来读取缓冲存储器中的数据，该读取过程也是“对齐的”，即使传输过程中 N 个数据信号之间不对齐（例如，不同数据信号之间的相差超过 2 个周期），最终得到的数据仍旧是对齐的，因此在芯粒正常工作状态下数据通道之间出现不对齐，也无需重新进行数据链路的训练。进一步，采用本实施例中的方法，可以不需要在数据链路的训练阶段进行时钟到数据对齐的训练，直接通过 N 个数据信号和第一时钟信号对应发送/接收的方式来完成数据对齐，由于无需进行时钟到数据对齐的训练以及重复的数据链路的训练，不仅减少设计的复杂度还可以降低功耗。

20 在一些实施例中，数据传输方法还包括在从缓冲存储器中读取到至少一个空数据之后，停止对 N 个缓冲存储器的读取。

本实施例中的每个数据信号中的数据长度有限，从而在从缓冲存储器中读取到空数据之后，就可以认为数据读取已经完成，并停止访问缓冲存储器。

25 上文中结合附图介绍了芯粒互联接口的接收端的数据传输方法，下面将结合图 4 介绍芯粒互联接口的发送端的数据传输方法。

本公开至少一个实施例还提供一种数据传输方法，应用于发送端，包括：发送 N 个数据信号和第一时钟信号，其中，N 为正整数，N 个数据信号与第一时钟信号存在对应关系，对应关系为周期数量相差小于或等于预设数量，并且第一时钟信号用于获取 N 个数据信号中的数据。

30 图 4 示出了根据本公开至少一个实施例提供的又一种数据传输方法的流

程图。数据传输方法 400 适用于发送端。

在图 4 中，数据传输方法 400 包括以下步骤：

5 步骤 S410，发送 N 个数据信号和第一时钟信号，其中，N 为正整数，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量，并且第一时钟信号用于定位 N 个数据信号中的数据的开始位置并获取 N 个数据信号中的数据。

10 N 个数据信号和第一时钟信号的定义可参见图 3 中的相关描述，在此不再赘述。本实施例中，并不是任意一个周期数量和数据信号的周期数量相同的时钟信号都可以用来获取数据信号中的数据。第一时钟信号和 N 个数据信号是存在对应关系的，例如，第一时钟信号和 N 个数据信号在发送时，是对齐发送的、或者是同时发送的，从而第一时钟信号的第一个边沿和 N 个数据信号中的第一个携带有效数据的周期对齐。对于接收端，经过设计或数据去歪斜训练之后，该对应关系没有发生变化。

15 可选地，N 个数据信号中的每个数据信号的周期数量为 M，第一时钟信号的周期数量为 M+X，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

20 N 个数据信号中的每个数据信号的周期数量相同。第一时钟信号的周期数量大于或等于数据信号的周期数量，这样可以保证对完整获得数据信号中的数据。例如，M 等于 6，X 等于 1 或 2。可选地，第一时钟信号的周期数量与数据信号的周期数量的差值小于预设值。例如，预设值是 4 或 3。在第一时钟信号的周期数量不超出数据信号的周期数量太多时，可以节省用于接收第一时钟信号的功率。

25 在进一步的实施例中，在执行步骤 S410 时，可以同时发送 N 个数据信号和第一时钟信号；或者，先发送第一时钟信号，然后在预设周期长度之后发送 N 个数据信号。

例如，在第一时钟信号的周期数量等于或者大于数据信号的周期数量时，可以同时发送对应的数据信号和第一时钟信号。在第一时钟信号的周期数量大于数据信号的周期数量时，可以先发送第一时钟信号，然后再发送数据信号，从而保证第一时钟信号的可以“覆盖”数据信号的所有周期。

30 可选地，第一时钟信号的发送与数据信号的发送相关，例如数据信号的

发送决定了第一时钟信号的发送。例如，可以设置第一时钟信号在 N 个数据信号发送的同时进行发送，从而第一时钟信号的开始位置和 N 个数据信号中的数据的开始位置对齐。

5 在一些实施例中，数据传输方法还包括：在 N 个数据信号停止发送时或者停止发送之后，停止发送第一时钟信号。

例如，每个数据信号停止发送也可以理解为每个数据信号发送完成，在所有数据信号停止发送时，可以选择将第一时钟信号停止发送，或者让第一时钟信号继续发送几个周期。如此可以既保证第一时钟信号的周期数量大于或等于数据信号的周期数量，还可以停止继续后续不会被用到的时钟周期，10 即在不发送数据信号的时候停止发送时钟信号，从而可以降低发送时钟信号带来的功耗。

本公开至少一个实施例还提供一种芯粒互联接口，被配置为执行如上述第一个方法实施例中任一项的方法。例如，芯粒互联接口中有处理模块，其可以实现如上述方法实施例中的方法。

15 本公开至少一个实施例还提供一种芯粒互联接口，被配置为执行如上述第二个方法实施例中任一项的方法。例如，芯粒互联接口中有处理模块，其可以实现如上述方法实施例中的方法。

图 5 示出了本公开至少一个实施例提供的接收端的示意图。本实施例中的接收端 500 可以执行参照图 3 描述的数据传输方法，其执行方式可参见图 20 3 的相关描述。

在图 5 中，接收端 500 包括 N 个数据端口 510、时钟端口 520 和数据处理模块 530。数据处理模块 530 分别与 N 个数据端口 510 连接，以及数据处理模块 530 与时钟端口 520 连接。接收端 500 连接 N 个数据通路和 1 个时钟通路，每个数据通路连接到一个数据端口。

25 其中，N 个数据端口 510 对应地接收 N 个数据信号。N 为正整数。N 个时钟端口 520 对应地接收 N 个第一时钟信号。N 个数据信号与第一时钟信号存在对应关系，对应关系为周期数量相差小于或等于预设数量。例如，第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量。数据处理模块 530 根据 N 第一时钟信号，30 定位 N 个数据信号中的数据的开始位置，并获取 N 个数据信号中的数据。

可选地，接收端还包括：时钟获取模块，与时钟端口及数据处理模块连接，被配置根据将第一时钟信号，获取 N 个第二时钟信号，并将 N 个第二时钟信号发送至数据处理模块。

在此实现方式中，时钟端口不直接与数据处理模块连接，而是经由时钟获取模块连接到数据处理模块。时钟获取模块可以对第一时钟信号进行扩展或延迟，以得到 N 个第二时钟信号。在没有时钟获取模块的实现方式中，可以通过电路的设计，对第一时钟信号进行延迟和扩展，例如利用连接线的长度来调整第二时钟信号之间的相位差。

进一步可选地，数据处理模块被配置为根据 N 个第二时钟信号，分别将 N 个数据信号中的数据从串行数据转换为并行数据。其中，N 个第二时钟信号中的每一个第二时钟信号具有与第一时钟信号相同的周期数量。

例如在数据处理模块的数量为 N 时，每个数据处理模块连接 1 个第二时钟信号，并负责对应的 1 个数据信号的数据的串并转换。在数据处理模块的数量为 1 时，数据处理模块可以包括多个处理单元，每个处理单元连接 1 个第二时钟信号并负责对应的 1 个数据信号的数据的串并转换。

例如，数据处理模块 530 串并转换器，串并转换器可以将串行数据转换为并行数据。又如，数据处理模块 530 包括采样器和解复用器，采样器可以根据第二时钟信号对数据信号中的数据进行采样，从而获得数据信号中的数据，然后通过解复用器将采样后的数据变为并行数据。

在一些实施例中，接收端还包括：缓冲存储器，与数据处理模块连接，被配置为保存 N 个数据信号中的数据。例如，缓冲存储器的数量为 1 个或 N 个。

例如，接收端 500 还包括 N 个缓冲存储器 540，N 个缓冲存储器 540 在图中用虚线框表示。N 个缓冲存储器 540 分别保存 N 个数据信号中的数据。

在一些实施例中，数据处理模块还被配置为根据 N 个第二时钟信号，对应地访问 N 个缓冲存储器的写指针，以保存 N 个数据信号中的数据。

例如，缓冲存储器 540 是利用访问写指针的方式写入数据，从而可以利用第二时钟信号对写指针进行计数，比如第二时钟信号的每一次上升沿或每一次下降沿使得写指针的取值加 1，即指向下一个存储空间。由于第二时钟信号的周期与相应的数据信号的周期对应，从而根据第二时钟信号控制写指

针计数，就能够将数据信号中的数据完整的写入 N 个缓冲存储器 540。

可选地，N 个缓冲存储器 540 中的每个缓冲存储器为异步 FIFO 存储器。

5 在一些实施例中，接收端还包括：数据读取模块，与缓冲存储器连接，被配置为根据第三时钟信号，从缓冲存储器中读取 N 个数据信号中的数据，其中，第三时钟信号为本地时钟信号。

例如，接收端 500 还包括数据读取模块 550。数据读取模块 550 的数量为 1。数据读取模块 550 与 N 个缓冲存储器 540 连接。数据读取模块 550 可以根据第三时钟信号同时从 N 个缓冲存储器 540 中读取 N 个数据信号中的数据。需要注意的是数据读取模块 550 需要等待所有的 N 个缓冲存储器
10 540 都写入数据之后，再进行数据的读取。

在一些实施例中，数据读取模块还被配置为根据第三时钟信号，访问缓冲存储器的读指针，以读取 N 个数据信号中的数据。

例如，数据读取模块 550 可以根据第三时钟信号，同时访问 N 个缓冲存储器 540 各自的读指针。例如，根据第三时钟信号中的每个周期内的上升沿
15 或下降沿对 N 个缓冲存储器 540 的读指针进行访问以及计数，从而同时读取 N 个数据信号中的数据。

在一些实施例中，数据读取模块还被配置为在从缓冲存储器中读取到至少一个空数据之后，停止对缓冲存储器的数据读取。

例如，数据读取模块 550 被配置为从 N 个缓冲存储器 540 读取到空数据
20 之后，就确定数据已经全部读取，从而停止对 N 个缓冲存储器 540 的数据读取。例如，数据读取模块 550 是根据本地时钟信号来读取 N 个缓冲存储器 540 中的数据，由于本地时钟信号一直存在，因此数据读取模块 550 需要通过空数据来确定数据是否全部读取成功。又如，数据读取模块 550 是根据第一时钟信号或第二时钟信号读取 N 个缓冲存储器 540 中的数据，第一时钟信号
25 和第二时钟信号的有效时钟周期长度有限，从而可以在经历全部有效时钟周期之后，自动停止对 N 个缓冲存储器 540 的数据读取。

在一些实施例中，接收端还包括：本地时钟，被配置为生成本地时钟信号。

图 6 示出了本公开至少一个实施例提供的发送端的示意图。图 6 中的发送端 600 可以执行如图 4 所示的方法，执行方式可参见图 4 的相关描述。
30

在图 6 中，发送端 600 包括 N 个数据端口 610、时钟端口 620 和本地时钟 630。N 个数据端口 610 对应地发送 N 个数据信号，N 为正整数。时钟端口 620 发送第一时钟信号。本地时钟 630 生成第一时钟信号。本地时钟 630 连接到时钟端口 620 和 N 个数据端口 610。其中，N 个数据信号与第一时钟信号存在对应关系，对应关系为周期数量相差小于或等于预设数量，例如第一时钟信号的周期数量有限，N 个数据信号中的每个数据信号的周期数量小于或等于第一时钟信号的周期数量。并且第一时钟信号用于定位 N 个数据信号中的数据开始位置并获取 N 个数据信号中的数据。可选地，本地时钟 630 可以是锁相环。

10 在一些实施例中，N 个数据信号的周期数量为 M，N 个第一时钟信号的周期数量为 $M+X$ ，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

在一些实施例中，N 个数据端口和时钟端口被配置为同时发送 N 个数据信号中的一个数据信号和对应的一个第一时钟信号；或者，时钟端口被配置为先发送第一时钟信号，N 个数据端口被配置为在第一时钟信号发送后的预设周期之后发送 N 个数据信号。

可以选择不同的发送方式。例如，在数据信号和第一时钟信号的周期数量相等时，必须要同时发送。第一时钟信号的周期数量大于数据信号的周期数量时，可以同时发送第一时钟信号和数据信号，也可以先发送第一时钟信号再发送数据信号。需要注意的是，由于第一时钟信号会被用于对数据信号中的数据定位，从而先发送第一时钟信号的情况下，需要确定发送第一时钟信号和发送数据信号之间的周期差或者相位差，从而保证接收端可以利用第一时钟信号来实现数据的定位。

25 在一些实施例中，芯粒互联接口还包括：时钟开关，与本地时钟连接以及与时钟端口连接，被配置为在 N 个数据信号停止发送时或者停止发送的一个周期之后，断开本地时钟与时钟端口的连接。可选地，时钟开关还可以在 N 个数据信号停止发送后的 2 个周期或等多个周期之后，断开本地时钟与时钟端口的连接。可选地，时钟开关还可以控制第一时钟信号的发送，例如本地时钟输出的是一直存在的时钟信号，由时钟开关来决定是否发送第一时钟信号、何时发送第一时钟信号以及何时停止发送第一时钟信号。

30 例如，图 6 中用虚线框示出的时钟开关 640。时钟开关 640 和本地时钟

630 连接，时钟开关 640 还连接到时钟端口 620。时钟开关 640 可以控制时钟端口 620 的第一时钟信号的发送或停止发送。

可选地，N 个时钟开关 640 可以用时钟门控电路或开关来实现。

图 7a 示出了本公开至少一个实施例提供的时钟开关的结构示意图。

5 图 7a 中时钟开关 700 为基于锁存器的时钟门控电路。时钟开关 700 包括锁存器 701 和与门 702。锁存器 701 的输入为时钟的使能信号 ClkEn 和时钟信号 Clock，与门 702 的输入为时钟信号 Clock 和锁存器 701 的输出。时钟开关 700 可以关断时钟的使能信号 ClkEn 低无效时的时钟信号，即第一时钟信号是时钟的使能信号 ClkEn 高有效时的几个时钟周期。

10 图 7b 示出了本公开至少一个实施例提供的的第一时钟信号和数据信号的示意图。

图 7b 示出的是不使用时钟开关时的数据信号和第一时钟信号的示意图。图 7b 中的 Clock 为时钟信号，Data 为数据信号。图 7b 中的数据信号携带 4 个有效数据，分别是 D0、D1、D2 和 D3，其余斜线部分为无效数据。图 7b 15 中的第一时钟信号则是持续存在的。

图 7c 示出了本公开至少一个实施例提供的的第一时钟信号和数据信号的有一种示意图。

图 7c 示出的是使用时钟开关时的数据信号和第一时钟信号的示意图。图 7c 中的 ClkEn 为时钟的使能信号，Clock 为时钟信号，Data 为数据信号。20 图 7c 中的数据信号携带 4 个有效数据，分别是 D0、D1、D2 和 D3，其余斜线部分为无效数据。图 7b 中的第一时钟信号与有效数据对应存在。

本公开至少一个实施例还提供一种芯片，包括多个芯粒，其中，多个芯粒中的任意两个芯粒通过如上述第一装置实施例中任一项的芯粒互联接口和如上述第二装置实施例中任一项的芯粒互联接口连接。

25 本公开至少一个实施例还提供一种芯片，包括多个芯粒，其中，多个芯粒中的任意两个芯粒通过如上述第三装置实施例中任一项的芯粒互联接口和如上述第四装置实施例中任一项的芯粒互联接口连接。

图 8 示出了本公开至少一个实施例提供的芯片的示意图。

30 在图 8 中，芯片 800 包括芯粒 810 和芯粒 820。芯粒 810 为发送侧，芯粒 820 为接收侧。图 8 中仅示出芯粒 810 和芯粒 820 的芯粒互联接口部分。

芯粒 810 包括串并转换器 811、锁相环 812、时钟门控 813、数据端口 814 和时钟端口 815。芯粒 820 包括串并转换器 821、本地时钟 822、数据端口 823、时钟端口 824 和异步 FIFO 存储器 825。

数据端口 814 和数据端口 823 通过数据通路连接。时钟端口 815 和时钟端口 824 通过时钟通路连接。图 8 中仅示出一个数据端口作为示意，可以理解地，实际设计包括至少一个数据端口。

串并转换器 811 接收并行数据并转换为串行数据，串并转换器 821 则将串行数据转化为并行数据。锁相环 812 的输入是时钟信号 Clock，可以输出时钟信号到时钟门控 813 和串并转换器 811(图中仅示出输出 1 个时钟信号)。时钟门控 813 的另一个输入是时钟的使能信号 ClkEn。

时钟端口 824 将接收到的时钟信号发送至串并转换器 821，串并转换器 821 将 1 个时钟信号输入异步 FIFO 存储器 825，该时钟信号控制异步 FIFO 存储器 825 的写指针计数。本地时钟 822 将另一个时钟信号输入异步 FIFO 存储器 825，该时钟信号控制异步 FIFO 存储器 825 的读指针计数。

可选地，芯粒 820 可以包括多个串并转换器 821 和多个异步 FIFO 存储器 825。芯粒 820 还可以包括时钟获取模块，与时钟端口 824 以及多个串并转换器 821 连接。时钟获取模块可以将从时钟端口 824 接收到 1 个时钟信号扩展为多个时钟信号，多个时钟信号对应输入多个串并转换器 821。对应的，多个异步 FIFO 825 连接到多个串并转换器 821，每个串并转换器 821 将 1 个时钟信号输入对应的 1 个异步 FIFO 存储器 825。本地时钟 822 连接多个异步 FIFO 存储器 825，并向多个异步 FIFO 存储器 825 提供本地时钟信号。

图 9 示出了本公开至少一个实施例提供的芯粒互联后的数据传输方法的时序图。

图 9 中的芯粒互联可采用如图 8 所示的互联方式。在图 9 中，lane 表示来自数据通路的控制信号，FIFO 表示缓冲存储器的控制信号。laneY_gated_clock 表示数据通路 Y 的第一时钟信号，Y 为 0-N。laneY_wrpt 表示对缓冲存储器的写指针信号。FIFO_read_clock 为第二时钟信号，其为持续存在的时钟信号。FIFO_rdpt 为缓冲存储器读指针信号。FIFO_read 为读使能信号。FIFO_read_sync 为缓冲存储器的同步读信号。FIFO_valid 为缓冲存储器的有效信号。

每个 lane 的第一时钟信号和读指针信号是对应的，其表示在有第一时钟信号的上升沿或下降沿时将数据信号中的数据写入缓冲存储器。当所有的缓冲存储器都有数据写入之后，每个缓冲存储器的读指针和写指针的取值不相等，此时读使能信号 FIFO_read 被拉高变为有效。然后将读使能信号 FIFO_read 同步到 FIFO_read_clock 信号，并在下一个周期开始读出数据（下一个周期时 FIFO_valid 变成高有效）。图中的指针信号的取值 0、1、2 和 3 为表示指针的取值，其读取的是对应取值的数据。例如，FIFO_rdpt 的取值为 0，其读取的是 laneY_wrpt 取值为 0 对应的数据。因此，FIFO_rdpt 的取值为 1 至 3 时，对应读取每个 lane 中写指针取值 1 至 3 位置的数据。

10 在发送端停止发送数据信号之后，laneY_gated_clock 被关闭或断开，由于 FIFO_read_clock 还有效，会继续读取数据，但读取到的是空数据。只要读取到空数据，读使能信号就会拉低变为无效，等待下一次数据信号的传输。

本公开至少一个实施例提供一种电子设备，包括如上述实施例中的芯片。

图 10 示出了本公开至少一个实施例提供的电子设备的示意图。

15 电子设备 1000 包括芯片 1001。芯片 1001 例如是图 8 所示的芯片 800。电子设备 1000 可以为任意的具有计算功能的设备，例如为计算机、服务器、智能手机、平板电脑等，本公开的实施例对此不作限制。

以上结合具体实施例描述了本申请的基本原理，但是，需要指出的是，在本申请中提及的优点、优势、效果等仅是示例而非限制，不能认为这些优点、优势、效果等是本申请的各个实施例必须具备的。另外，上述公开的具体细节仅是为了示例的作用和便于理解的作用，而非限制，上述细节并不限制本申请为必须采用上述具体的细节来实现。

20 值得注意的，本申请中的步骤流程图以及以上方法描述仅作为例示性的例子并且不旨在于要求或暗示必须按照给出的顺序进行各个实施例的步骤，某些步骤可以并行、彼此独立或按照其他适当的顺序执行。另外，诸如“其次”、“然后”、“接下来”等等的词语不旨在于限制步骤的顺序；这些词语仅用于引导读者通读这些方法的描述。

本申请中涉及的器件、装置、设备、系统的方框图仅作为例示性的例子并且不意图要求或暗示必须按照方框图示出的方式进行连接、布置、配置。
30 还需要指出的是，在本申请的装置和方法中，各部件或各步骤是可以分解和

/或重新组合的。这些分解和/或重新组合应视为本申请的等效方案。

有以下几点需要说明：（1）本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。（2）在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种数据传输方法，应用于接收端，包括：

接收 N 个数据信号和第一时钟信号，其中，所述第一时钟信号的周期数量有限，所述 N 个数据信号中的每个数据信号的周期数量小于或等于所述第一时钟信号的周期数量，N 为正整数；

根据所述第一时钟信号，定位所述 N 个数据信号中的数据的开始位置，并获取所述 N 个数据信号中的数据。

2、根据权利要求 1 所述的方法，其中，所述根据所述第一时钟信号，定位所述 N 个数据信号中的数据的开始位置，并获取所述 N 个数据信号中的数据，包括：

根据所述第一时钟信号，获取 N 个第二时钟信号，其中，所述 N 个第二时钟信号分别对应于所述 N 个数据信号；

根据所述 N 个第二时钟信号，分别定位所述 N 个数据信号中的每个数据信号的数据的开始位置，并分别将所述 N 个数据信号中的数据从串行数据转换为并行数据；

其中，所述 N 个第二时钟信号中的每一个第二时钟信号具有与所述第一时钟信号相同的周期数量。

20

3、根据权利要求 2 所述的方法，其中，在获取所述 N 个数据信号中的数据之后，所述方法还包括：

根据所述 N 个第二时钟信号，对应地将所述 N 个数据信号中的数据保存到缓冲存储器。

25

4、根据权利要求 3 所述的方法，其中，所述方法还包括：

根据第三时钟信号，从所述缓冲存储器中读取所述 N 个数据信号中的数据，

其中，所述第三时钟信号为所述接收端的本地时钟信号。

30

5、根据权利要求4所述的方法，其中，所述根据第三时钟信号，从所述缓冲存储器中读取所述数据信号中的数据，包括：

根据所述第三时钟信号，访问所述缓冲存储器的读指针，以读取所述N个数据信号中的数据。

5

6、根据权利要求3所述的方法，其中，根据所述N个第二时钟信号，对应地将所述N个数据信号中的数据保存到缓冲存储器，包括：

根据所述N个第二时钟信号，分别访问所述缓冲存储器的写指针，以将所述N个数据信号中的数据保存到所述缓冲存储器。

10

7、根据权利要求5所述的方法，其中，所述方法还包括：

在从所述缓冲存储器中读取到至少一个空数据之后，停止对所述缓冲存储器的读取。

15

8、根据权利要求1-7中任一项所述的方法，其中，所述N个数据信号中的每个数据信号的周期数量为M，所述第一时钟信号的周期数量为M+X，M为大于或等于2的整数，X为大于或等于0的整数。

9、一种数据传输方法，应用于发送端，包括：

20

发送N个数据信号和第一时钟信号，

其中，N为正整数，所述第一时钟信号的周期数量有限，所述N个数据信号中的每个数据信号的周期数量小于或等于所述第一时钟信号的周期数量，并且所述第一时钟信号用于定位所述N个数据信号中的数据的开始位置并获取所述N个数据信号中的数据。

25

10、根据权利要求9所述的方法，其中，所述发送所述N个数据信号和所述第一时钟信号，包括：

同时发送所述N个数据信号和所述第一时钟信号；或者，

先发送所述第一时钟信号，然后在预设周期之后发送所述N个数据信号。

30

11、根据权利要求 9 所述的方法，还包括：

在所述 N 个数据信号停止发送时或者停止发送之后，停止发送所述第一时钟信号。

5 12、根据权利要求 9 所述的方法，其中，所述 N 个数据信号中的每个数据信号的周期数量为 M，所述第一时钟信号的周期数量为 M+X，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

13、一种接收端，应用于芯粒互连接口，包括：

10 N 个数据端口，被配置为接收 N 个数据信号，其中，N 为正整数；

时钟端口，被配置为接收第一时钟信号，其中，所述第一时钟信号的周期数量有限，所述 N 个数据信号中的每个数据信号的周期数量小于或等于所述第一时钟信号的周期数量；

15 数据处理模块，与所述 N 个数据端口及所述时钟端口连接，被配置为根据所述第一时钟信号，定位所述 N 个数据信号中的数据的开始位置，并获取所述 N 个数据信号中的数据。

14、根据权利要求 13 所述的接收端，还包括：

20 时钟获取模块，与所述时钟端口及所述数据处理模块连接，被配置根据所述第一时钟信号，获取 N 个第二时钟信号，并将所述 N 个第二时钟信号发送至所述数据处理模块；

所述数据处理模块被配置为根据所述 N 个第二时钟信号，分别将所述 N 个数据信号中的数据从串行数据转换为并行数据；

25 其中，所述 N 个第二时钟信号中的每一个第二时钟信号具有与所述第一时钟信号相同的周期数量。

15、根据权利要求 14 所述的接收端，还包括：

缓冲存储器，与所述数据处理模块连接，被配置为保存所述 N 个数据信号中的数据。

30

16、根据权利要求 15 所述的接收端，其中，所述数据处理模块还被配置为根据所述 N 个第二时钟信号，分别访问所述缓冲存储器的写指针，以将所述 N 个数据信号中的数据保存到所述缓冲存储器。

5 17、根据权利要求 15 所述的接收端，还包括：

数据读取模块，与所述缓冲存储器连接，被配置为根据第三时钟信号从所述缓冲存储器中读取所述 N 个数据信号中的数据，其中，所述第三时钟信号为所述接收端的本地时钟信号。

10 18、根据权利要求 17 所述的接收端，其中，所述数据读取模块还被配置为根据所述第三时钟信号，访问所述缓冲存储器的读指针，以读取所述 N 个数据信号中的数据。

15 19、根据权利要求 17 所述的接收端，其中，所述数据读取模块还被配置为在从所述缓冲存储器中读取到至少一个空数据之后，停止对所述缓冲存储器的数据读取。

20、根据权利要求 15 所述的接收端，其中，所述缓冲存储器为异步 FIFO 存储器。

20

21、根据权利要求 13 所述的接收端，其中，所述接收端还包括：
本地时钟，被配置为生成本地时钟信号。

25 22、根据权利要求 13 所述的接收端，其中，所述 N 个数据信号中的每个数据信号的周期数量为 M，所述第一时钟信号的周期数量为 M+X，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

30 23、一种发送端，应用于芯粒互联接口，包括：
N 个数据端口，被配置为对应地发送 N 个数据信号，N 为正整数；
时钟端口，被配置为发送第一时钟信号；

本地时钟，与所述时钟端口及所述 N 个数据端口连接，被配置为生成所述第一时钟信号；

其中，所述第一时钟信号的周期数量有限，所述 N 个数据信号中的每个数据信号的周期数量小于或等于所述第一时钟信号的周期数量，并且所述第一时钟信号用于定位所述 N 个数据信号中的数据的开始位置并获取所述 N 个数据信号中的数据。

24、根据权利要求 23 所述的发送端，其中，所述 N 个数据端口和所述时钟端口被配置为同时发送所述 N 个数据信号和所述第一时钟信号；或者，所述时钟端口被配置为先发送所述第一时钟信号，所述 N 个数据端口被配置为在所述第一时钟信号发送后的预设周期之后发送所述 N 个数据信号。

25、根据权利要求 23 所述的发送端，还包括：

时钟开关，与所述本地时钟连接以及与所述时钟端口连接，被配置为在所述 N 个数据信号停止发送时或者停止发送的一个周期之后，断开所述本地时钟与所述时钟端口的连接。

26、根据权利要求 23 所述的发送端，其中，所述 N 个数据信号的每个数据信号的周期数量为 M，所述第一时钟信号的周期数量为 M+X，M 为大于或等于 2 的整数，X 为大于或等于 0 的整数。

27、一种芯粒互联接口，包括如权利要求 13-22 中任一项所述的接收端。

28、一种芯粒互联接口，包括如权利要求 23-26 中任一项所述的发送端。

29、一种芯片，包括多个芯粒，其中，所述多个芯粒中的任意两个芯粒通过如权利要求 27 所述的芯粒互联接口和如权利要求 28 所述的芯粒互联接口连接。

30、一种电子设备，包括如权利要求 29 所述的芯片。

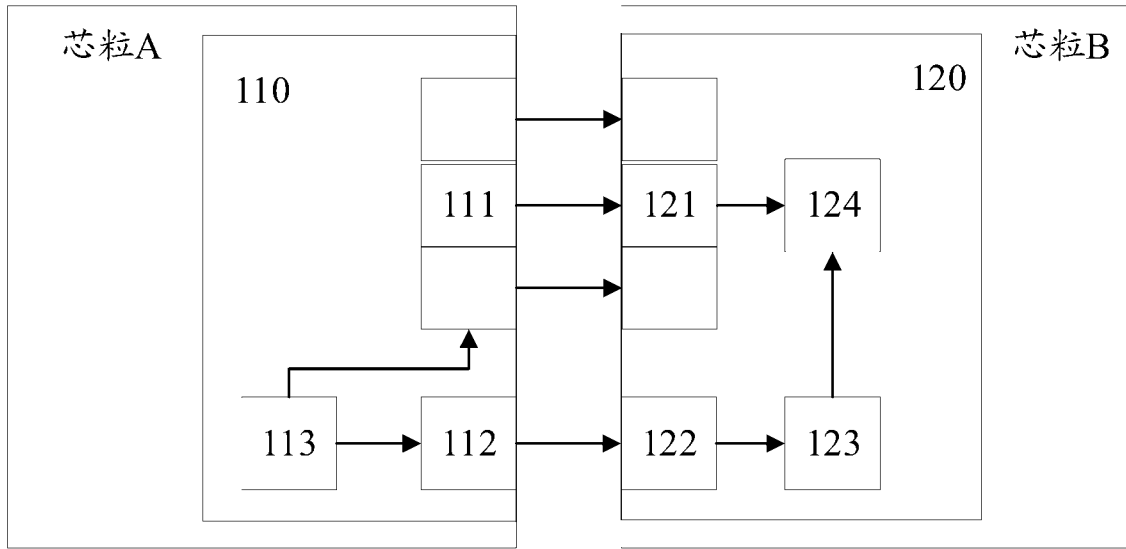


图 1

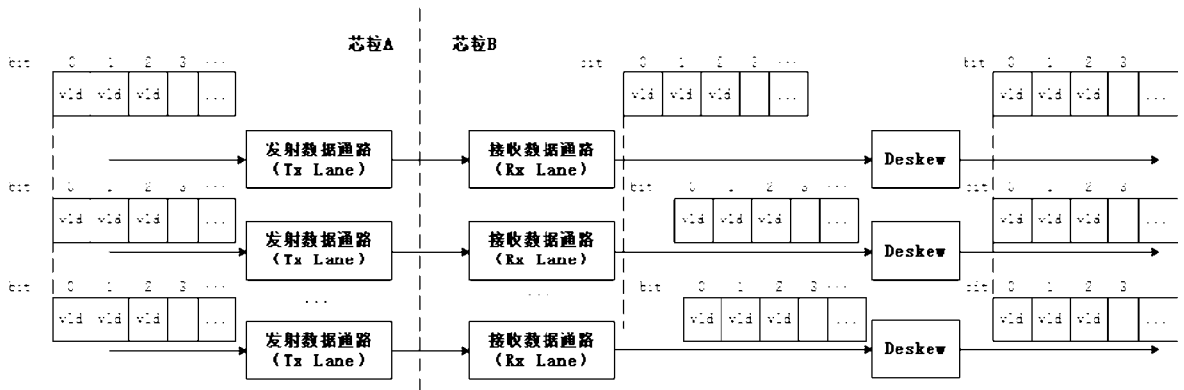


图 2

300

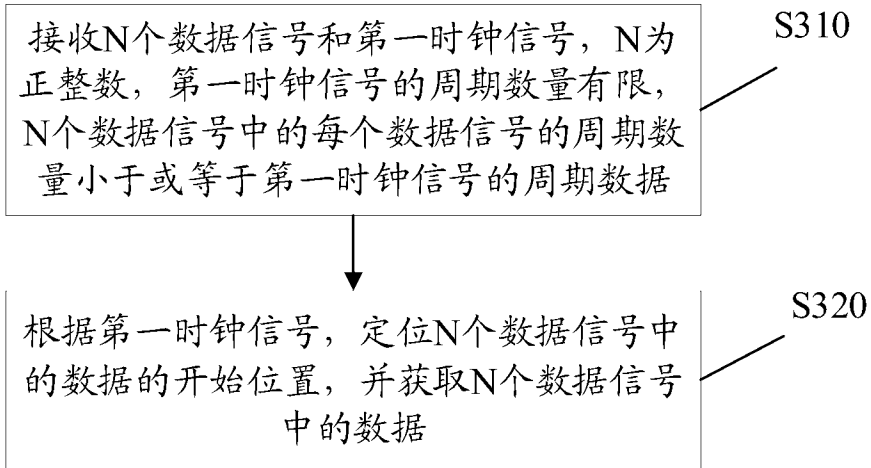


图 3

400

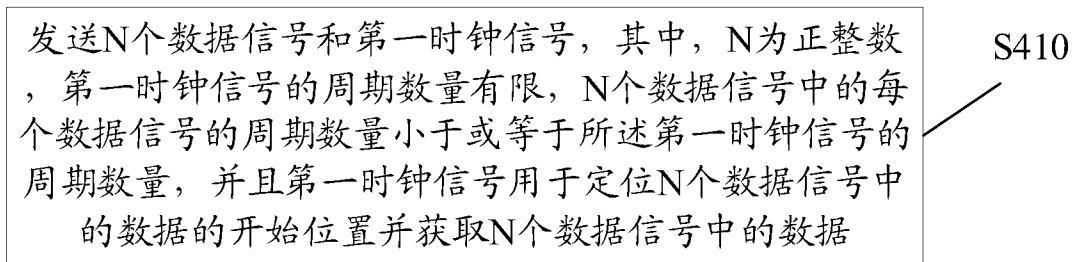


图 4

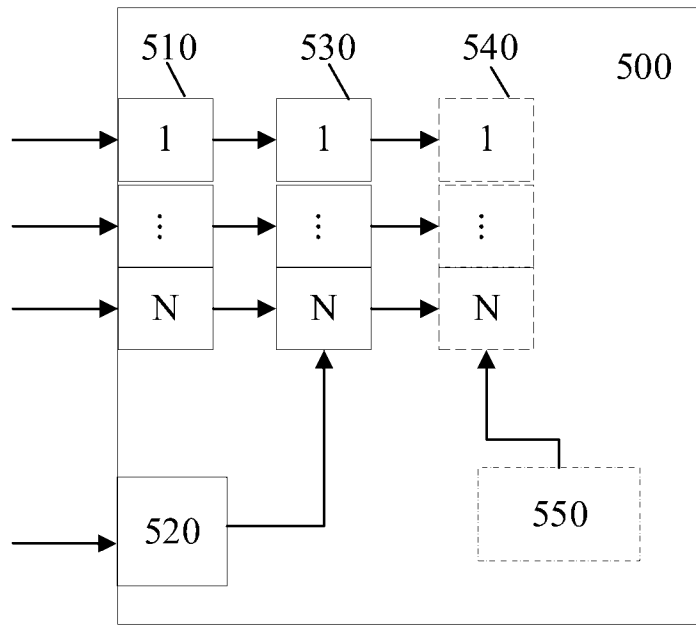


图 5

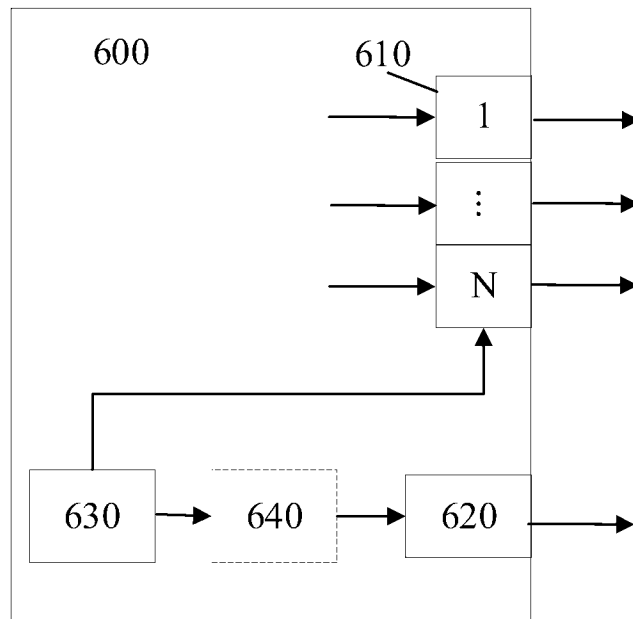


图 6

700

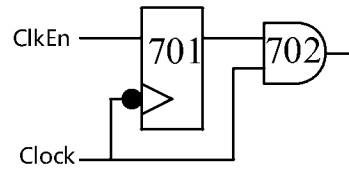


图 7a

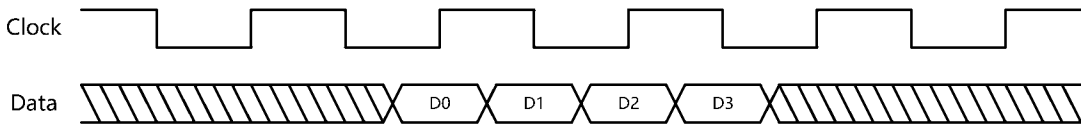


图 7b

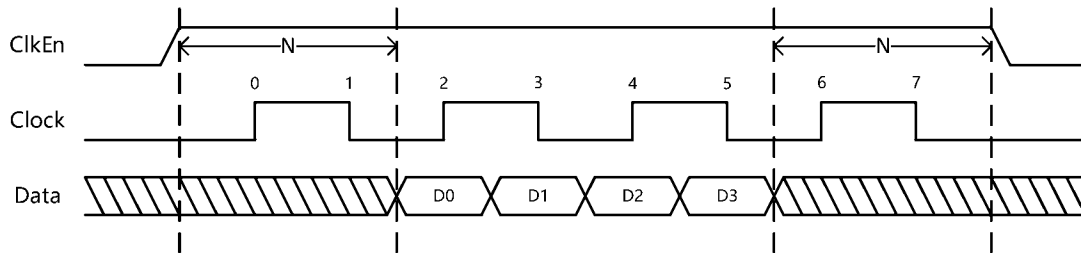


图 7c

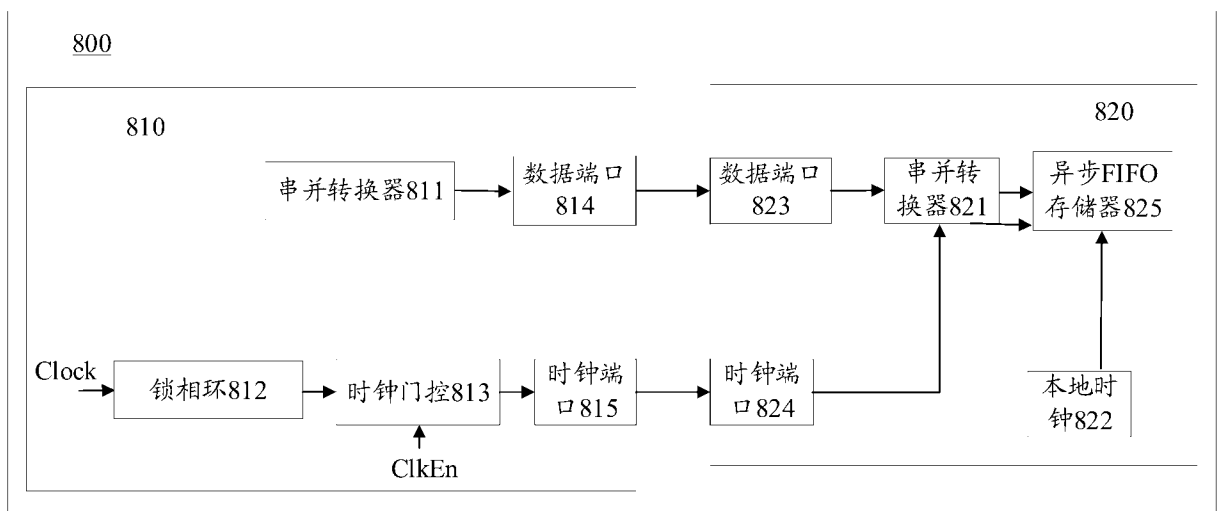


图 8

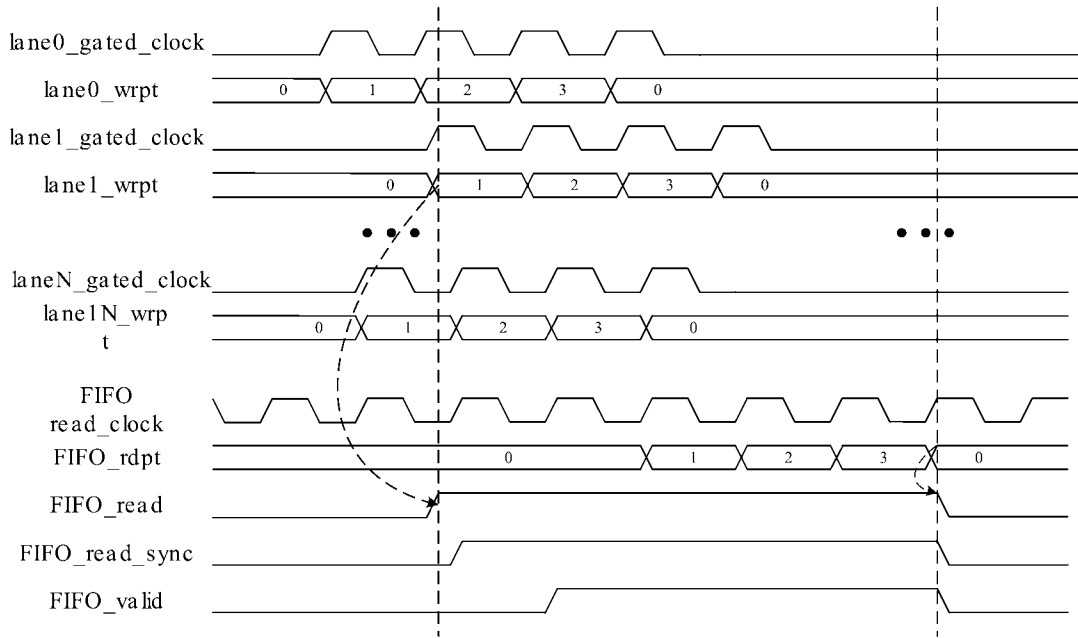


图 9



图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/097274

| A. CLASSIFICATION OF SUBJECT MATTER | | |
|--|---|--|
| G06F 15/163(2006.01)i | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) | | |
| IPC: G06F | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| CNABS, CNTXT, CNKI, BAIDU, VEN, WOTXT, EPTXT, USTXT, IEEE: 数据传输, 时钟, 周期, 数量, 开始, 位置, 缓冲, 缓存, 对齐, 提取, 读, 写, data transfer, clock, cycle, number, start, location, buffer, cache, align, fetch, read, write | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| PX | CN 116775546 A (HYGON INFORMATION TECHNOLOGY CO., LTD.) 19 September 2023 (2023-09-19) claims 1-30 | 1-30 |
| X | CN 1842057 A (HUAWEI TECHNOLOGIES CO., LTD.) 04 October 2006 (2006-10-04) description, pages 10-14, and figure 9 | 1, 8-13, 21-30 |
| A | CN 103684698 A (LOONGSON TECHNOLOGY CORP., LTD.) 26 March 2014 (2014-03-26) entire document | 1-30 |
| A | US 2023011674 A1 (CANON KABUSHIKI KAISHA) 12 January 2023 (2023-01-12) entire document | 1-30 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search | | Date of mailing of the international search report |
| 12 August 2024 | | 20 August 2024 |
| Name and mailing address of the ISA/CN | | Authorized officer |
| China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 | | Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

| |
|---|
| International application No. PCT/CN2024/097274 |
|---|

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|--|------------|----|-----------------------------------|-------------------------|-----------------------------------|
| CN | 116775546 | A | 19 September 2023 | None | |
| CN | 1842057 | A | 04 October 2006 | ES | 2491893 T3 08 September 2014 |
| | | | | EP | 1865632 A1 12 December 2007 |
| | | | | WO | 2006102833 A1 05 October 2006 |
| | | | | US | 2010265953 A1 21 October 2010 |
| CN | 103684698 | A | 26 March 2014 | None | |
| US | 2023011674 | A1 | 12 January 2023 | JP | 2023009676 A 20 January 2023 |

| | | |
|--|---|----------------|
| A. 主题的分类 G06F 15/163(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类 | | |
| B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, CNKI, BAIDU, VEN, WOTXT, EPTXT, USTXT, IEE: 数据传输, 时钟, 周期, 数量, 开始, 位置, 缓冲, 缓存, 对齐, 提取, 读, 写, data transfer, clock, cycle, number, start, location, buffer, cache, align, fetch, read, write | | |
| C. 相关文件 | | |
| 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 |
| PX | CN 116775546 A (海光信息技术股份有限公司) 2023年9月19日 (2023 - 09 - 19) 权利要求1-30 | 1-30 |
| X | CN 1842057 A (华为技术有限公司) 2006年10月4日 (2006 - 10 - 04) 说明书第10-14页, 图9 | 1, 8-13, 21-30 |
| A | CN 103684698 A (龙芯中科技术有限公司) 2014年3月26日 (2014 - 03 - 26) 全文 | 1-30 |
| A | US 2023011674 A1 (CANON KABUSHIKI KAISHA) 2023年1月12日 (2023 - 01 - 12) 全文 | 1-30 |
| <input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。 | | |
| * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 | | |
| 国际检索实际完成的日期 2024年8月12日 | 国际检索报告邮寄日期 2024年8月20日 | |
| ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 | 授权官员 姜玲玲 电话号码 (+86) 010-53961421 | |

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2024/097274

| 检索报告引用的专利文件 | | | 公布日 (年/月/日) | 同族专利 | | | 公布日 (年/月/日) |
|-------------|------------|----|----------------|------|------------|----|----------------|
| CN | 116775546 | A | 2023年9月19日 | 无 | | | |
| CN | 1842057 | A | 2006年10月4日 | ES | 2491893 | T3 | 2014年9月8日 |
| | | | | EP | 1865632 | A1 | 2007年12月12日 |
| | | | | WO | 2006102833 | A1 | 2006年10月5日 |
| | | | | US | 2010265953 | A1 | 2010年10月21日 |
| CN | 103684698 | A | 2014年3月26日 | 无 | | | |
| US | 2023011674 | A1 | 2023年1月12日 | JP | 2023009676 | A | 2023年1月20日 |