

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5007250号
(P5007250)

(45) 発行日 平成24年8月22日 (2012. 8. 22)

(24) 登録日 平成24年6月1日 (2012. 6. 1)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006. 01)

H O 1 L 23/12 5 O 1 P

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/88 T

H O 1 L 21/768 (2006. 01)

H O 1 L 27/04 E

H O 1 L 23/522 (2006. 01)

H O 1 L 27/04 (2006. 01)

請求項の数 1 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2008-33012 (P2008-33012)
 (22) 出願日 平成20年2月14日 (2008. 2. 14)
 (65) 公開番号 特開2009-194144 (P2009-194144A)
 (43) 公開日 平成21年8月27日 (2009. 8. 27)
 審査請求日 平成23年2月3日 (2011. 2. 3)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 小出 優樹
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 南 正隆
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内

審査官 坂本 薫昭

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

(a) 半導体基板上に多層配線を形成した後、前記多層配線を覆うように前記半導体基板上に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜上に第2絶縁膜を形成する工程、

(c) 前記多層配線の最上配線の一部上の前記第1絶縁膜および前記第2絶縁膜に、前記最上配線の一部を露出する第1開口部を形成する工程、

(d) 電解メッキ法を用いて、前記第1開口部の内部を埋め込むように前記第2絶縁膜上に第1パターンを構成する再配線を形成すると共に、前記第1パターンとは電氣的に分離されるように前記第2絶縁膜上に第2パターンを構成する前記再配線を形成する工程、

(e) 前記再配線を覆うように前記半導体基板上に第3絶縁膜を形成した後、前記第1パターンの一部上であって、前記第1パターンの一部を露出する第2開口部を前記第3絶縁膜に形成する工程、

を含み、

前記工程 (d) では、前記第1パターンと前記第2パターンとが前記半導体基板の面内で混在するように前記再配線を形成し、

(f) 前記工程 (d) 前に、計算機を用いた自動設計によって、前記第1パターンおよび前記第2パターンを前記半導体基板の面内で位置決めする工程、

を更に含み、

前記工程 (f) は、

10

20

(f 1) 前記半導体基板の面内に前記第 1 パターンを配置した第 1 処理パターンを形成する工程、
(f 2) 前記半導体基板の全面に前記第 2 パターンを配置した第 2 処理パターンを形成する工程、
(f 3) 前記第 1 処理パターンと前記第 2 処理パターンを合成する工程、
(f 4) 前記工程 (f 3) の後、前記第 1 パターンから一定の間隔内にある前記第 2 パターンを算出し、削除する工程、
を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【 0 0 0 1 】

本発明は、半導体装置および半導体装置の製造技術に関し、特に、W P P (Wafer Process Package) 技術における再配線を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【 0 0 0 2 】

W P P 技術 (または W L P (Wafer Level Package) 技術ともいう) は、ウエハプロセス (前工程) とパッケージプロセス (後工程) とを一体化し、ウエハ状態でパッケージングを完了する技術であり、半導体ウエハから切断した半導体チップ毎にパッケージプロセスを処理する技術に比べて工程数を大幅に削減できるという利点がある。W P P 技術のパッケージプロセスにおいては、その前工程で形成された半導体素子と電気的に接続される再配線がメッキ法によって形成され、再配線が表面保護膜で覆われる。

20

【 0 0 0 3 】

なお、特開平 9 - 3 0 6 9 1 4 号公報 (特許文献 1) には、半導体素子の配線形成方法としてダミーメッキパターンを実際の配線となる本パターンと共に半導体ウエハ上に設ける技術が開示されている。この特許文献 1 は、半導体素子の配線として均一なメッキ配線を安定に形成することを主題とするものであり、W P P 技術における再配線を安定に形成する観点についての記載はされていない。

【特許文献 1】特開平 9 - 3 0 6 9 1 4 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【 0 0 0 4 】

例えば、高速 S R A M (Static Random Access Memory) や C M O S (Complementary Metal Oxide Semiconductor) ロジック製品では、パッケージコストの低減および高速化などを目的として W P P 技術が採用されており、それらはハンダよりなる bumps 電極で実装基板にフリップチップ接続するようなパッケージ構造となっている。

【 0 0 0 5 】

例えば、W P P 技術では以下に示すような工程を経ることにより半導体装置を製造することができる。まず、半導体ウエハの主面上に M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) などの半導体素子を形成し、その半導体素子の上部に多層配線 (複数の配線層) を形成する。次いで、多層配線上に、窒化シリコン膜および酸化シリコン膜を形成し、さらに酸化シリコン膜上にポリイミド樹脂膜を形成する。なお、これまでの工程が W P P 技術のウエハプロセスとなり、以下の工程が W P P 技術のパッケージプロセスとなる。

40

【 0 0 0 6 】

続いて、酸化シリコン膜、窒化シリコン膜およびポリイミド樹脂膜をパターニングすることにより、底面に多層配線の最上配線が露出する開口部を形成する。そして、開口部内を含むポリイミド樹脂膜上に薄い電極層 (バリア層 / シード層) を形成し、この電極層上にメッキ法を使用して再配線を形成する。再配線は、例えば銅膜とニッケル膜の積層膜から構成される。次いで、再配線上にポリイミド樹脂膜を形成した後、パターニングするこ

50

とにより、再配線の一端部を露出させる。その後、露出した再配線の一端部上にバンパ電極を形成する。これにより、半導体ウエハの状態のパッケージングされ、再配線および再配線に接続されたバンパ電極を有する半導体装置を製造することができる。

【0007】

このようなWPP技術を用いた半導体装置において、メッキ法を使用して形成した再配線では外観異常（例えば粒径の粗大化、面荒れ）や半導体ウエハの中心部と周辺部での膜厚に差が生じる問題があることを本発明者らは見出した。特に、半導体ウエハの中心部では、再配線の膜厚が薄く、かつ外観異常が著しい。さらに、外観異常のある再配線の一端部上に形成されたバンパ電極では、剥がれなどによる半導体装置の信頼性を低下させてしまう。このため、再配線の外観異常を不良と判断することによる半導体装置の製造歩留まりが低下する。

10

【0008】

本発明者らの検討によると、再配線の外観異常は、再配線パターンに依存性があり、半導体素子と電氣的に接続された再配線が形成されている領域Aと、再配線が形成されていない領域Bとの境界付近の再配線の端部に集中していた。すなわち、メッキ法の観点からその境界の再配線の端部では電界集中がし易く、電流密度が局所的に増大し、再配線の結晶粒径が粗大化したと考えられる。このため、再配線の外観異常の対策として、再配線が形成されていない領域Bにも、再配線を配置させることが考えられる。しかしながら、単に領域Bに再配線を配置しただけでは、再配線の疎密差によって、再配線の端部に外観異常が生じる場合もある。そこで、前述の領域Aのような局所的（Local）な領域においても、再配線の疎密差が大きくなることを防止する必要がある。

20

【0009】

また、半導体ウエハの中心部と周辺部での再配線の膜厚差の原因としては、再配線形成時のメッキ電流値が半導体ウエハ面内における再配線の占有率に依存し、適正な膜厚を得るためのメッキ電流を確保できなかったと考えられる。このため、半導体ウエハ面内領域の再配線の占有率で、メッキ膜厚（再配線の膜厚）差を低減する必要がある。

【0010】

本発明の目的は、半導体装置の信頼性を向上させる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明の一実施の形態では、WPP技術における再配線が半導体基板の面内において互いに電氣的に分離された本体パターン（第1パターン）およびダミーパターン（第2パターン）を有している。多層配線と電氣的に接続された本体パターンと、フローティングされたダミーパターンとが、半導体基板の面内で混在して設けられている。

40

【発明の効果】

【0014】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0015】

この一実施の形態によれば、半導体基板の面内に配置された再配線の疎密差を低減するので、半導体装置の信頼性を向上することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明

50

するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。また、以下の実施の形態を説明する図面においては、構成を分かり易くするために平面図であってもハッチングを付す場合がある。

【0017】

(実施の形態1)

本実施の形態における半導体装置は、CSP (Chip Size Package) 構造の半導体装置であり、その製造のためにWPP技術を用いたものである。CSPは、半導体チップのサイズと同等またはわずかに大きいパッケージの総称であり、小型化・軽量化を実現できる上、内部の配線長を短くすることができるので、信号遅延や雑音等を低減できる。まず、本実施の形態における半導体装置の特徴的な構造について、図1～図3を参照して説明する。

10

【0018】

図1に本実施の形態における半導体チップ1Cの平面を模式的に示すと共に、その一部(破線で囲まれた領域A)を拡大して示し、また、図2に図1で示した半導体チップ1Cの平面をより拡大して示す。図2中に示す本体パターン2およびダミーパターン3がWPP技術における再配線であるが、図1では説明を容易にするために、ダミーパターン3を省略して示している。本体パターン2は半導体チップ1Cの半導体素子などから構成される内部回路と電氣的に接続され、ダミーパターン3は電氣的に分離、すなわちフローティングされているものである。また、図3に半導体チップ1Cの要部断面を模式的に示す。

【0019】

20

図1に示すように、矩形状の半導体チップ1Cは、その面内の中心領域80(一点破線で囲まれた領域)および中心領域80の周囲の周辺領域90を有している。半導体チップ1Cの表面は例えばポリイミド樹脂膜からなる表面保護膜で覆われており、その表面保護膜に設けられた開口部には、外部と半導体チップ1C内部との信号の受け渡しを行うバンプ電極(図示しない)が設けられている。このバンプ電極は、図1中の拡大した領域Aにおける半導体チップ1Cで示す本体パターン2のランド電極2a上に設けられる。CSP構造の半導体装置のような小型化に対応した半導体チップ1Cでも、本体パターン2(再配線)を半導体チップ1Cの外周から中心領域80側に引き回すことによってバンプ電極が形成される領域(ランド電極2aの面積)を確保することができる。なお、この本体パターン2は周辺領域90に設けられている。

30

【0020】

図2に示すように、半導体チップ1Cの面内では、本体パターン2とダミーパターン3とが混在して設けられている。これらはWPP技術における再配線として、同時に形成されたものであり、互いに電氣的に分離されているものである(図3参照)。本体パターン2は前述したように周辺領域90に設けられており、ダミーパターン3は中心領域80および本体パターン2間に位置する周辺領域90に設けられている。このようにダミーパターン3を中心領域80および周辺領域90に設けることにより、半導体チップ1Cの面内で再配線がほぼ均等に分布し、ダミーパターン3がない場合より再配線の疎密差を低減できる。

【0021】

40

本体パターン2の一端に位置する円形状のランド電極2aは、径が例えば108 μm であり、ピッチが例えば180 μm である。また、円形状のダミーパターン3は、径が例えば34 μm であり、ピッチが例えば50 μm である。なお、ダミーパターン3の平面形状は、角部での応力緩和するため全ての角が鈍角の多角形状であっても良い。

【0022】

また、ダミーパターン3の加工寸法は、本体パターン2の加工寸法以下としている。これにより、周辺領域90における本体パターン2間にも、ダミーパターン3を設けることができ、半導体チップ1Cの面内で再配線がほぼ均一に分布する。なお、ダミーパターン3の大きさは、再配線の最小線幅以上及び再配線形成後のバリア層およびシード層の除去工程において消失しない大きさとしている。

50

【 0 0 2 3 】

図 3 に示すように、半導体チップ 1 C を構成する半導体基板 1 S 上には、第 3 層配線 3 9、第 4 層配線 4 0、第 5 層配線 4 4 を含む多層配線が設けられている。この多層配線は、多層配線の下部に設けられている複数の半導体素子を電氣的に接続して回路を形成する役割を有している。この多層配線を覆うように半導体基板 1 S 上には、パッシベーション膜として、例えば薄い酸化シリコン膜 4 5 および窒化シリコン膜 4 6 が設けられている。これら酸化シリコン膜 4 5 および窒化シリコン膜 4 6 は、無機系絶縁膜であり、例えばプラズマ CVD で形成することができる。

【 0 0 2 4 】

また、窒化シリコン膜 4 6 上には、絶縁膜として、例えば有機系絶縁膜であるポリイミド樹脂膜 4 9 が設けられている。このポリイミド樹脂膜 4 9 上には、メッキ法によって形成された銅膜 5 5 およびニッケル膜 5 6 が積層してなる再配線 5 7 が設けられている。この再配線 5 7 は、図 1 および図 2 に示すように、本体パターン 2 とダミーパターン 3 を構成している。また、再配線 5 7 を覆うようにポリイミド樹脂膜 4 9 上には、表面保護膜（絶縁膜）として、例えば有機系絶縁膜であるポリイミド樹脂膜 5 8 が設けられている。

【 0 0 2 5 】

表面保護膜として、ポリイミド樹脂等のような有機系絶縁膜としたのは、最上の絶縁膜を無機系絶縁膜とすると半導体チップの取り扱い（搬送等）時に絶縁膜にクラックが入り易くその取り扱いが困難となるので、比較的軟らかい有機系絶縁膜を最上層として半導体チップの取り扱いを容易にするためである。

【 0 0 2 6 】

本体パターン 2 の再配線 5 7 の一部上であってポリイミド樹脂膜 5 8 には、開口部 5 9 が設けられており、本体パターン 2 の再配線 5 7 の一部が露出してランド電極 2 a を構成している。このランド電極 2 a が半導体チップ 1 C の外部電極としての役割をする。さらに、外部との信号の受け渡しや、外部と実装による接続を行うために、ランド電極 2 a 上に、それと電氣的に接続するようにパンプ電極 6 0 を設けている。なお、パンプ電極 6 0 を設けずに、ランド電極 2 a 上にワイヤボンディングを接続して、外部との信号の受け渡しを行うこともできる。

【 0 0 2 7 】

再配線 5 7 は、半導体ウエハのレベルでパッケージングを完成するために設けられたものであり、多層配線の最上配線である第 5 層配線 4 4 とパンプ電極 6 0 とを接続する機能を有している。すなわち、再配線 5 7 は、第 5 層配線 4 4 とパンプ電極 6 0 とを接続する引き出し配線の役割を有する。別の言い方をすれば、再配線 5 7 は、第 5 層配線 4 4 の間隔をパンプ電極 6 0 の間隔へ変換するインタポーザとしての機能を有しているとも言える。

【 0 0 2 8 】

本体パターン 2 の再配線 5 7 は、多層配線の最上配線である第 5 層配線 4 4 の一部上であって酸化シリコン膜 4 5、窒化シリコン膜 4 6 およびポリイミド樹脂膜 4 9 に設けられた開口部 5 0 で、第 5 層配線 4 4 を含む多層配線と電氣的に接続され、外部との信号との受け渡しの役割をする。

【 0 0 2 9 】

その一方で、ダミーパターン 3 の再配線 5 7 は、有機系絶縁膜であるポリイミド樹脂膜 4 9 およびポリイミド樹脂膜 5 8 に覆われており、多層配線および本体パターン 2 と電氣的に分離されており、フローティング状態となっている。このため、ダミーパターン 3 は外部との信号の受け渡しを行わない。しかしながら、ダミーパターン 3 を設けることによって、メッキ法で形成される再配線の疎密差を低減し、本体パターン 2 の外観異常が発生するのを防止することができる。さらに、外観異常のない本体パターン 2 上に設けられたパンプ電極 6 0 が剥がれる等の市場不良を防止できるので、半導体装置の信頼性を向上することができる。

【 0 0 3 0 】

ここで、ダミーパターン 3 を設けない場合について、図 4 を参照して説明する。図 4 は

10

20

30

40

50

図 2 に対応する本発明者らが検討した半導体チップ 1 C ' の平面を拡大して示す説明図である。なお、その他の構成は、図 1 ~ 図 3 に示した半導体チップ 1 C の構成と同様である。

【 0 0 3 1 】

図 4 に示すように、本体パターン 2 が設けられている周辺領域 9 0 や、本体パターン 2 が設けられていない中心領域 8 0 にダミーパターンを設けない場合には、中心領域 8 0 と周辺領域 9 0 の境界付近の本体パターン 2 の端部（ランド電極 2 a ）には、メッキ法で形成された銅（銅膜 5 5 ）またはニッケル（ニッケル膜 5 6 ）の粒 2 g が粗大化して、面荒れを起こして外観異常が生じている。さらに、外周領域 9 0 の内側であって本体パターン 2 間においても、本体パターン 2 には、外観異常が生じていることがわかる。なお、外観異常は顕微鏡によって確認することができる。

10

【 0 0 3 2 】

しかしながら、本実施の形態では、ダミーパターン 3 を本体パターン 2 と混在させることによって、図 2 で示したように、本体パターン 2 の外観異常が発生するのを防止することができる。具体的には、再配線 5 7 の本体パターン 2 が形成される周辺領域 9 0 以外の中心領域 8 0 にダミーパターン 3 として再配線 5 7 を設けることによって、本体パターン 2 の外観異常が発生するのを防止することができる。さらに、再配線 5 7 の本体パターン 2 が形成される周辺領域 9 0 の本体パターン 2 間にダミーパターン 3 の再配線 5 7 を設けることによって本体パターン 2 の外観異常が発生するのをより防止することができる。これは、例えば本体パターン 2 間のような局所的な領域においてメッキ法で形成される本体

20

【 0 0 3 3 】

また、本実施の形態では、W P P 技術のパッケージプロセスにおける再配線 5 7 が有機系絶縁膜であるポリイミド樹脂膜 4 9 上に設けられ、その再配線 5 7 を覆うように表面保護膜として有機系絶縁膜であるポリイミド樹脂膜 5 8 が設けられている。これによりダミーパターン 3 をフローティング状態（電氣的に分離した状態）としているが、ポリイミド樹脂膜 4 9 とポリイミド樹脂膜 5 8 の密着性は、同質の有機系絶縁膜を用いているので確保することができる。

【 0 0 3 4 】

また、低温と高温との温度サイクルを繰り返す信頼性試験によって再配線 5 7 および再配線 5 7 の周囲にあるポリイミド樹脂膜 4 9 、 5 8 に膨張・収縮が発生するが、本体パターン 2 の加工寸法以下で、ダミーパターン 3 を加工することによって、発生した応力を緩和することができる。

30

【 0 0 3 5 】

次に、本実施の形態における半導体装置の製造方法について、図 5 ~ 図 2 0 を参照して説明する。図 5 に本実施の形態における半導体装置の製造工程の流れ図を示し、図 6 ~ 図 1 0 に設計工程における処理パターンを示し、図 1 1 ~ 図 1 8 にウエハ工程およびパッケージ工程における半導体装置の平面または断面を示す。

【 0 0 3 6 】

図 5 に示すように、本実施の形態における半導体装置の製造工程は概略すると、まず設計工程（S 1 0 0）により、半導体素子のレイアウト、回路配線などの設計が行われる。次いで、ウエハ工程（S 2 0 0）では、半導体装置の製造におけるいわゆる前工程が行われ、半導体素子などが形成される。次いで、パッケージ工程（S 3 0 0）では、半導体装置の製造におけるいわゆる後工程が行われ、引き出し配線としての再配線が形成されるとともに、パッケージングされる。なお、W P P 技術は、このウエハ工程とパッケージ工程を半導体ウエハ状態で行うものである。

40

【 0 0 3 7 】

まず、設計工程（S 1 0 0）において、特に、再配線 5 7 のパターン設計について説明する。なお、その他の構成についての設計は、D F M（design for manufacturing）を考

50

慮して、例えば計算機を用いた周知の方法などにより行うことができる。

【 0 0 3 8 】

図 6 に示すように、計算機を用いて、半導体ウエハ（半導体チップ）などの所定の領域を想定した領域 P に、所定の径 x 1 および所定のピッチ x 2 でダミー処理パターン 3 p を形成する（S 1 1 0）。ダミー処理パターン 3 p は、例えば、平面形状が 6 4 角形とし、径 x 1 が 3 4 μ m、ピッチ x 2 が 5 0 μ m とし、領域 P 内に均等に配置される。なお、設計の最終段階までに不要なダミー処理パターン 3 p は除去される。除去されずに残存したダミー処理パターン 3 p によって、前述した再配線 5 7 のダミーパターン 3 が、再配線 5 7 の最小線幅及び最小間隔より大きくかつ再配線 5 7 の本体パターン 2 のランド電極 2 a より小さくなるように設計される。

10

【 0 0 3 9 】

続いて、図 7 に示すように、計算機を用いて、領域 P に本体処理パターン 2 p を形成する（S 1 2 0）。この本体処理パターン 2 p は、前述したような引き出し配線として用いられる再配線 5 7（本体パターン 2）の処理パターンである。なお、ランド電極 2 a となる本体処理パターン 3 p の先端部は、例えば、平面形状が円形状とし、径 y 1 が 1 0 8 μ m、ピッチ y 2 が 1 8 0 μ m として配置されている。

【 0 0 4 0 】

続いて、図 8 に示すように、計算機を用いて、本体処理パターン 2 p とダミー処理パターン 3 p とを合成する（S 1 3 0）。次いで、図 9 に示すように、計算機を用いて、本体処理パターン 2 p から規定スペース内にあるダミー処理パターン 3 p（図中、破線で示している）を算出し、図 1 0 に示すように、その規定スペース領域内にあるダミー処理パターン 3 p を削除する（S 1 4 0）。これにより、図 2 に示したような本体パターン 2 とダミーパターン 3 を構成する再配線 5 7 の疎密差を低減して配置することができる。

20

【 0 0 4 1 】

次に、ウエハ工程（S 2 0 0）について説明する。図 1 1 に示すように、例えばショット領域 S T に複数のチップ領域（A ~ L）を有する略円形状の半導体ウエハ 1 W を準備する（S 2 1 0）。なお、図 1 1 の半導体ウエハ 1 W では、オリエンテーションフラットは図示していない。

【 0 0 4 2 】

本実施の形態では、半導体ウエハ 1 W の複数のチップ領域（A ~ L）から、前述の半導体チップ 1 C が取り出される。すなわち、複数のチップ領域（A ~ L）の全ての半導体チップ 1 C は、W P P 技術における、本体パターン 2 およびダミーパターン 3 で構成される再配線 5 7 が形成されることとなる。

30

【 0 0 4 3 】

続いて、図 1 2 に示すように、半導体ウエハ 1 W（以下、半導体基板 1 S として説明する）の主面に n チャネル型 M I S F E T Q 1、p チャネル型 M I S F E T Q 2 などの半導体素子を形成する（S 2 2 0）。これら M I S F E T は、例えば高速 S R A M やロジック回路を構成するものである。

【 0 0 4 4 】

例えばシリコン単結晶からなる半導体基板 1 S の主面には、例えば S T I（Shallow Trench Isolation）構造をした素子分離領域 2 1 が形成されており、素子分離領域 2 1 で活性領域が分離されている。活性領域のうち n チャネル型 M I S F E T Q 1 を形成する領域には、p 型ウェル 2 2 が形成されており、p チャネル型 M I S F E T Q 2 を形成する領域には、n 型ウェル 2 3 が形成されている。p 型ウェル 2 2 は、例えばホウ素（B）などの p 型不純物が導入された半導体領域となっており、n 型ウェル 2 3 は、例えばリン（P）や砒素（As）などの n 型不純物が導入された半導体領域となっている。

40

【 0 0 4 5 】

p 型ウェル 2 2 上には n チャネル型 M I S F E T Q 1 が形成されている。この n チャネル型 M I S F E T Q 1 の構成は以下のようになっている。すなわち、p 型ウェル 2 2 上にゲート絶縁膜 2 4 が形成されており、このゲート絶縁膜 2 4 上にゲート電極 2 5 a が形成

50

されている。ゲート絶縁膜 24 は、例えば酸化シリコン膜から形成されるが、酸化シリコン膜より誘電率の高い高誘電体膜から形成してもよい。ゲート電極 25a は、例えばポリシリコン膜から形成されるが、このポリシリコン膜には、例えば n 型不純物が導入されている。これは、n チャネル型 MISFET Q1 のしきい値電圧を下げるために行なわれる。

【0046】

ゲート電極 25a の両側の側壁には、サイドウォール 26 が形成されており、このサイドウォール 26 下の p 型ウェル 22 内には、低濃度 n 型不純物拡散領域 27a が形成されている。そして、この低濃度 n 型不純物拡散領域 27a の外側には、高濃度 n 型不純物拡散領域 28a が形成されている。低濃度 n 型不純物拡散領域 27a および高濃度 n 型不純物拡散領域 28a は、n 型不純物を導入した半導体領域となっており、低濃度 n 型不純物拡散領域 27a よりも高濃度 n 型不純物拡散領域 28a の方が高濃度に n 型不純物が導入されている。この低濃度 n 型不純物拡散領域 27a と高濃度 n 型不純物拡散領域 28a により、n チャネル MISFET Q1 のソース領域あるいはドレイン領域が形成される。ソース領域あるいはドレイン領域を低濃度 n 型不純物拡散領域 27a および高濃度 n 型不純物拡散領域 28a より構成することにより、いわゆる LDD (Lightly Doped Drain) 構造が形成される。したがって、ゲート電極 25a 下の電界集中を緩和することができる。

【0047】

一方、n 型ウェル 23 上には p チャネル型 MISFET Q2 が形成されている。この p チャネル型 MISFET Q2 の構成はほぼ n チャネル型 MISFET Q1 と同様の構成となっている。すなわち、n 型ウェル 23 上にゲート絶縁膜 24 が形成されており、このゲート絶縁膜 24 上にゲート電極 25b が形成されている。ゲート電極 25b は、例えばポリシリコン膜から形成され、p 型不純物が導入されている。このように p チャネル型 MISFET Q2 においては、ゲート電極 25b に p 型不純物を導入することによりしきい値電圧を下げるることができる。本実施の形態 1 では、n チャネル型 MISFET Q1 のゲート電極 25a に n 型不純物を導入する一方、p チャネル型 MISFET Q2 のゲート電極 25b に p 型不純物を導入している。このため、n チャネル型 MISFET Q1 と p チャネル型 MISFET Q2 の両方でしきい値電圧を低下させることが可能となっている。

【0048】

ゲート電極 25b の両側の側壁には、サイドウォール 26 が形成されており、このサイドウォール 26 下の n 型ウェル 23 内には、低濃度 p 型不純物拡散領域 27b が形成されている。そして、低濃度 p 型不純物拡散領域 27b の外側には、高濃度 p 型不純物拡散領域 28b が形成されている。低濃度 p 型不純物拡散領域 27b および高濃度 p 型不純物拡散領域 28b は、p 型不純物を導入した半導体領域となっており、低濃度 p 型不純物拡散領域 27b よりも高濃度 p 型不純物拡散領域 28b の方が高濃度に p 型不純物が導入されている。この低濃度 p 型不純物拡散領域 27b と高濃度 p 型不純物拡散領域 28b により、p チャネル MISFET Q2 のソース領域あるいはドレイン領域が形成される。

【0049】

このようにして、本実施の形態における半導体装置では、半導体基板 1S 上に n チャネル型 MISFET Q1 および p チャネル型 MISFET Q2 などの半導体素子が形成されている。

【0050】

続いて、半導体基板 1S 上に多層配線を形成する (S230)。図 12 に示すように、半導体基板 1S 上に形成した n チャネル型 MISFET Q1 および p チャネル型 MISFET Q2 上には、層間絶縁膜となる酸化シリコン膜 29 が形成されている。そして、酸化シリコン膜 29 には、n チャネル型 MISFET Q1 あるいは p チャネル型 MISFET Q2 のソース領域、ドレイン領域に達するプラグ 30 が形成されている。このプラグ 30 は、例えばバリアメタル膜となる窒化チタン膜とタングステン膜の積層膜から形成される。

【0051】

プラグ 30 を形成した酸化シリコン膜 29 上には、層間絶縁膜となる酸化シリコン膜 31 が形成され、この酸化シリコン膜 31 に埋め込むように第 1 層配線 32 が形成されている。この第 1 層配線 32 は、例えばタングステン膜から形成され、下層に形成されたプラグ 30 と電氣的に接続されている。

【0052】

第 1 層配線 32 上には、酸化シリコン膜 33 が形成され、この酸化シリコン膜 33 に埋め込むようにプラグ 34 が形成されている。このプラグ 34 もプラグ 30 と同様にバリアメタル膜およびタングステン膜の積層膜から構成されている。プラグ 34 は、下層に形成されている第 1 層配線 32 と電氣的に接続されるようになっている。

【0053】

プラグ 34 を形成した酸化シリコン膜 33 上には、層間絶縁膜となる酸化シリコン膜 35 が形成されており、この酸化シリコン膜 35 へ埋め込むように第 2 層配線 36 が形成されている。この第 2 層配線 36 は、銅の拡散を防止するためのバリアメタル膜および銅（銅またはその合金）膜の積層膜から構成されている。

【0054】

第 2 層配線 36 上には、銅の拡散を防止するための窒化シリコン膜 37a が形成されており、この窒化シリコン膜 37a 上に酸化シリコン膜 37b が形成されている。酸化シリコン膜 37b 上には、窒化シリコン膜 38a および酸化シリコン膜 38b が積層して形成され、窒化シリコン膜 38a および酸化シリコン膜 38b へ埋め込むように第 3 層配線 39 が形成されている。この第 3 層配線 39 は、銅の拡散を防止するためのバリアメタル膜および銅膜の積層膜から構成されており、下層に形成されている第 2 層配線 36 と電氣的に接続されている。

【0055】

この第 3 層配線 39 と同様に、第 3 層配線 39 の上層に、銅の拡散を防止するためのバリアメタル膜および銅膜の積層膜から構成される第 4 層配線 40 が形成されている。この第 4 層配線 40 は、下層に形成されている第 3 層配線 39 と電氣的に接続されている。なお、図示しないが、第 4 層配線 40 と同層に、一定の間隔毎に複数のメモリ救済用ヒューズが形成されていても良い。このヒューズは冗長救済回路に電氣的に接続され、特定のヒューズを切断することによって、欠陥メモリセルを選択するアドレス信号を、冗長救済用のメモリセルに対応するアドレス信号に変えることができる。

【0056】

第 4 層配線 40 の銅が上層へ拡散を防止するため第 4 層配線 40 を覆うようにキャップ絶縁膜 41 が半導体基板 1S 上に形成されており、このキャップ絶縁膜 41 上には、例えばプラズマ CVD 法によって酸化シリコン膜 42 が形成されている（図 13 参照）。キャップ絶縁膜 41 は、窒化シリコン膜から構成されており、窒化シリコン膜として SiCN 膜を用いることにより、例えば SiN 膜を用いた場合に比べて、キャップ絶縁膜 41 の経時絶縁破壊（TDDB；Time Dependent Dielectric Breakdown）耐性と、第 4 層配線 40 のエレクトロマイグレーション耐性とを向上することができる。

【0057】

酸化シリコン膜 42 およびキャップ絶縁膜 41 には、第 4 層配線 40 と電氣的に接続されたプラグ 43 が形成されている。このプラグ 43 は、マスク（フォトレジスト膜）を用いて酸化シリコン膜 42 およびキャップ絶縁膜 41 をドライエッチングし、第 4 層配線 40 に達する接続孔を形成し、チタン（Ti）膜、窒化チタン（TiN）膜またはそれらの積層膜をバリア導電膜として接続孔内を含む酸化シリコン膜 42 上に堆積し、次いでタングステン膜で接続孔内を埋め込んだ後に、接続孔外のタングステン膜およびバリア導電膜を CMP 法等で除去することによって形成することができる。

【0058】

プラグ 43 上であって第 4 層配線 40 の上層には、プラグ 43 と電氣的に接続された第 5 層配線 44 が形成されている。この第 5 層配線 44 は、例えばアルミニウム（Al）を主導電層とするもので、主導電層となる Al 膜の上下を Ti 膜および TiN 膜の積層膜か

10

20

30

40

50

らなるバリア導電膜で挟んだ構造とするものである。このような配線は、下のバリア導電膜、A 1 膜および上のバリア導電膜を順次堆積した後に、これらの積層膜をフォトリソグラフィ技術によってパターニングされたフォトレジスト膜をマスクとしてドライエッチングすることで形成することができる。

【 0 0 5 9 】

このように本実施の形態では、第 1 層配線 3 2、第 2 層配線 3 6、第 3 層配線 3 9、第 4 層配線 4 0 および第 5 層配線 4 4 から多層配線が形成されている。多層配線は、複数の半導体素子を電氣的に接続して回路を形成する役割を有している。

【 0 0 6 0 】

続いて、この多層配線を覆うように半導体基板 1 S、すなわち酸化シリコン膜 4 2 上にパッシベーション膜として、例えば薄い酸化シリコン膜 4 5 および窒化シリコン膜 4 6 を順次形成する (S 2 4 0)。これら酸化シリコン膜 4 5 および窒化シリコン膜 4 6 は、無機系絶縁膜であり、例えばプラズマ C V D で形成することができる。

【 0 0 6 1 】

続いて、フォトリソグラフィ技術によってパターニングされたフォトレジスト膜 4 7 をマスクとして、窒化シリコン膜 4 6 および酸化シリコン膜 4 5 をドライエッチングし、第 5 層配線の一部を露出する開口部 4 8 を形成する。その後、フォトレジスト膜 4 7 をアッシング (炭化処理) により除去する。

【 0 0 6 2 】

続いて、図 1 4 に示すように、窒化シリコン膜 4 6 上に絶縁膜として、例えば有機系絶縁膜であるポリイミド樹脂膜 4 9 を形成する (S 2 5 0)。このポリイミド樹脂膜 4 9 は、半導体基板 1 S の半導体素子および多層配線を保護する表面保護膜 (絶縁膜) を構成する。

【 0 0 6 3 】

次に、パッケージ工程 (S 3 0 0) について説明する。図 1 4 に示すように、ポリイミド樹脂膜 4 9 を感光処理およびアッシング処理によってパターニングし、開口部 4 8 上のポリイミド樹脂膜 4 9 を除去する。これにより、第 5 層配線 4 4 の一部上の酸化シリコン膜 4 5、窒化シリコン膜 4 6、およびポリイミド樹脂膜 4 9 に、第 5 層配線 4 4 の一部を露出する開口部 5 0 が形成されることとなる (S 3 1 0)。

【 0 0 6 4 】

続いて、図 1 5 に示すように、半導体基板 1 S の表面に対してスパッタエッチング処理を施した後に、スパッタリング法により開口部 5 0 およびポリイミド樹脂膜 4 9 上に T i N 膜および T i 膜を順次堆積し、バリア層 5 1 を形成する。次いで、バリア層 5 1 上に、スパッタリング法によって銅 (C u) 膜を堆積し、シード層 5 2 を形成する。このシード層 5 2 は、後の工程でメッキ法を用いて形成する再配線のシード層である。

【 0 0 6 5 】

続いて、図 1 6 に示すように、半導体基板 1 S 上にフォトレジスト膜 5 3 を塗布し、そのフォトレジスト膜 5 3 をフォトリソグラフィ技術によりパターニングする。これにより、シード層 5 2 の一部上のフォトレジスト膜 5 3 に、シード層 5 2 の一部を露出する再配線形成用の開口部 5 4 を形成する。開口部 5 4 のうち開口部 5 4 a はポリイミド樹脂膜 4 9 の一部が除去されてなる開口部 5 0 を露出するように形成され、開口部 5 4 b はポリイミド樹脂膜 4 9 上に形成される。開口部 5 4 は図 1、図 2 に示したような再配線のパターンを形成するために用いられ、開口部 5 4 a が本体パターン 2、開口部 5 4 b がダミーパターン 3 のパターンとなる。

【 0 0 6 6 】

続いて、パターニングされたフォトレジスト膜 5 3 をマスクとした電解メッキ法により、銅膜 5 6 およびニッケル膜 5 7 を順次堆積し、銅膜 5 6 およびニッケル膜 5 7 からなる再配線 5 8 を形成した後、アッシング処理によってフォトレジスト膜 5 3 を除去すると、図 1 7 に示すようになる (S 3 2 0)。この再配線 5 7 は、図 1、図 2 に示したように、本体パターン 2 とダミーパターンとが半導体基板 1 S の面内で混在するように形成される

10

20

30

40

50

。

【 0 0 6 7 】

続いて、図 1 8 に示すように、再配線 5 7 をマスクとしてシード層 5 2 およびバリア層 5 1 に対してウエットエッチング（洗浄）処理を施すことにより、再配線 5 7 下のシード層 5 2 およびバリア層 5 1 を残し、それ以外のシード層 5 2 およびバリア層 5 1 を除去する。

【 0 0 6 8 】

続いて、図 3 に示すように、再配線 5 7 を覆うように半導体基板 1 S 上に、表面保護膜（絶縁膜）として、例えば有機系絶縁膜であるポリイミド樹脂膜 5 8 を形成（S 3 3 0）した後、再配線 5 7 からなる本体パターン 2 の一部（ランド電極 2 a となる）上に、その一部を露出する開口部 5 9 をポリイミド樹脂膜 5 8 に形成する（S 3 4 0）。開口部 5 9 は、ポリイミド樹脂膜 5 8 を感光処理およびアッシング処理によってパターンニングし、本体パターン 2 のランド電極 2 a 上のポリイミド樹脂膜 5 8 を除去してなる。

【 0 0 6 9 】

次いで、無電解メッキ法により、開口部 5 9 下のランド電極 2 a 上に図示しない金（Au）膜を形成する。次いで、はんだ印刷技術により半導体基板 1 S 上にはんだペーストを印刷した後、リフロー処理によりはんだペーストを溶融および再結晶化させ、前記金膜上にパンプ電極 6 0 を形成する（S 3 5 0）。そのはんだペーストとしては、例えば Sn（錫）、Ag（銀）および Cu から形成された Pb（鉛）フリーはんだを用いることができる。また、はんだペーストを用いる代わりに、予め球状に成形されたはんだボールを開口部 5 9 上に供給した後に、半導体基板 1 S に対してリフロー処理を施すことによってパンプ電極 6 0 を形成することができる。なお、はんだペーストのリフロー処理によって、前記金膜は、パンプ電極 6 0 に拡散してなくなってしまう。

【 0 0 7 0 】

その後、ウエハ状態の半導体基板 1 S を区画されたチップ領域間のスクライブ（ダイシング）領域に沿って切断し、図 1 に示したように個々の半導体チップ 1 C に分割して、本実施の形態における半導体装置が完成する。本実施の形態における半導体チップ 1 C は、実装基板上にパンプ電極 6 0 を介して実装することができ、半導体チップ 1 C を実装基板上に配置した後、パンプ電極 6 0 をリフローし、次いで半導体チップ 1 C と実装基板との間にアンダーフィル樹脂を充填されて、種々の半導体装置を構成する。

【 0 0 7 1 】

ここで、本体パターン 2 およびダミーパターン 3 を構成する再配線 5 7 の半導体ウエハ 1 W における局所的な領域内の占有率、例えば半導体チップ 1 C 内の占有率、ショット領域 S T 内の占有率について説明する。

【 0 0 7 2 】

再配線 5 7 の半導体チップ 1 C（ショット領域 S T）内の占有率が低くなると、メッキ着工安定性確保、すなわち安定電流値が確保できず、再配線 5 7 を構成するメッキ膜（銅膜 5 5 / ニッケル膜 5 6）の膜厚が半導体ウエハ 1 W の面内で発生する場合や、半導体ウエハ 1 W の中心部にて面荒れが発生する場合がある。また、図 4 を参照して説明したように、再配線 5 7 の占有率にて局所的な偏りがあると、本体パターン 2 が形成されている周辺領域 9 0（再配線 5 7 が密の領域となる）と、本体パターン 2 が形成されていない中心領域 8 0（再配線 5 7 が疎の領域となる）の境界付近の再配線 5 7（本体パターン 2）の端部に面荒れが発生する。

【 0 0 7 3 】

その一方で、再配線 5 7 の半導体ウエハ 1 W の面内の占有率が高くなると、半導体ウエハ 1 W のバックグラインド後の半導体ウエハ 1 W の厚さとの関係で、半導体ウエハ 1 W に反りが発生する。このため、バックグラインド後のパンプ電極 6 0 の形成ができなくなる、または半導体ウエハ 1 W のハンドリングができなくなり、チップングが生じ、後の工程の歩留り低下となる。

【 0 0 7 4 】

そこで、本実施の形態では、W P P 技術における再配線 5 7 において、本体パターン 2 の他にダミーパターン 3 を配置し、本体パターン 2 およびダミーパターン 3 から構成される再配線 5 7 のショット領域 S T (半導体チップ 1 C) 全体の占有率 (局所的な領域の占有率) の下限および上限を規定することによって、再配線 5 7 の形成工程、バックグラインド後の着工、ハンドリングを安定させ、半導体装置の製造歩留まりを低減している。

【 0 0 7 5 】

例えば、本実施の形態で用いたメッキ装置は、メッキ膜 (再配線 5 7 を構成する銅膜 5 5 およびニッケル膜 5 6) を安定して形成するためには、メッキ電流値を 6 A 以上確保する必要がある。図 1 9 に示すようなメッキ電流と、半導体ウエハ 1 W の面内の再配線 5 7 の占有率とは相関関係がある。メッキ電流が 6 A の場合、銅 (C u) メッキが安定したメッキ膜となるには、銅膜 5 5 の占有率が 2 8 . 5 % であることがわかる。また、メッキ電流が 6 A の場合、ニッケル (N i) メッキが安定したメッキ膜となるには、ニッケル膜 5 6 の占有率が 3 3 . 4 % であることがわかる。

【 0 0 7 6 】

したがって、本実施の形態では、マージンを含めたショット領域 S T (半導体チップ 1 C) 内の再配線 5 7 の占有率の下限は、3 5 % 以上としている。これにより、再配線 5 7 を安定して形成することができ、製造歩留まりを低減することができる。また、安定して形成された再配線 5 7 では、面荒れを防止することにより製品不具合を抑制し、半導体装置の信頼性を向上することができる。

【 0 0 7 7 】

また、半導体装置の量産を考慮した場合、パンプ電極 6 0 が形成された半導体ウエハ 1 W では、その反り量は 5 0 m m 以下であることが望ましい。例えば、図 2 0 に 3 0 0 m m 径の半導体ウエハ 1 W の厚さと半導体ウエハ 1 W の反り量との関係を示すように、再配線 5 7 の占有率が 7 4 . 3 % の場合、半導体ウエハ 1 W の厚さが薄くなるに従い、半導体ウエハ 1 W の反り量が増加することがわかる。この場合、半導体ウエハ 1 W の反り量が 5 0 m m 以下の半導体ウエハ 1 W の厚さは、1 2 0 μ m である。

【 0 0 7 8 】

半導体装置の小型化を考慮した場合、半導体ウエハ 1 W (半導体チップ 1 C) の厚さはより、薄いことが望ましく、現状の製品においては半導体ウエハ 1 W の下限が 1 0 0 μ m である。したがって、本実施の形態では、ショット領域 S T (半導体チップ 1 C) 内の再配線 5 7 の占有率の上限は、半導体ウエハ 1 W の反り量が 5 0 m m 以下で、半導体ウエハ 1 W の厚さが 1 0 0 μ m 以下で検討した結果から、6 0 % 以下としている。これにより、バックグラインド後のパンプ電極 6 0 を安定して形成することができる。また、半導体ウエハ 1 W の反り量を抑えることによって、ハンドリングを容易に行うことができる。また、半導体ウエハ 1 W のチップング・割れを防止できるので、半導体装置の製造歩留まりを低減することができる。

【 0 0 7 9 】

(実施の形態 2)

前記実施の形態 1 では、ショット領域の複数のチップ領域の全てに、内部回路の引き回し配線となる本体パターンおよびフローティングされているダミーパターンから構成される再配線が形成される場合について説明した。本実施の形態では、ショット領域の複数のチップ領域の一部に、本体パターンおよびダミーパターンから構成される再配線が形成される場合について説明する。なお、前記実施の形態と重複する説明は省略する。

【 0 0 8 0 】

例えば、図 1 1 に示すショット領域 S T の複数のチップ領域 (A ~ L) に、種々のテストチップが配置される場合について説明する。ショット領域 S T には、あるチップ領域 (E、F、H) には W P P 技術を必要とするテストチップが形成されるが、別のチップ領域 (A、B、C、G、I、J、K、L) には W P P 技術を必要としないテストチップが形成される。すなわち、ショット領域 S T には W P P 技術を必要とする半導体チップと W P P 技術を必要としない半導体チップが混在する。

【 0 0 8 1 】

W P P 技術はウエハレベルにて着工されるので、本実施の形態では、前記実施の形態 1 で説明したようにショット領域内の再配線の占有率の要件を満たすためには、W P P 技術を必要とするテストチップはもちろん、W P P 技術を必要としないテストチップにもダミーパターンを配置する。

【 0 0 8 2 】

図 2 1 に本実施の形態におけるショット領域 S T のチップ領域 E およびチップ領域 A のそれぞれの要部を示す。図 2 1 のチップ領域 E は、図 2 で示した領域と対応している。すなわち、前記実施の形態 1 で示した半導体チップ 1 C が、例えば図 2 1 のチップ領域 E にテストチップとして形成される。したがって、チップ領域 E の半導体チップ 1 C の断面として図 3 を参照することができる。

10

【 0 0 8 3 】

一方、チップ領域 A の半導体チップの断面を図 2 2 に示す。本来ならば、W P P 技術を必要としないので、チップ領域 A の半導体チップには図 5 に示したウエハ工程 (S 2 0 0) と同様にして形成した場合、半導体素子 (S 2 2 0) 、第 3 層配線 3 9 、第 4 層配線 4 0 および第 5 層配線を含む多層配線 (S 2 3 0) 、無機系絶縁膜である酸化シリコン膜 4 5 および窒化シリコン膜 4 6 (S 2 4 0) 、有機系絶縁膜であるポリイミド樹脂膜 4 9 (S 2 5 0) が形成されれば良い。しかしながら、本実施の形態では、前記実施の形態 1 で説明したようにショット領域 S T 内の再配線の占有率の要件を満たすため、チップ領域 A に再配線 5 7 から構成されるダミーパターン 4 を配置している。このダミーパターン 4 は、前記実施の形態におけるダミーパターン 3 と同様にして形成することができる。

20

【 0 0 8 4 】

また、ダミーパターン 4 として、本体パターン 2 のランド電極 2 a に対応してダミーランド電極 4 a を配置している。本実施の形態では、図 2 2 に示すように、このダミーランド電極 4 a 上にもバンプ電極 6 0 を形成している。バンプ電極形成工程 (S 3 5 0) において、着工安定性 (ハンダ塗れ性) を向上させるためには、ダミーパターン 4 にも、W P P 技術を必要とするテストチップと同程度にバンプ電極 6 0 を形成することが望ましい。

【 0 0 8 5 】

このように W P P 技術を必要としないチップ領域にも、ダミーパターン 4 を設けることによって、メッキ法で形成される再配線 5 7 の疎密差を低減し、W P P 技術を必要とするチップ領域の本体パターン 2 の外観異常が発生するのを防止することができる。

30

【 0 0 8 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 8 7 】

例えば、前記実施の形態では、W P P 技術における再配線を有する半導体装置に適用した場合について説明したが、半導体素子の配線としてメッキ配線を用いる半導体装置にも適用することができる。

40

【 産業上の利用可能性 】

【 0 0 8 8 】

本発明は、半導体装置、特に、W P P 技術における再配線を有する半導体装置に有効で、とりわけ C S P (Chip Size Package) 構造の半導体装置の製造業に幅広く利用されるものである。

【 図面の簡単な説明 】

【 0 0 8 9 】

【 図 1 】 本発明の一実施の形態における半導体装置の平面を模式的に示す説明図である。

【 図 2 】 図 1 の半導体装置の平面を拡大して示す説明図である。

【 図 3 】 図 1 の半導体装置の要部断面を模式的に示す説明図である。

50

【図 4】図 2 に対応する本発明者らが検討した半導体装置の平面を拡大して示す説明図である。

【図 5】本発明の一実施の形態における半導体装置の製造工程の流れ図である。

【図 6】図 5 の設計工程における処理パターンを示す説明図である。

【図 7】図 6 に続く設計工程における処理パターンを示す説明図である。

【図 8】図 7 に続く設計工程における処理パターンを示す説明図である。

【図 9】図 8 に続く設計工程における処理パターンを示す説明図である。

【図 10】図 9 に続く設計工程における処理パターンを示す説明図である。

【図 11】図 5 のウエハ工程およびパッケージ工程における半導体装置の平面を示す説明図である。

10

【図 12】図 11 に続く半導体装置の断面を示す説明図である。

【図 13】図 12 に続く半導体装置の断面を示す説明図である。

【図 14】図 13 に続く半導体装置の断面を示す説明図である。

【図 15】図 14 に続く半導体装置の断面を示す説明図である。

【図 16】図 15 に続く半導体装置の断面を示す説明図である。

【図 17】図 16 に続く半導体装置の断面を示す説明図である。

【図 18】図 17 に続く半導体装置の断面を示す説明図である。

【図 19】メッキ電流と再配線占有率との関係を示す説明図である。

【図 20】半導体ウエハの厚さと半導体ウエハの反り量との関係を示す説明図である。

【図 21】本発明の他の実施の形態における半導体装置の平面を示す説明図である。

20

【図 22】図 21 の半導体装置の要部断面を模式的に示す説明図である。

【符号の説明】

【0090】

1 C、1 C' 半導体チップ

1 S 半導体基板

1 W 半導体ウエハ

2 本体パターン（第 1 パターン）

2 a ランド電極

2 g 粒

2 p 本体処理パターン（第 1 処理パターン）

30

3 ダミーパターン（第 2 パターン）

3 a ダミーランド電極

3 p ダミー処理パターン（第 2 処理パターン）

4 ダミーパターン（第 3 パターン）

4 a ダミーランド電極

2 1 素子分離領域

2 2 p 型ウェル

2 3 n 型ウェル

2 4 ゲート絶縁膜

2 5 a ゲート電極

40

2 5 b ゲート電極

2 6 サイドウォール

2 7 a 低濃度 n 型不純物拡散領域

2 7 b 低濃度 p 型不純物拡散領域

2 8 a 高濃度 n 型不純物拡散領域

2 8 b 高濃度 p 型不純物拡散領域

2 9 酸化シリコン膜

3 0 プラグ

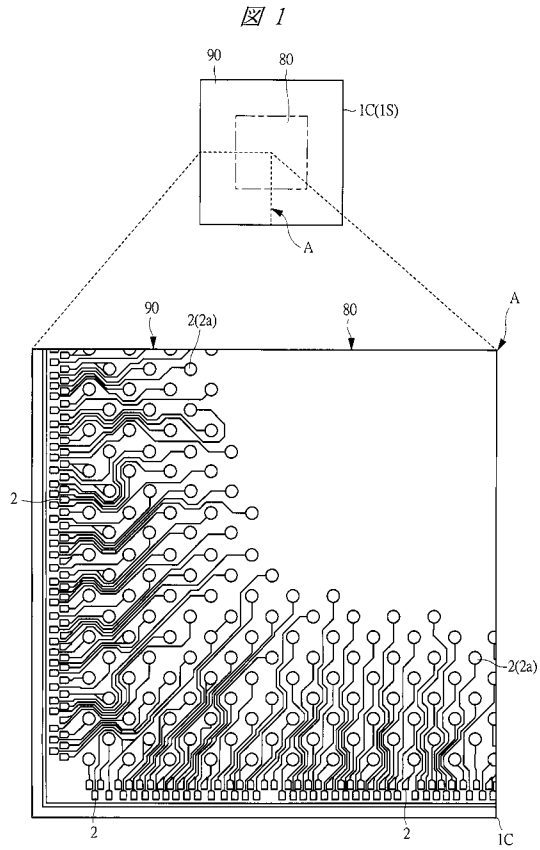
3 1 酸化シリコン膜

3 2 第 1 層配線

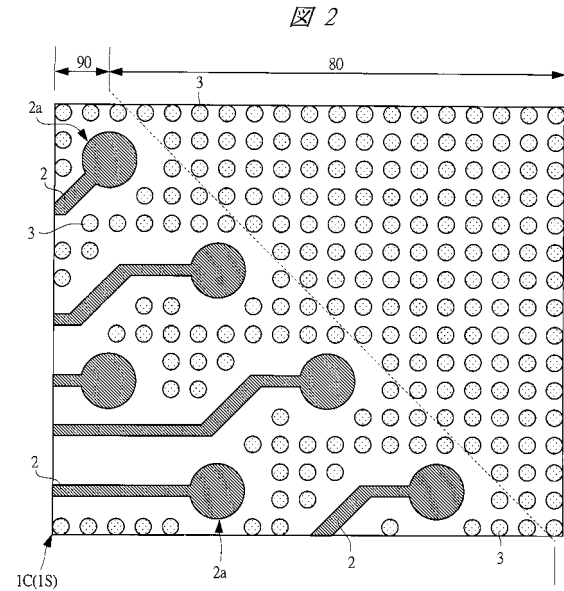
50

3 3	酸化シリコン膜	
3 4	プラグ	
3 5	酸化シリコン膜	
3 6	第 2 層配線	
3 7 a	窒化シリコン膜	
3 7 b	酸化シリコン膜	
3 8 a	窒化シリコン膜	
3 8 b	酸化シリコン膜	
3 9	第 3 層配線	
4 0	第 4 層配線	10
4 1	キャップ絶縁膜	
4 2	酸化シリコン膜	
4 3	プラグ	
4 4	第 5 層配線	
4 5	酸化シリコン膜	
4 6	窒化シリコン膜（無機系絶縁膜、第 1 絶縁膜）	
4 7	フォトレジスト膜	
4 8	開口部	
4 9	ポリイミド樹脂膜（第 1 有機系絶縁膜、第 2 絶縁膜）	
5 0	開口部（第 1 開口部）	20
5 1	バリア層	
5 2	シード層	
5 3	フォトレジスト膜	
5 4、5 4 a、5 4 b	開口部	
5 5	銅膜	
5 6	ニッケル膜	
5 7	再配線	
5 8	ポリイミド樹脂膜（第 2 有機系絶縁膜、第 3 絶縁膜）	
5 9	開口部（第 2 開口部）	
6 0	パンプ電極	30
8 0	中心領域（第 1 領域）	
9 0	周辺領域（第 2 領域）	
Q 1	n チャネル型 M I S F E T	
Q 2	p チャネル型 M I S F E T	
S T	ショット領域	

【図 1】

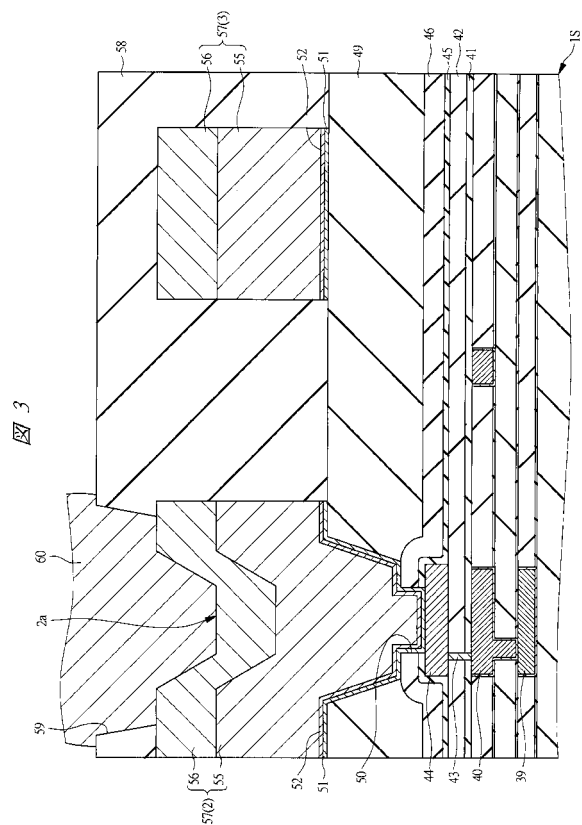


【図 2】

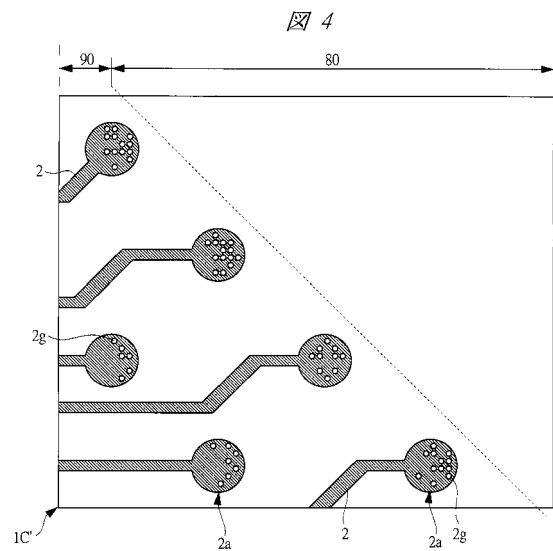


1S: 半導体基板 2: 本体パターン 3: ダミーパターン

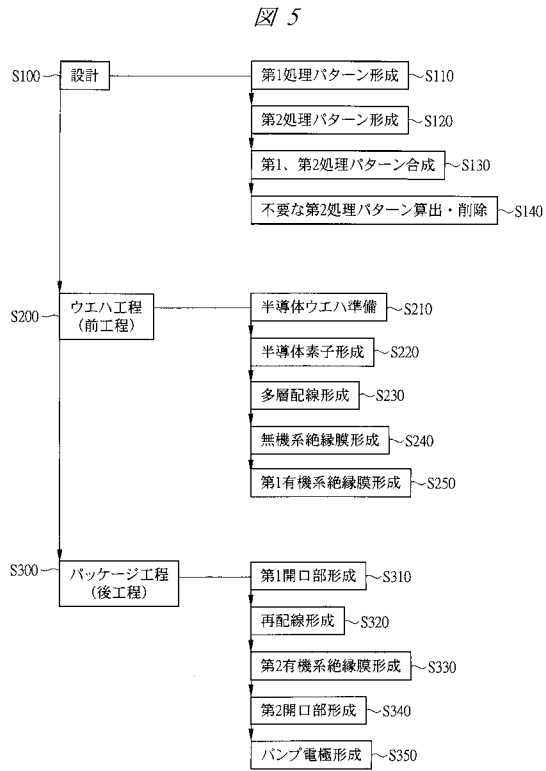
【図 3】



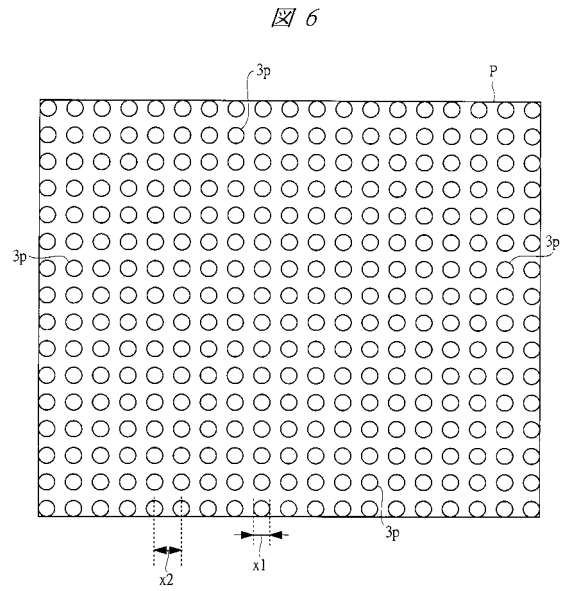
【図 4】



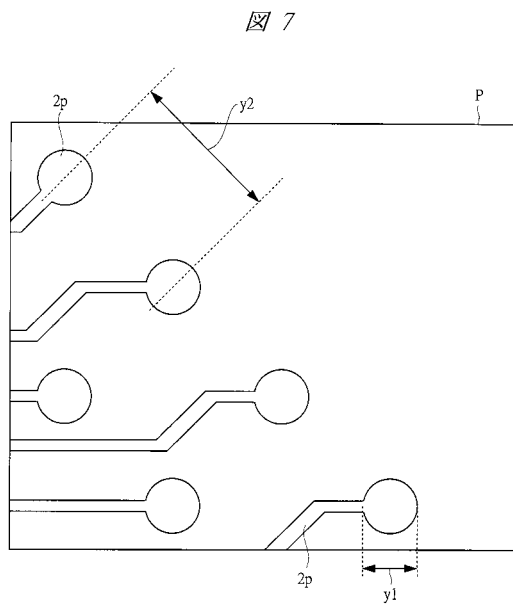
【図 5】



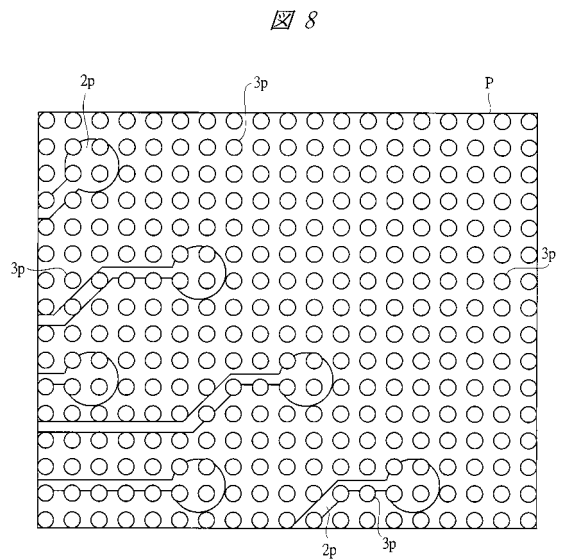
【図 6】



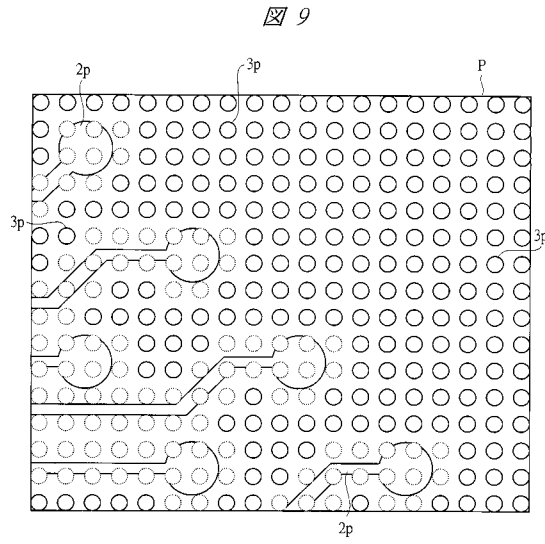
【図 7】



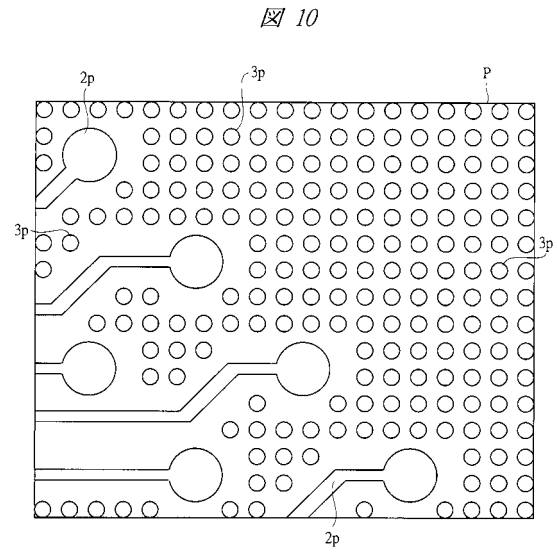
【図 8】



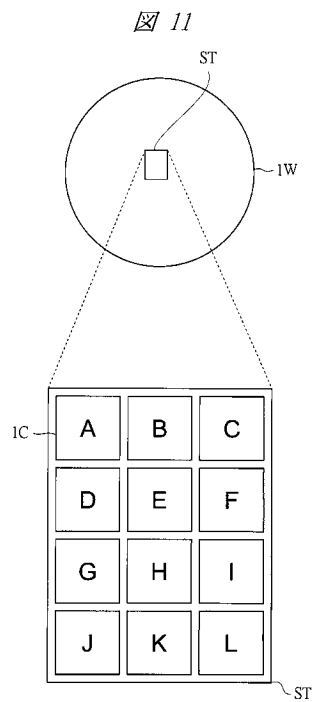
【図 9】



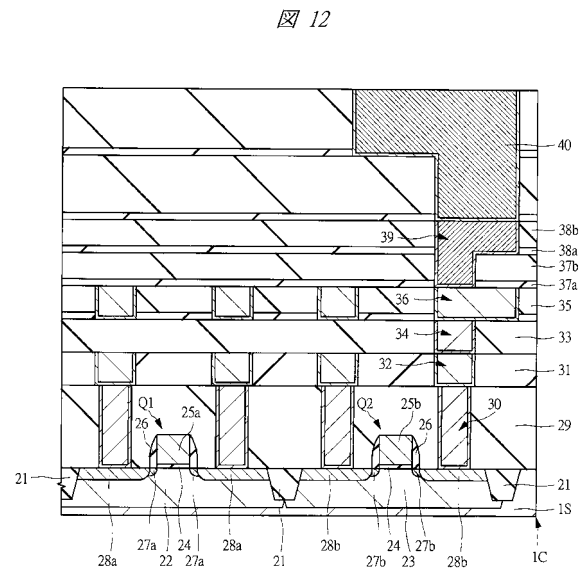
【図 10】



【図 11】

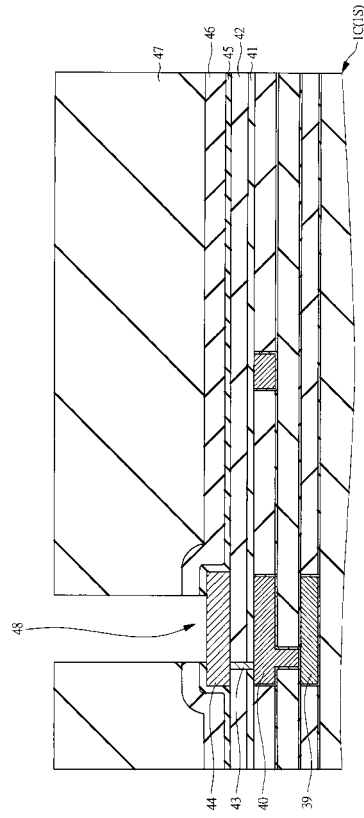


【図 12】



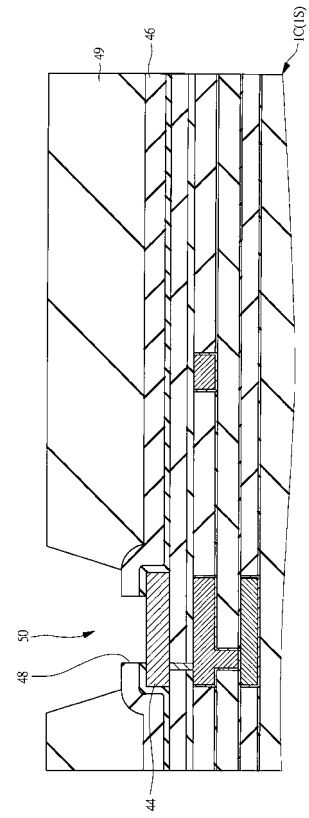
【図 13】

図 13



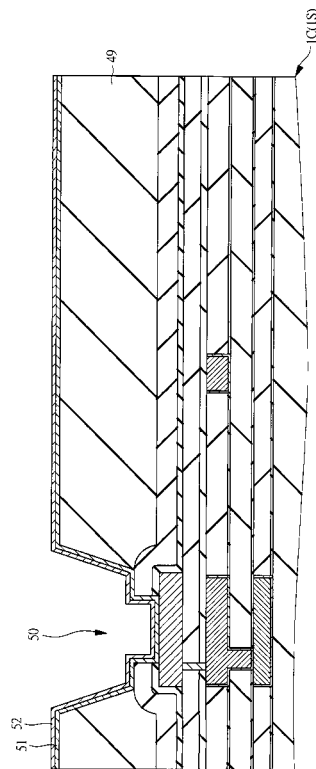
【図 14】

図 14



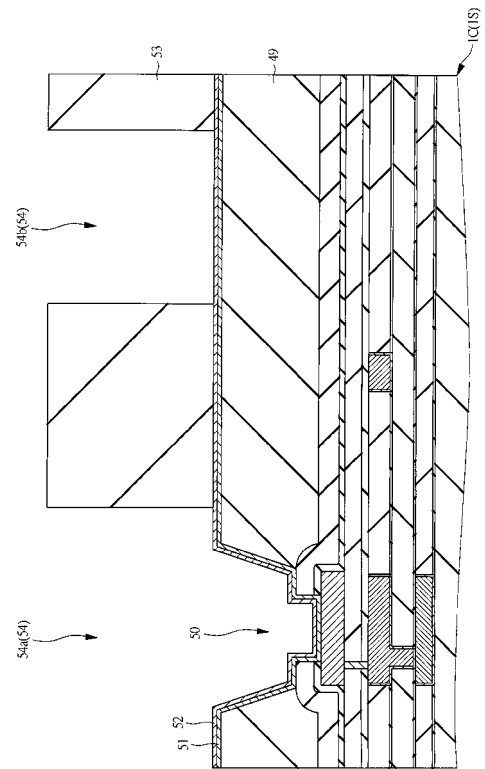
【図 15】

図 15



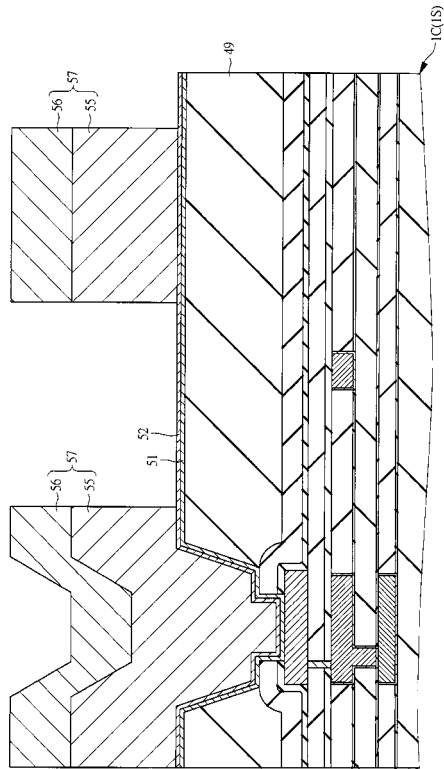
【図 16】

図 16



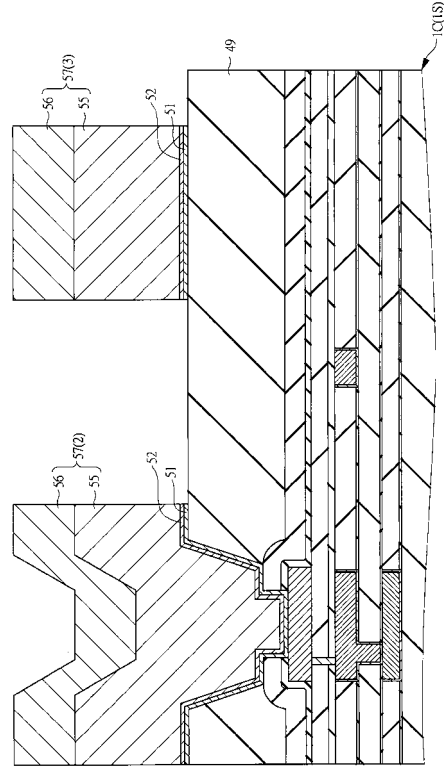
【図 17】

図 17



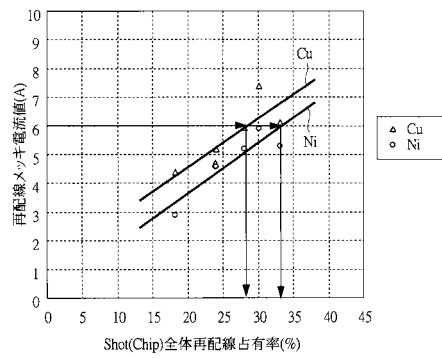
【図 18】

図 18



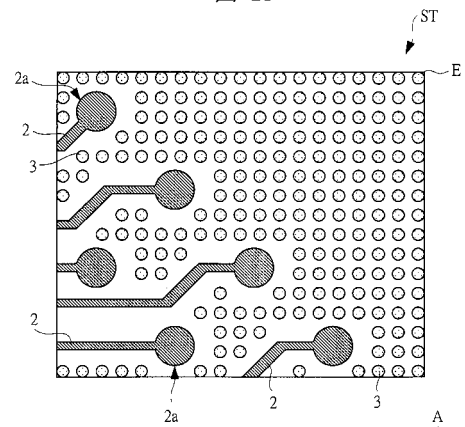
【図 19】

図 19



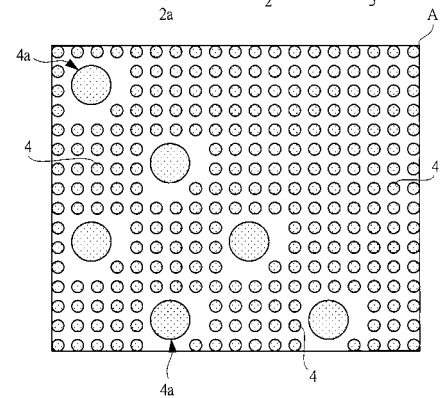
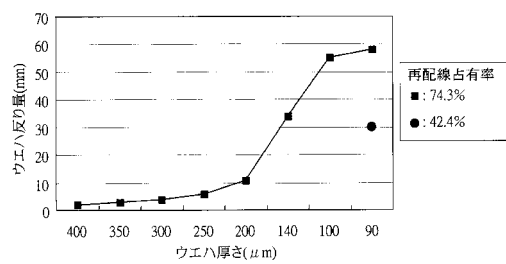
【図 21】

図 21

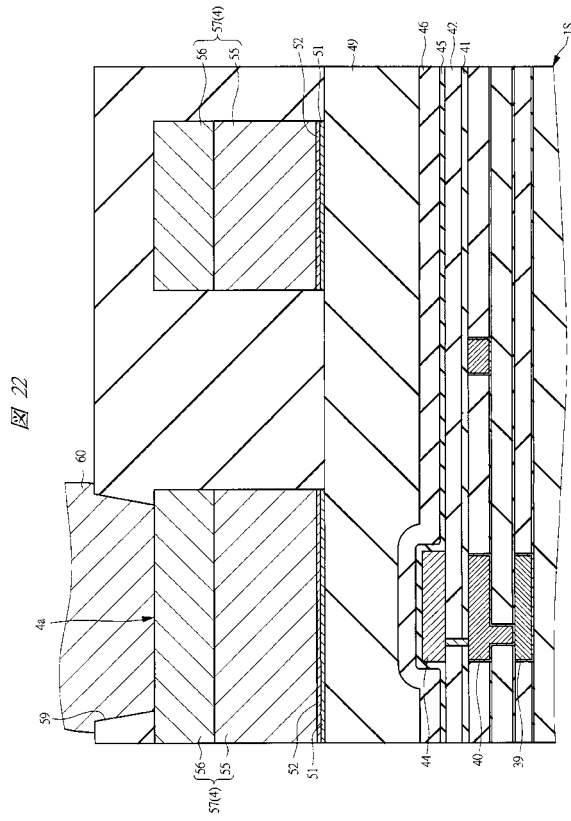


【図 20】

図 20



【図 22】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/822 (2006.01)

(56)参考文献 特開2007-220870(JP,A)

特開2003-017530(JP,A)

特開2001-351984(JP,A)

特開2000-349196(JP,A)

特開平09-306914(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 23/12

H 0 1 L 21/3205

H 0 1 L 21/822

H 0 1 L 23/52

H 0 1 L 27/04