

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 1 部門第 2 区分
【発行日】令和 7 年 3 月 7 日(2025.3.7)

【公開番号】特開 2024-67133(P2024-67133A)
【公開日】令和 6 年 5 月 17 日(2024.5.17)
【年通号数】公開公報(特許)2024-090
【出願番号】特願 2022-176965(P2022-176965)
【国際特許分類】
A 6 3 F 7/02(2006.01)
【F I】
A 6 3 F 7/02 3 2 6 Z

10

【手続補正書】
【提出日】令和 7 年 2 月 27 日(2025.2.27)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】

20

【特許請求の範囲】
【請求項 1】

中央処理装置、リードメモリ、リードライトメモリ、及び C R C 回路を含んだマイクロプロセッサを実装して遊技の進行を制御する遊技制御手段を備え、
前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク 0、及びバンク 1 を有し、
前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 1 記憶手段と、遊技の進行に直接関与しないプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 2 記憶手段で構成され、
前記リードライトメモリは、前記第 1 記憶手段のプログラムが読み書きする作業領域、及び前記第 1 記憶手段のプログラムが使用するスタックエリアで構成された第 3 記憶手段と、前記第 2 記憶手段のプログラムが読み書きする作業領域、及び前記第 2 記憶手段のプログラムが使用するスタックエリアで構成された第 4 記憶手段で構成され、
前記第 1 記憶手段と前記第 2 記憶手段、及び前記第 3 記憶手段と前記第 4 記憶手段との間に未使用領域が存在し、
前記第 1 記憶手段と前記第 2 記憶手段との間の未使用領域は、前記第 1 記憶手段のデータ領域の終端と前記第 2 記憶手段のプログラム領域の先端の間であり、
前記第 3 記憶手段と前記第 4 記憶手段との間の未使用領域は、前記第 3 記憶手段のスタックエリアの終端と前記第 4 記憶手段の作業領域の先端の間であり、
前記中央処理装置は、前記第 1 記憶手段に記憶されたプログラムから前記第 2 記憶手段に記憶されたプログラムを呼び出す場合に特定コール命令で呼び出し、
前記特定コール命令で呼び出されたプログラムから前記第 1 記憶手段に記憶されたプログラムに戻る場合、特定リターン命令で戻り、
前記遊技制御手段は、
電断発生時に電断処理を行う電断処理手段と、
前記 C R C 回路を使用して前記リードライトメモリの所定のアドレス範囲内の C R C 演算を行う C R C 演算手段と、
前記 C R C 演算手段を実行して C R C 値を算出し、前記リードライトメモリの所定の領域に記憶する C R C 生成手段と、を有し、

30

40

50

前記電断処理手段は、前記バンク 0 のスタックポインタの値を前記リードライトメモリの特定の領域に記憶し、前記 CRC 生成手段を実行することを特徴とする遊技機。

【 手続補正 2 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 9

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 9 】

本発明の第 1 の実施態様に係る発明は、下記の構成を有する。

中央処理装置（例えば、メイン CPU 2 1 0 1）、リードメモリ（例えば、メイン ROM 2 1 0 2）、リードライトメモリ（例えば、メイン RAM 2 1 0 3）、及び CRC 回路（例えば、CRC 回路 2 0 1 7 c）を含んだマイクロプロセッサ（例えば、マイクロプロセッサ 2 1 0 0）を実装して遊技の進行を制御する遊技制御手段を備え、

10

前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク 0、及びバンク 1 を有し、

前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 1 記憶手段（例えば、使用領域内 ROM エリア 2 2 0 2 a）と、遊技の進行に直接関与しないプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第 2 記憶手段（例えば、使用領域外 ROM エリア 2 2 0 2 b）で構成され、

20

前記リードライトメモリは、前記第 1 記憶手段のプログラムが読み書きする作業領域、及び前記第 1 記憶手段のプログラムが使用するスタックエリアで構成された第 3 記憶手段（例えば、使用領域内 RAM エリア 2 2 0 3 a）と、前記第 2 記憶手段のプログラムが読み書きする作業領域、及び前記第 2 記憶手段のプログラムが使用するスタックエリアで構成された第 4 記憶手段（例えば、使用領域外 RAM エリア 2 2 0 3 b）で構成され、

前記第 1 記憶手段と前記第 2 記憶手段、及び前記第 3 記憶手段と前記第 4 記憶手段との間に未使用領域が存在し（例えば、図 1 6 8（B）、図 1 6 8（C）に示す未使用領域）、前記第 1 記憶手段と前記第 2 記憶手段との間の未使用領域は、前記第 1 記憶手段のデータ領域の終端と前記第 2 記憶手段のプログラム領域の先端の間であり、

前記第 3 記憶手段と前記第 4 記憶手段との間の未使用領域は、前記第 3 記憶手段のスタックエリアの終端と前記第 4 記憶手段の作業領域の先端の間であり、

30

前記中央処理装置は、前記第 1 記憶手段に記憶されたプログラムから前記第 2 記憶手段に記憶されたプログラムを呼び出す場合に特定コール命令（例えば、「CALLLEX」）で呼び出し、

前記特定コール命令で呼び出されたプログラムから前記第 1 記憶手段に記憶されたプログラムに戻る場合、特定リターン命令（例えば、「RET EX」）で戻り、

前記遊技制御手段は、

電断発生時に電断処理を行う電断処理手段と、

前記 CRC 回路を使用して前記リードライトメモリの所定のアドレス範囲内の CRC 演算を行う CRC 演算手段と、

40

前記 CRC 演算手段を実行して CRC 値を算出し、前記リードライトメモリの所定の領域に記憶する CRC 生成手段と、を有し、

前記電断処理手段は、前記バンク 0 のスタックポインタの値を前記リードライトメモリの特定の領域に記憶し、前記 CRC 生成手段を実行することを特徴とする遊技機（例えば、パチスロ機 2 0 0 1）。