(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G11C 11/40

(11) 공개번호 10-2004-0093858
(43) 공개일자 2004년11월09일

(21) 출원번호 10-2003-0027711
(22) 출원일자 2003년04월30일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이상희
서울특별시광진구구의동강변우성아파트103-1006

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) DQS 신호의 리플현상으로 인하여 오동작을 방지할 수있는 동기식 메모리 장치

요약

본 발명은 DQS 신호의 리플현상으로 인한 오동작을 방지하기 위한 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 동작클럭의 라이징에지와 폴링에지에 동기되어 다수의 데이터를 입력받는 동기식 메모리 장치에 있어서, 하이-임피던스상태를 상태를 유지하다가 데이터가 입력되는 구간동안에 클럭킹되는 DQS신호의 라이징에지와 폴링에지를 각각 검출하는 라이징펄스와 폴링펄스를 출력하기 위한 데이터스트로브 버퍼부; 상기 데이터를 상기 라이징펄스와 상기 폴링펄스에 동기시켜 래치 및 얼라인시키는 데이터 얼라인 래치부; 및 상기 DQS신호가 클럭킹되는 구간동안에만 상기 라이징펄스와 상기 폴링펄스가 상기 데이터 얼라인 래치부로 출력되도록 상기 데이터스트로브 버퍼부를 제어하는 DQS신호 제어부를 구비하는 동기식 메모리 장치를 제공한다.

대표도

도 6

색인어

반도체, 메모리, 데이터 얼라인, 래치, 데이터스트로브

명세서

도면의 간단한 설명

도1은 종래기술에 의한 동기식 메모리 장치의 데이터 입력부를 나타내는 블럭구성도.

도2는 도1에 도시된 데이터 얼라인 래치부를 나타내는 블럭구성도.

도3은 도1에 도시된 데이터스트로브 버퍼부를 나타내는 회로도.

도4는 도1에 도시된 동기식 메모리 장치의 동작을 나타내는 파형도.

도5는 도1에 도시된 메모리 장치의 문제점을 나타내는 파형도.

도6은 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치를 나타내는 블럭구성도.

도7은 도6에 도시된 데이터스트로브 버퍼부를 나타내는 회로도.

도8은 도6에 도시된 DQS신호 제어부를 나타내는 회로도.

도9는 도6에 도시된 DQS신호 제어부에 입력되는 신호를 생성하기 위한 블럭구성도.

도10은 도9에 도시된 제1 신호생성부를 나타내는 회로도.

도11은 도9에 도시된 제2 신호생성부를 나타내는 회로도.

도12a는 BL=4일때 도6의 DQS신호 제어부에 입력되는 신호를 나타내는 파형도.

도12b는 BL=8일때 도6의 DQS신호 제어부에 입력되는 신호를 나타내는 파형도.

도13은 BL=4일때 도6에 도시된 메모리 장치의 동작을 나타내는 파형도.

도14는 BL=8일때 도6에 도시된 메모리 장치의 동작을 나타내는 파형도.

도15는 DQS 신호가 입력되는 마진에 따른 본 발명의 메모리 장치 동작을 나타내는 파형도.

* 도면의 주요부분에 대한 설명

MN1 ~ MN16 : 앤모스트랜지스터

MP1 ~ MP15 : 피모스트랜지스터

I1 ~ I37 : 인버터

ND1 ~ ND11 : 낸드게이트

T1 ~ T3 : 전송게이트

NOR1 ~ NOR2 : 노어게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 데이터가 입력되는 타이밍에 클럭킹되어 입력되는 DQS 신호의 리플(Ripple) 현상에 의한 오동작을 방지할 수있는 메모리 장치에 관한 것이다.

반도체 메모리장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리칩 외부에서 주어지는 클록과 동기되어 동작할 수 있는 소위 동기식(Synchronous) 메모리 장치가 등장되었다.

처음 제안된 것은 메모리 장치의 외부로부터의 클록의 상승 에지(rising edge)에 동기되어 하나의 데이터 핀에서 클록의 한 주기에 걸쳐 하나의 데이터를 입출력하는 이른바 SDR(single data rate) 동기식 메모리 장치이다.

그러나 SDR 동기식 메모리 장치 역시 고속 동작을 요구하는 시스템의 속도를 만족하기에는 불충분하며, 이에 따라 하나의 클록 주기에 두 개의 데이터를 처리하는 방식인 디디알(DDR,double data rate) 동기식 메모리 장치가 제안되었다.

디디알 동기식 메모리 장치의 각 데이터 입출핀에서는 외부에서 입력되는 클록의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 연속적으로 두 개의 데이터가 입출력되는 바, 클록의 주파수를 증가시키지 않더라도 종래의 SDR 동기식 메모리 장치에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있어 그 만큼 고속동작이 구현 가능하다.

그런데, 디디알 메모리 장치에서는 두 개의 데이터를 한 클럭 주기에서 내보내거나 또는 입력받아야 하기 때문에, 이를 효과적으로 수행하기 위해서는 종래의 동기식 메모리 장치에서 사용되고 있는 데이터 억세스 방식을 사용할 수가 없다.

만약 클럭의 주기(cycle)가 10ns 정도라면 상승 및 하강시의 시간(약 0.5×4=2ns)과 그 밖의 스펙을 맞추기 위한 시간등을 빼면 실질적으로 약 6nsec 이하의 시간동안 두 개의 데이터를 연속적으로 처리하여야 하는데, 이러한 처리는 메모리 장치의 내부에서 수행하기에 역부족이므로, 메모리 장치는 외부로 데이터를 내보내거나 입력받을 때만 클럭의 라이징에지 및 폴링에지에서 데이터를 입출력시키고, 실질적으로 메모리 장치 내부에서는 클럭의 한쪽에지에 동기되는 두 개의 데이터를 병렬로 처리하게 된다.

따라서 메모리 장치에서 데이터를 입력받아 내부 코어영역으로 전달하거나, 코어영역에서 전달되는 데이터를 외부로 출력하기 위해서는 새로운 데이터 억세스 방식이 필요하다.

이를 위하여 디디알 메모리 장치의 데이터 입력버퍼는 상승에지 및 하강에지에 동기된 2비트(bit)의 데이터를 프리패치하고, 이를 메인클럭의 상승에지에 짝수데이터 또는 홀수데이터로 동기시켜 내부 코어영역으로 전달하고 있다.

그러나 중앙처리장치등의 반도체 장치가 더 고속화되면서 메모리 장치를 더 고속으로 동작시켜야 하는 요구가 생겼는데, 이를 위해서 4비트의 데이터를 프리패치하여 메모리 장치의 내부로 전달하는 4비트를 프리패치하는 데이터 입력버퍼가 제안되었다.

한편, 데이터 입출력의 정확한 타이밍을 구현하기 위해 데이터를 입력받을 때 메모리장치 외부의 중앙처리장치(CPU)나 메모리 콘트롤러(controller)에서 데이 터신호와 함께 데이터스트로브(data strobe) 신호(이하 DQS신호라 함)가 함께 입력된다.

도1은 종래기술에 의한 동기식 메모리 장치의 4비트 프리패치 데이터 입력버퍼를 나타내는 블럭구성도이다.

도1을 참조하여 살펴보면, 데이터를 입력받아 버퍼링하는 데이터 버퍼부(10)와, 입력되는 데이터(data)를 제1 및 제2 라이징데이터 또는 제1 및 제2 폴링데이터로 래치하고 얼라인하는 데이터 얼라인 래치부(20)와, 얼라인된 4개의 데이터(align_dr0, align_df0, align_dr1, align_df1)를 입력받아 짝수데이터(OD0, OD1)와 홀수데이터(EV0, EV1)로 선택하여 출력하는 멀티플렉서(30)와, 짝수데이터(OD0, OD1)와 홀수데이터(EV0, EV1)를 내부 스트로브신호(data_strobe)에 응답하여 글로벌입출력 라인(global I/O)으로 전달하는 gio라인 드라이버(40)와, 라이트 명령어에 의해 생성되는 인에이블신호(en_din)에 의해 인에이블되어 DQS 신호(DQS)의 라이징에지와 폴링에지에 각각 생성되는 라이징펄스(dsrp)와 폴링펄스(dsfp)를 출력하는 데이터스트로브 버퍼부(50)를 구비한다.

도2는 도1에 도시된 데이터 얼라인 래치부를 나타내는 블럭구성도이다.

도2를 참조하여 살펴보면, 데이터 얼라인 래치부(20)은 라이징펄스(dsrp)에 의해 데이터 버퍼부(10)에서 출력되는 데이터(data)를 래치하여 제1 라이징데이터(rising_d0)로 출력하는 제1 라이징래치부(21)와, 제1 라이징데이터(rising_d0)를 폴링펄스(dsfp)에 의해 래치하여 제3 얼라인데이터(align_dr1)를 출력하는 제2 라이징래치부(22)와, 라이징펄스(dsrp)에 의해 제3 얼라인데이터(align_dr1)를 래치하여 제2 라이징펄스(rising_d1)를 출력하는 제3 라이징래치부(140)와, 제2 라이징데이터(rising_d1)를 폴링펄스(dsfp)에 의해 래치하여 제1 얼라인데이터(align_r0)를 출력하는 제4 라이징래치부(26)와, 폴링펄스(dsfp)에 의해 데이터버퍼부(10)에서 출력되는 데이터(data)를 래치하여 제4 얼라인데이터(align_df1)로 출력하는 제1 폴링래치부(23)와, 제4 얼라인데이터(align_df1)를 라이징펄스(dsrp)에 의해 래치하여 폴링데이터(falling_d1)를 출력하는 제2 폴링래치부(25)와, 폴링데이터(falling_d1)를 폴링펄스(dsfp)에 의해 래치하여 제2 얼라인데이터(align_df0)로 출력하는 제3 폴링래치부(27)를 구비한다.

도3은 도1에 도시된 데이터스트로브 버퍼부를 나타내는 회로도이다.

도3을 참조하여 살펴보면, 데이터 스트로 버퍼부(50)는 기준신호(Vref)와 DQS 신호(DQS)를 게이트로 각각 입력받

는 앤모스트랜지스터(MN1,MN2)와, 라이트 명령어에 의해 생성되는 인에이블신호(en_din)를 게이트로 입력받으며 일측이 앤모스트랜지스터(MN1,MN2)의 일측에 공통으로 연결되고, 타측이 접지전원(VSS)에 연결된 앤모스트랜지스터(MN3)와, 전원전압(VDD)과 앤모스트랜지스터(MN1)의 타측을 연결하며 게이트가 앤모스트랜지스터(MN1)의 타측에 다이오드 접속된 피모스트랜지스터(MP1)와, 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하며 피모스트랜지스터(MP1)와 전류미러를 형성하는 피모스트랜지스터(MP2)와, 게이트로 인에블신호(en_din)를 입력받으며 전원전압(VDD)과 앤모스트랜지스터(MN1)의 타측을 연결하는 피모스트랜지스터(MP3)와, 게이트로 인에블신호(en_din)를 반 전하여 입력받으며 전원전압(VDD)과 앤모스트랜지스터(MN2)의 타측을 연결하는 피모스트랜지스터(MP4)와, 피모스트랜지스터(MP2)와 앤모스트랜지스터(MN2)의 공통 노드를 버퍼링하여 출력하기 위해 직결연결된 인버터(I1,I2,I3)와, 인버터(I3)에 직렬연결되어 라이징펄스를 출력하는 인버터(I7,I8)와, 인버터(I3)에 직렬연결되어 폴링펄스를 출력하는 인버터(I4,I5,I6)를 구비한다.

도4는 도1에 도시된 동기식 메모리 장치에서 BL=8 일때의 동작을 나타내는 파형도이다. 도1 내지 도4를 참조하여 메모리 장치의 동작을 살펴본다.

먼저 동작클럭(CLK)의 라이징에지와 폴링에지에 동기되어 데이터(D0 ~ D7)가 입력되고, 데이터(D0 ~ D7)가 입력되는 타이밍에 맞추어 DQS 신호(DQS)가 입력된다.

데이터스트로브 버퍼부(50)는 라이트명령어에 의해 생성되는 인에이블신호(en_din)에 의해 인에이블되어 DQS 신호(DQS)의 라이징에지에서 펄스형태로 출력되는 라이징펄스(dsrp)와, DQS 신호(DQS)의 폴링에지 펄스형태로 출력되는 폴링펄스(dsfp)를 생성하여 출력한다.

DQS 신호(DQS)는 평상시에는 하이임피던스 상태를 유지하고 있다가, 데이터가 입력되기 한 클럭전에 미리 로우 레벨을 유지하는 프리앰블(preamble)상태(도4의 X구간)에서 데이터가 입력되는 타이밍에 따라서 클럭킹되다가, 데이터가 모두 입력되고 나면 다시 일정기간 로우레벨의 포스트앰블(postamble) 상태(도4의 Y구간)를 유지하다가 다시 하이 임피던스 상태를 유지하게 된다.

이어서 제1 라이징래치부(21)는 제1,3,5,7 데이터(D0,D2,D4,D6)를 라이징펄 스(dsrp)에 의해 래치하여 제1 라이징 데이터(rising_d0)로 출력한다.

이어서 제2 라이징래치부(22)는 폴링펄스(dsfp)에 의해 제1 라이징데이터(rising_d0)를 래치하여 제3 얼라인데이터(align_r1)를 출력하고, 제1 폴링래치부(23)는 폴링펄스(dsfp)에 의해 제2,4,6,8 데이터(D1,D3,D5,D7)를 래치하여 제4 얼라인데이터(align_f1)로 출력한다.

이어서, 제3 라이징래치부(24)는 라이징펄스(dsrp)에 의해 제3 얼라인데이터(align_r1)를 래치하여 제2 라이징데이터(rising_d1)로 출력하고, 제2 폴링래치부(25)는 라이징펄스(dsfp)에 의해 제4 얼라인데이터(align_f1)을 래치하여 폴링데이터(falling_d1)로 출력한다.

이어서 제4 라이징래치부(26)는 폴링펄스(dsfp)에 의해 제2 라이징데이터(rising_d1)를 래치하여 제1 얼라인데이터(align_r0)로 출력하고, 제3 폴링래치부(27)은 폴링펄스(fsfp4)에 의해 폴링데이터(align_df0)를 래치하여 제2 얼라인데이터(align_f0)로 출력한다.

이어서 멀티플렉서(30)에서는 제1 내지 제4 얼라인 데이터(align_dr0, align_df0, align_dr1, align_df1)를 입력받아 짝수데이터(EV0,EV1)와 홀수데이터(OD0, OD1)로 출력한다. 여기서 멀티플렉서에 입력되는 선택신호는 메모리 장치가 동시에 데이터를 4개씩 받거나 8개씩 받는 모드에서 멀티플렉서가 선택되도록하는 신호이다.

이어서 gio라인 드라이버(40)는 내부 스트로브신호(data_strobe)에 응답하여 짝수데이터(EV0, EV1) 또는 홀수 데이터(OD0, OD1)로 글로벌 입출력라인(global I/O)에 전달하게 된다. 이후에 글로벌 입출력라인에 전달된 데이터는 셀 어레이로 전달된다.

도5는 도1에 도시된 메모리 장치의 문제점을 나타내는 파형도이다. 이하 도1 내지 도5를 참조하여 종래기술에 의한 메모리 장치의 문제점을 살펴본다.

전술한 바와 같이 DQS 신호(DQS)는 하이임피던스 상태를 유지하고 있다가 동작클럭(clk)에 라이징펄스와 폴링펄스에 동기되어 데이터가 입력되는 동안 클럭킹되고 데이터 입력이 끝나면 하이 임피던스 상태로 다시 돌아가는 신호이다.

그러나 데이터 입력이 끝나고 다시 하이 임피던스 상태로 돌아가는 과정에서 리플(ripple)현상이 생기는데 이때 발생되는 오버슈트(overshoot)로 인하여 에러를 유발하게 된다.

데이터스 스트로브 신호가 하이 임피던스로 돌아가는 과정의 오버슈트로 인하여 인버터(I4 ~ I8)가 동작하게 되어 데이터 입력이 끝난 상태임에도 불구하고 더미 라이징펄스와 더미 폴링펄스(도5의 X 참조)가 생성되고, 이로 인하여 래치되어 있던 올바른 데이터가 깨어 질수 있게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, DQS 신호의 리플현상으로 인한 오동작을 방지하기 위한 메모리 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기의 과제를 해결하기 위한 본 발명은 동작클럭의 라이징에지와 폴링에지에 동기되어 다수의 데이터를 입력받는 동기식 메모리 장치에 있어서, 하이-임피던스상태를 상태를 유지하다가 데이터가 입력되는 구간동안에 클럭킹되는 DQS신호의 라이징에지와 폴링에지를 각각 검출하는 라이징펄스와 폴링펄스를 출력하기 위한 데이터스트로브 버퍼부; 상기 데이터를 상기 라이징펄스와 상기 폴링펄스에 동기시켜 래치 및 얼라인시키는 데이터 얼라인 래치부; 및 상기 DQS신호가 클럭킹되는 구간동안에만 상기 라이징펄스와 상기 폴링펄스가 상기 데이터 얼라인 래치부로 출력되도록 상기 데이터스트로브 버퍼부를 제어하는 DQS신호 제어부를 구비하는 동기식 메모리 장치를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도6은 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치를 나타내는 블럭구성도이다.

도6을 참조하여 살펴보면, 본 실시예에 따른, 동작클럭의 라이징에지와 폴링에지에 동기되어 다수의 데이터를 입력받는 동기식 메모리 장치는 하이-임피던스상태를 상태를 유지하다가 데이터가 입력되는 구간동안에 클럭킹되는 DQS신호(DQS)의 라이징에지와 폴링에지를 각각 검출하는 라이징펄스(dsrp)와 폴링펄스(dsfp)를 출 력하기 위한 데이터스트로브 버퍼부(100)와, 상기 데이터를 라이징펄스(dsrp)와 폴링펄스(dsfp)에 동기시켜 래치 및 얼라인시키는 데이터 얼라인 래치부(400)와, DQS신호가 클럭킹되는 구간동안에만 라이징펄스(dsrp)와 폴링펄스(dsfp)가 데이터 얼라인 래치부(400)로 출력되도록 데이터스트로브 버퍼부(DQS)를 제어하는 DQS신호 제어부(200)를 구비한다.

여기서 DQS 버퍼부(100)와 DQS신호 제어부(200)는 라이트 명령어에 의해 생성되는 DQS 인에이블신호(en_din)에 의해 인에이블된다.

도7은 도6에 도시된 데이터스트로브 버퍼부를 나타내는 회로도이다.

도7을 참조하여 살펴보면, 데이터스트로브 버퍼부(100)는 DQS신호(DQS)와 기준전압(Vref)을 입력받는 차동증폭기(110)와, DQS신호 제어부(200)에서 출력되는 DQS 패스신호(dqs_pass)에 인에이블되어 차동증폭기(110)의 출력신호(B)를 버퍼링하여 출력하는 제1 버퍼부(120)와, 제1 버퍼부(130)의 출력을 버퍼링하여 라이징펄스(dsrp)를 출력하는 제2 버퍼부(120)와, 제1 버퍼부(120)의 출력을 버퍼링하여 폴링펄스(dsfp)를 출력하는 제3 버퍼부(140)를 구비한다.

차동증폭기(110)는 기준전압(Vref)과 DQS 신호(DQS)를 게이트로 각각 입력받는 모스트랜지스터(MN1,MN2)와, 전원전압(Vref)과 모스트랜지스터(MN1)의 일측단에 연결되며 게이트단이 모스트랜지스터(MN1)의 일측에 접속된 다이오드형 모스트랜지스터(MP1)와, 전원전압(VDD)과 모스트랜지스터(MP2)의 일측단에 연결되며, 게이트가 모스트랜지스터(MP1)의 게이트에 연결되어 전류미러를 형성하는 모스트랜지스터(MP2)와, 공통으로 연결된 모스트랜지스터(MN1, MN2)의 타측단과 접 지전원(VSS)을 연결하며, 라이트명령어에 의해 생성되는 DQS 인에이블신호(en_din)를 게이트로 입력받는 모스트랜지스터(MN3)를 구비한다.

또한, 게이트로 DQS 인에이블신호(en_din)를 입력받고, 모스트랜지스터(MP1)와 병렬연결된 모스트랜지스터(MP3)와, 게이트로 DQS인에이블신호(en_din)를 입력받고, 모스트랜지스터(MP2)와 병렬연결된 모스트랜지스터(MP4)를 구비한다.

또한 제1 버퍼부(120)는 제2 모스트랜지스터(MP4)의 일측단과 DQS신호 제어부(200)에서 출력되는 DQS 패스신호(dqs_pass)를 입력받는 낸드게이트(ND1)와, 낸드게이트(ND1)의 출력을 버퍼링하여 출력하며 직렬연결된 제1 및 제2 인버터(I1,I2)를 구비한다.

제2 버퍼부(130)는 제2 인버터(I2)의 출력을 반전하여 출력하는 제3 인버터(I3)와, 제3 인버터(I3)의 출력을 반전하여 라이징펄스(dsrp)로 출력하는 제4 인버터(I4)를 구비한다.

또한 제3 버퍼부(140)는 제2 인버터(I2)의 출력을 반전하여 출력하는 제5 인버터(I5)와, 제5 인버터(I5)의 출력을 반전하여 출력하는 제6 인버터(I6)와, 제6 인버터(I7)의 출력을 반전하여 폴링펄스(dsfp)로 출력하는 제7 인버터(I7)를 구비한다.

도8은 도6에 도시된 DQS신호 제어부를 나타내는 회로도이다.

도8을 참조하여 살펴보면, DQS신호 제어부(200)는 DQS신호(DQS)의 출력을 중단시키기 위한 DQS 멈춤신호(pass_stop)를 DQS신호의 포스트앰블상태에서 출력하는 DQS신호 디스에이블부(210)와, DQS신호(DQS)의 프리앰블 구간에서 생성되는 프리앰 블 펄스신호(caspwt)에 의해 DQS 패스신호(dqs_pass)를 인에이블시키고, DQS 멈춤신호(pass_stop)에 응답하여 DQS 패스신호(dqs_pass)를 디스에이블시키는 DQS 패스신호 생성부(220)를 구비한다.

DQS 패스신호 생성부(221)는 라이트명령어에 의해 생성되는 DQS 인에이블신호(en_din)에 인에이블되어, DQS신호(DQS)의 프리앰블상태에서 생성되는 프리앰블 펄스신호(caspwt)에 응답하여 출력단(C)을 제1 레벨(로우레벨)로 변화시키고, DQS 멈춤신호(pass_stop)에 응답하여 출력단(C)을 제2 레벨(하이레벨)로 변화시키는 DQS 상태감지부(221)와, DQS 상태감지부(221)의 출력단(C) 신호레벨을 래치하여 출력하는 DQS 패스신호 출력부(222)를 구비한다.

DQS 상태감지부(220)는 게이트로 DQS 멈춤신호(pass_stop)를 입력받고, 전원전압(VDD)에 일측이 연결된 모스트랜지스터(MP5)와, 게이트로 프리앰블 펄스신호(caspwt)를 입력받고, 일측이 모스트랜지스터(MP5)의 타측에 연결된 모스트랜지스터(MP7)와, 게이트로 프리앰블 펄스신호(caspwt)를 입력받고, 일측이 모스트랜지스터(MP7)의 타측에 연결된 모스트랜지스터(MN6)와, 게이트로 DQS 인에이블신호(en_din)를 입력받고, 일측이 모스트랜지스터(MN6)의 타측에 연결되고, 타측이 접지전원(VSS)에 연결된 모스트랜지스터(MN7)와, 게이트로 DQS 인에이블신호(en_din)를 입력받고, 전원전압(VDD)과 모스트랜지스터(MP7)와 모스트랜지스터(MN6)의 공통노드를 연결하는 모스트랜지스터(MP6)를 구비한다.

DQS 패스신호 출력부(222)는 전원전압(VDD)과 모스트랜지스터(MP7)와 모스트랜지스터(MN6)의 공통노드에 입력단이 연결된 인버터(I13)와. 인버터(I13)의 출력 단과 입력단이 각각 입력단과 출력단이 연결된 인버터(I12)와, 인버터(I12)의 출력을 반전하여 출력하는 인버터(I14)와, 인버터(I14)의 출력을 반전하여 DQS 패스신호(dqs_pass)를 출력하는 인버터(I15)를 구비한다.

또한 DQS 디스에이블부(210)는 버스트랭스(Burst Length)의 모드에 따라서 입력되는 다수의 데이터중에서 마지막 데이터가 입력되는 타아밍에 인에이블되는 버스트랭스 신호(bls)를 출력하기 위한 버스트랭스 감지부(211)와, DQS신호(DQS)가 클럭킹되는 타이밍마다 펄스형태로 생성되는 DQS 펄스신호(dqs_bp)를 출력하는 DQS 펄스생성부(213)와, 버스트랭스 신호(bls)가 인에이블되는 구간에 입력되는 DQS 펄스신호(dqs_bp)를 이용하여 DQS 멈춤신호(pass_stop)를 출력하는 DQS 멈춤신호 생성부(212)를 구비한다.

또한 DQS 멈춤신호 생성부(210)는 버스트랭스 신호(bls)와 DQS 펄스신호(dqs_bp)를 입력받는 낸드게이트(ND5)와, 낸드게이트(ND5)의 출력과 인터럽터 모드(Interupt Mode)와 갭리스 모드(Gapless)인 경우에 하이레벨을 가지는 DQS 유지신호(caspwt_L)를 입력받는 노어게이트(NOR2)와, 노어게이트(NOR2)의 출력을 반전하여 상기 DQS 멈춤신호(pass_stop)를 출력하는 인버터(I11))를 구비한다.

또한 버스트랭스 감지부(211)는 버스트랭스 모드가 '4'인 구간(BL='4')에 인에이블상태를 유지하는 제1 버스트랭스 신호(BL4)와, 버스트랭스 모드가 '4'인 구간에 4번째 데이터가 입력되는 타이밍에 인에이블되는 제1 버스트모드 인에이블 신호(casp_wt)를 입력받는 낸드게이트(ND2)와, 버스트랭스 모드가 '8'인 구간(BL='8')에 인에이블상태를 유지하는 제2 버스트랭스 신호(BL8)와, 버스트랭스 모드가 '8'인 구간에 8번째 데이터가 입력되는 타이밍에 인에이블되는 제2 버스트모드 인에이블 신호(ybst)를 입력받는 낸드게이트(ND3)와, 낸드게이트(ND2)와 낸드게이트(ND3)의 출력을 입력받아서 버스트랭스 신호(bls)를 출력하는 낸드게이트(ND4)를 구비한다.

도9는 도6에 도시된 DQS신호 제어부에 입력되는 신호를 생성하기 위한 블럭구성도이다.

본 발명의 DQS 신호 제어부(200)에서 DQS 패스신호(dqs_pass)를 생성하기 위해서는 전술한 바와 같이, DQS 신호 제어부(200)에서는 제1 및 제2 버스트랭스신호(BL4,BL8)와, 제1 및 제2 버스트모드 인에이블 신호(casp_wt,ybst)와, DQS 유지신호(caspwt_L)와, 프리앰블 펄스신호(caspwt)를 입력받아야 한다.

도9를 참조하여 살펴보면, 제1 신호생성부(730)는 카스신호(cas)와, 라이트인에이블신호(we)와, 라스신호(ras)와, 선택신호(cs)와, 내부클럭(iclk)를 입력받아서 제1 버스트모드 인에이블 신호(casp_wt)와, DQS 유지신호(caspwt_L)

와, 프리앰블 펄스신호(caspwt)를 출력한다. 또한 제1 신호생성부(730)는 BL=4 인경우 데이거가 라이트될 어드레스의 입력이 시작되는 것을 알려주는 제1 라이트 시작신호(casp6_wt)를 제2 신호생성부(740)로 생성하여 출력한다.

제2 신호생성부(740)는 제1 라이트 시작신호(casp6_wt)와, 제2 버스트랭스신호(BL8)와, 내부클럭(iclk)를 입력받아서 제2 버스트모드 인에이블 신호(ybst)를 생성하여 출력한다.

또한 명령어 디코더(750)에서는 메모리 장치의 외부에서 명령어신호(command)를 입력받아서 카스신호(cas)와, 라스신호(ras), 라이트 인에이블신호(we)와, 선택신호(cs)를 출력하고, 모드 디코더(710)는 제1 및 제2 버스트랭스 신호(BL4,BL8)를 생성하여 출력한다.

도10은 도9에 도시된 제1 신호생성부(730)를 나타내는 회로도이다.

도10을 참조하여 살펴보면, 제1 신호생성부(730)는 프리앰블 펄스신호 생성부(731)와, DQS 유지신호(caspwt_L) 및 제2 버스트모드 신호(casp_wt) 생성부(732)를 구비한다.

프리앰블 펄스신호 생성부(731)는 카스신호(cas), 라이트 인에이블 신호(we),라스신호(ras), 선택신호(cs)를 각각 입력받으며 노드(C)와 접지전압(VSS)에 직렬연결된 모스트랜지스터(MN8,MN9,MN10,MN11)와, 전원전압(VDD)과 노드(C)를 연결하며 게이트로 라스신호(ras)를 입력받는 모스트랜지스터(MP7)와, 노드(C)에 입력단이 연결된 인버터(I16)와, 전원전압(VDD)과 노드(C)를 연결하며 게이트로 인버터(I16)의 출력을 입력받는 모스트랜지스터(MP8)와, 게이트로 인버터(I16)의 출력을 입력받으며 노드(D)와 접지전원(VSS)에 직렬연결된 모스트랜지스터(MN10,MN12)와, 내부클럭(iclk)와 노드(E)에서의 신호를 입력받는 낸드게이트(ND6)와, 낸드게이트(ND6)의 출력을 게이트로 입력받으며 전원전압(VDD)과 노드(D)를 연결하는 모스트랜지스터(MP9)와, 모스트랜지스터(MN10,MN12)의 공통 드레인단에 인가되는 신호를 래치하는 인버터(I16,I17)와, 내부클럭(iclk)가 클럭킹되는 타이밍마다 턴온되어 인버터(I16)의 출력신호를 전달하는 전송게이트(T1)와, 전송게이트(T1)에서 전달되는 신호를 래치하는 인버터(I19,I20)와, 인버터(I19)의 출력을 반전하여 노드(E)로 출력하는 인버터(I19)와, 노드(E)의 신호를 애디티브 래이던시(Additive latency, AL) 및 카스래이던시(Cas latency, CL)만큼 시프팅하여 출력하는 AL+CL 시프터(731_1)와 시프터(731_1)에서의 출력과 내부클럭(iclk)를 입력받는 낸드게이트(ND7)와, 낸드게이트(ND7)의 출력을 반전하여 프리앰블 펄스신호(caspwt)를 출력하는 인버터(I22)를 구비한다.

DQS 유지신호(caspwt_L) 및 제2 버스트모드 신호(casp_wt) 생성부(732)는 프리앰블 펄스신호(caspwt)를 게이트로 입력받으며 노드(F)와 접지전압(VSS)를 연결하는 모스트랜지스터(MN13)와, 전원전압(VDD)과 노드(F)를 연결하며 게이트로 프리앰블 펄스신호(caspwt)를 입력받는 모스트랜지스터(MP11)와, 노드(F)에 입력단이 연결된 인버터(I23)와, 전원전압(VDD)과 노드(F)를 연결하며 게이트로 인버터(I23)의 출력은 입력받는 모스트랜지스터(MP12)와, 게이트로 인버터(I23)의 출력을 입력받으며 노드(G)와 접지전원(VSS)에 직렬연결된 모스트랜지스터(MN14,MN14)와, 내부클럭(iclk)와 노드(H)에서의 신호를 입력받는 낸드게이트(ND8)와, 낸드게이트(ND8)의 출력을 게이트로 입력받으며 전원전압(VDD)과 노드(G)를 연결하는 모스트랜지스터(MP13)와, 모스트랜지스터(MN14,MN14)의 공통 드레인단에 인가되는 신호를 래치하는 인버터(I24,I25)와, 내부클럭(iclk)가 클럭킹되는 타이밍마다 턴온되어 인버터(I24)의 출력신호를 전달하는 전송게이트(T2)와, 전송게이트(T2)에서 전달되는 신호를 래치하는 인버터(I27,I28)와, 인버터(I27)의 출력을 반전하여 노드(H)로 출력하는 인버터(I29)와, 노드(H)의 신호를 내부클럭의 두 클럭만큼 시프팅하여 제1 버스트모드 신호(casp_wt)를 출력하는 시프터(732_1)와, 시프터(732_1)에서의 출력(casp_wt)과 내부클럭(iclk)를 입력받는 낸드게이트(ND9)와, 낸드게이트(ND9)의 출력을 반전하여 제1 라이트 시작신호(casp6_wt)를 출력하는 인버터(I30)를 구비한다.

도11은 도9에 도시된 제2 신호생성부를 나타내는 회로도이다.

도11을 참조하여 살펴보면, 제2 신호생성부(740)는 내부클럭(iclk)을 노드(I)에 인가되는 신호를 입력받는 낸드게이트(ND10)와, 낸그게이트(ND10)의 출력과 제2 버스트랭스 신호(BL8)을 입력받는 낸드게이트(ND11)와, 낸드게이트(ND11)의 출력을 반전하여 출력하는 인버터(I31)와, 제1 라이트 시작신호(casp6_wt)를 게이트로 입력받고 일측이 접지전압(VSS)에 연결된 모스트랜지스터(MN15)와, 전원전압(VDD)와 모스트랜지스터(MN15)의 타측에 직렬연결되며 게이트로 인버터(I31)의 출력을 각각 게이트로 입력받는 모스트랜지스터(MP15,MN16)와, 모스트랜지스터(MP15,MN16)의 공통 드래인단에 인가되는 신호를 래치하기 위한 인버터(I32,I33)와, 인버터(I32)의 출력을 내부클럭(iclk)이 클럭킹되는 타이밍마다 턴온되어 전달하기 위한 전송게이트(T3)와, 전송게이트(T3)에서 전달되는 신호를 래치하기 위한 인버터(I36,I37)와, 인버터(I35)에서 출력되는 반전하여 노드(I)로 출력하는 인버터(I37)와, 노드(I)에 인가되는 신호를 내부클럭(iclk)의 한클럭만큼 시프팅하여 제2 버스트모드 인에이블 신호(ybst)를 출력하는 시프트(740_1)를 구비한다.

도12a는 BL=4 일때 도6의 DQS신호 제어부(200)에 입력되는 신호를 나타내는 파형도이고, 도12b는 BL=8 일때 도6의 DQS신호 제어부(200)에 입력되는 신호를 나 타내는 파형도이다.

먼저 도12a와 도12b에 도시된 파형은 본 발명에 의해서 메모리 장치에 구비되는 DQS신호 제어부(200)에 입력되는 신호를 나타내는 것으로, 본 발명에 의해서 추가로 생성되는 메모리 장치의 내부신호가 아니고, 디디알II 동기식 메모리 장치를 구현하기 위해 기본적으로 사용되는 신호들이다.

본 발명은 디디알II 동기식 메모리 장치를 구현하기 위해 기본적으로 사용되는 신호(caspwt,caspwt_L,casp_wt,ybst)들의 조합을 이용하여 DQS 신호제어부(200)에서 DQS신호가 출력되는 타이밍동안 인에이블되는 DQS 패스신호를 생성하는 것이다.

따라서 본 발명에 의해서 디디알II 동기식 메모리 장치에 추가로 구비되는 블럭은 DQS 신호 제어부(200)뿐이기 때문에 본 발명에 의해 동기시 메모리 장치의 칩면적은 거의 증가되지 않는다.

먼저, 도12a와 도10,11을 참조하여 BL=4일때 DQS 신호 제어부에 입력되는 신호에 대해서 살펴본다.

제1 신호생성부(730)의 프리앰블 펄스신호 생성부(731)는 명령어 디코더(750)에서 출력되는 카스신호(cas), 라이트 인에이블신호(we), 라스신호(ras), 선택신호(cs)가 모두 하이래벨일 때, 내부클럭(iclk)가 클럭킹되는 타이밍에 생성되는 프리앰블 펄스신호(caspwt)를 출력한다. 여기서 생성되는 프리앰블 펄스신호(caspwt)는 DQS신호가 프리앰블 구간(도4 X구간 참조)일 때 생성되는 것이다.

이어서 DQS 유지신호(caspwt_L) 및 제2 버스트모드 신호(casp_wt) 생성부(732)는 입력되는 프리앰블 펄스신호(caspwt)를 이용하여 한 클럭주기동안 펄스폭을 가지는 DQS 유지신호(caspwt_L)와, DQS 유지신호(caspwt_L)를 두클럭동안 시프팅한 제2 버스트모드 신호(casp_wt)를 생성한다.

또한, DQS 유지신호(caspwt_L) 및 제2 버스트모드 신호(casp_wt) 생성부(732)는 제1 라이트 시작신호(casp6_wt)를 생성하는데, 제1 라이트 시작신호(casp6_wt)는 BL=4 모드에서 4개의 데이터가 연속적으로 저장할 때 사용되는 컬럼어드레스가 입력되기 시작하는 것을 알리는 신호이다.

이어서, 도12b와 도10,11을 참조하여 BL=8일때 DQS 신호 제어부에 입력되는 신호에 대해서 살펴본다.

제2 신호생성부(740)는 제1 라이트 시작신호(casp6_wt)와 제1 버스트랭스 신호(BL8)와 제1 라이트 시작신호(casp6_wt)를 입력받아 제2 버스트모드 인에이블 신호(ybst)를 생성하여 출력한다. 여기서 도12b에 도시된 제2 라이트 시작신호(icasp6)는 BL=8일 경우에 8개의 데이터가 연속적으로 저장할 때 사용되는 컬럼어드레스가 입력되기 시작하는 것을 알리는 신호이다.

도13은 BL=4 인 경우에 도6에 도시된 동기식 메모리 장치의 동작을 나타내는 파형도이다.

이하에서는 도6 내지 도13을 참조하여 BL=4인 경우에 본 실시예에 따른 메모리 장치의 동작을 살펴본다.

먼저 데이터 스트로브 버퍼부(100)의 인에이블 신호(en_din)가 인에이블된 구간에 프리앰블 펄스신호(caspwt)가 생성되어 DQS 패스신호 생성부(220)로 입력됨으로서 DQS 패스신호가 하이 상태(dqs_pass)로 인에이블 된다. DQS 패스신호(dqs_pass)는 데이터 스트로브 버퍼부(100)의 제1 버퍼부(120)에 구비된 낸드게이트(ND1)로 입력된다. 따라서 낸드게이트(ND1)는 인버터로 동작하여 노드(B)의 신호를 반전하여 인버터(I1)로 전달하게 된다.

이어서, 동작클럭(CLK)의 라이징에지와 폴링에지에 동기되어 4개의 데이터가 입력되고, 데이터가 입력되는 타이밍에 맞추어 클로킹되어 입력되는 DQS 신호(DQS)는 제1 내지 제3 버퍼부(120,130,140)를 통과하면서 라이징펄스(dsrp)와 폴링펄스(dsfp)로 되어 데이터 얼라인 래치부(400)로 출력된다.

한편, 데이터 스트로브 버퍼부(100)의 노드(A)에서는 버퍼링된 데이터스트로브 신호(dqs_b)가 출력되는데, DQS 신호 제어부(200)의 DQS 펄스 생성부(213)에서는 버퍼링된 데이터스트로브 신호(dqs_b)를 입력받아 DQS 펄스신호(dqs_bp)를 DQS 신호 디스에이블부(210)에 구비된 낸드게이트(ND5)로 출력한다.

버스트랭스가 4인 경우에 인에이블 상태를 유지하는 제1 버스트랭스 신호(BL4)가 인에이블 되어 있는 상태에서 제1 버스트모드 인에이블 신호(casp_wt)가 하이레벨로 인에이블되면 낸드게이트(ND2)의 출력이 로우 레벨이 되고, 낸드게이트(ND4)의 출력이 하이레벨이 된다.

이 상태에서 DQS 펄스신호(dqs_bp)가 낸드게이트(ND5)로 입력되어 낸드게이트(ND5)의 출력, 즉 노드(aaa)가 짧은 구간동안 로우레벨이 된다. 이 때 DQS 유지신호(caspwt_L)가 하이레벨을 유지하고 있는 경우에는 노어게이트(NOR2)의 출력은 항상 로우레벨이 되어 DQS 멈춤신호(dqs_stop)는 생성되지 않고, 로우레벨을 유지하고 있는 경우에는 노어게이트(NOR2)의 출력은 하이레벨이 되어 DQS 멈춤신호(dqsp_stop)가 생성되어 DQS 상태 감지부(221)의 모스

트랜지스터(MP5)를 턴온시킨다.

모스트랜지스터(MP5)가 턴온되면, 노드(C)는 하이레벨이 되고, 이로 인하여 DQS 패스신호 출력부(222)에 구비된 인버터(I15)에서 출력되는 DQS 패스신호(dqs_pass)는 로우레벨로 디스에이블 상태가 된다.

DQS 패스신호(dqs_pass)가 로우레벨의 디스에이블 상태가 되면, 데이터스트로브 버퍼부(100)에 구비된 낸드게이트(ND1)의 출력은 노드(B)의 상태에 상관없이 항상 하이레벨을 유지하게 되고, 이후 부터는 더이상 DQS신호가 제1 버퍼부(120)를 통과하지 못하게 되고, 라이징펄스(dsrp)와 폴링펄스(dsfp)도 생성되지 않게 된다.(도13의 Z 참조)

따라서 데이터 입력이 완료되고 난 후에도 리플링되는 DQS신호(도13의 Y참조)로 인한 오동작이 생기지 않는 것이다.

도14는 BL=8일때 도6에 도시된 동기식 메모리 장치의 동작을 나타내는 파형도이다.

도14에 도시된 동작은 도13에 도시된 동작에서 제1 버스트모드 인에이블 신호(caspwt_L) 대신에 제2 버스트모드 인에이블 신호(를 사용하여 DQS패스신호(dqs_pass)의 디스에이블을 시키는 것만 다르고 나머지 동작은 도13에 도시된 바와 같다. BL=8인경우에는 버스트랭스 감지부의 낸드게이트(ND3)의 출력단 신호가 변하여 DQS 멈춤신호(dqs_stop)가 생성되고, DQS 멈춤신호(dqs_stop)에 의래서 DQS 패스신호(dqs_pass)가 디스에이블 되는 것이다.

도13이나 도14에 도시된 바와 같이 DQS 유지신호(caspwt_L)를 이용하는 것은 메모리 장치가 갭리스(gapless) 상태(리드명령어나 라이트 명령어가 연속해서 수행되는 경우)나, 인터럽터(interupt) 상태(디디알 II 스펙에서 BL=8 모드에서의 라이트동작시 4개의 데이터가 입력되고 난후 바로 다른 명령어에 의해 동작되는 모드)에서 동작을 보장해주기 위해서이다. 즉, 본 발명의 메모리 장치에서는 DQS 유지신호(caspwt_L)가 하이레벨인 경우에는 DQS 멈춤신호가 생성되지 않도록 하는 것이다.

도15는 DQS 신호가 입력되는 마진에 따른 본 발명의 메모리 장치의 동작을 나타내는 파형도이다.

메모리 장치에서 라이트명령이 입력된 후에 데이터가 입력되는 타이밍에 따라서 입력되는 데이터스트로브 신호(DQS)는 (WL-0.25)×tCK ~ (WL+0.25)×tCK의 마진을 가지고 입력이 된다. 여기서 WL은 라이트 레이턴시(Write latency)를 뜻하는 것으로 라이트명령어가 입력된 후 데이터가 입력될 때까지의 타이밍을 나타내는 것이다.

따라서 데이터가 입력되는 타이밍에 입력되는 데이터스트로브 신호(DQS)는 약 0.5tCK의 마진을 가지고 입력되는 것이다. 즉, 만약 WL=1 이라면, 메모리 장치가 동작하는 어떤 순간에는 라이트명령어가 입력된 뒤에 0.75×tCK 이후에 데이터스트로브 신호(DQS)가 입력되고, 또한 다른 어떤 순간에는 라이트명령어가 입력된 뒤에 1.75×tCK 이후에 데이터스트로브 신호(DQS)가 입력될 수 있는 것이다.

도5를 참조하면, tDQS의 입력마진을 고려하더라도 본 발명의 회로는 전혀 문제가 없다는 것을 알 수 있다.

이 상에서 살펴본 바와 같이, 본 발명에 의해서 동기식 메모리 장치의 라이트 동작시 DQS신호의 링플링 현상에 의한 오동작을 방지할 수 있기 때문에 동기식 메모리 장치의 안정적인 동작을 보장할 수 있다. 또한 본 발명에서 사용하는 신호들은 디디알 II 스펙에서 기본적으로 요구되는 신호들이기 때문에 추가적인 회로면적에 대한 부담이 없다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에 의해서 DQS 신호의 리플링현상으로 인한 오동작을 방지할 수 있게 때문에 안정적인 동기식 메모리 장치 동작을 보장할 수 있다.

또한 본 발명은 디디알 II 에서 기본적으로 사용해야 되는 신호를 이용하여 DQS 신호의 리플링현상을 제거하였기 때문에 추가적인 회로면적등의 부담없이 보다 간편하게 동기식 메모리 장치에서의 DQS 신호의 리플링현상으로 인한 오동작을 방지할 수 있다.

(57) 청구의 범위

청구항 1.
동작클럭의 라이징에지와 폴링에지에 동기되어 다수의 데이터를 입력받는 동기식 메모리 장치에 있어서,

하이-임피던스상태를 상태를 유지하다가 데이터가 입력되는 구간동안에 클럭킹되는 DQS신호의 라이징에지와 폴링에지를 각각 검출하는 라이징펄스와 폴링펄스를 출력하기 위한 데이터스트로브 버퍼부;

상기 데이터를 상기 라이징펄스와 상기 폴링펄스에 동기시켜 래치 및 얼라인시키는 데이터 얼라인 래치부; 및

상기 DQS신호가 클럭킹되는 구간동안에만 상기 라이징펄스와 상기 폴링펄스가 상기 데이터 얼라인 래치부로 출력되도록 상기 데이터스트로브 버퍼부를 제어하는 DQS신호 제어부

를 구비하는 동기식 메모리 장치.

청구항 2.
제 1 항에 있어서,

상기 데이터스트로브 버퍼부는

상기 DQS신호와 기준전압을 입력받는 차동증폭기;

상기 DQS신호 제어부에서 출력되는 DQS 패스신호에 인에이블되어 상기 차동증폭기의 출력신호를 버퍼링하여 출력하는 제1 버퍼링수단;

상기 제1 버퍼링수단의 출력을 버퍼링하여 상기 라이징펄스를 출력하는 제2 버퍼링수단; 및

상기 제1 버퍼링수단의 출력을 버퍼링하여 상기 폴링펄스를 출력하는 제3 버퍼링수단를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 3.
제 2 항에 있어서,

상기 차동증폭기는

상기 기준전압과 상기 DQS 신호를 게이트로 각각 입력받는 제1 및 제2 모스트랜지스터;

전원전압과 상기 제1 모스트랜지스터의 일측단에 연결되며 게이트단이 상기 제1 모스트랜지스터의 일측에 접속된 다이오드형 제3 모스트랜지스터;

상기 전원전압과 상기 제2 모스트랜지스터의 일측단에 연결되며, 게이트가 상기 제3 모스트랜지스터의 게이트에 연결되어 전류미러를 형성하는 제4 모스트랜지스터; 및

공통으로 연결된 상기 제1 및 제2 모스트랜지스터의 타측단과 접지전원을 연결하며, 라이트명령어에 의해 생성되는 DQS 인에이블신호를 게이트로 입력받는 제5 모스트랜지스터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 4.
제 3 항에 있어서,

상기 제1 버퍼링수단은

상기 제2 모스트랜지스터의 일측단과 상기 DQS신호 제어부에서 출력되는 DQS 패스신호를 입력받는 낸드게이트; 및

상기 낸드게이트의 출력을 버퍼링하여 출력하며 직렬연결된 제1 및 제2 인버터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 5.
제 4 항에 있어서,

제2 버퍼링수단은

상기 제2 인버터의 출력을 반전하여 출력하는 제3 인버터; 및

상기 제3 인버터의 출력을 반전하여 상기 라이징펄스로 출력하는 제4 인버터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 6.
제 5 항에 있어서,

상기 제3 버퍼링수단은

상기 제2 인버터의 출력을 반전하여 출력하는 제5 인버터;

상기 제5 인버터의 출력을 반전하여 출력하는 제6 인버터;및

상기 제6 인버터의 출력을 반전하여 상기 폴링펄스로 출력하는 제7 인버터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 7.
제 2 항에 있어서,

상기 DQS신호 제어부는

상기 DQS신호의 출력을 중단시키기 위한 DQS 멈춤신호를 상기 DQS신호의 포스트앰블상태에서 출력하는 DQS 신호 디스에이블부; 및

상기 DQS신호의 프리앰블구간에서 생성되는 프리앰블 펄스신호에 의해 상기 DQS 패스신호를 인에이블시키고, 상기 DQS 멈춤신호에 응답하여 상기 DQS 패스신호를 디스에이블시키는 DQS 패스신호 생성부를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 8.
제 7 항에 있어서,

상기 DQS 패스신호 생성부는

라이트명령어에 의해 생성되는 DQS 인에이블신호에 인에이블되어, 상기 DQS신호의 프리앰블상태에서 생성되는 프리앰블 펄스신호에 응답하여 출력단을 제1 레벨로 변화시키고, 상기 DQS 멈춤신호에 응답하여 상기 출력단을 제2 레벨로 변화시키는 DQS 상태감지부; 및

상기 DQS 상태감지부의 출력단 신호레벨을 래치하여 출력하는 DQS 패스신호 출력부를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 9.
제 8 항에 있어서,

상기 DQS 상태감지부는

게이트로 상기 DQS 멈춤신호를 입력받고, 전원전압에 일측이 연결된 제1 모스트랜지스터;

게이트로 상기 프리앰블 펄스신호를 입력받고, 일측이 상기 제1 모스트랜지스터의 타측에 연결된 제2 모스트랜지스터;

게이트로 상기 프리앰블 펄스신호를 입력받고, 일측이 상기 제2 모스트랜지스터의 타측에 연결된 제3 모스트랜지스터;

게이트로 상기 DQS 인에이블 신호를 입력받고, 일측이 상기 제3 모스트랜지스터의 타측에 연결되고, 타측이 접지전

원에 연결된 제4 모스트랜지스터; 및

게이트로 상기 DQS 인에이블 신호를 입력받고, 상기 전원전압과 상기 제2 모스트랜지스터와 제3 모스트랜지스터의 공통노드를 연결하는 제5 모스트랜지스터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 10.
제 9 항에 있어서,

상기 DQS 패스신호 출력부는

상기 전원전압과 상기 제2 모스트랜지스터와 제3 모스트랜지스터의 공통노드에 입력단이 연결된 제1 인버터;

상기 제1 인버터의 출력단과 입력단이 각각 입력단과 출력단이 연결된 제2 인버터;

상기 제1 인버터의 출력을 반전하여 출력하는 제3 인버터; 및

상기 제3 인버터의 출력을 반전하여 상기 DQS 패스신호를 출력하는 제4 인버터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 11.
제 7 항에 있어서,

상기 DQS신호 디스에이블부는

버스트랭스의 모드에 따라서 입력되는 다수의 데이터중에서 마지막 데이터가 입력되는 타아밍에 인에이블되는 버스트랭스 신호를 출력하기 위한 버스트랭스 감지부;

상기 DQS신호가 클럭킹되는 타이밍마다 펄스형태로 생성되는 DQS 펄스신호를 출력하는 DQS 펄스생성부; 및

상기 버스트랭스 신호가 인에이블되는 구간에 입력되는 상기 DQS 펄스신호를 이용하여 상기 DQS 멈춤신호를 출력하는 DQS 멈춤신호 생성부를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 12.
제 11 항에 있어서,

상기 DQS 멈춤신호 생성부는

상기 버스트랭스 신호와 상기 DQS 펄스신호를 입력받는 제1 낸드게이트;

상기 제1 낸드게이트의 출력과 인터럽터 모드와 갭리스 모드인 경우에 하이레벨을 가지는 DQS 유지신호를 입력받는 제1 노어게이트; 및

상기 노어게이트의 출력을 반전하여 상기 DQS 멈춤신호를 출력하는 제1 인버터를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 13.
제 12 항에 있어서,

상기 버스트랭스 감지부는

버스트랭스 모드가 '4'인 경우에 인에이블상태를 유지하는 제1 버스트랭스 신호와, 버스트랭스 모드가 '4'인 경우에 4번째 데이터가 입력되는 타이밍에 인에이블되는 제1 버스트모드 인에이블 신호를 입력받는 제2 낸드게이트;

버스트랭스 모드가 '8'인 경우에 인에이블상태를 유지하는 제2 버스트랭스 신호와, 버스트랭스 모드가 '8'인 경우에 8번째 데이터가 입력되는 타이밍에 인에이블되는 제2 버스트모드 인에이블 신호를 입력받는 제3 낸드게이트; 및

상기 제2 낸드게이트와 제3 낸드게이트의 출력을 입력받아서 상기 버스트랭스 신호를 출력하는 제4 낸드게이트를 구

비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 14.
제 13 항에 있어서,

상기 DQS 펄스생성부는

상기 제1 버퍼링수단의 출력신호를 반전하여 출력하는 제2 인버터;

상기 제2 인버터의 출력을 버퍼링하기 위해 직렬연결된 제3 및 제4 인버터; 및

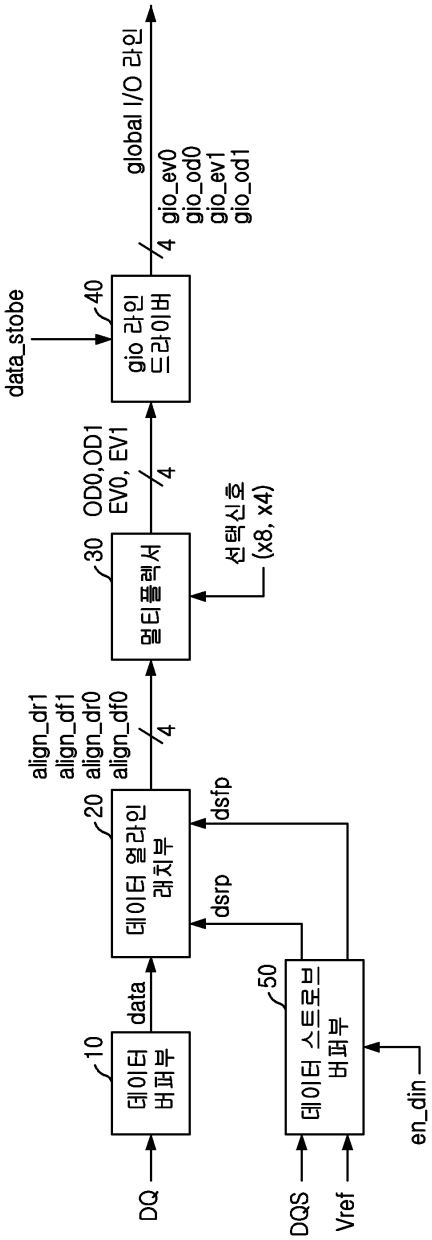
상기 제1 버퍼링수단의 출력신호와 상기 제4 인버터의 출력신호를 입력받아 상기 DQS 펄스신호를 출력하는 제2 노어게이트를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

청구항 15.
제 1 항에 있어서,

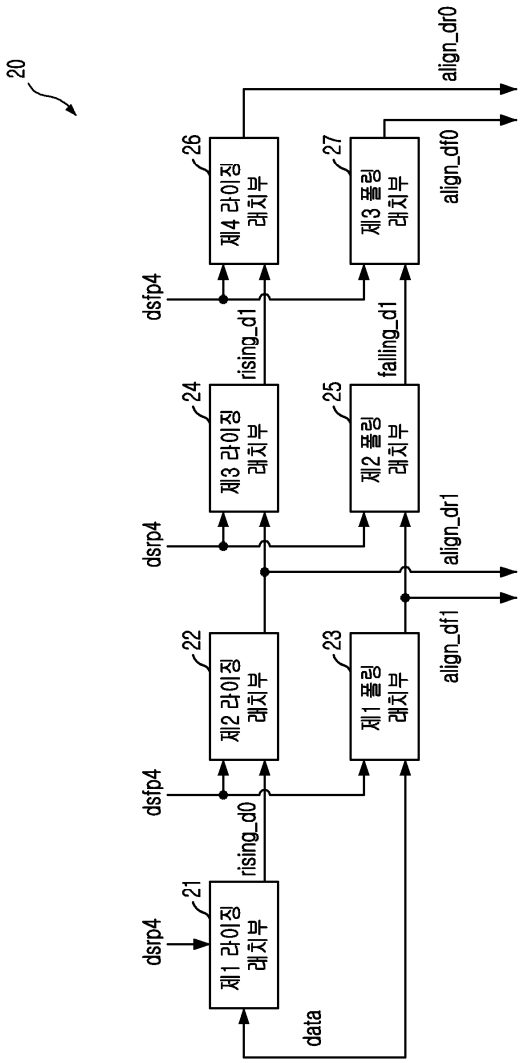
상기 DQS 버퍼부와 DQS신호 제어부는 라이트 명령어에 의해 생성되는 DQS 인에이블 신호에 의해 인에이블 되는 것을 특징으로 하는 동기식 메모리 장치.

도면

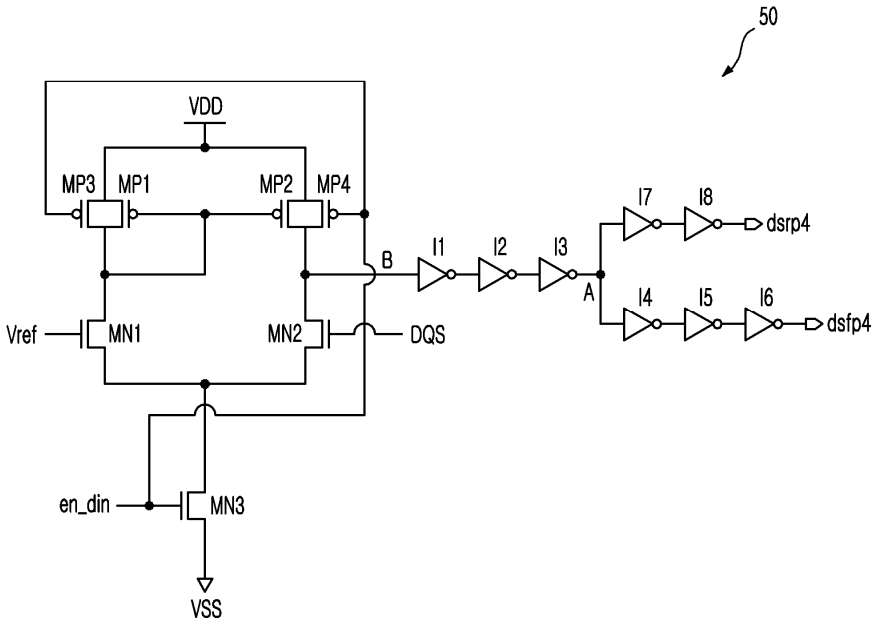
도면1


global I/O 라인
gio_ev0
gio_od0
gio_ev1
gio_od1
4
40
gio 라인 드라이버
data_stobe
OD0,OD1
EV0, EV1
4
30
멀티플렉서
선택신호 (x8, x4)
align_dr1
align_df1
align_dr0
align_df0
4
20
데이터 얼라인 래치부
dsfp
dsrp
data
10
데이터 버퍼부
50
데이터 스트로브 버퍼부
DQ
DQS
Vref
en_din

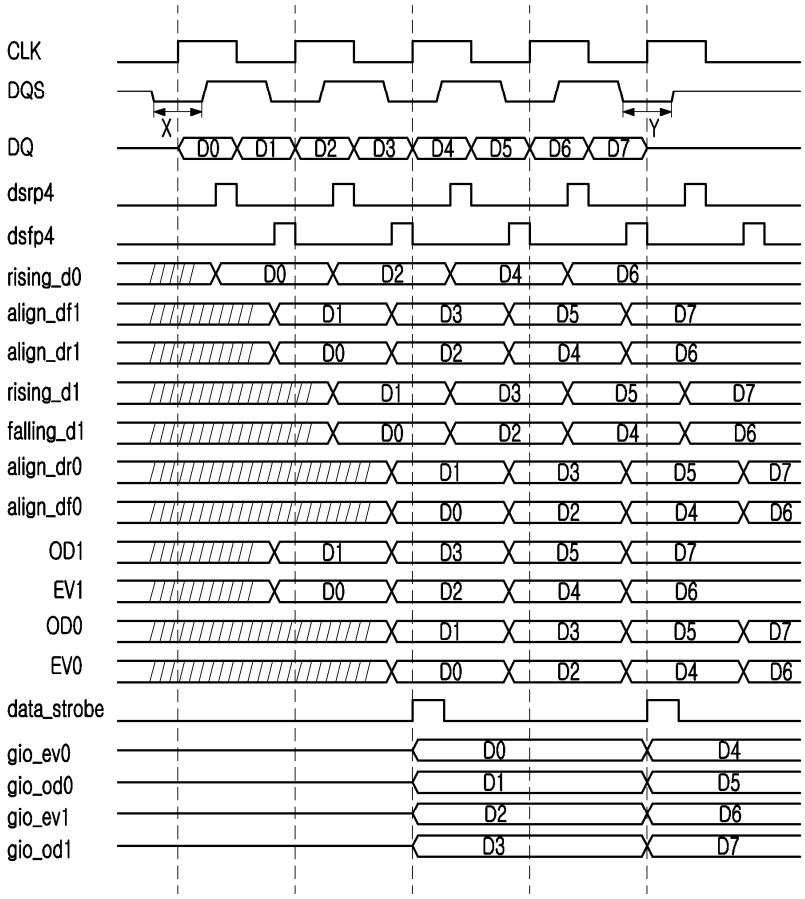
도면2


20
align_dr0
align_df0
align_dr1
align_df1
26
제4 라이징 래치부
27
제3 폴링 래치부
24
제3 라이징 래치부
25
제2 폴링 래치부
22
제2 라이징 래치부
23
제1 폴링 래치부
21
제1 라이징 래치부
dsfp4
dsrp4
rising_d1
falling_d1
rising_d0
data

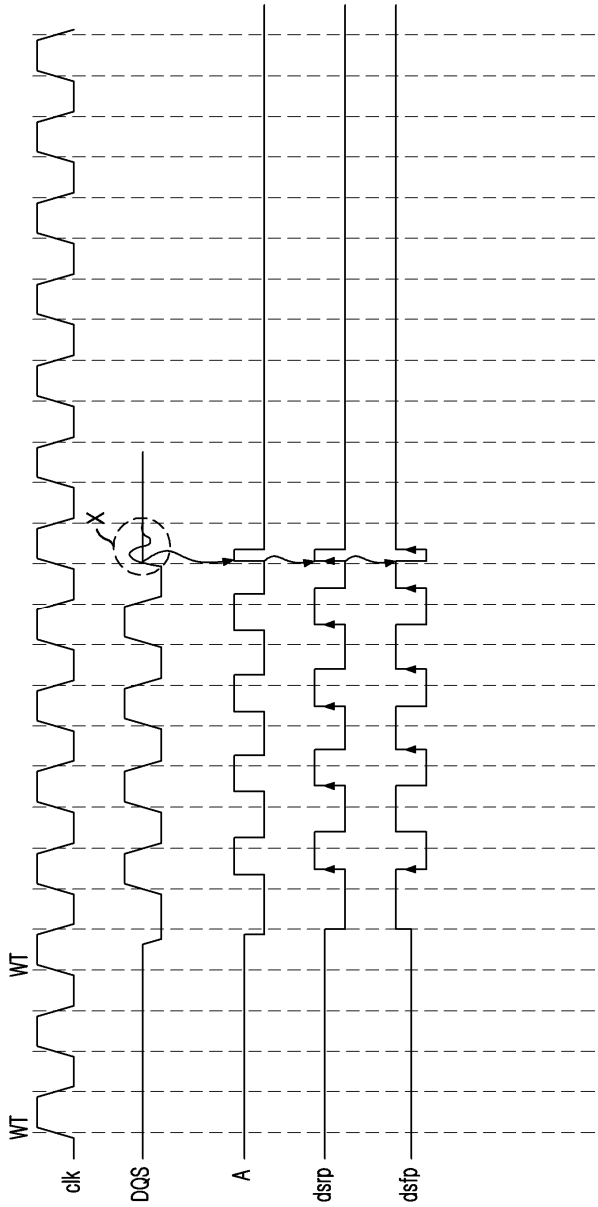
도면3


50
VDD
MP3
MP1
MP2
MP4
Vref
MN1
MN2
DQS
B
A
I1
I2
I3
I4
I5
I6
I7
I8
dsrp4
dsfp4
en_din
MN3
VSS

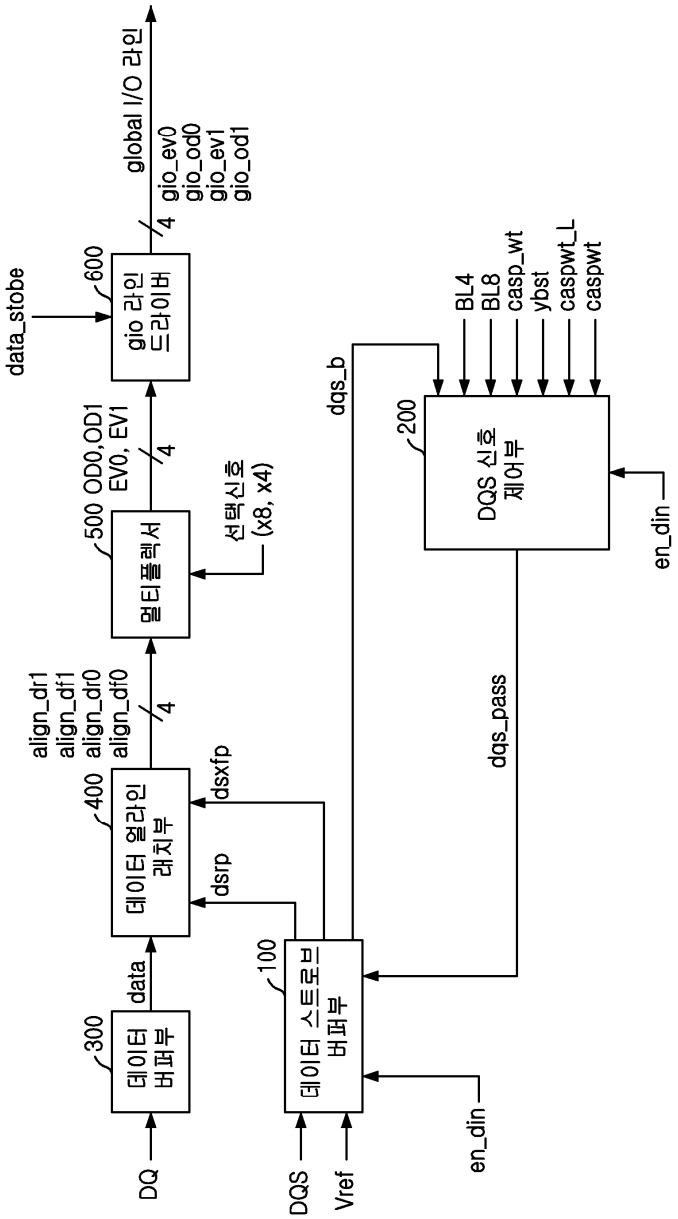
도면4


CLK
DQS
X
Y
DQ
D0 D1 D2 D3 D4 D5 D6 D7
dsrp4
dsfp4
rising_d0
D0 D2 D4 D6
align_df1
D1 D3 D5 D7
align_dr1
D0 D2 D4 D6
rising_d1
D1 D3 D5 D7
falling_d1
D0 D2 D4 D6
align_dr0
D1 D3 D5 D7
align_df0
D0 D2 D4 D6
OD1
D1 D3 D5 D7
EV1
D0 D2 D4 D6
OD0
D1 D3 D5 D7
EV0
D0 D2 D4 D6
data_strobe
gio_ev0
D0 D4
gio_od0
D1 D5
gio_ev1
D2 D6
gio_od1
D3 D7

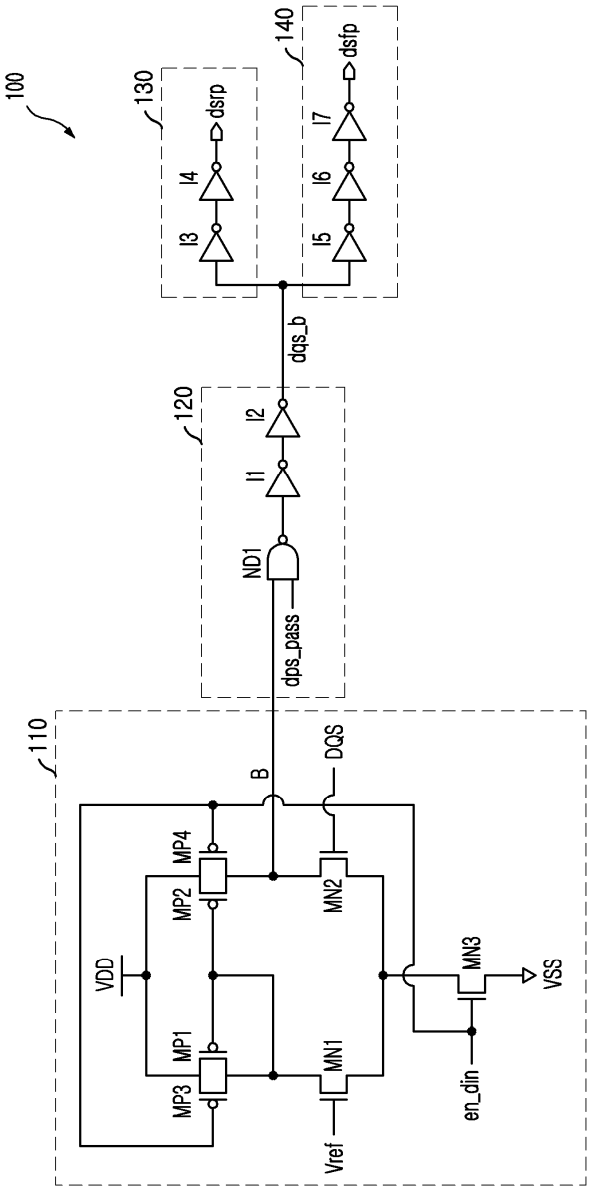
도면5



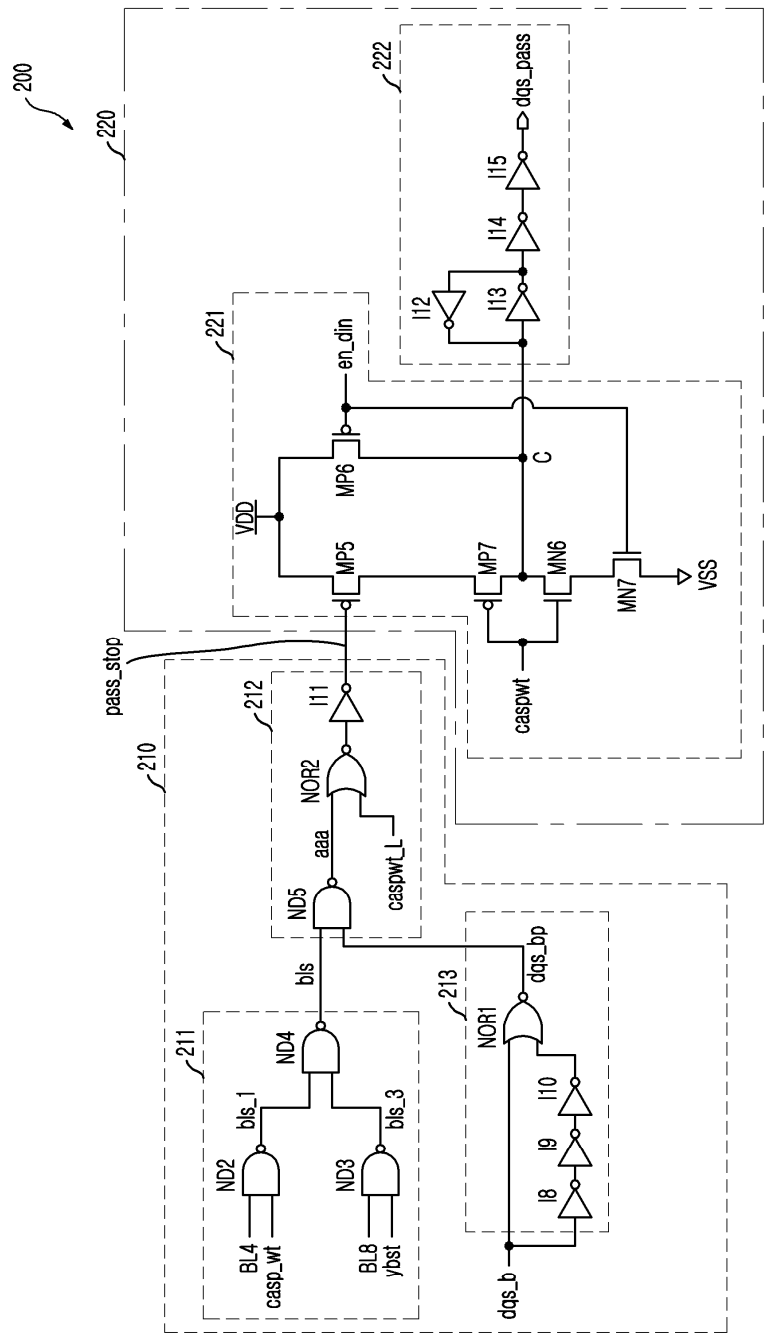
도면6


global I/O 라인
gio_ev0
gio_od0
gio_ev1
gio_od1
4
600
gio 라인 드라이버
data_stobe
500 OD0,OD1 EV0, EV1
4
멀티플렉서
선택신호 (x8, x4)
align_dr1
align_df1
align_dr0
align_df0
4
400
데이터 얼라인 래치부
dsxfp
dsrp
300
데이터 버퍼부
data
DQ
100
데이터 스트로브 버퍼부
DQS
Vref
en_din
dqs_b
dqs_pass
200
DQS 신호 제어부
BL4
BL8
casp_wt
ybst
caspwt_L
caspwt
en_din

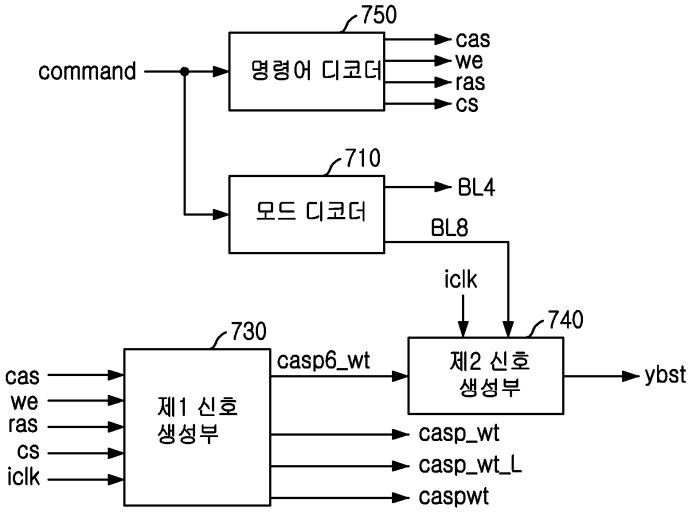
도면7


100
130
dsrp
I4
I3
140
dsfp
I7
I6
I5
dqs_b
120
I2
I1
ND1
dps_pass
110
B
DQS
MP4
MP2
MN2
VDD
MN3
VSS
MP1
MP3
MN1
en_din
Vref

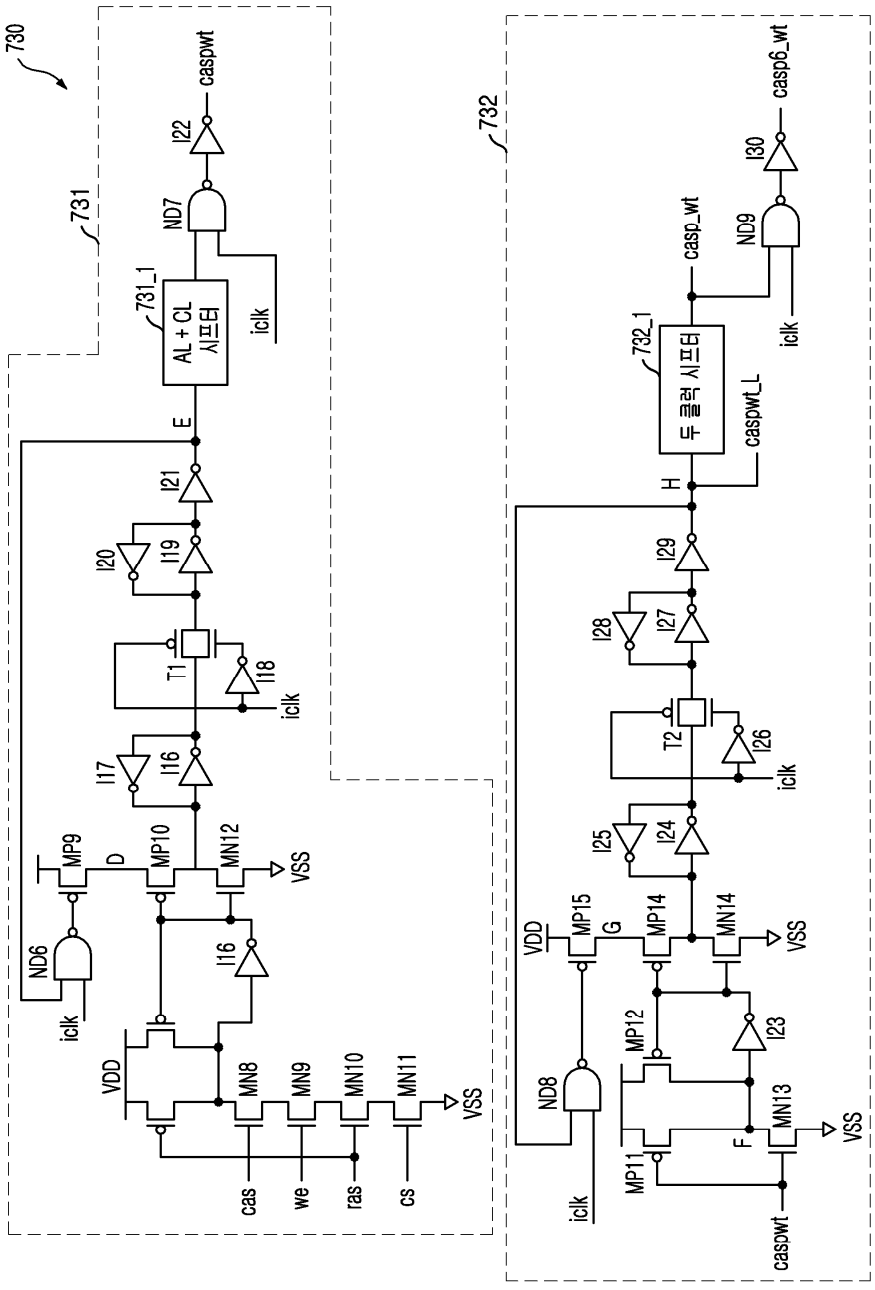
도면8


200
220
222
dqs_pass
I15
I14
I13
I12
221
en_din
C
MP6
VDD
MP5
MP7
MN6
MN7
VSS
caspwt
pass_stop
210
212
I11
NOR2
aaa
caspwt_L
ND5
bls
213
dqs_bp
NOR1
I10
I9
I8
dqs_b
211
ND4
bls_1
bls_3
ND2
ND3
BL4
casp_wt
BL8
ybst

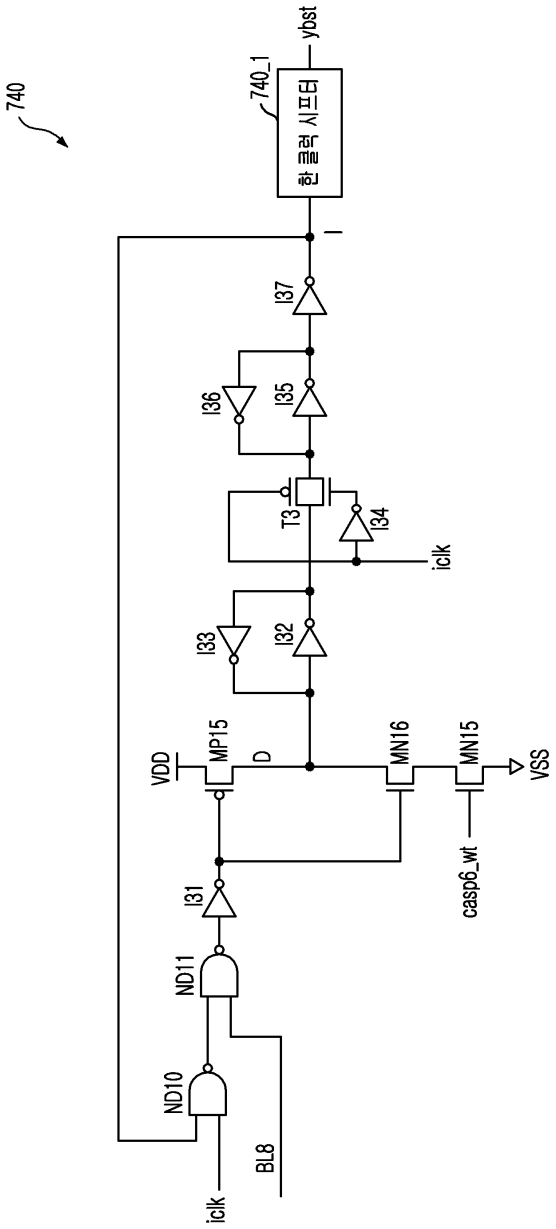
도면9


750
명령어 디코더
command
cas
we
ras
cs
710
모드 디코더
BL4
BL8
iclk
740
제2 신호 생성부
ybst
730
제1 신호 생성부
cas
we
ras
cs
iclk
casp6_wt
casp_wt
casp_wt_L
caspwt

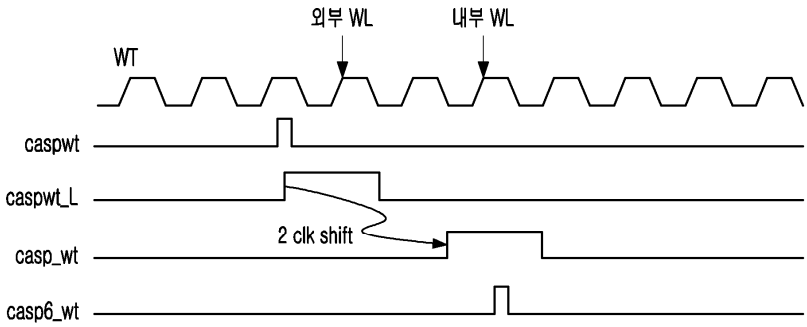
도면10


730
731
caspwt
I22
ND7
731_1
AL+CL 시프터
iclk
E
I21
I20
I19
T1
I18
iclk
I17
I16
MP9
D
MP10
MN12
VSS
ND6
iclk
I16
VDD
MN8
MN9
MN10
MN11
VSS
cas
we
ras
cs
732
casp6_wt
I30
ND9
casp_wt
iclk
732_1
두 클럭 시프터
caspwt_L
H
I29
I28
I27
T2
I26
iclk
I25
I24
VDD
MP15
G
MP14
MN14
VSS
MP12
I23
ND8
MP11
F
MN13
VSS
iclk
caspwt

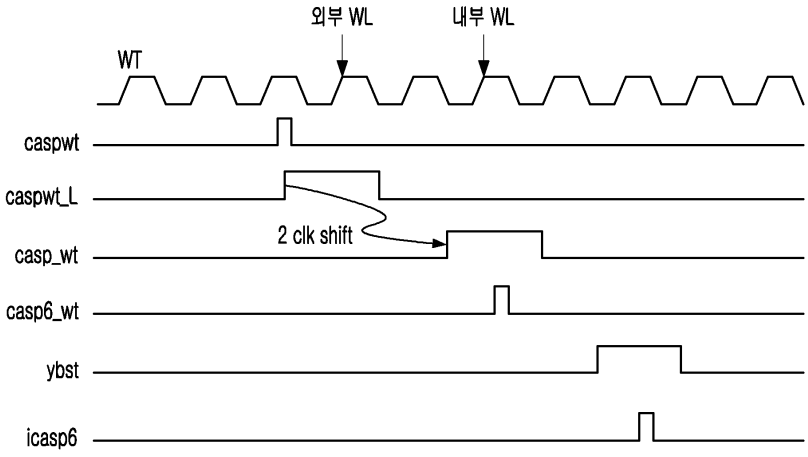
도면11


740
740_1
한 클럭 시프터
ybst
I
I37
I36
I35
T3
I34
iclk
I33
I32
VDD
MP15
D
MN16
MN15
VSS
casp6_wt
I31
ND11
ND10
BL8
iclk

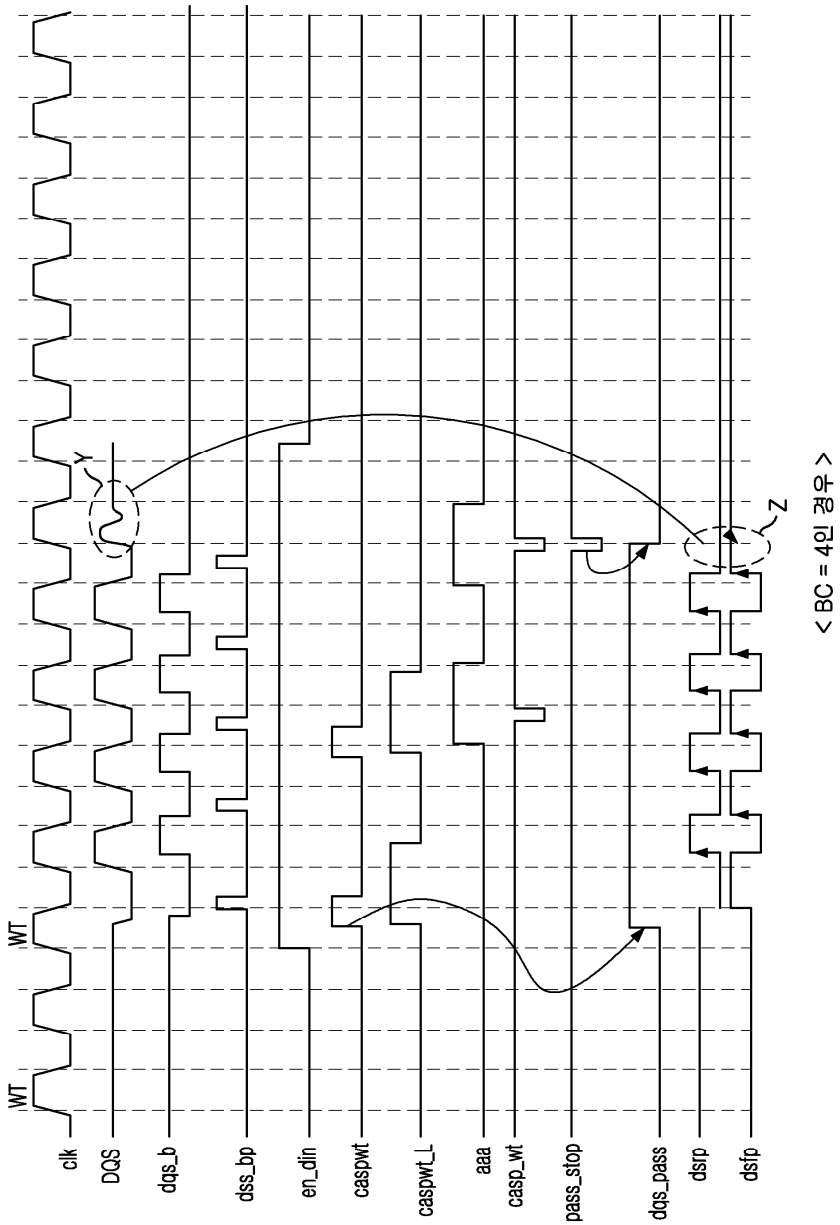
도면12a


외부 WL
내부 WL
WT
caspwt
caspwt_L
2 clk shift
casp_wt
casp6_wt

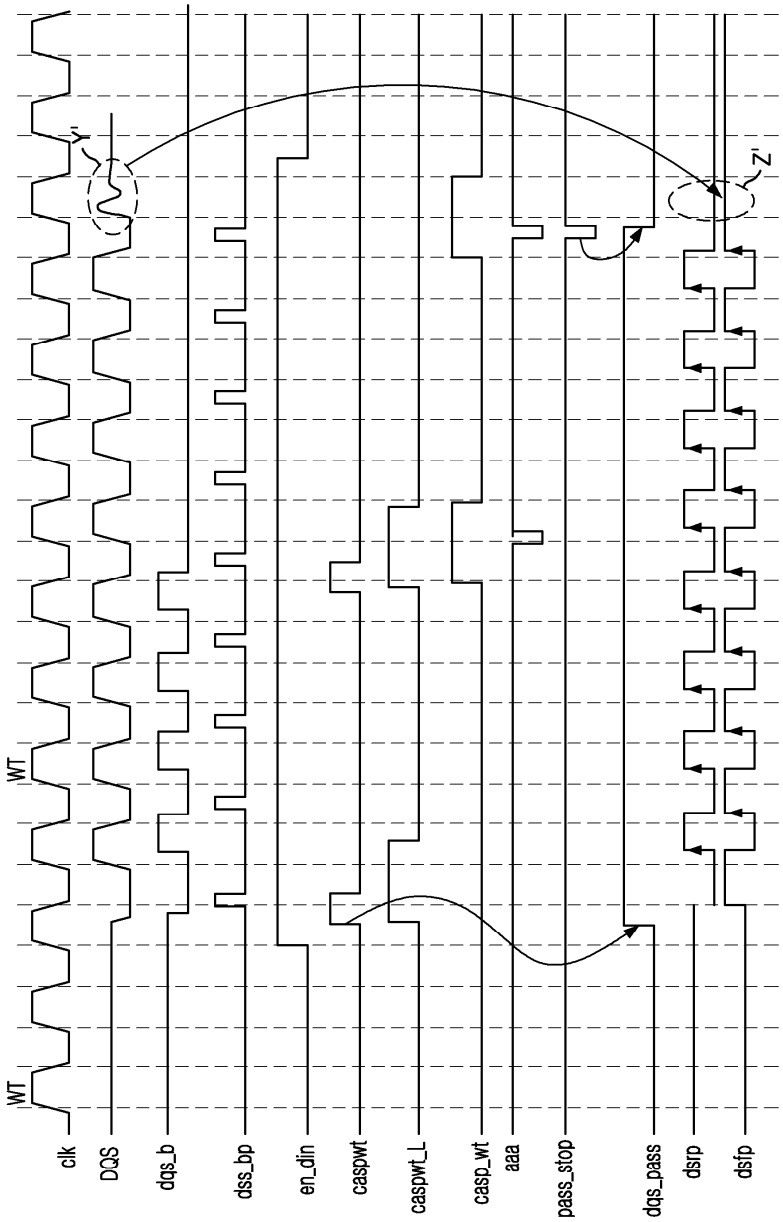
도면12b


외부 WL
내부 WL
WT
caspwt
caspwt_L
2 clk shift
casp_wt
casp6_wt
ybst
icasp6

도면13


Y
Z
< BC = 4인 경우 >
WT
WT
clk
DQS
dqs_b
dss_bp
en_din
caspwt
caspwt_L
aaa
casp_wt
pass_stop
dqs_pass
dsrp
dsfp

도면14


clk
DQS
dqs_b
dss_bp
en_din
caspwt
caspwt_L
casp_wt
aaa
pass_stop
dqs_pass
dsrp
dsfp
WT
WT
'Y'
'Z'
< BL = 8인 경우 >

도면15