



(12)发明专利申请

(10)申请公布号 CN 109037326 A

(43)申请公布日 2018.12.18

(21)申请号 201810789995.2

(22)申请日 2018.07.18

(71)申请人 大连理工大学

地址 116023 辽宁省大连市甘井子区凌工
路2号

(72)发明人 黄火林 李飞雨 陶鹏程 孙仲豪
曹亚庆

(74)专利代理机构 大连智高专利事务所(特殊
普通合伙) 21235

代理人 李猛

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 21/336(2006.01)

H01L 29/06(2006.01)

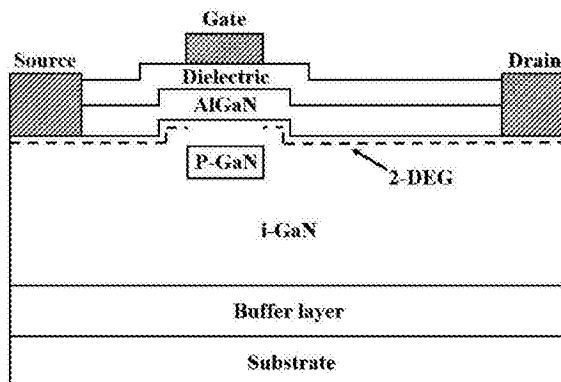
权利要求书2页 说明书5页 附图7页

(54)发明名称

一种具有P型埋层结构的增强型HEMT器件及其制备方法

(57)摘要

一种具有P型埋层结构的增强型HEMT器件及其制备方法,属于半导体晶体管器件制作领域。技术要点包括:在半导体衬底上依次生长缓冲层、i-GaN漂移层、势垒层和栅极钝化层,所述i-GaN漂移层上设置有源电极和漏电极,所述栅极钝化层上设置有栅电极,所述i-GaN漂移层中内嵌P型埋层。该结构利用P型埋层形成PN结内建电场,从而耗尽栅极下方的二维电子气达到增强型的目的。有益效果是:本发明所述的具有P型埋层结构的增强型HEMT器件及其制备方法能够在二维电子气沟道导电性能不发生退化的情况下同时提高器件稳定而均匀的正向阈值电压,对该领域是个重要的技术补充。



1. 一种具有P型埋层结构的增强型HEMT器件,其特征在于,在半导体衬底上依次生长缓冲层、i-GaN漂移层、势垒层和栅极钝化层,所述i-GaN漂移层上设置有源电极和漏电极,所述栅极钝化层上设置有栅电极,所述i-GaN漂移层中内嵌P型埋层。

2. 一种具有P型埋层结构的增强型HEMT器件,其特征在于,在半导体衬底上依次生长缓冲层、i-GaN漂移层、势垒层和栅极钝化层,所述i-GaN漂移层上设置有源电极和漏电极,所述栅极钝化层上设置有栅电极,所述i-GaN漂移层中内嵌P型埋层,所述P型埋层设置在所述栅电极下方,所述P型埋层和所述栅电极之间的i-GaN漂移层、势垒层和栅极钝化层顺势向上凸出。

3. 如权利要求1或2所述的具有P型埋层结构的增强型HEMT器件,其特征在于,所述半导体衬底为Si、蓝宝石、SiC、GaN、金刚石的任意一种。

4. 如权利要求1或2所述的具有P型埋层结构的增强型HEMT器件,其特征在于,所述缓冲层由AlN超晶格结构或者AlGaIn超晶格结构构成。

5. 如权利要求1或2所述的具有P型埋层结构的增强型HEMT器件,其特征在于,所述i-GaN漂移层的厚度为0.5~10 μ m,所述势垒层是Al组分比例为0.1~0.35的AlGaIn。

6. 如权利要求1或2所述的具有P型埋层结构的增强型HEMT器件,其特征在于,所述P型埋层为P-GaN。

7. 一种具有P型埋层结构的增强型HEMT器件制备方法,其特征在于,步骤如下:

S1、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在衬底上依次生长AlN超晶格结构缓冲层或者AlGaIn超晶格结构缓冲层、非故意掺杂的i-GaN层;

S2、采用等离子体增强化学的气相沉积法或者电子束蒸发法沉积SiO₂、Si₃N₄或者Ni金属作为硬掩膜层,并利用半导体光刻法刻出1~3 μ m的掩膜开口;

S3、对P型埋层进行生长;

S4、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长5~100nm的i-GaN层和10~30nm的AlGaIn层,Al组分比例为0.1~0.35,形成异质结;生长10~50nm的钝化层,钝化层采用氮化硅、氧化铝、氧化镓的任意一种;

S5、采用半导体光刻方法定义出源、漏电极所需区域,通过ICP刻蚀方法,将源、漏区域表面钝化层及AlGaIn层刻蚀掉,采用磁控溅射法、电子束蒸发法或者热蒸发法沉积复合金属结构,利用高温退火形成合金,制作源、漏电极欧姆接触;通过半导体光刻方法定义出栅电极区域,通过磁控溅射法、电子束蒸发法或者热蒸发法沉积栅电极金属,形成栅区金属-绝缘层-半导体结构。

8. 如权利要求7所述的具有P型埋层结构的增强型HEMT器件制备方法,其特征在于,步骤S3中对P型埋层进行生长方法步骤如下:

S3.1、利用半导体刻蚀方法制作出生长埋层所需的凹槽,通过基于Cl基气体的反应耦合等离子体半导体刻蚀法,刻蚀100~500nm深度凹槽;

S3.2、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长100~500nm的P型埋层,然后采用缓冲氢氟酸BOE溶液腐蚀除去硬掩膜,获得平整的GaN表面。

9. 如权利要求7所述的具有P型埋层结构的增强型HEMT器件制备方法,其特征在于,步骤S3中对P型埋层进行生长方法步骤如下:采用离子注入法在样品表面注入Mg或Fe或Mg/Al

复合杂质,然后用缓冲氢氟酸BOE溶液去除硬掩膜,获得平整的GaN表面,并采用热退火法进行杂质激活,完成P-GaN埋层制作。

10. 如权利要求7所述的具有P型埋层结构的增强型HEMT器件制备方法,其特征在于,采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长100~500nm的P-GaN层,并用缓冲氢氟酸BOE溶液去除硬掩膜。

一种具有P型埋层结构的增强型HEMT器件及其制备方法

技术领域

[0001] 本发明属于半导体晶体管器件制作领域,尤其涉及一种具有P型埋层结构的增强型HEMT器件及其制备方法。

背景技术

[0002] 二十世纪末以来,在以Si为代表的第一代半导体和以GaAs为代表的第二代半导体之后,第三代半导体材料迅猛发展。第三代半导体材料具有优秀的物理和化学特性,近年来已被广泛地应用于无线通信、卫星、照明等领域。其中比较具有代表性的材料有GaN和SiC等。第三代半导体也称宽禁带半导体,具有较宽的禁带宽度,一般大于2eV,具有较高的击穿场强,较高的热导率和较高的电子饱和速率,因此具有更为优异的功率特性,适合应用于大功率器件中,可以实现高击穿电压和低导通电阻,因此可以工作于更高的电压、电流以及更高的温度下。特别地,由于带阶差、极化效应和表面态的作用,GaN基异质结(典型如AlGaN/GaN)的界面处可以在非故意掺杂的情况下产生高密度的二维电子气(2-DEG) ($>10^{13}\text{cm}^{-2}$),其电子迁移率可稳定达到 $2000\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 以上。以2-DEG为导电沟道的高电子迁移率晶体管(HEMT)器件在导通电阻和饱和电流上有很大优势,因此在新型功率开关器件中脱颖而出。

[0003] 由于2-DEG可以在不施加偏压及故意掺杂的情况下稳定存在于AlGaN/GaN异质结界面处,目前研究者们已经可以基于AlGaN/GaN异质结制作出满足控制电路基本要求的耗尽型HEMT器件。相比于耗尽型器件,增强型功率器件的使用不仅能够简化电路,还能大幅减少电路功率损耗,然而,由于结构创新的局限和工艺复杂程度带来的新不确定因素,增强型HEMT器件的结构设计与制作工艺仍然难以达到其在控制电路中的理想要求。

[0004] 目前实现增强型HEMT器件的方法都是对沟道上方的栅极势垒层进行设计调整,主要有栅极势垒层刻蚀、栅极势垒层氟离子注入和采用具有P-GaN帽层的栅电极结构三种。然而这些方法都有一些难以避免的缺陷:势垒层刻蚀带来的表面不平整会增强沟道内电子的杂质散射,从而导致沟道电子迁移率降低,引起开态电阻退化;注入势垒层的氟离子具有温度不稳定性,因此导致阈值电压随温度漂移,降低了器件的可靠性;P-GaN帽层的插入使栅极与沟道间的距离增大,削弱了器件的栅控能力,导致器件跨导的退化,从而降低了器件的开关速率。由于以上三种方法均在沟道上方的栅极势垒层进行附加工艺步骤,由此引入额外缺陷和杂质,因此二维电子气沟道导电性能发生退化,器件导通电阻增加。因此,如何在增加器件导通电阻的前提下,提高并形成稳定而均匀的正向阈值电压,是目前需要解决的难题之一。

发明内容

[0005] 为了解决上述现有技术中的问题,本发明提出一种具有P型埋层结构的增强型HEMT器件及其制备方法,该增强型HEMT器件能够实现在不向栅极上方势垒层引入新的杂质和缺陷的情况下实现稳定而均匀的正向阈值电压。

[0006] 技术方案如下:

[0007] 一种具有P型埋层结构的增强型HEMT器件,在半导体衬底上依次生长缓冲层、i-GaN漂移层、势垒层和栅极钝化层,所述i-GaN漂移层上设置有源电极和漏电极,所述栅极钝化层上设置有栅电极,所述i-GaN漂移层中内嵌P型埋层。

[0008] 一种具有P型埋层结构的增强型HEMT器件,在半导体衬底上依次生长缓冲层、i-GaN漂移层、势垒层和栅极钝化层,所述i-GaN漂移层上设置有源电极和漏电极,所述栅极钝化层上设置有栅电极,所述i-GaN漂移层中内嵌P型埋层,所述P型埋层设置在所述栅电极下方,所述P型埋层和所述栅电极之间的i-GaN漂移层、势垒层和栅极钝化层顺势向上凸出。

[0009] 进一步的,所述半导体衬底为Si、蓝宝石、SiC、GaN、金刚石、石墨烯中的任意一种。

[0010] 进一步的,所述缓冲层由AlN超晶格结构或者AlGaIn超晶格结构构成。

[0011] 进一步的,所述i-GaN漂移层的厚度为 $0.5\sim 10\mu\text{m}$,所述势垒层是Al组分比例为 $0.1\sim 0.35$ 的AlGaIn。

[0012] 进一步的,所述P型埋层为P-GaN。

[0013] 本发明还包括一种具有P型埋层结构的增强型HEMT器件制备方法,步骤如下:

[0014] S1、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在衬底上依次生长AlN超晶格结构缓冲层或者AlGaIn超晶格结构缓冲层、非故意掺杂的i-GaN层;

[0015] S2、采用等离子体增强化学的气相沉积法或者电子束蒸发法沉积 SiO_2 、 Si_3N_4 或者Ni金属作为硬掩膜层,并利用半导体光刻法刻出 $1\sim 3\mu\text{m}$ 的掩膜开口;

[0016] S3、对P型埋层进行生长;

[0017] S4、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长 $5\sim 100\text{nm}$ 的i-GaN层和 $10\sim 30\text{nm}$ 的AlGaIn层,Al组分比例为 $0.1\sim 0.35$,形成异质结;生长 $10\sim 50\text{nm}$ 的钝化层,钝化层采用氮化硅、氧化铝、氧化镓的任意一种;

[0018] S5、采用半导体光刻方法定义出源、漏电极所需区域,通过ICP刻蚀方法,将源、漏区域表面钝化层及AlGaIn层刻蚀掉,采用磁控溅射法、电子束蒸发法或者热蒸发法沉积复合金属结构,利用高温退火形成合金,制作源、漏电极欧姆接触;通过半导体光刻方法定义出栅电极区域,通过磁控溅射法、电子束蒸发法或者热蒸发法沉积栅电极金属,形成栅区金属-绝缘层-半导体结构。

[0019] 进一步的,步骤S3中对P型埋层进行生长方法步骤如下:

[0020] S3.1、利用半导体刻蚀方法制作出生长埋层所需的凹槽,通过基于Cl基气体的反应耦合等离子体半导体刻蚀法,刻蚀 $100\sim 500\text{nm}$ 深度凹槽;

[0021] S3.2、采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长 $100\sim 500\text{nm}$ 的P型埋层,然后采用缓冲氢氟酸BOE溶液腐蚀去除硬掩膜,获得平整的GaN表面。

[0022] 进一步的,步骤S3中对P型埋层进行生长方法步骤如下:采用离子注入法在样品表面注入Mg或Fe或Mg/Al复合杂质,然后用缓冲氢氟酸BOE溶液去除硬掩膜,获得平整的GaN表面,并采用热退火法进行杂质激活,完成P-GaN埋层制作。

[0023] 进一步的,采用金属有机物化学气相沉积、分子束外延半导体材料生长方法在样品表面生长 $100\sim 500\text{nm}$ 的P-GaN层,并用缓冲氢氟酸BOE溶液去除硬掩膜。

[0024] 本发明的有益效果是:

[0025] 本发明所述的具有P型埋层结构的增强型HEMT器件及其制备方法能够在不同

栅极上方势垒层引入新的杂质和缺陷的情况下实现稳定而均匀的正向阈值电压。

附图说明

- [0026] 图1是本发明提出的具有P型埋层的增强型HEMT器件结构示意图①；
[0027] 图2是本发明提出的具有P型埋层的增强型HEMT器件结构示意图②；
[0028] 图3是本发明实施例2步骤①所述的晶圆生长后的结构示意图；
[0029] 图4是本发明实施例2步骤②所述的硬掩膜生长后的结构示意图；
[0030] 图5是本发明实施例2步骤③所述的埋层凹槽刻蚀后的结构示意图；
[0031] 图6是本发明实施例2步骤④所述的P-GaN埋层生长后的结构示意图；
[0032] 图7是本发明实施例2步骤⑤所述的极化结和钝化层生长后的结构示意图；
[0033] 图8是本发明实施例2步骤⑥所述的源、漏、栅电极制作后的结构示意图；
[0034] 图9是本发明实施例3步骤③所述的离子注入后的结构示意图；
[0035] 图10是本发明实施例4步骤③所述的P-GaN埋层生长后的结构示意图；
[0036] 图11是本发明实施例4步骤④所述的异质结和钝化层生长后的结构示意图；
[0037] 图12是本发明实施例4步骤⑤所述的源、漏、栅电极制作后的结构示意图；
[0038] 图13是基于实施例5参数获得的器件性能结果 (I_D - V_G 曲线) 示意图；
[0039] 图14是基于实施例5参数获得的器件性能结果 (I_D - V_D 曲线) 示意图。

具体实施方式

[0040] 下面结合附图1-14对具有P型埋层结构的增强型HEMT器件及其制备方法做进一步说明。

[0041] 实施例1

[0042] 一种具有P型埋层结构的增强型HEMT器件,器件结构基本组成由下至上分别为:

[0043] (1) Si、蓝宝石、SiC、GaN、金刚石或石墨烯等材料衬底,由于不同材料的晶格常数、热膨胀系数和热导率不同,可根据成本以及对外延片的质量要求进行选择;

[0044] (2) 由AlN或者AlGaN超晶格结构构成的缓冲层;

[0045] (3) 0.5~10 μ m的非故意掺杂的i-GaN漂移层;

[0046] (4) 位于i-GaN漂移层内的P-GaN埋层,用以在零偏栅压下耗尽栅极下方2-DEG沟道中的电子实现增强型操作;

[0047] (5) i-GaN沟道层上方Al组分为0.1~0.35的AlGaN势垒层,使其在i-GaN沟道层内形成导电2-DEG;

[0048] (6) 栅极钝化层用以防止栅极漏电并调制阈值电压;

[0049] (7) 源(source)、栅(gate)、漏(drain)金属电极。

[0050] 其基本工作原理是:由于大的带阶差和极化效应,AlGaN/i-GaN异质结界面下方的沟道层内产生高密度的导电2-DEG,由于P型埋层的插入,在零偏栅压下,栅极下方沟道内的2-DEG被耗尽,器件导电沟道夹断,器件因此处于关断状态;当在栅极施加大于器件阈值电压的栅极电压后,栅极下方沟道内电子积累,源漏之间形成连续的导电沟道,器件处于开启状态。

[0051] 实施例2

[0052] 步骤①:晶圆生长。采用如金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)等半导体材料生长技术依次在Si、蓝宝石或者GaN衬底上依次生长AlN或者AlGaIn超晶格结构缓冲层、0.5~10 μ m的非故意掺杂的i-GaN层,如图3所示;

[0053] 步骤②:硬掩膜生长。采用等离子体增强化学的气相沉积法(PECVD)或者电子束蒸发法沉积SiO₂、Si₃N₄或者Ni金属作为硬掩膜层,并利用半导体光刻技术实现1~3 μ m的掩膜开口,如图4所示。其中半导体光刻技术包含一整套的匀胶、软烘、曝光、显影、坚膜等步骤;

[0054] 步骤③:埋层凹槽刻蚀。利用半导体刻蚀技术制作出生长埋层所需的凹槽,通过如基于Cl基气体的反应耦合等离子体(ICP)等半导体刻蚀技术,刻蚀100~500nm深度凹槽,如图5所示;

[0055] 步骤④:P型埋层生长。采用如金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)等半导体材料生长技术在样品表面生长100~500nm的P型埋层(典型的P型埋层为P-GaN),然后采用缓冲氢氟酸BOE溶液腐蚀除去硬掩膜,获得平整的GaN表面,如图6所示;

[0056] 步骤⑤:异质结和钝化层生长。采用如金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)等半导体材料生长技术在样品表面生长5~100nm的i-GaN层和10~30nm的AlGaIn层,Al组分为0.1~0.35,形成异质结;生长10~50nm的钝化层,钝化层可为氮化硅、氧化铝或者氧化镓等,如图7所示;

[0057] 步骤⑥:源、漏、栅电极制作。采用半导体光刻技术定义出源、漏电极所需区域,通过如基于Cl基气体的ICP刻蚀技术,将源、漏区域表面钝化层及AlGaIn层刻蚀掉,采用磁控溅射、电子束蒸发或者热蒸发等金属沉积技术沉积复合金属结构,利用高温退火形成合金,制作良好的源、漏电极欧姆接触;通过半导体光刻技术定义出栅电极区域,通过如磁控溅射、电子束蒸发或者热蒸发等金属沉积技术沉积栅电极金属,形成栅区金属-绝缘层-半导体(MIS)结构,器件制作完成,如图8所示。

[0058] 实施例3

[0059] 步骤①:晶圆生长。与实施例2步骤①相似;

[0060] 步骤②:硬掩膜生长。与实施例2步骤②相似;

[0061] 步骤③:离子注入。采用离子注入技术在样品表面注入Mg或Fe或Mg/Al复合杂质,然后用缓冲氢氟酸BOE溶液去除硬掩膜,获得平整的GaN表面,并采用热退火技术进行杂质激活,完成P-GaN埋层制作,如图9所示;

[0062] 步骤④:异质结和钝化层生长。与实施例2步骤⑤相似;

[0063] 步骤⑤:源、漏、栅电极制作。与实施例2步骤⑥相似。

[0064] 实施例4

[0065] 步骤①:晶圆生长。与实施例2步骤①相似;

[0066] 步骤②:硬掩膜生长。与实施例2步骤②相似;

[0067] 步骤③:P-GaN埋层生长。采用如金属有机物化学气相沉积(MOCVD)、分子束外延(MBE)等半导体材料生长技术在样品表面生长100~500nm的P-GaN层,并用缓冲氢氟酸BOE溶液去除硬掩膜,如图10所示;

[0068] 步骤④:异质结和钝化层生长。与实施例2步骤⑤相似,如图11所示;

[0069] 步骤⑤:源、漏、栅电极制作。与实施例2步骤⑥相似,如图12所示。

[0070] 实施例5

[0071] 步骤①:晶圆生长。采用MOCVD技术依次在p型Si衬底上依次生长200nmAlGaIn超晶格缓冲层、3 μ m的本征i-GaN层;

[0072] 步骤②:硬掩膜生长。采用PECVD技术沉积350nm的SiO₂层,利用光刻技术定义2 μ m的掩膜开口区域,过程为:

[0073] (1) 将样品以4000r/min的速率持续30s均匀旋涂AZ5214光刻胶;

[0074] (2) 将样品放置在100℃的热板上加热软烘90s;

[0075] (3) 把样品放置在光强为7mW/cm²的左右曝光机中持续曝光20s;

[0076] (4) 在显影液中显影45s;

[0077] (5) 在100℃的热板上加热坚膜60s。然后用缓冲氢氟酸BOE去除开口处掩膜;

[0078] 步骤③:埋层凹槽刻蚀。利用ICP刻蚀技术,采用BCl₃反应气体,在200W功率下刻蚀埋层凹槽,刻蚀深度为170nm,后通过丙酮溶液清洗去胶;

[0079] 步骤④:P型埋层生长。采用MOCVD技术在样品表面生长170nm的P-GaN层,并用BOE溶液去除硬掩膜,获得平整干净的GaN表面;

[0080] 步骤⑤:异质结和钝化层生长。采用MOCVD技术在样品表面生长5nm的i-GaN层,20nm的Al_{0.25}Ga_{0.75}N层以及50nm的氮化硅层;

[0081] 步骤⑥:源、漏电极制作。通过步骤②所述的半导体光刻技术定义出源、漏电极所需区域,利用ICP刻蚀技术,采用BCl₃反应气体和50W功率的低损伤刻蚀工艺,实现源、漏电极区域AlGaIn势垒层刻蚀;通过电子束蒸发技术沉积Ti/Al/Ni/Au(20/100/45/55nm)复合金属结构,然后金属剥离、清洗去胶;在875℃高温和氮气环境中退火30s,使复合金属结构变为合金,形成良好的欧姆接触;

[0082] 步骤⑦:栅电极制作。通过步骤②所述的半导体光刻技术定义出栅电极所需区域,栅长为1 μ m,栅宽为300 μ m,通过电子束蒸发技术沉积Ni/Au(100/50nm)复合金属结构,后金属剥离、清洗去胶,完成栅电极制作。

[0083] 图13和图14为基于本实施例结构和工艺参数获得的器件性能结构,其中图13器件开关转移特性曲线,图14输出特性曲线。由图中可以看出,基于本专利申请方案的HEMT器件阈值电压约为3V,为典型的增强型HEMT器件类型,在器件结构参数和工艺条件进一步优化后,将获得更优的器件整体性能。

[0084] 本发明技术方案对现有的异质结HEMT器件制作是个重要的技术补充,本发明方案可用于微波射频器件,也可用于功率开关器件制作过程。本发明所述的实施例,并非对本发明内容进行限定,其他具有2-DEG的异质结HEMT器件都适用于本发明提案涉及范围。任何其他钝化层生长(包括不同的生长技术、不同的钝化层组合或者也可直接省略钝化工艺步骤)、欧姆接触电极制作工艺(包括不同的金属选择、沉积方法、退火条件)或者台面刻蚀工艺,在基于实现本发明所述增强型器件基本功能目的下,都适用于本发明提案涉及范围。P型埋层为P-GaN,也可采用其他P型材料,或者采用氟离子、氧离子等其他类型离子注入技术形成区域埋层,任何修饰和改动,在基于实现器件栅区下方沟道载流子耗尽从而使器件达到增强型类型特点的目的下,都应涵盖在本发明的保护范围之内。同样地,材料结构参数、电极的尺寸和P型埋层形状的改变,或等同替换等,都应涵盖在本发明的保护范围之内。

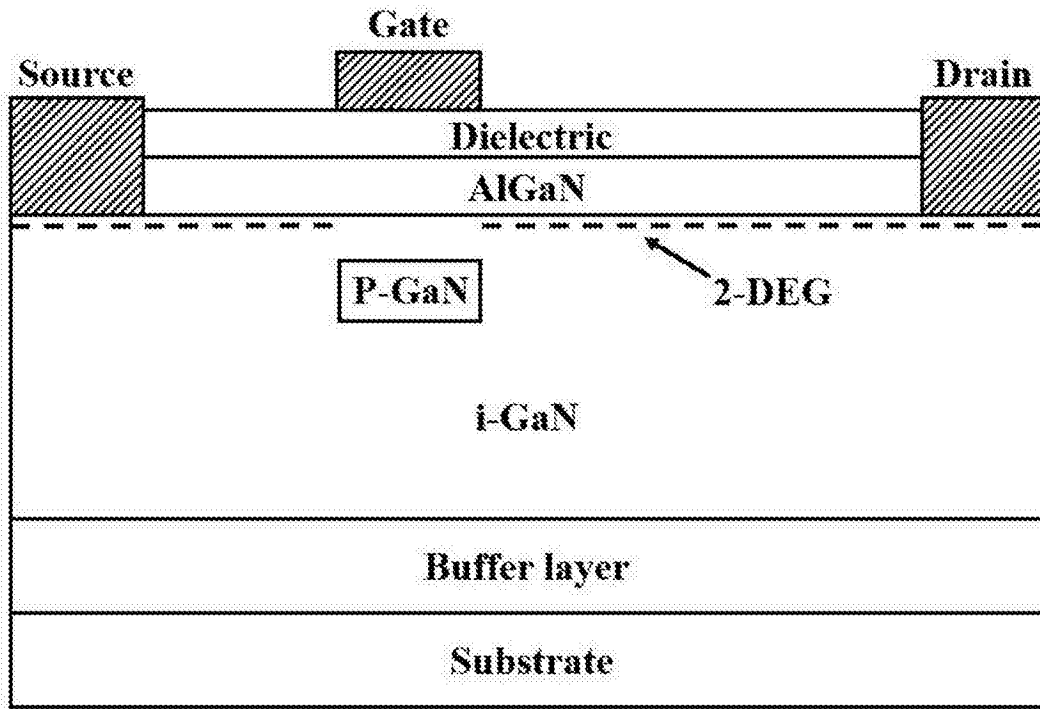


图1

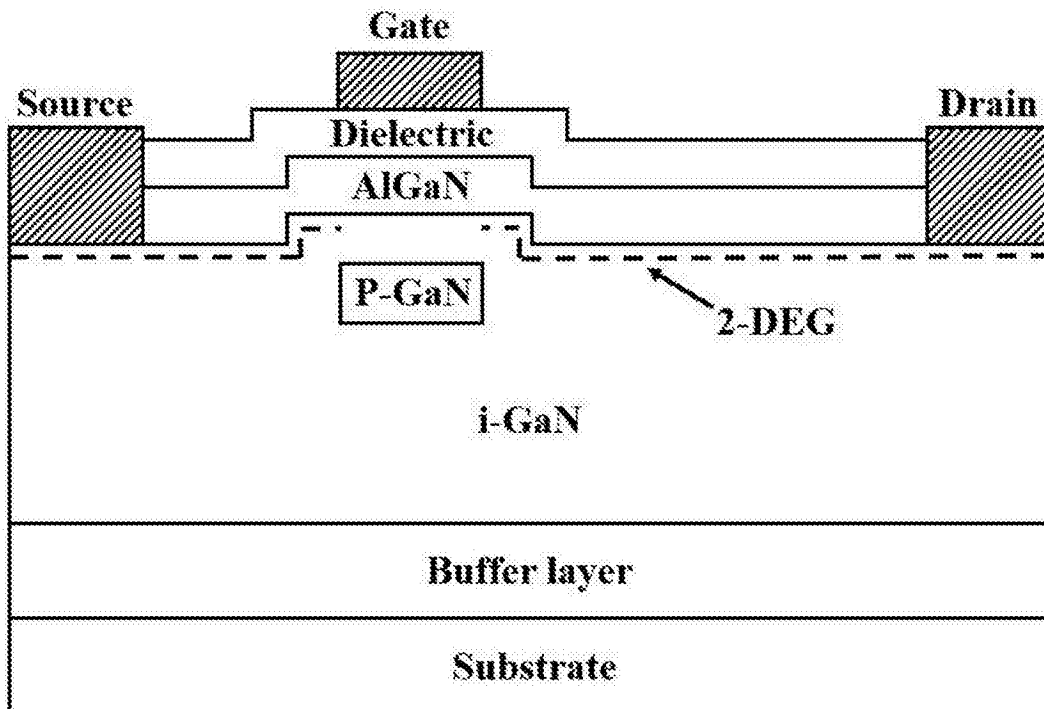


图2

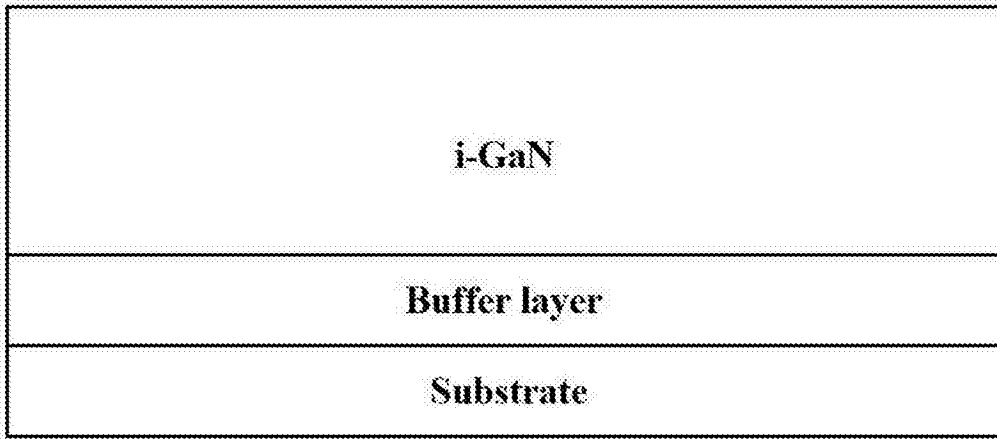


图3

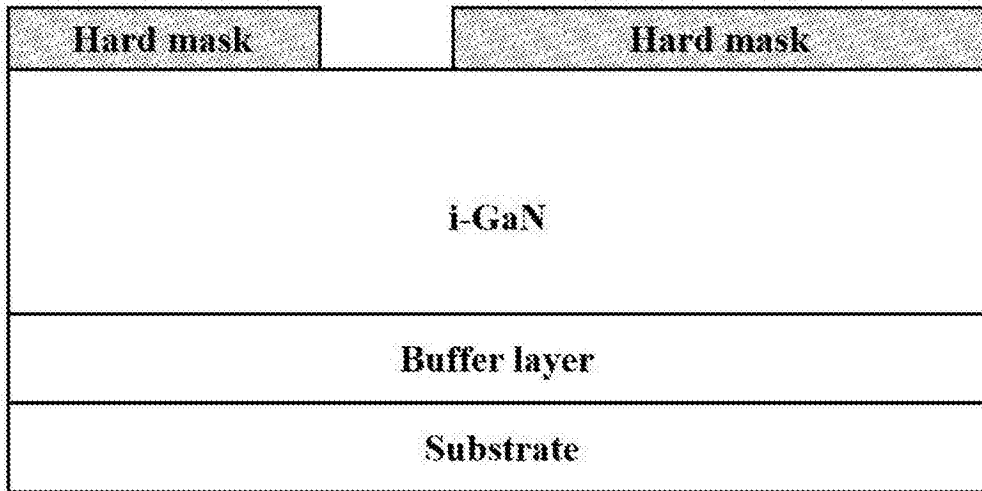


图4

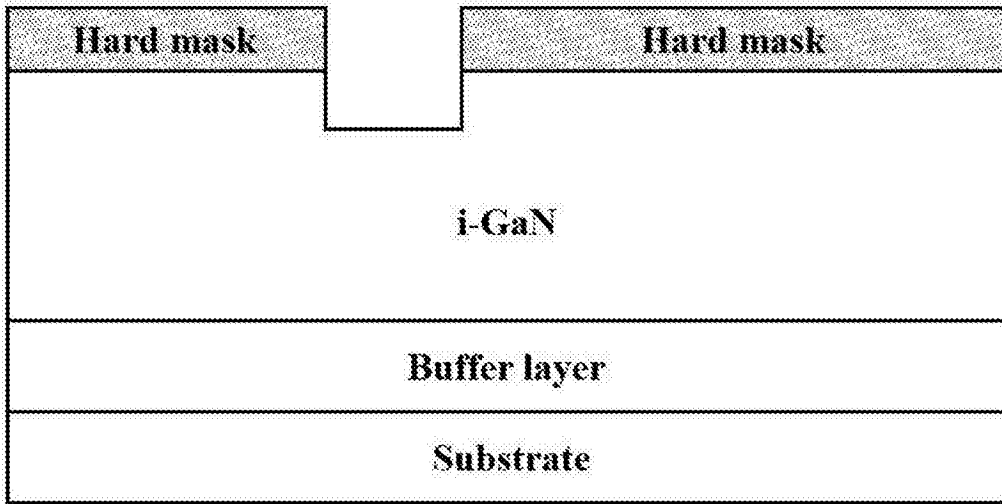


图5

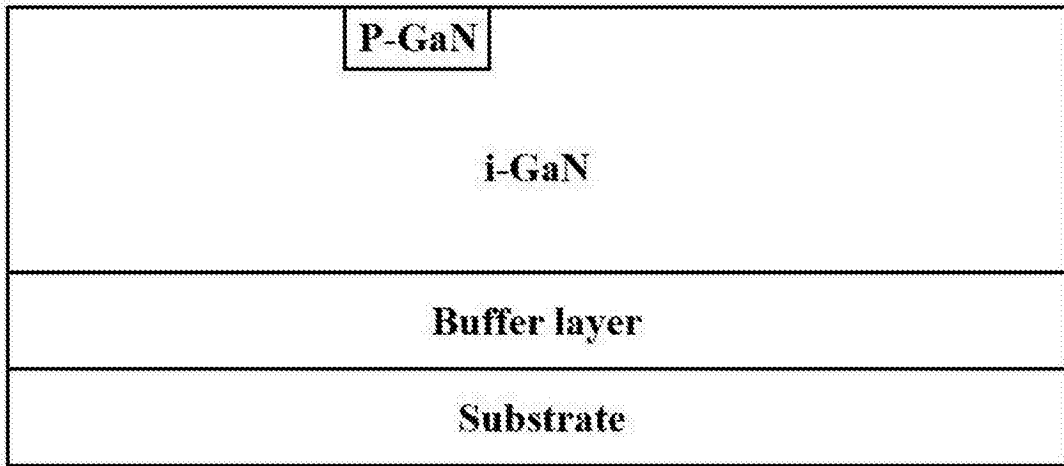


图6

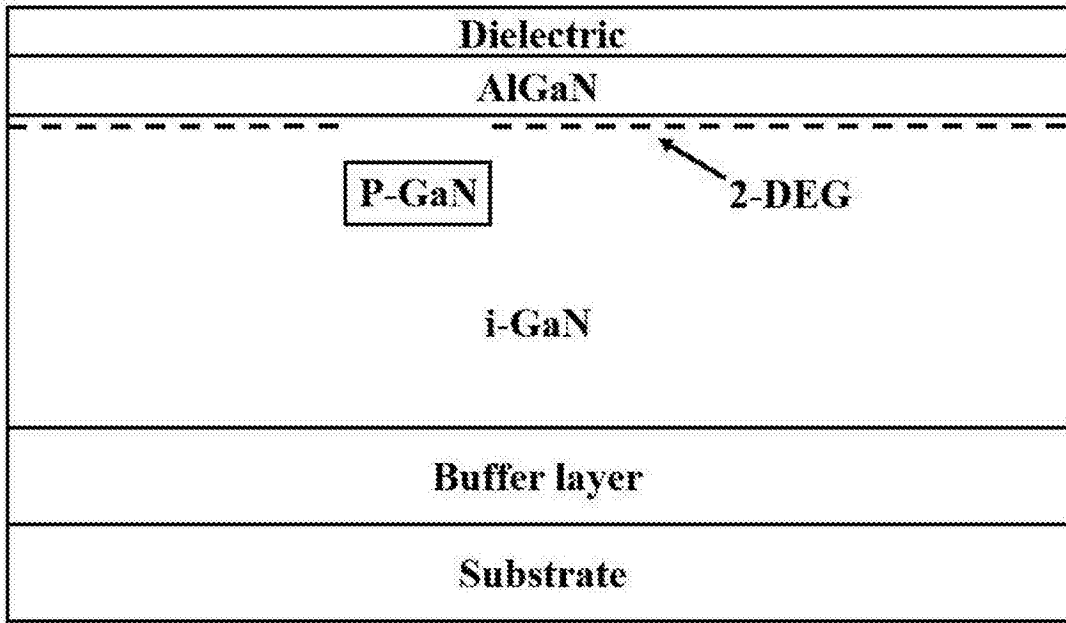


图7

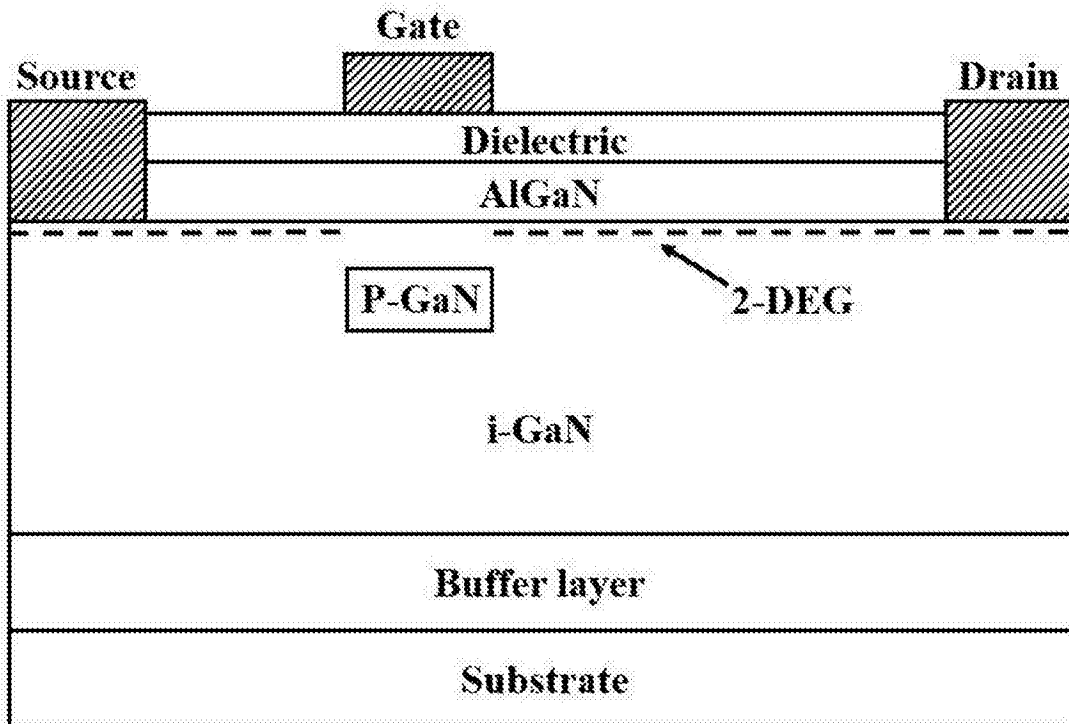


图8

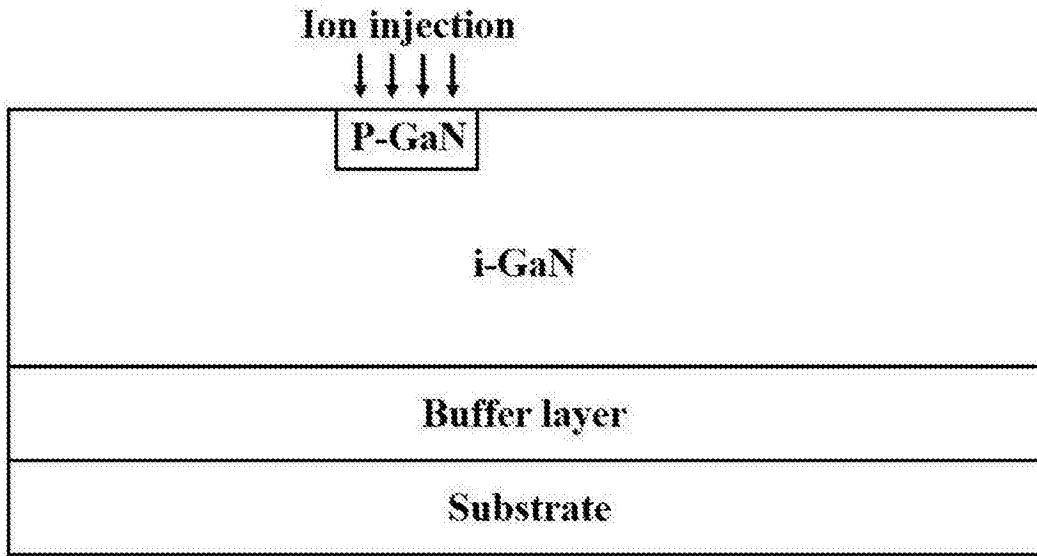


图9

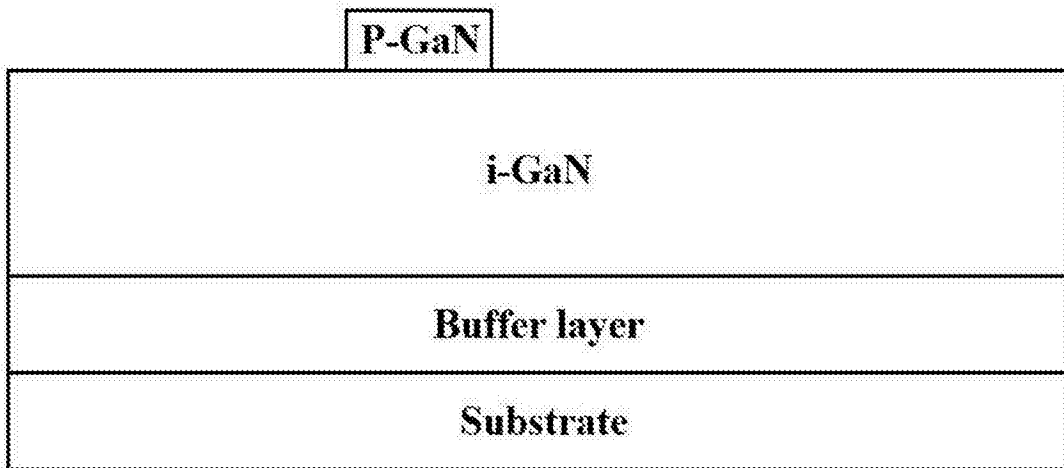


图10

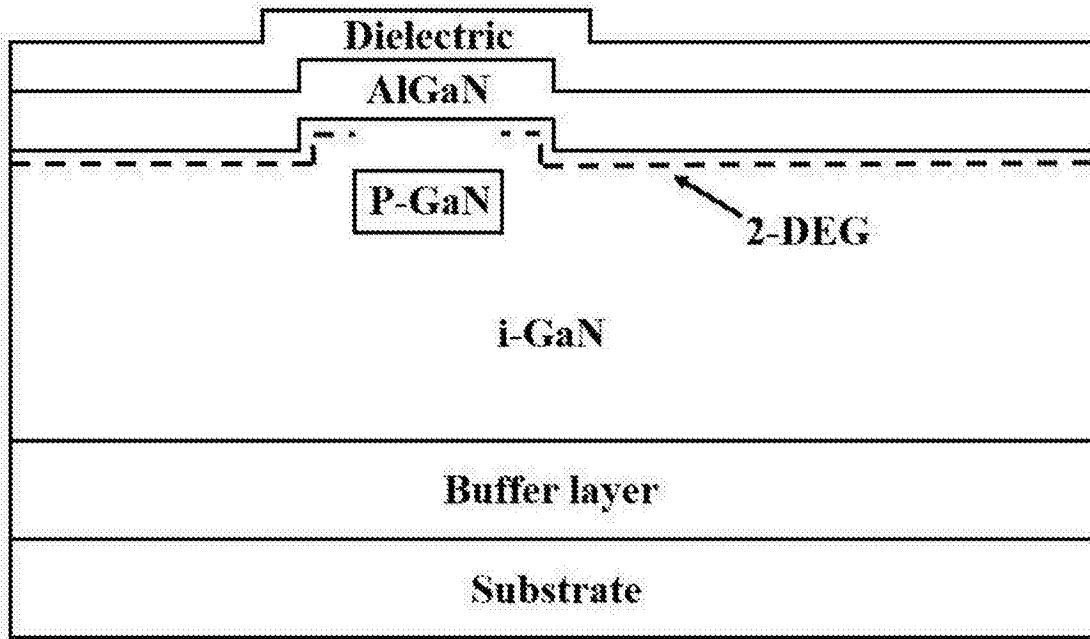


图11

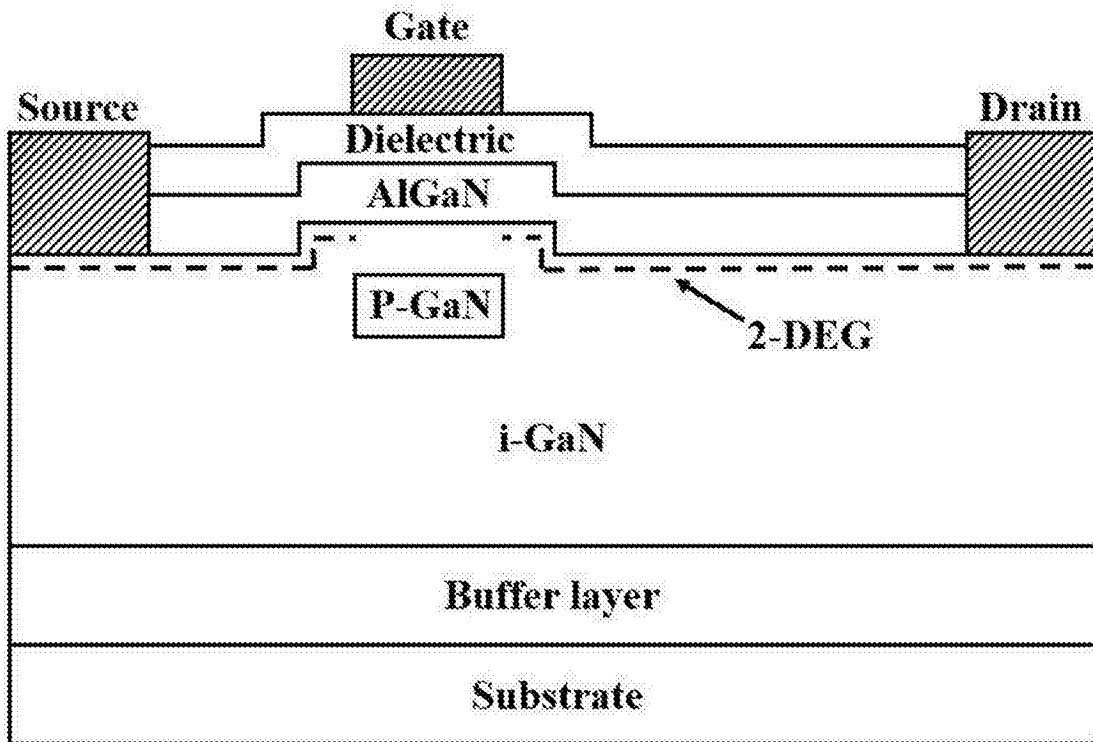


图12

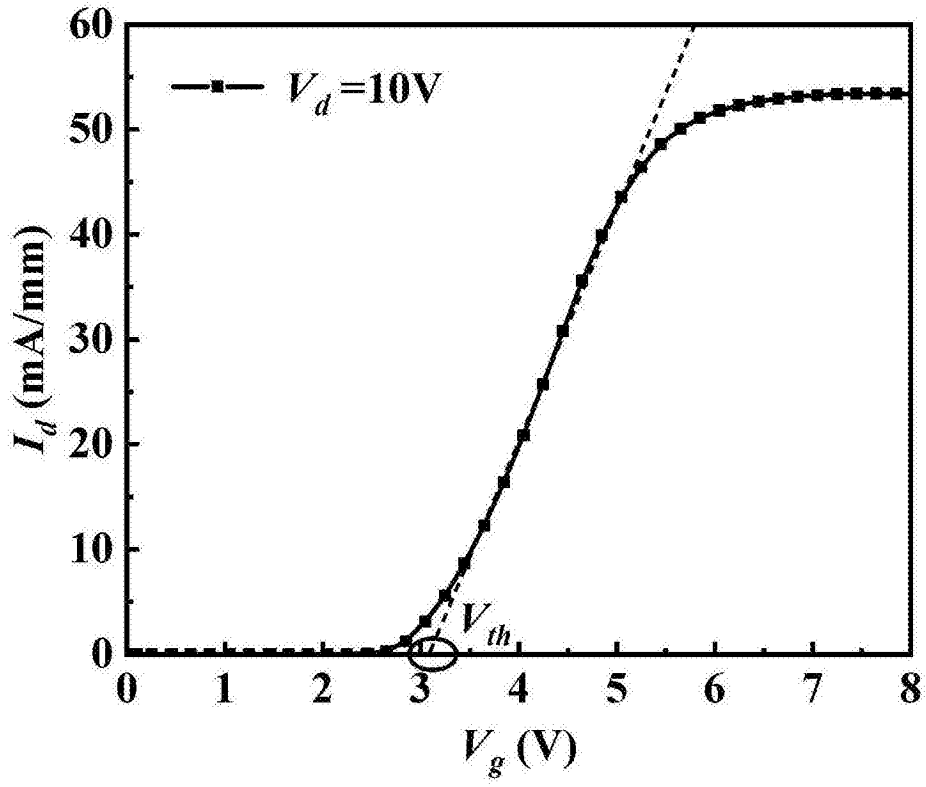


图13

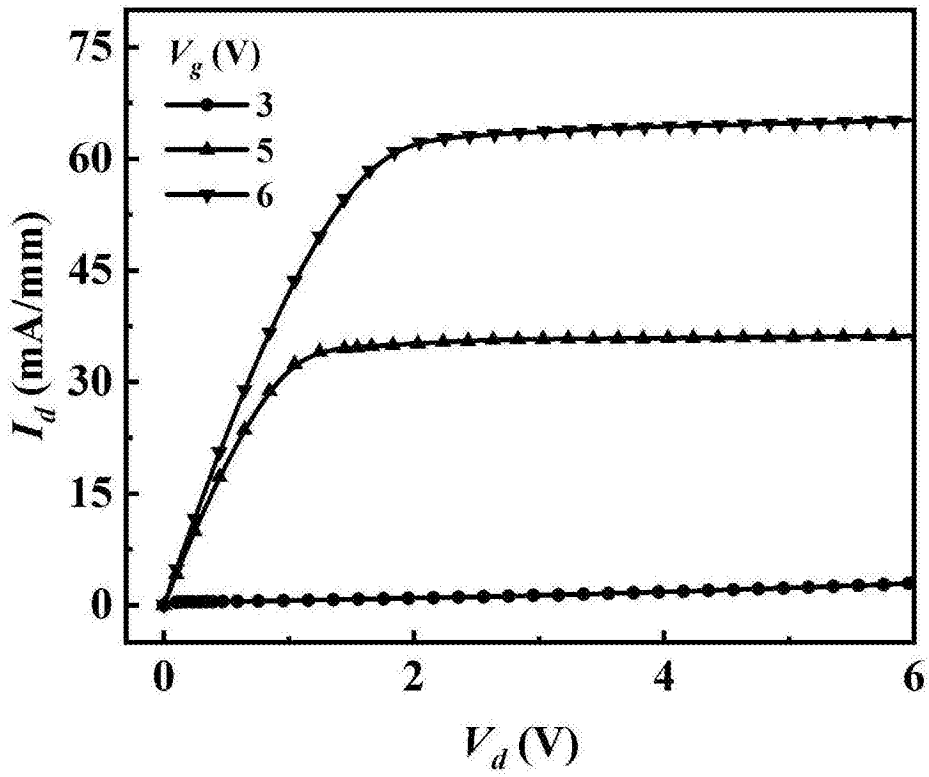


图14