



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077752
(43) 공개일자 2009년07월15일

- | | |
|--|--|
| <p>(51) Int. Cl.
H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
H01L 21/28 (2006.01) H01L 29/423 (2006.01)</p> <p>(21) 출원번호 10-2009-7004609
(22) 출원일자 2007년08월02일
심사청구일자 2009년03월17일
(85) 번역문제출일자 2009년03월04일
(86) 국제출원번호 PCT/US2007/075041
(87) 국제공개번호 WO 2008/021736
국제공개일자 2008년02월21일
(30) 우선권주장
11/465,025 2006년08월16일 미국(US)
11/465,038 2006년08월16일 미국(US)</p> | <p>(71) 출원인
샌디스크 코퍼레이션
미국 캘리포니아 95035 밀피타스 맥카시 블러바드 601
(72) 발명자
모크레시 니마
미국 캘리포니아 95032 로스 가토스 세린다 웨이 14285
(74) 대리인
박장원</p> |
|--|--|

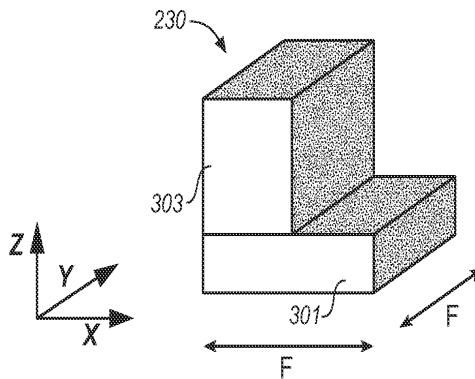
전체 청구항 수 : 총 37 항

(54) 형상화된 플로팅 게이트를 갖는 비휘발성 메모리

(57) 요약

전하를 저장하기 위해 플로팅 게이트들을 이용하는 비휘발성 메모리에서, 개별 플로팅 게이트들은 L-자 형상을 갖는다. L-자 형상의 플로팅 게이트들의 방위는 비트라인 방향으로 교번될 수 있으며, 또한 워드라인 방향으로도 교번될 수도 있다. 상이한 방위들을 갖는 플로팅 게이트들을 획득하기 위해, 상이한 패턴들을 식각 마스크로 이용하여 전도성 부분들을 식각함으로써, L-자 형상의 플로팅 게이트들이 형성될 수 있다.

대표도 - 도3A



특허청구의 범위

청구항 1

낸드 플래시 메모리를 형성하는 방법으로서,

제 1 방향을 따라 직렬로 연결된 다수의 메모리 셀들을 형성하는 단계, 상기 다수의 메모리 셀들 각각은 플로팅 게이트를 가지며;

상기 제 1 방향에 수직인 평면에서의 단면이 L-자 형상이 되도록 상기 다수의 메모리 셀들의 플로팅 게이트들을 형상화하는 단계

를 포함하는 낸드 플래시 메모리를 형성하는 방법.

청구항 2

제1항에 있어서,

상기 플로팅 게이트들 중에서 제 1 교번 플로팅 게이트들은 제 1 방위를 가지며, 상기 플로팅 게이트들 중에서 제 2 교번 플로팅 게이트들은 상기 제 1 방위에 반대인 제 2 방위를 갖는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 3

제2항에 있어서,

상기 플로팅 게이트들 중에서 제 1 교번 플로팅 게이트들은 상기 제 1 방향에 수직인 제 2 방향을 따라 L-자 형상인 단면을 가지며, 상기 플로팅 게이트들 중에서 제 2 교번 플로팅 게이트들은 상기 제 2 방향을 따라 역 L-자 형상인 단면을 갖는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 4

제1항에 있어서,

상기 형상화하는 단계는, 전도성 플로팅 게이트 물질을 소정 패턴에 따라 제거하는 것을 포함하며,

상기 전도성 플로팅 게이트 물질은, 상기 전도성 플로팅 게이트 물질의 전체 두께보다는 작은 깊이로 제거되는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 5

제1항에 있어서,

폴리실리콘층을 증착하고, 다음으로 상기 폴리실리콘층을 전도성 부분들로 분리하는 다수의 얇은 트렌치 분리 구조들을 형성하고, 다음으로 체커보드 패턴에 따라 상기 전도성 부분들을 식각하고, 다음으로 상기 전도성 부분들을 개별 플로팅 게이트들로 분리함으로써, 상기 플로팅 게이트들이 형성되는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 6

제5항에 있어서,

상기 전도성 부분들 위에 유전층을 형성하는 단계와; 그리고

상기 유전층 위에 제어 게이트층을 형성하는 단계를 더 포함하며,

상기 제어 게이트층은 소정 패턴에 따라 다수의 워드라인들로 형성되며,

상기 전도성 부분들을 개별 플로팅 게이트들로 분리하는 것도 상기 소정 패턴에 따라 수행되는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 7

제6항에 있어서,

개별 워드라인 아래의 플로팅 게이트들은 제 1 방위와 제 2 방위 사이에서 교번하는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 8

제7항에 있어서,

플로팅 게이트들은 상기 제 1 방향을 따라, 상기 제 1 방위와 상기 제 2 방위 사이에서 교번하는 것을 특징으로 하는 낸드 플래시 메모리를 형성하는 방법.

청구항 9

플래시 메모리 어레이를 형성하는 방법으로서,

기판 표면 위에 연장되는 제 1 전도층을 형성하는 단계;

제 1 방향으로 연장되며 그리고 상기 제 1 방향에 수직인 제 2 방향으로 서로 분리되어 있는 다수의 얇은 트렌치 분리 구조들을 형성하는 단계, 상기 다수의 얇은 트렌치 분리 구조들은 상기 제 1 전도층을 관통하여 상기 기판 안으로 연장되고 이에 의해 상기 제 1 전도층은 다수의 제 1 전도성 부분들로 나뉘어지며;

다수의 제 2 전도성 부분들을 형성하는 단계, 상기 다수의 제 2 전도성 부분들은 상기 다수의 제 1 전도성 부분들 위에 놓여 있으며, 각각의 제 2 전도성 부분은 인접한 상기 다수의 얇은 트렌치 분리 구조들에 의해서 상기 제 2 방향으로 정의되며; 그리고

상기 제 2 전도성 부분들의 폭을 좁히기 위하여 상기 다수의 제 2 전도성 부분들을 부분적으로 식각하는 단계를 포함하여 이루어지며,

폭이 좁아진 상기 제 2 전도성 부분의 상기 제 2 방향으로의 폭은 상기 제 1 전도성 부분의 폭보다 좁으며, 얇은 트렌치 분리 구조에 의해서 한쪽으로 폭이 좁아진 제 2 전도성 부분이 정의되는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 10

제9항에 있어서,

상기 다수의 제 1 전도성 부분들과 그 위에 놓여있는 폭이 좁아진 상기 제 2 전도성 부분들을, 다수의 플로팅 게이트들로 분리하는 단계를 더 포함하며,

상기 다수의 플로팅 게이트들은 상기 제 1 방향에 수직인 평면에 따른 단면이 비대칭 형상을 갖는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 11

제10항에 있어서,

다수의 상기 제 2 전도성 부분들 위에 유전층을 형성하는 단계와 상기 유전층 위에 전도성 제어 게이트층을 형성하는 단계를 더 포함하며,

상기 전도성 제어 게이트층은, 상기 다수의 제 1 전도성 부분들과 그 위에 있는 폭이 좁아진 제 2 전도성 부분들을 다수의 플로팅 게이트들로 분리하는 공정과 동일한 공정에서, 개별 워드라인들로 분리되는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 12

제9항에 있어서,

상기 다수의 제 2 전도성 부분들을 부분적으로 식각하는 단계는, 체커보드(checkerboard) 패턴에서 수행되는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 13

제10항에 있어서,

상기 다수의 플로팅 게이트들은,

상기 제 1 방향을 따라 제 1 방위와 제 2 방위 사이에서 교번하는 비대칭 형상을 갖는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 14

제10항에 있어서,

상기 다수의 플로팅 게이트들은,

상기 제 2 방향을 따라 제 1 방위와 제 2 방위 사이에서 교번하는 비대칭 형상을 갖는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 15

제10항에 있어서,

상기 다수의 플로팅 게이트들은,

상기 제 1 방향을 따라 제 1 방위와 제 2 방위 사이에서 교번하며, 그리고 상기 제 2 방향을 따라 제 1 방위와 제 2 방위 사이에서 교번하는 비대칭 형상을 갖는 것을 특징으로 하는 플래시 메모리 어레이를 형성하는 방법.

청구항 16

낸드 플래시 메모리 어레이로서,

메모리 셀들의 다수의 스트링들;

제 1 방향을 따라 직렬로 연결된 다수의 메모리 셀들을 포함하는, 메모리 셀들의 개별 스트링; 그리고

상기 제 1 방향에 수직인 평면에 따른 단면이 L-자 형상인 플로팅 게이트를 갖는, 상기 다수의 메모리 셀의 개별 메모리 셀

을 포함하는 낸드 플래시 메모리 어레이.

청구항 17

제16항에 있어서,

상기 다수의 메모리 셀들 중에서 제 1 교번 메모리 셀들은 상기 제 1 방향에 수직인 단면에서 제 1 방위를 가지며, 그리고 상기 다수의 메모리 셀들 중에서 제 2 교번 메모리 셀들은 상기 제 1 방향에 수직인 단면에서 제 2 방위를 가지며, 상기 제 1 방위와 상기 제 2 방위는 서로 반대인 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 18

제17항에 있어서,

상기 다수의 메모리 셀들 중에서 상기 제 1 교번 메모리 셀들은 상기 제 1 방향에 수직인 단면에서 L-자 형상을 가지며, 그리고 상기 다수의 메모리 셀들 중에서 상기 제 2 교번 메모리 셀들은 상기 제 1 방향에 수직인 단면에서 역 L-자 형상을 갖는 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 19

제16항에 있어서,

상기 플로팅 게이트는 제 1 방향으로 소정 치수를 갖고, 상기 제 1 방향에 수직인 제 2 방향으로 동일한 소정 치수를 가지며, 상기 소정 치수는 개별 메모리 셀을 형성하는데 이용되는 리소그래피 공정의 최소 피처 사이즈인 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 20

제16항에 있어서,

상기 제 1 방향에 수직인 제 2 방향을 따라 연장된 다수의 워드라인들을 더 포함하며,

상기 다수의 워드라인들 중 하나의 워드라인에 연결된 메모리 셀들은 로우(row)를 형성하고, 상기 로우를 따라 있는 제 1 교번 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 제 1 방위를 가지며, 그리고 상기 로우를 따라 있는 제 2 교번 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 제 2 방위를 갖는 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 21

제20항에 있어서,

상기 제 1 교번 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 L-자 형상을 가지며 그리고 상기 제 2 교번 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 역 L-자 형상을 갖는 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 22

제16항에 있어서,

상기 제 1 방향에 수직인 제 2 방향을 따라 연장된 다수의 워드라인들을 더 포함하며,

상기 다수의 워드라인들 중 하나의 워드라인에 연결된 메모리 셀들은 로우(row)를 형성하고, 상기 로우를 따라 있는 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 교번하는 방위들을 가지며, 그리고 상기 개별 스트링을 따라 있는 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 교번하는 방위들을 갖는 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 23

제16항에 있어서,

상기 플로팅 게이트는 상기 제 1 방향에 수직인 제 2 방향으로 제 1 치수를 갖는 하단부와 상기 제 2 방향으로 제 2 치수를 갖는 상단부를 포함하며,

상기 제 1 치수는 상기 플로팅 게이트를 형성하는데 이용되는 리소그래피 공정의 최소 피처 사이즈이며,

상기 제 2 치수는 상기 제 1 치수보다 작은 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 24

제23항에 있어서,

상기 제 2 치수는 상기 제 1 치수의 절반인 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 25

제23항에 있어서,

상기 제 2 치수는 상기 제 1 치수의 절반보다 작으며, 상기 제 2 치수는 전도층의 증착에 의해 결정되며, 상기 제 2 치수는 패턴 정렬과 무관한 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 26

플래시 메모리 어레이로서,

다수의 메모리 셀들, 상기 다수의 메모리 셀들 각각은 플로팅 게이트를 가지며;

제 1 방향으로 연장되는 다수의 워드라인들, 상기 다수의 워드라인들은 상기 다수의 플로팅 게이트들 위에 놓이며;

상기 제 1 방향에 수직인 제 2 방향으로 연장되는 다수의 컬럼들;

상기 다수의 컬럼들 중 개개의 것들을 따라 있는 다수의 플로팅 게이트들 중에서 상기 제 1 방향에 따른 단면에서 제 1 방위를 갖는 제 1 교번 플로팅 게이트들; 그리고

상기 다수의 컬럼들을 따라 있는 다수의 플로팅 게이트들 중에서 상기 제 1 방향에 따른 단면에서 제 2 방위를 갖는 제 2 교번 플로팅 게이트들

을 포함하여 이루어지며,

상기 제 1 방위와 상기 제 2 방위는 서로 반대인 것을 특징으로 하는 플래시 메모리 어레이.

청구항 27

제26항에 있어서,

상기 다수의 메모리 셀들 중에서 제 1 교번 메모리 셀들과 제 2 교번 메모리 셀들은 상기 제 2 방향으로 직렬 연결되어 낸드 스트링을 형성하는 것을 특징으로 하는 플래시 메모리 어레이.

청구항 28

제26항에 있어서,

다수의 플로팅 게이트들 중에서 상기 제 1 교번 플로팅 게이트들은 상기 제 1 방향에 따른 단면에서 L-자 형상을 가지며,

다수의 플로팅 게이트들 중에서 상기 제 2 교번 플로팅 게이트들은 상기 제 1 방향에 따른 단면에서 역 L-자 형상을 갖는 것을 특징으로 하는 플래시 메모리 어레이.

청구항 29

제26항에 있어서,

상기 다수의 메모리 셀들 중에서 하나의 워드라인을 공유하는 것들은 로우(row)를 형성하며, 상기 로우를 따라 있는 플로팅 게이트들은 교번하는 방위들을 제 1 방향으로 갖는 것을 특징으로 하는 플래시 메모리 어레이.

청구항 30

제29항에 있어서,

상기 다수의 플로팅 게이트들 중에서 제 1 교번 플로팅 게이트들은 상기 제 1 방향에 따른 단면에서 L-자 형상을 가지며,

상기 다수의 플로팅 게이트들 중에서 제 2 교번 플로팅 게이트들은 상기 제 1 방향에 따른 단면에서 역 L-자 형상을 가지며, 그리고

상기 로우를 따라 있는 플로팅 게이트들은 상기 제 1 방향에 따른 단면에서 L-자 형상과 역 L-자 형상을 교번하여 갖는 것을 특징으로 하는 플래시 메모리 어레이.

청구항 31

제26항에 있어서,

상기 다수의 플로팅 게이트들은 게이트 유전체 위에 놓여 있으며, 상기 다수의 플로팅 게이트들 각각은 상기 게이트 유전체와 접촉하는 정사각형 표면을 가지며, 상기 정사각형 표면의 일측 치수는 메모리 어레이를 형성하는데 이용되는 리소그래피 공정의 최소 피처 사이즈인 것을 특징으로 하는 플래시 메모리 어레이.

청구항 32

제26항에 있어서,

상기 제 2 방향으로 연장되는 다수의 얇은 트렌치 분리 구조들을 더 포함하며,

각각의 얇은 트렌치 분리 구조는 인접한 2개의 컬럼 사이에서 연장되는 것을 특징으로 하는 플래시 메모리 어레이

이.

청구항 33

낸드 플래시 메모리로서,

제 1 방향으로 연장되고 그리고 상기 제 1 방향에 수직인 제 2 방향에서는 분리되어 있는, 다수의 메모리 셀들의 스트링들;

상기 다수의 메모리 셀들 위에서 상기 제 2 방향으로 연장되는 다수의 워드라인들, 상기 다수의 워드라인들은 상기 제 1 방향에서 분리되며;

상기 제 2 방향을 따라 제 1 방위를 갖는 다수의 제 1 플로팅 게이트들;

상기 제 2 방향을 따라 제 2 방위를 갖는 다수의 제 1 플로팅 게이트들

을 포함하며,

상기 제 1 방위와 상기 제 2 방위는 서로 반대이며, 그리고 상기 다수의 제 1 플로팅 게이트들과 상기 다수의 제 2 플로팅 게이트들은 워드라인을 따라 교번적으로 배치되는 것을 특징으로 하는 낸드 플래시 메모리.

청구항 34

제33항에 있어서,

상기 다수의 제 1 플로팅 게이트들과 상기 다수의 제 2 플로팅 게이트들은, 상기 다수의 스트링들을 따라 교번적으로 배치되는 것을 특징으로 하는 낸드 플래시 메모리.

청구항 35

제33항에 있어서,

상기 다수의 제 1 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 L-자 형상을 가지며,

상기 다수의 제 2 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 역 L-자 형상을 갖는 것을 특징으로 하는 낸드 플래시 메모리.

청구항 36

제33항에 있어서,

상기 다수의 제 1 및 제 2 플로팅 게이트들은 상기 제 2 방향에 따른 단면에서 삼각형 형상을 갖는 것을 특징으로 하는 낸드 플래시 메모리.

청구항 37

제33항에 있어서,

상기 제 1 방향으로 연장되는 다수의 얇은 트렌치 분리 구조들을 더 포함하며,

상기 다수의 얇은 트렌치 분리 구조들 각각은, 다수의 메모리 셀들의 스트링들 중 인접한 것들 사이에서 연장되는 것을 특징으로 하는 낸드 플래시 메모리.

명세서

기술분야

<1> 본 발명은 비휘발성 메모리들 및 비휘발성 메모리들을 형성하는 방법에 관한 것이다. 특히, 본 발명은 플로팅 게이트들의 형상화(shaping)에 관한 것이며 또한 형상화된 플로팅 게이트들을 비휘발성 메모리들에서 상이하게 배치하는 것에 관한 것이다.

배경기술

<2> 오늘날, 상업적으로 성공한 많은 비휘발성 메모리 제품들이, 특히 작은 폼 팩터 카드(small form factor card)

의 형태로 사용되고 있는바, 이는 플래시 EEPROM(전기적으로 소거 및 프로그램 가능한 판독 전용 메모리) 셀들의 어레이를 이용한다. 일 유형의 구조에서, 낸드(NAND) 어레이, 즉 16개 또는 32개와 같은 2개 이상의 메모리 셀들의 일련의 스트링들은, 셀들의 컬럼을 형성하기 위해서, 어느 하나의 소스가 또한 다른 하나의 드레인이 되도록 서로 연결된다. 예컨대, 32개의 플로팅 게이트 메모리 셀들이 직렬로 연결되어 이루어진 각각의 낸드 스트링은, 통상적으로 2개의 선택 트랜지스터에 의해서 종결되는데, 선택 트랜지스터는 스트링의 각 말단에 하나씩 있다. 드레인측(drain side) 선택 트랜지스터의 소스 확산영역은 그 스트링의 마지막 셀의 드레인과 동일하다. 드레인측 선택 트랜지스터의 드레인은 전역(global) 비트라인에 연결된다. 전역 비트라인들은 워드라인들에 대해 수직한 방향으로 연장된다. 각각의 낸드 스트링은 액세스를 제공하는 특정한 비트라인 아래에 위치한다. 전역 비트라인은 수천개의 낸드 스트링에 걸쳐 있을 수도 있다. 낸드 스트링의 첫번째 플로팅 게이트 트랜지스터의 소스측 확산 영역은 소스측 선택 트랜지스터의 드레인과 동일하다. 소스측 선택 트랜지스터의 소스는 통상적으로 공유라인에 연결되는데, 공유라인은 워드라인에 평행한 방향으로 뻗어있다. 워드라인들은 이들 수많은 컬럼들에 걸쳐서 셀들과 교차하도록 연장된다. 컬럼 내의 개별 셀들은 프로그래밍 동안에 판독 및 검증되는데, 그 스트링 내의 나머지 셀들을 과도 구동(over driven)시키게 되면, 스트링을 통하는 전류 흐름은 어드레스된 셀에 저장된 전하 레벨에 의존하게 되는데, 이러한 방식으로 개별 셀들이 판독 및 검증된다. 메모리 시스템의 일부분인 낸드 구조 어레이 및 그 동작에 대한 일례는 미국등록특허 US 6,046,935에서 찾아볼 수 있다.

<3> 소스 영역과 드레인 영역 사이에서 "분리-채널(split-channel)" 을 갖는 또 다른 유형의 어레이에서는, 셀의 플로팅 게이트는 채널의 한 부분 위에 위치하며 그리고 워드라인(제어 게이트라고 지칭되기도 함)은 플로팅 게이트 위 뿐만 아니라 채널의 다른 한 부분 위에 위치한다. 이러한 구조는 직렬로 연결된 2개의 트랜지스터들을 갖는 하나의 셀을 효과적으로 형성한다. 상기 2개의 트랜지스터들 중 하나의 트랜지스터(메모리 트랜지스터)는 플로팅 게이트 상의 전하량과 워드라인 상의 전압(그 채널 부분을 통해 흐를 수 있는 전류량을 제어함)과의 결합(combination)을 가지며, 그리고 다른 하나의 트랜지스터(선택 트랜지스터)는 게이트로서 기능하고 있는 워드라인만을 가지고 있다. 워드라인은 플로팅 게이트들의 로우(row) 위로 연장된다. 이러한 셀들, 이러한 셀들의 메모리 시스템에서의 사용예들, 및 이들을 제조하는 방법에 대한 일례들은, 미국등록특허들(등록번호 : 5,070,032, 5,095,344, 5,315,541, 5,343,063, 5,661,053 및 6,281,075)에서 찾아볼 수 있다.

<4> 상기 분리-채널(split-channel) 플래시 EEPROM 셀의 변형예에서는, 조향 게이트(steering gate)가 추가되는데, 조향 게이트는 플로팅 게이트와 워드라인 사이에 위치한다. 어레이의 각각의 조향 게이트는, 워드라인에 수직하고, 플로팅 게이트들의 컬럼 위로 연장된다. 이것의 효과는, 선택된 셀을 판독하거나 또는 프로그래밍하는 때에, 워드라인이 2개의 기능들을 동시에 수행하여야만 하는 부담을 경감시키고자 하는 것이다. 이들 2개의 기능들은, (1) 선택 트랜지스터의 게이트로서 작용하는 것(따라서, 선택 트랜지스터를 턴온/턴오프 시키기 위해서는 적절한 전압을 필요로 한다)과, 그리고 (2) 워드라인과 플로팅 게이트 사이에 커플링된 전기장(용량성)에도 불구하고 플로팅 게이트의 전압을 원하는 레벨로 구동하는 것이다. 하나의 전압을 갖는 최적화된 방식에서 이들 2개의 기능들을 수행하는 것은 종종 매우 어려운 일이다. 조향 게이트를 추가함으로써, 워드라인은 오직 (1)번 기능만을 수행하면 되며, 추가된 조향 게이트가 (2)번 기능을 수행한다. 플래시 EEPROM 어레이에서 조향 게이트들을 사용하는 것은, 예컨대 미국등록특허들 US 5,313,421 과 US 6,222,762에 개시되어 있다.

<5> 전술한 임의 유형의 메모리 셀 어레이에서는, 기관으로부터 플로팅 게이트로 전자들을 주입함으로써, 셀의 플로팅 게이트가 프로그래밍된다. 채널 영역을 적절하게 도핑하고 그리고 소스, 드레인 및 나머지 게이트(들)에 적절한 전압들을 인가함으로써, 상기 프로그래밍이 수행된다.

<6> 플로팅 게이트들로부터 전하를 제거하여 메모리 셀들을 소거하는 2가지 기법들이, 전술한 바와 같은 3개 유형의 메모리 셀 어레이에서 이용되고 있다. 2가지 기법 중 하나는, 기관쪽으로 소거하는 것인바, 이는 플로팅 게이트와 기관 사이에 위치한 유전층의 일부를 통해 전자들이 터널링하도록, 소스, 드레인 및 다른 게이트(들)에게 적절한 전압들을 인가하는 것이다. 다른 하나의 소거 기법은, 터널 유전층을 통해서 플로팅 게이트로부터 또 다른 게이트로 전자들을 이송시키는 것인바, 상기 터널 유전층은 플로팅 게이트와 상기 또 다른 게이트 사이에 위치한다. 전술한 2번째 유형의 셀에서는, 이를 위해서 제 3 소거 게이트가 제공된다. 전술한 3번째 유형의 셀, 즉, 조향 게이트의 사용으로 말미암아 이미 3개의 게이트들을 갖고 있는 셀에서는, 플로팅 게이트가 워드라인 쪽으로 소거된다. 따라서, 4번째 게이트를 추가할 필요는 없다. 비록, 후자의 소거 기법에 따르면, (2)번 기능이 워드라인에 의해서 수행되어야만 한다는 단점을 갖지만, 이들 기능들은 서로 다른 시간에 수행된다. 따라서, 2개의 기능들 때문에 절충안을 만들 필요는 없다. 이들 소거 기법들 중 임의의 것이 이용되는 경우, 동시 소거, 즉 "순식간에(flash)" 소거하기 위해서, 매우 많은 수의 메모리 셀들이 함께 그룹지어진다. 어느 한 일례에 따르면, 상기 그룹은, 하나의 디스크 섹터(disk sector)에 저장되는 사용자 데이터(즉, 512 바이트) 뿐만 아니

라, 몇몇 오버헤드 데이터(overhead data)가 추가된 양 만큼의 데이터를 저장하기에 충분한 메모리 셀들을 포함한다. 다른 일례에 따르면, 각각의 그룹은, 수천 바이트의 사용자 데이터(이는 다수의 디스크 섹터 분량의 데이터에 상당한다)를 보유하기에 충분한 셀들을 포함한다. 다중-블록 소거(multi-block erasure), 결함 관리 및 또 다른 플래시 EEPROM 시스템 특징들은, 미국등록특허 US 5,297,148에 개시되어 있다.

<7> 대부분의 집적회로 응용예들에서와 같이, 플래시 EEPROM 시스템에서도, 소정의 집적회로 기능을 구현하는데에 필요한 실리콘 기관의 면적을 감소시켜야만 한다는 요구가 존재한다. 주어진 면적의 실리콘 기관에 저장될 수 있는 디지털 데이터의 양을 증가시키는 것이 끊임없이 요구되고 있는데, 이는 소정 사이즈의 메모리 카드 및 다른 유형의 패키지들의 저장 용량을 증가시키기 위해서이거나, 또는 저장 용량의 증가 및 사이즈 감소 둘다를 위한 것이다. 데이터의 저장 밀도를 증가시킬 수 있는 방법 중 하나는, 하나의 메모리 셀당 2 비트 이상의 데이터를 저장하는 것이다. 이는, 플로팅 게이트 전하 레벨 전압 범위의 윈도우를 3개 이상의 상태들로 나눔으로서 달성된다. 4개의 상태들을 이용하는 것은 한 셀당 2 비트의 데이터가 저장되는 것을 가능케하며, 8개의 상태들을 이용하는 것은 한 셀당 3 비트의 데이터가 저장되는 것을 가능케한다(기타 등등). 다중 상태 플래시 EEPROM 구조 및 동작은, 미국등록특허들 US 5,043,940 과 US 5,172,338에 개시되어 있다.

<8> 또한, 메모리 셀들 및/또는 전체 어레이의 물리적인 사이즈를 감소시킴으로써, 데이터 밀도가 증가될 수 있다. 더 작은 피쳐 사이즈들이 구현가능해지도록 공정기술이 시간이 갈수록 발전함에 따라, 집적회로의 사이즈를 감소시키는 것은 모든 유형의 회로들에 대해서 공통적으로 수행되고 있다. 하지만, 이러한 방식을 통해 소정 회로의 레이아웃이 얼마나 더 작아질 수 있는가에 대해서는 일반적으로 한계가 있는데, 이는 더 이상 작아질 수 없는 피쳐들(features)이 적어도 하나는 존재하기 마련이기 때문이며 따라서, 전체 레이아웃이 작아질 수 있는 정도는 제한을 받게된다. 이러한 상황이 발생하는 경우, 설계자는 구현중인 회로에 대한 새로운(또는, 상이한) 레이아웃 또는 아키텍처쪽으로 관심을 돌리게 될 것인바, 이는 그 기능들을 수행하는데 필요한 실리콘 면적을 감소시키기 위함이다. 전술한 바와 같은 플래시 EEPROM 집적회로 시스템을 감소시키는 것 역시도, 유사한 한계에 도달할 수 있다.

<9> 또 다른 플래시 EEPROM 아키텍처는, 각각의 플로팅 게이트 상에 다중 상태를 저장하는 것과 함께, 이중(dual) 플로팅 게이트 메모리 셀을 이용한다. 이러한 유형의 메모리 셀에서는, 소스 확산영역과 드레인 확산영역 사이의 채널 위에 2개의 플로팅 게이트들이 포함되며, 이들 사이에는 선택 트랜지스터가 구비된다. 플로팅 게이트들의 각각의 컬럼을 따라 조향 게이트가 포함되며, 그 위에 플로팅 게이트들의 각각의 로우(row)를 따라 워드라인이 제공된다. 판독 또는 프로그래밍을 위해서 소정의 플로팅 게이트에 액세스하는 경우, 관심있는 상기 소정의 플로팅 게이트를 포함하고 있는 셀의 다른 플로팅 게이트 위에 있는 조향 게이트의 전압은 충분히 높게 상승되는데, 이는 상기 다른 플로팅 게이트 아래의 채널에 그 어떤 전하 레벨이 존재하고 있을지라도 상기 다른 플로팅 게이트 아래의 채널을 턴온시키기 위한 것이다. 이는, 동일한 메모리 셀의 관심있는 플로팅 게이트에 대한 판독 또는 프로그래밍에 있어서, 다른 플로팅 게이트로 인한 영향을 효과적으로 차단한다. 예를 들어, 셀을 통해 흐르는 전류의 양(셀의 상태를 판독하는데 이용될 수 있는)은, 관심있는 플로팅 게이트 상의 전하의 양에 대한 함수이지만, 동일한 메모리 셀의 다른 플로팅 게이트에 대한 것은 아니다. 이러한 셀 어레이 구조 및 그 동작 기법들에 대한 일례들은, 미국등록특허들 US 5,712,180, US 6,103,573 및 US 6,151,248에 개시되어 있다.

<10> 이들 유형들의 비휘발성 메모리와 다른 유형의 비휘발성 메모리들에서, 플로팅 게이트들과 플로팅 게이트들 위로 지나가는 제어 게이트들 사이에서의 필드 커플링의 양은, 신중하게 제어된다. 커플링 양은, 제어 게이트 상에 있는 전압의 백분율을 결정하는바, 이는 플로팅 게이트들과 결합한다. 백분율 커플링(percentage coupling)은, 제어 게이트의 표면과 중첩되는 플로팅 게이트의 표면 면적의 양을 포함하는 수 많은 요인들에 의해 결정된다. 상기 중첩 면적을 최대화함으로써, 플로팅 게이트와 제어 게이트 간의 백분율 커플링을 최대화하는 것이 종종 바람직하다. 커플링 면적을 증가시키기 위한 방법 중 하나가 Yuan 등의 미국등록특허 US 5,343,063에 개시되어 있다. 상기 미국등록특허에 개시된 방법은, 플로팅 게이트를 보통보다 더 두껍게 만드는 것인데, 이는 제어 게이트와 커플링될 수 있는 수직 표면들을 더 크게 만들기 위함이다. 플로팅 게이트와 제어 게이트와의 커플링 면적을 증가시키는 또 다른 방법은, Yuan 에 의한 미국등록특허 US 6,908,817에 개시되어 있다.

<11> 인접한 플로팅 게이트와 제어 게이트 간의 수직 커플링 면적을 증가시키고자 하는 경우, 각각의 셀에 의해 점유되는 기관 면적을 증가시키지 않는 방법으로 수직 커플링 면적을 증가시키는 것이 더욱 바람직하다. 또한, 인접한 플로팅 게이트들이 서로에게 과도한 영향을 미치지 않게 하기 위해서, 플로팅 게이트간 커플링을 감소시키는 것이 바람직하다.

발명의 상세한 설명

<12> 위드라인 방향을 따른 단면이 L-자 형상인 플로팅 게이트는, 비트라인 방향으로 인접한 플로팅 게이트에게 L-자 형상의 면(facet)을 제공한다. 달리 말하면, 인접한 2개의 위드라인에 존재하는 인접한 2개의 플로팅 게이트들은, 서로에게 L-자 형상의 면을 제공하게 될 것이다. 상기 L-자 형상의 면은, 통상적인 장방형(rectangular) 플로팅 게이트보다 더 적은 면적을 가질 것이며, 반면에 플로팅 게이트와 그 위에 놓인 위드라인 사이에서 동일한 커패시팅(또는, 더 양호한 커패시팅)을 보유할 것이다. 또한, 인접한 2개의 위드라인에 존재하는 인접한 2개의 플로팅 게이트들 사이에서의 기생 커패시팅은, 단면적(facet area) 하나만을 감소시키는 경우보다 더욱 감소할 것이다. 이와 같이 기생 커패시팅이 더욱 감소되는 것은, L-자 형상의 플로팅 게이트로 인해, 제어 게이트로부터 L-자 형상의 단면들 상에 있는 가장 먼 지점들까지의 거리가 실질적으로 감소되기 때문이며, 이는 이들 거리들이 플로팅 게이트로부터 플로팅 게이트까지의 거리보다 더 감소될 수 있게 한다. 따라서, 플로팅 게이트간 캐패시턴스는, 단면적 감소(facet area reduction)로 인한 캐패시턴스 감소보다 더욱 더 감소될 수 있다. 이제, 인접한 위드라인 아래에 위치한 인접한 플로팅 게이트에서 종료하거나 이를 가로지르는 것이 아니라, L-자 형상의 면으로부터 방사되는 더 많은 역선들(field lines)이 자신들의 제어 게이트를 휘감거나 자신들의 제어 게이트에서 종료를 한다. 본 발명의 일 실시예에서, 플로팅 게이트 메모리 셀들의 낸드 스트링을 따라 있는 모든 플로팅 게이트들은 동일한 방위(orientation)를 가질 수도 있다. 본 발명의 다른 실시예에서, 스트링을 따라 있는 모든 플로팅 게이트들은 교번하는 방위를 갖게끔 L-자로 형상화된다. 플로팅 게이트들은 L-자 형상과 역 L-자 형상을 번갈아 가며 갖는다. 이와같이 교번하는 방위들의 갖는 실시예의 장점들 중 하나는, 인접한 플로팅 게이트들의 마주보고 있는 면들(비트라인 방향으로)이 감소된 용량성 커패시팅을 갖는다는 점이다. 본 발명의 또 다른 실시예에서, 상기 L-자 형상의 플로팅 게이트들의 방위는 위드라인 방향을 따라 교번된다. 또한, 상기 방위는 비트라인 방향을 따라서 추가적으로 교번될 수도 있다. L-자 형상의 플로팅 게이트 이외에도, 또 다른 비대칭 형상의 플로팅 게이트들이 형성될 수도 있으며 그리고 교번하는 방위들을 갖게끔 배열될 수도 있다.

<13> L-자 형상의 플로팅 게이트들을 구비한 메모리 어레이를 형성하는 공정에서는, 게이트 유전층이 기판 표면 위에 형성되며 그리고 제 1 전도층이 상기 게이트 유전층 위에 형성된다. 마스크층이 상기 제 1 전도층 위에 형성되며 그리고 레지스트층이 상기 마스크층 위에 형성된다. 레지스트층은 패터닝되며 그리고 그 패턴이 마스크층으로 전사되어, 마스크 부분들을 형성한다. 이후, 이들 마스크 부분들은 y 방향으로 연장되는 STI 구조들을 형성하는데 이용된다. STI 구조들은 상기 제 1 전도층들을 제 1 전도성 부분들로 분리한다. 이후, 마스크 부분들은 제 2 전도성 부분들로 대체된다. 상기 제 1 및 제 2 전도성 부분들은 서로 접촉하며 그리고 y 방향으로 연장되는 전기적으로 연속적인 전도성 부분들을 형성하게 된다. 패터닝된 식각 마스크를 이용하여 상기 전도성 부분들을 부분적으로 식각함으로써, 이들 전도성 부분들은 L-자 형상의 플로팅 게이트들로 형성될 수 있다. L-자 형상의 플로팅 게이트들의 원하는 방위에 따라, 상이한 식각 마스크들이 이용될 수도 있다. 부분 식각으로 인해, 상기 전도성 부분 영역은 수직 방향으로 부분적으로 식각된다. 식각된 영역들은 STI 구조의 측벽을 따라 연장되며, 인접한 STI 구조의 측벽을 따라 연장되는 폭이 좁은 전도성 부분을 남기게 된다. 이어서, 상기 식각 마스크가 제거되며, 그리고 STI 구조가 에치백된다. 다음으로, 유전층(또는 유전층들의 조합)이 형성되며 그리고 전도층이 상기 유전층(들) 위에 형성된다. 개별적인 위드라인들이 상기 전도층으로부터 형성되며 그리고 전도성 부분들은 동일한 식각 공정에서 별도의 플로팅 게이트들로 분리되는바 따라서, 이들 피쳐들은 자기-정렬된다.

실시예

<36> 메모리 구조

<37> 본 발명의 다양한 양상들을 포함하고 있는 메모리 시스템(100)의 일례가 도1의 블록도에 도시되어 있다. 개별적으로 어드레스 가능한 많은 수의 메모리 셀들이, 로우(row) 및 컬럼(column)으로 이루어진 정규 어레이 내에 배치되는바, 셀들의 또 다른 물리적인 배치들도 가능하다. 본 명세서에서, 셀 어레이(110)의 컬럼들을 따라 연장되는 것으로 지칭되는 비트라인들은, 라인들(150)을 통해 비트라인 디코더 및 드라이버 회로(130)에 전기적으로 연결된다. 본 명세서에서, 셀 어레이(110)의 로우들을 따라 연장되는 것으로 지칭되는 위드라인들은, 라인들(170)을 통해 위드라인 디코더 및 드라이버 회로(190)에 전기적으로 연결된다. 각각의 디코더들(130, 190)은, 버스(160)를 통해 메모리 제어기(180)로부터 메모리 셀 어드레스들을 수신한다. 상기 디코더 및 드라이버 회로들은 또한, 각각의 제어 및 상태 신호 라인들(135, 195)을 통해 메모리 제어기(180)에 연결된다.

<38> 제어기(180)는 라인들(140)을 통해 호스트 디바이스(미도시)에 연결가능하다. 호스트는 개인용 컴퓨터, 노트북 컴퓨터, 디지털 카메라, 오디오 플레이어, 다양한 기타의 휴대용 전자 디바이스들 등등이 될 수 있다. 통상적으로 도1의 메모리 시스템(100)은 착탈가능한 메모리로서 구현될 수 있는바, 이러한 메모리로는, 가령 PCMCIA,

CompactFlash™ 연합, MMC™ 연합, 기타 등등과 같은 현존하는 다수의 물리적 및 전기적 규격들에 따른 카드들 들 수 있다. 카드 형식의 경우, 상기 라인들(140)은 카드 상의 커넥터에 연결되며, 상기 커넥터는 호스트 디바이스의 상보적인 커넥터와 인터페이스된다. 많은 카드들의 전기적인 인터페이스는 ATA 규격을 따르는데, ATA 규격에서 상기 메모리 시스템은 호스트에게 자기 디스크 드라이브처럼 여겨진다. 다른 메모리 카드 인터페이스 규격들도 또한 존재한다. 카드 형식에 대한 대안으로서, 도1에 도시된 유형의 메모리 시스템은 호스트 디바이스에 내장될 수도 있다.

<39> 디코더 및 드라이버 회로들(130, 190)은, 버스(160)를 통해 어드레스되는 바와 같이, 각각의 제어 및 상태 라인들(135, 195)의 제어 신호에 따라 어레이(110)의 각각의 라인들 상에 적절한 전압들을 생성하는바, 이는 프로그래밍, 판독(reading) 및 소거 기능들을 수행하기 위함이다. 동일한 제어 및 상태 라인들(135, 195)을 통해, 전압 레벨들 및 기타의 어레이 파라미터들을 포함하는 임의의 상태 신호들이 어레이(110)에 의해서 제어기(180)에게로 제공된다. 회로(130) 내에 있는 다수의 감지 증폭기들은 전류 또는 전압 레벨들을 수신하는바, 이들 레벨들은 어레이(110) 내에서 어드레스된 메모리 셀들의 상태들을 나타내며, 그리고 이들 상태들에 관한 정보는 판독 동작 동안에 라인들(145)을 통해 제어기(180)에게 제공된다. 수많은 메모리 셀들의 상태들을 병렬로 판독하기 위하여, 통상적으로는 많은 수의 감지증폭기들이 이용된다. 판독 및 프로그래밍 동작 동안에, 셀들의 하나의 로우가 회로(190)를 통해 한번에 어드레스되는 것이 일반적이며, 이는 회로(130)에 의해 선택되는, 어드레스된 로우 내의 다수의 셀들을 액세스하기 위함이다. 소거 동작 동안에는, 수 많은 로우들 각각에 있는 모든 셀들이 동시 소거를 위해서 블록으로서 함께 어드레스되는 것이 일반적이다.

<40> 실리콘 기판 상에 형성된 예시적인 낸드 메모리 셀 어레이(110)의 일례가 도2에 도시되어 있다. 도2에는 반복적인 구조를 갖는 전도성 구성요소들의 일부가 예시되어 있는바, 설명의 명확함을 위해서 상기 구성요소들 사이에 존재하는 유전층들에 대해서는 자세히 예시하고 있지 않다. 얇은 트렌치 분리(Shallow Trench Isolation : STI) 구조(210a - 210d)는 기판의 표면을 통하여 연장하도록 형성된다. 본 명세서에서 약속된 설명을 제공하기 위해, 상기 STI 구조들은 제 2 방향(y-방향)으로 연장되는 길이를 갖고며, 제 1 방향(x-방향)으로는 소정 거리 만큼 이격되어 있는 것으로 도시된다. 이들 제 1 및 제 2 방향은 본질적으로 서로 직교한다.

<41> STI 구조들(210a - 210d) 사이에는, y-방향으로 뻗어있는 메모리 셀들의 스트링들(220a - 220c)이 존재한다. 따라서, 상기 스트링들의 방향은 STI 구조들의 방향과 평행하다. 스트링들(220a - 220c) 각각은 직렬로 연결된 다수의 메모리 디바이스들을 포함한다. 도2에는 도시된 각각의 스트링에 대해서 3개의 메모리 셀들을 갖는 3개의 스트링들(220a - 220c)이 도시되어 있다. 하지만, 상기 스트링들(220a - 220c)은 도2에는 도시되어 있지 않는 추가적인 셀들을 포함한다. 또한, 상기 어레이(110)는 도2에는 도시되어 있지 않는 추가적인 스트링들을 포함한다. 이러한 유형의 어레이는 수천개의 스트링들을 가질 수도 있는바, 각각의 스트링은 16, 32 또는 그 보다 많은 개수의 메모리 셀들을 갖는다.

<42> 예시적인 메모리 셀(224)은 플로팅 게이트(230)를 포함하며, 그리고 상기 플로팅 게이트(230)의 y-방향 측면에 인접한 기판 내에 있는 전도성 소스/드레인 영역들(240a - 240b)을 포함한다. STI 구조들(210b - 210c)은 분리요소들을 형성하는바, 이들 분리 요소들은 인접한 스트링들(220a, 220c)의 소스/드레인 영역 및 채널 영역으로부터 소스/드레인 영역(240a, 240b)을 전기적으로 격리시킨다. y-방향을 따라, 소스/드레인 영역(240a, 240b)은 인접한 셀들에 의해 공유된다. 소스/드레인 영역(240a, 240b)을 포함하는 소스/드레인 영역들은 하나의 셀에서부터 다음번 셀로 전기적으로 연결되어 있으며, 따라서, 스트링(220b)을 형성한다. 이러한 일례에서 소스/드레인 영역(240a, 240b)은, 필요한 영역에서 기판 내에 불순물을 주입함으로써 형성된다.

<43> 도3A는 메모리 셀 어레이(110)의 개별 플로팅 게이트(230)를 도시한 것으로, 그 3차원 형상이 명확히 도시되어 있다. 도3A의 z-축은 기판 표면에 수직한 방향이며 따라서 도2의 지면에 수직한 방향이다. 플로팅 게이트(230)의 x-방향을 따라 자른 단면의 모습이 L-자 형상임을 알 수 있다. 플로팅 게이트(230)는 장방형 접지면(footprint)을 갖는 기저부(base)(301)를 갖게끔 형성되며, 상기 장방형 접지面の 일측면의 치수는, 사용된 리소그래피 공정의 최소 피처 사이즈(F)에 해당한다. 또 다른 실시예에서, 이들 치수들은 변경될 수도 있다. 기저부(301)로부터 연장되는 돌출부(projection)(303)는, 기저부(301)의 일측면으로부터 연장되어 L-자 형태의 플로팅 게이트를 형성한다. L-자 형상을 갖게됨에 따라, 상기 플로팅 게이트는 비트라인 방향으로의 인접 플로팅 게이트에게 L-자 형상의 면을 보여주게 된다.

<44> 도3B는 도3A에 도시된 플로팅 게이트(230)의 일면의 치수들을 도시한 것이다. 도3B에는 또한, 장방형 형태의 플로팅 게이트의 일면 형상이 외곽선으로 도시되어 있다. L-자 형상의 일면은, 동일한 높이(Z1)와 동일한 폭(F)을 갖는 장방형 일면보다 더 작은 면적을 가짐을 알 수 있다. 하지만, 일면의 둘레길이(perimeter)는 감소하지 않

왔기 때문에, 플로팅 게이트(230)와 그 위에 놓인 제어 게이트 사이에서의 커플링은 장방형 플로팅 게이트에 대한 경우와 대략 동일하다(커플링 면적은 제어 게이트와 y-방향으로 중첩되는 플로팅 게이트의 둘레길이에 대응한다). 도3B의 일례에서 F 빼기 X1 (F-X1)은 대략 X1 이며, 따라서 돌출부(303)의 폭은 기저부(301) 폭의 대략 절반이다. 하지만, 항상 이런 것은 아니다. 플로팅 게이트와 제어 게이트 사이의 커플링은 특정한 X1 값을 갖는 것에 의존하지 않으므로, 상기 값에서 소정의 변동이 있어도 무방하다.

<45> 공정 플로우

<46> 도4는 초기 제조 단계에서 도2의 비휘발성 메모리 어레이의 x-방향에 따른 단면을 도시한 것이다. 도4의 단면은 도2에서 라인 I-I로 표시된다. 도4에는 기판(407) 상에 형성된 게이트 유전층(405)과 게이트 유전층(405) 상에 형성된 제 1 전도층(409)이 도시되어 있다. 일반적으로, 게이트 유전층(405)은 실리콘 이산화물로 형성되며, 이는 기판(407)의 실리콘 표면을 산화시킴으로써 성장된다. 이어서, 화학기상증착법 또는 기타의 방법에 의해 제 1 전도층(409)이 폴리실리콘으로 형성된다. 유전체(상기 실시예에서는 실리콘 질화물)인 마스크층(411)이 제 1 전도층(409) 위에 형성된다. 다른 실시예에서, 상기 마스크층은 도핑된 폴리실리콘과 같은 전도성 물질들을 하나 이상 포함하여 구성될 수도 있다. 게이트 유전층(405), 제 1 전도층(409) 및 마스크층(411) 모두는, 전체 기판(407) 상에 형성되는 블랭킷(blanket) 층으로서 형성될 수도 있다. 레지스트 부분들(413a - 413c)이 마스크층(411) 위에 형성된다. 리소그래피 공정에 의해 확립된 패턴을 따라 상기 레지스트 부분들(413a - 413c)이 형성된다. 이 경우, 레지스트 부분들(413a - 413c)은, x-방향으로 소정 치수를 갖는바, 상기 치수는 이들을 형성하기 위해 사용된 리소그래피 공정의 최소 피처 사이즈(F)에 상응한다. 또한, 상기 레지스트 부분들(413a - 413c)은, F와 동일한 거리만큼 x-방향으로 이격되어 있다. 다른 실시예들에서 상기 레지스트 부분들은 F 보다 큰 x-방향 치수를 가질 수도 있으며 또는 레지스트 슬리밍(slimming) 혹은, 다른 기법들을 이용하여 F 보다 작은 x-방향 치수를 가질 수도 있다. 레지스트 부분들(413a - 413c)은, y-방향(즉, 도4의 지면에 수직인 방향)으로도 연장된다. 레지스트 부분들(413a - 413c)에 의해 설립된 패턴은, 마스크층(411)을 마스크 부분들로 패턴닝하는데 이용되며, 또한 상기 마스크 부분들은 STI 구조들을 형성하기 위한 식각 마스크로 사용된다.

<47> 도5는 동일한 관점에서 도4의 구조를 도시한 도면으로, 마스크층(411)으로부터 마스크 부분들(411a - 411c)을 형성하고 그리고 STI 구조들(515a - 515d)을 형성한 이후의 모습을 도시한 것이다. 마스크 부분들(411a - 411c)은, 레지스트 부분들(413a - 413c)을 이용하여 마스크층(411)을 식각함으로써 형성되는데, 따라서 레지스트 부분들(413a - 413c)의 패턴이 마스크층(411)으로 전사된다. 다음으로, 상기 마스크 부분들(411a - 411c)은, 제 1 전도층(409), 게이트 유전층(405) 및 그 하부의 기판(407)을 식각하여 STI 트렌치들을 형성하기 위한 후속 식각공정에서 마스크로서 이용된다. 제 1 전도층(409)을 식각하는 공정에서, 제 1 전도층(409)은 제 1 전도성 부분들(409a - 409c)로 나뉘어 지는데, 이들은 y-방향으로 스트립(strip)과 같이 연장된다. 게이트 유전층(405)도 이와 유사하게 유전체 부분들(405a - 405c)로 분리된다. STI 트렌치를 형성하는 공정과 동일한 공정에 의해서 제 1 전도성 부분들(409a - 409c)이 형성되기 때문에, 이들 피처들은 자기-정렬된다. STI 트렌치들은 유전체 또는 유전체들(상기 실시예에서는 실리콘 이산화물이 증착됨)로 충전되어 STI 구조들(515a - 515d)을 형성한다. STI 트렌치들을 충전하고 마스크 부분들(411a - 411c)을 커버하도록 적어도 하나의 유전물질이 증착될 수 있다. 그리고, 상기 적어도 하나의 유전물질은 예컨대 화학기계연마(CMP)를 이용하여 평탄화될 수 있는데, 따라서 마스크 부분들(411a - 411c) 위에 잔존하는 임의의 유전물질은 제거된다.

<48> 다음으로, 마스크 부분들(411a - 411c)이 제거되며, 그 자리에는 제 2 전도성 부분들(617a - 617c)이 형성된다. 제 2 전도성 부분들(617a - 617c)은 폴리실리콘으로 형성될 수 있다. 폴리실리콘은 블랭킷 층으로서 증착될 수 있으며, STI 구조들(515a - 515d) 위에 남아있는 임의의 폴리실리콘이 제거되도록 이후에 평탄화된다. 제 1 전도성 부분(409a)과 제 2 전도성 부분(617a)은 하나의 전도성 부분(618a)을 형성하는 것으로 간주될 수도 있다. 전도성 부분(618b)과 전도성 부분(618c)도 제 1 및 제 2 부분들로부터 유사하게 형성된다. 도6A에 도시된 제 1 실시예에서, 마스크 부분이 이전에 점유하고 있었던 전체 용적(volume)은 폴리실리콘으로 대체(충진)된다. 대안적으로, 만일 상기 마스크 부분들(411a - 411c)이 도전성이었다면, 마스크 부분들(411a - 411c)이 제 2 전도성 부분들을 형성하고 있으므로, 상기 대체 공정은 불필요하다.

<49> 도6B에 도시된 대안적인 실시예에서는, 폴리실리콘층이 증착되는데, 상기 폴리실리콘층은 마스크 부분이 이전에 점유하고 있었던 전체 용적(volume)을 모두 충전하고 있지는 않다. 추가 유전층이 폴리실리콘층 위로 더해지며 이후 평탄화 공정이 진행된다. 이러한 방식으로, 제 2 전도성 부분들(619a - 619c)의 두께 X2는 더 얇아지며 그리고 두께 X2는 세밀하게 제어될 수 있다. 제 2 전도성 부분들(619a - 619c)은 제 1 전도성 부분들(409a - 409c)의 바로 위에 놓여있으며, 제 1 전도성 부분들(409a - 409c)과 전기적으로 접촉하고 있다. 따라서, 제 1 전도성 부분(409a)과 그 위에 있는 제 2 전도성 부분(619a)은 하나의 전도성 부분(621a)으로 고려될 수 있다.

전도성 부분들(621b, 621c)도 제 1 및 제 2 부분들로부터 유사하게 형성된다. 어느 하나의 실시예에서, 평탄화 이후에, 제 2 전도성 부분들 및 STI 구조들의 평탄화된 표면 위에 마스크링 부분들이 형성된다.

<50> 도7A는 소정 공정 이후의 도6A의 구조를 도시한 것으로, STI 구조들(515a - 515d) 위와 전도성 부분들(618a - 618c) 위에 마스크링 부분들(723a - 723c)이 형성된 모습을 도시한 것이다. 마스크링층은 레지스트로 구성될 수 있는바, 레지스트는 블랭킷층으로서 증착될 수 있고 이후 패터닝되어 마스크링 부분들(723a - 723c)을 형성한다. 제 1 실시예에서, 상기 레지스트층은 단순히 패터닝되는바, y-방향으로 뺏어나가며 폭 F(다른 패턴들은 후술될 것임)를 갖는 일련의 신장된 부분들로 패터닝된다. 마스크링 부분들(723a - 723c)은 소정 위치에 위치되는바, 레지스트 부분(723a)이 STI 구조(515a) 위에 부분적으로 놓여있고 그리고 전도성 부분(618a) 위에 부분적으로 놓여있도록 위치된다. 이러한 점은, STI 구조들(515a - 515d) 및 전도성 부분들(618a - 618c)의 패턴과 레지스트 부분들(723a - 723c)을 형성하는데 이용된 패턴과의 정렬을 요구할 수도 있다. 레지스트 부분들(723a - 723c)은, 전도성 부분들(618a - 618c)을 도시된 바와 같이 식각하기 위한 식각 마스크로서 이용된다. 수직 방향으로 식각하기 위해서 이방성 식각법이 이용되며 그리고 식각 화학제는 폴리실리콘에 대하여 선택적이다. 따라서, STI 구조들(515a - 515d)은 실질적으로 식각되지 않는다. 제 1 전도성 부분들(409a - 409c)과 제 2 전도성 부분들(617a - 617c) 사이의 경계에서 식각이 중지될 수도 있으며 또는, 다른 레벨에서 식각이 중지될 수도 있다. 제 1 전도성 부분들(409a - 409c) 안쪽으로 식각이 연장될 수도 있으며 또는, 제 1 전도성 부분들(409a - 409c) 위의 소정 레벨에서 식각이 중지될 수도 있다. 이방성 식각 이후에, 추가적인 습식 식각이 수행될 수도 있다. 상기 선택적인(optional) 습식 식각은, L-자 형상의 전도성 부분들(618a - 618c)의 수직 및 수평 치수들을 좀더 좁히기 위해서 이용될 수도 있다. 다음으로, 부분 충전 또는 완전 충전공정으로 구성된 선택적인(optional) 공정이 수행될 수도 있는바, 이는 유전물질을 식각함으로써 생성된 용적을 채우기 위한 것이다. 이후, 충전 물질이 평탄화되어, 전도성 부분들 위에 남아있는 여분의 충전 물질들이 제거될 수 있다. 대안적으로는, 상기 유전체 충전 및 평탄화 공정이 필요하지 않을 수도 있다. 다음으로, STI 구조들(515a - 515d)을 포함하는 유전물질에 대한 에치백 공정이 진행된다. 상기 에치백 공정은 폴리실리콘 위의 유전체에 대해 선택적이며, 이방성 건식 식각공정이 될 수도 있다. 몇몇 케이스에서, 이러한 선택성은, 유전 충전물질로 충전하는 공정 및 후속 평탄화 공정을 불필요하게 만들 수도 있다.

<51> 도7B는 도6B에 따른 대안적인 실시예에서의 전도성 부분(621a)을 도시한 것으로, 전술한 바와 같은 레지스트 부분들을 이용하여 식각공정을 수행한 이후를 도시한 것이다. 도시된 바와 같이, 식각 이후에도, 소정 만큼의 유전 물질(725)이 잔존하고 있다. 제 2 전도성 부분(619a)과 남아있는 유전물질(725)의 폭은 X1 이다. 전도성 부분을 만들기 위해 사용된 식각 마스크의 레지스트 부분의 위치 및 연장에 의해 X1 값이 결정되며, 따라서 레지스트 부분을 형성하기 위해 이용된 패턴의 정렬에 의존한다.

<52> 도8A는 에치백 공정 이후에 도7A의 구조를 도시한 것이다. 상기 실시예에서는, 에치백 공정에 의해 STI 구조들(515a - 515d)이 제거되어, 게이트 유전층 부분들(405a - 405c)의 꼭대기보다는 더 높은 레벨까지 STI 구조들(515a - 515d)의 높이가 낮아진다. 하지만, 또 다른 레벨들까지 상기 구조가 에치백될 수도 있다. 에치백 공정은, 전도성 부분들(618a - 618c)의 측면들을 노출된 채로 남긴다. 이때, 전도성 부분들(618a - 618c)은 y-방향으로 연장되며, 도시된 바와 같이 x-방향을 따른 단면은 L-자 형상을 갖는다. 다음으로, 유전층(들) 및 제어 게이트층(들)이 도8A의 구조 위에 형성된다.

<53> 도7B에 도시된 바와 같이 전도성 부분들이 형성되는 경우, 전도성 부분(621a) 위에 증착되었던 임의의 잔존 유전물질(725)은, 도8B에 도시된 바와 같이 에치백 공정에 의해 제거될 수 있다. 이는, L-자 형상의 전도성 부분(621a)을 남기게 되는바, L-자 형상의 전도성 부분(621a)은 x-방향으로 두께 X2를 갖는 수직 돌출부(829)를 가지며, 상기 두께 X2는 제 2 전도성 부분(619a)의 두께와 같다. 두께 X2는, 식각 마스크를 이용한 패터닝에 의해 결정되는 두께 X1 보다 작다. 도8A에 도시된 실시예와는 달리, 두께 X2는 정렬에 의해 결정되지 않으며 그리고 정렬에 의해서 결정되는 치수보다 좀더 타이트하게 제어될 수도 있다.

<54> 도9는 도8A 혹은 도8B에 도시된 전도성 부분들 위에 유전층(931)(인터폴리 유전층)과 제어 게이트층(933)이 증착된 결과를 도시한 도면이다. 유전층(931)은 단일층(가령, 실리콘 이산화물층)이 될 수도 있으며 또는, 복합층(compound layer)(가령, 산화물-질화물-산화물, 또는 ONO 층)이 될 수도 있다. 제어 게이트층(933)은, 예컨대, 도핑된 폴리실리콘, 몇몇 금속, 또는 금속들의 조합과 같은 전도성 물질을 포함할 수 있다. 몇몇 경우에는, 도핑된 폴리실리콘 및 금속 실리콘사이드의 조합이 이용된다(예컨대, 코발트 실리콘사이드, 니켈 실리콘사이드, 또는 텅스텐 실리콘사이드). 대안적으로, 상기 제어 게이트층은, 폴리실리콘, 배리어층으로서 작용하는 텅스텐 질화물, 및 텅스텐으로 구성될 수도 있다. 유전층(931) 및 제어 게이트층(933)이 블랭킷 층들로서 형성된 다음에, 결과적인 구조가 패터닝되어, 워드라인들이 형성되고 그리고 전도성 부분들이 개별적인 플로팅 게이트들로

분리된다. 워드라인들은 x-방향으로 연장되며, 통상적으로 F에 가까운 폭을 가지며, F에 가까운 거리만큼 이격되어 있는바, 피치(pitch)는 2F를 유지한다. 개별적인 플로팅 게이트들을 형성하는 공정과 동일한 공정에 의해서 워드라인들이 형성되었기 때문에, 워드라인들은 플로팅 게이트들에 자기-정렬된다. 워드라인은 메모리 셀의 플로팅 게이트 위에 놓여있는 제어 게이트를 형성한다. 워드라인을 공유하는 메모리 셀들은, 메모리 셀들의 로우를 형성하는 것으로 여겨질 수도 있다.

<55> 도10은 본 발명의 제 1 실시예에 따라, 인접한 3개의 로우들(1035a -1035c)의 플로팅 게이트들을 도시한 것이다. 도시된 바와 같이, 플로팅 게이트(1037b)의 L-자 형상의 면들은, 인접 로우들의 플로팅 게이트들(1037a, 1037c)의 유사한 L-자 형상의 면들과 마주보고 있다. 로우들(1035a -1035c) 사이에는 유전체가 개재될 수도 있다. 따라서, 마주보고 있는 면들은, 평행판 캐패시터(parallel plate capacitor)의 판과 같이 기능한다. 하지만, 이들의 면적은, 유사한 치수의 장방형 면을 갖는 플로팅 게이트에 비하여 감소된다. 따라서, 인접한 플로팅 게이트들 사이에서의 y-방향에 따른 커패시턴스가 감소된다.

<56> **거꾸로 마주보고 있는(counter-facing) L-자 형상의 플로팅 게이트들**

<57> 도11은 본 발명의 다른 실시예에 따른, 인접한 3개의 로우들(1141a -1141c)의 플로팅 게이트들의 배치를 도시한 것이다. 먼저와 같이, 모든 플로팅 게이트들은 L-자 형상의 면을 갖는다. 하지만, 한 로우(row)의 플로팅 게이트들은 소정 방위를 가지며, 인접한 로우(row)의 플로팅 게이트들은 반대되는 방위를 갖는다. 로우(1141b)의 플로팅 게이트들은 L 방위(L orientation)를 갖는 것으로 간주될 수 있는 반면에, 인접한 로우(1141a, 1141c)의 플로팅 게이트들은 역-L 방위(reverse-L orientation)를 갖는 것으로 간주될 수 있다. 이러한 배치는, 서로 다른 로우들의 플로팅 게이트들의 위쪽 부분들 사이에서의 커패시턴스를 감소시킬 수 있다. 인접한 로우들의 대향하는 플로팅 게이트들은 반대되는 방위를 갖게 되므로, 따라서 그 위쪽 부분들은 서로 직접적으로(directly) 마주보고 있지 않게된다. 예컨대, 위쪽 부분(1143a)과 위쪽 부분(1143b)은 서로 직접적으로(directly) 마주보고 있지 않다. 이러한 점은, 플로팅 게이트들의 이들 부분들 사이에서의 용량성 커패시턴스를 감소시킨다. 상기와 같은 배치에서, 플로팅 게이트들의 방위는 로우마다 교번하게 되며, 특정 로우에 있는 모든 플로팅 게이트들은 동일한 방위를 갖는다. 따라서, 짝수 로우들의 플로팅 게이트들이 제 1 방위를 갖게 된다면, 홀수 로우들의 플로팅 게이트들은 반대되는 방위를 갖게 될 것이다. 이러한 배치는, L-자 형상을 갖는 플로팅 게이트만으로 제한되지 않으며, x-방향을 따라 단면이 임의의 비대칭 형상인 플로팅 게이트들에게도 적용될 수 있다. 예를 들어, 플로팅 게이트들은 x-방향을 따라 단면이 삼각형 형상을 가질 수도 있다. L-자 형상의 단면 프로파일을 형성하도록 전도성 부분들을 식각하는데 이용되는 패턴에서 소정의 차이점이 있는 것을 제외하면, 도11에 도시된 바와 같은 배열을 갖는 플로팅 게이트들은, 전술된 도10의 플로팅 게이트들과 유사한 방식으로 형성될 수 있다.

<58> 도12A는 전도성 부분들을 식각하는데 이용될 수 있는 제 1 체커보드(checker board) 패턴을 도시한 것이다. 또한, 도12A는 상기 패턴과 그 아래에 있는 구조가 어떻게 정렬되고 있는지를 도시한다. 상기 패턴은 레지스트로 구성될 수도 있으며 그리고 도7A의 단면도에 도시된 레지스트 부분들(723a - 723c)과 유사한 레지스트 부분들을 포함할 수 있다. 상기 체커보드 패턴은 그 코너들에 접하고 있는 장방형 부분들을 갖는다. 개별적인 장방형 부분(1245)은 $F \times 2F$ 의 치수를 갖는다. 상기 체커보드 패턴은, 전도성 부분들(1247a - 1247c)의 패턴 및 STI 구조들(1249a - 1249c)로부터 오프셋(offset)되는바, 따라서 체커보드 패턴의 개별 장방형 부분(1245)은 전도성 부분(1247c) 위에 부분적으로 놓여있고 그리고 STI 구조(1249c) 위에 부분적으로 놓여있다. 상기 체커보드 패턴은 전도성 부분들(1247a - 1247c)의 소정 영역들은 보호하고 있지만, 전도성 부분들(1247a - 1247c)의 다른 영역들은 노출시킨다. 상기 레지스트 패턴을 이용하여 식각이 수행되므로, 전도성 부분들(1247a - 1247c)의 노출된 영역들은 부분적으로 식각된다(완전히 식각되는 것은 아님). 전도성 부분들(1247a - 1247c)의 보호받고 있는 영역들은 실질적으로 식각되지 않는다.

<59> 도12B는 도12A의 패턴에 따라 패터닝을 수행한 이후에, 전도성 부분들(1247a - 1247c)과 STI 구조들(1249a - 1249c)을 도시한 도면이다. 레지스트에 의해 보호받고 있는 영역들은 도12A에서 가려져 있다. 보호받고 있지 않은 영역들은 식각되며, 전도성 부분들의 비식각 영역들에 비하여 감소된 두께(z-축으로)를 갖는다. 유전층과 전도층(도12B에는 미도시)이 전도성 부분들(1247a - 1247c)과 STI 구조들(1249a - 1249c) 위에 형성된다. 이후, 전도성 부분들, 유전층 및 전도층을 포함하는 스택(stack)이 패터닝 및 식각되어 워드라인들을 형성하며 그리고 분리된 플로팅 게이트들 형성하는바, 상기 플로팅 게이트들은 그 위의 워드라인들과 자기 정렬된다. 도12B에는 워드라인들(1251a - 1251c)의 외곽선이 도시되어 있다. 워드라인들(1251a - 1251c) 사이의 영역들은 식각되는바, 따라서 전도층은 개별 워드라인들로 분리된다. 동일한 식각공정에서, 전도성 부분들(1247a - 1247c)은 적어도 그 하부의 게이트 유전층까지 식각되는바, 따라서 워드라인들(1251a - 1251c) 아래에 개별적인

플로팅 게이트들이 형성된다.

<60> 도13A는 도11에 도시된 배열을 갖는 플로팅 게이트들을 형성하는데 이용될 수도 있는 대안적인 패턴을 도시한 것이다. 도13A에 도시된 패턴의 레지스트 부분(1353)은, x-방향으로는 F 만큼의 치수를 갖고 y-방향으로는 2F 보다 큰 치수를 갖는다. 여기서, y-방향으로의 치수는 $2F+D$ 이며, 상기 D는 F에 비하면 작은 값이다. 레지스트 부분들 사이의 공간들은 y-방향으로 $2F-D$ 의 치수를 갖는다. 따라서, 코너들에서 접촉하는 대신에, 레지스트 부분들은 이들의 측면들의 일부를 따라 서로 접촉한다. 이러한 점은, 레지스트에 의해 덮혀있는 전도성 부분들(1355a - 1355c)의 연속적인 영역들을 제공한다. 도12A 또는 도13A 중 어느 하나에 따른 패턴을 이용하여 전도성 부분들(1355a - 1355c)을 식각한 이후, 레지스트 부분들은 제거되며, STI 구조들(1357a - 1357c)은 에치백되며, 그리고 유전층 및 전도층들이 전술한 바와 같이 기판 위에 형성된다.

<61> 도13B는 도13A의 패턴에 따라 패터닝된 전도성 부분들(1355a - 1355c)과 STI 구조들(1357a - 1357c)을 도시한 도면이다. 도13B의 전도성 부분(1355a)의 식각되지 않은 부분들은, 전도성 부분(1355a)을 따라 뱀 모양의 패턴(serpentine pattern)을 형성한다. 식각되지 않은 연속적인 부분들은, 불연속하거나 또는 접촉이 매우 적은(가령, 도12B에 도시된 것들) 구조들에 비하여 기계적으로 더 튼튼한 구조를 형성한다. 이러한 구조들은, 화학기계 연마(CMP)와 같은 공정 동안에 발생하는 잠재적인 손상 압력들을 좀더 잘 견뎌낼 수 있다. 도13B에는 워드라인들(1359a - 1359c)의 외곽선이 도시되어 있다. 도12B와 도13B의 패턴들은 몇몇 차이점들을 갖고 있긴 하지만, 이들 차이점들은 워드라인들(1359a - 1359c) 사이에 위치한다. 따라서, 개별적인 워드라인들(1359a - 1359c) 및 플로팅 게이트들을 형성하도록 식각한 이후에는, 이들 상이한 피쳐들이 제거되므로, 결과적인 구조들은 이들 두 개의 패턴들에서 동일해진다.

<62> **로우를 따라 거꾸로 마주보고 있는 플로팅 게이트들**

<63> 도14는 본 발명의 또 다른 실시예에 따른, 플로팅 게이트들의 또 다른 대안적인 실시예를 도시한 도면이다. 먼저 경우와 같이, 플로팅 게이트들은 x-방향에 따른 단면이 L-자 형상이다. 하나의 로우(1461b)의 하나의 플로팅 게이트는, 인접한 로우들(1461a, 1461c)의 대응 플로팅 게이트들과 반대되는 방위를 갖는다. 하지만, 앞선 실시예들과는 달리, 본 실시예의 플로팅 게이트들은, 가령 로우(1461b)에서와 같이 로우를 따라 교번하는 방위들을 갖는다. 따라서, 로우를 따라 교번하는 플로팅 게이트들 중에서 소정의 것들은 제 1 방위(L-방위)를 갖는 반면에 나머지 것들은 제 2 방위(역-L 방위)를 갖는다.

<64> 도15A는 도14에 도시된 배열을 갖는 플로팅 게이트들을 형성하는데 사용될 수 있는 패턴을 도시한 것이다. 도15A에 도시된 단계까지의 공정은 도4 내지 도6에 도시된 바와 같이 수행될 수 있다. 도15A에는 전도성 부분들(1563a - 1563c)을 부분적으로 식각하기 위한 식각 마스크로서 사용되는 체커보드 패턴이 도시되어 있다. 상기 패턴은 정사각형들을 포함하는바 가령, 길이 2F의 측면들을 갖는 정사각형(1565a)과 같은 것들을 포함한다. 상기 패턴은 그 하부의 전도성 부분들(1563a - 1563c) 및 STI 구조들(1567a - 1567d)과 정렬되는바, 따라서 상기 정사각형들과 STI 구조들(1567a - 1567d) 사이에는 오프셋(offset)이 존재한다. 정사각형(1565b)은 STI 구조(1567b) 위에 놓여있으며 그리고 어느 한편으로 전도성 부분들(1563a, 1563b) 위로 약 절반 정도쯤 연장된다. 따라서, 정사각형(1565b)은 어느 한편으로 전도성 부분들(1563a, 1563b) 위로 약 F/2 정도 연장된다. 도15A에 도시된 것에 대한 대안적인 패턴은, y-방향으로는 2F 보다 많이 연장된 레지스트 부분을 가지며, 따라서 정사각형들은 그들의 측면들을 따라 접촉한다. 앞서 언급된 바와 같이, 이러한 패턴은, 오직 코너들에서만 접촉하는 정사각형들을 가진 패턴들에 의해서 형성되는 것보다 물리적으로 더 튼튼한 구조를 형성할 수 있다.

<65> 도15B는 도15A에 도시된 패턴을 이용하여 식각한 결과를 도시한 도면이다. 전도성 부분들(1563a - 1563d)의 가려지지 않은 영역들은, 전도성 부분들(1563a - 1563d)의 나머지 영역들 보다 작은 수직 두께를 갖도록 식각된다. 전술한 실시예와 같이, 워드라인들(1565a - 1565c)은 외곽선으로 도시된다. 본 실시예에서, 워드라인을 따라 있는 플로팅 게이트들은 교번하는 방위들을 갖고 있음을 알 수 있을 것이다(즉, 식각된 영역들은 전도성 부분의 교번하는 측면들 상에 존재함). 앞서와 같이, STI 구조들 및 전도성 부분들 위에 유전층과 전도층이 형성된다. 이후, 워드라인들(1565a - 1565c)이 도시된 바와 같이 연장되도록, 워드라인 마스크가 정렬되는바, 워드라인들(1565a - 1565c) 사이에서 패턴의 코너들이 나타나고 있다. 전도층이 개별 워드라인들로 분리되며, 그리고 이와 함께 전도성 부분들(1563a - 1563d)은 개별 플로팅 게이트들로 분리된다.

<66> 비록, 도14에 도시된 실시예에서는 플로팅 게이트들이 로우(x-방향) 및 컬럼(y-방향) 둘다를 따라 교번하는 방위들을 갖지만, 항상 그런 것은 아니다. 다른 실시예에서는, 플로팅 게이트들이 로우를 따라 교번하는 방위를 갖지만 컬럼을 따라서는 교번하는 방위를 갖지 않는다. 따라서, 특정 컬럼에 있는 모든 플로팅 게이트들은 동일한 방위를 갖지만, 인접한 컬럼들의 플로팅 게이트들은 상이한 방위를 갖는다. 이러한 플로팅 게이트들은, 컬럼

방향으로 뻗어있는 스트립들로 구성된 레지스트 패턴을 이용하여 형성될 수 있는바, 상기 스트립들은 STI 구조의 어느 한쪽 상에서 전도성 부분들 위에 부분적으로 놓여있다.

<67> 비록, 본 발명의 다양한 양상들이 이들의 예시적인 실시예들에 관하여 설명되었지만, 본 발명은 첨부된 특허청구범위의 전체 범위 내에서 보호되어야함을 유의해야 한다.

도면의 간단한 설명

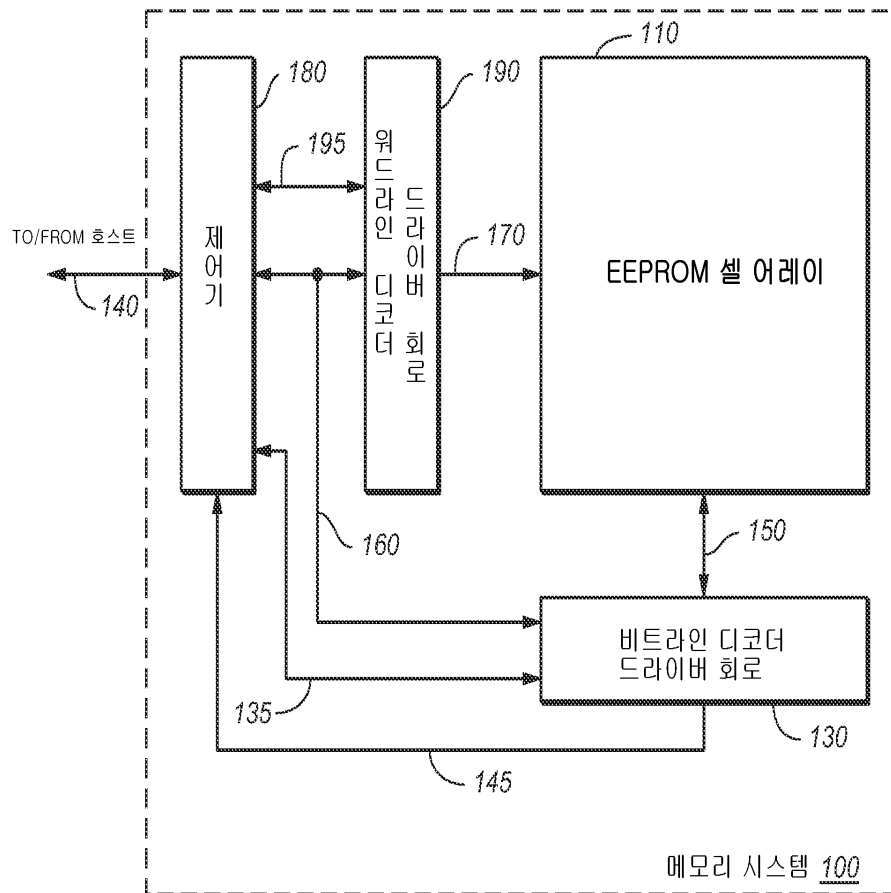
- <14> 도1은 본 발명의 일실시예에 따른 메모리 어레이를 포함하는 메모리 시스템을 도시한다.
- <15> 도2는 플로팅 게이트 메모리 셀들의 낸드 스트링을 포함하는 도1의 메모리 어레이를 상세히 도시한 것이다.
- <16> 도3A는 도2의 메모리 셀의 플로팅 게이트를 상세히 도시한 것으로, 상기 플로팅 게이트는 단면이 L-자 형상을 갖는다.
- <17> 도3B는 도3A의 플로팅 게이트의 일면을 도시한 것으로, 장방형 형상의 플로팅 게이트와의 비교를 포함한 도면이다.
- <18> 도4는 초기 제조 단계에서 도2의 메모리 어레이의 단면을 도시한 것으로, 게이트 유전층, 제 1 전도층, 마스크층 및 상기 마스크층 위에 있는 패턴닝된 레지스트층을 포함하는 도면이다.
- <19> 도5는 레지스트층의 패턴을 마스크층으로 전사하고 이후 상기 마스크층을 이용하여 STI 구조들의 위치를 설정한 다음의 모습을 도4와 동일한 관점에서 도시한 도면이다.
- <20> 도6A는 도5의 구조에서 마스크층 부분들을 제 2 전도층으로 대체하고 평탄화시킨 후의 모습을 도시한 것이다.
- <21> 도6B는 도6A의 대안적인 구조를 도시한 도면으로, 도6B에서는 얇은 제 2 전도층 및 이에 후속하는 유전층을 이용하여 마스크층 부분들이 대체되며 이후 평탄화된다.
- <22> 도7A는 전도성 부분들 및 STI 구조들 위에 레지스트 패턴을 형성하고 상기 레지스트 패턴을 이용하여 전도성 부분들을 부분적으로 식각한 이후의 모습을 도시한 것이다.
- <23> 도7B는 도6B의 대안적인 실시예에 따른 전도성 부분을 개별적으로 도시한 것으로, 전도성 부분 위에 부분적으로 존재하는 식각 마스크를 이용하여 부분적으로 식각한 이후의 모습을 도시한 것이다.
- <24> 도8A는 레지스트 부분들을 제거하고 그리고 기판 표면에 근접한 높이로 상기 STI 구조들을 에치백 한 이후의 도7A의 구조를 도시한 도면이다.
- <25> 도8B는 도7B의 전도성 부분을 개별적으로 도시한 것으로, 유전층을 제거하여 폭이 좁은 위쪽 부분만을 남긴 이후의 모습을 도시한 것이다.
- <26> 도9는 유전층을 형성하고 상기 유전층 위에 전도층을 형성한 이후의 도8A의 구조를 도시한 것이다.
- <27> 도10은 본 발명의 일실시예에 따라 L-자 형상의 플로팅 게이트들을 갖는 메모리 어레이를 도시한 것이다.
- <28> 도11은 본 발명의 다른 실시예에 따른 L-자 형상의 플로팅 게이트들을 도시한 것으로, 플로팅 게이트들의 스트링은 교번하는 방위를 갖고 있으며, 플로팅 게이트들의 로우(row)는 동일한 방위를 갖는다.
- <29> 도12A는 전도성 부분들로부터 도11에 도시된 플로팅 게이트들을 형성하기 위해 이용되는 식각 마스크를 도시한 것이다.
- <30> 도12B는 도12A의 식각 마스크에 의해서 패턴닝된 전도성 부분들과 패턴닝된 전도성 부분들 위에 형성된 위드라인들의 위치들을 도시한 도면이다.
- <31> 도13A는 전도성 부분들로부터 도11에 도시된 플로팅 게이트들을 형성하기 위해 이용될 수 있는 대안적인 식각 마스크를 도시한 것이다.
- <32> 도13B는 도13A의 식각 마스크에 의해서 패턴닝된 전도성 부분들과 패턴닝된 전도성 부분들 위에 형성된 위드라인들의 위치들을 도시한 도면이다.
- <33> 도14는 본 발명의 또 다른 실시예에 따른 L-자 형상의 플로팅 게이트들을 도시한 것으로, 이들 플로팅 게이트들은 비트라인 방향을 따라 교번하는 방위를 갖고 있으며, 그리고 위드라인 방향을 따라서도 교번하는 방위를 갖고 있다.

<34> 도15A는 전도성 부분들로부터 도14에 도시된 플로팅 게이트들을 형성하기 위해 이용되는 식각 마스크를 도시한 것이다.

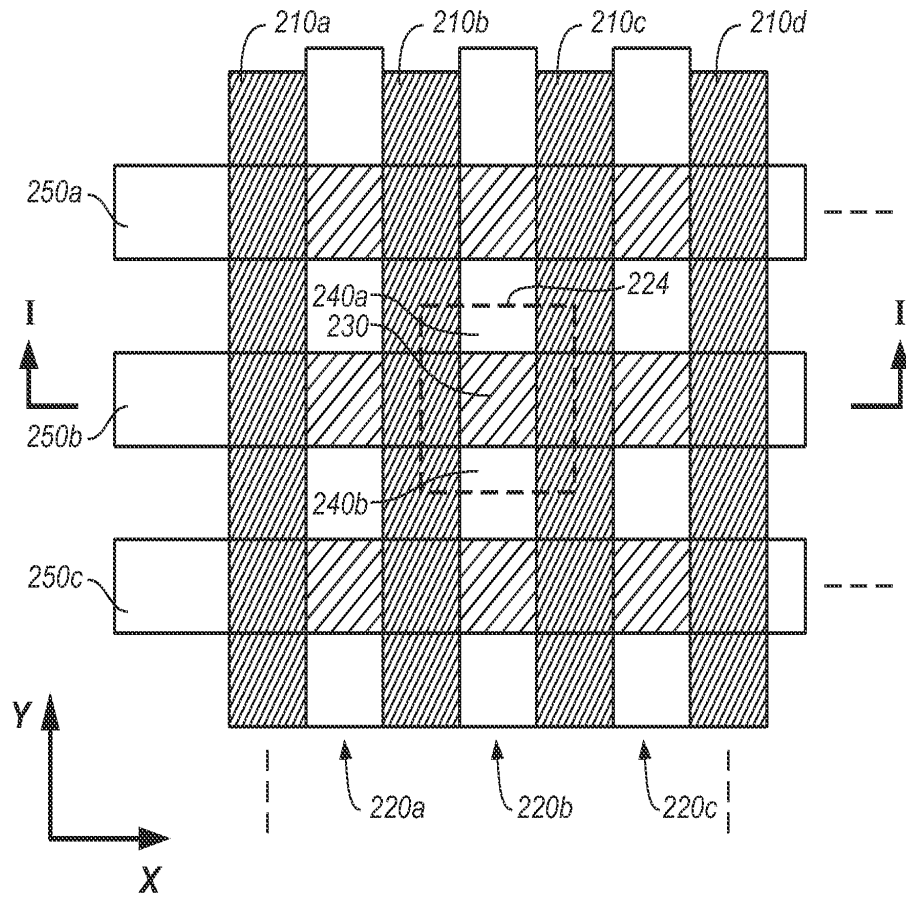
<35> 도15B는 도15A의 식각 마스크에 의해서 패터닝된 전도성 부분들과 패터닝된 전도성 부분들 위에 형성된 워드라인들의 위치들을 도시한 도면이다.

도면

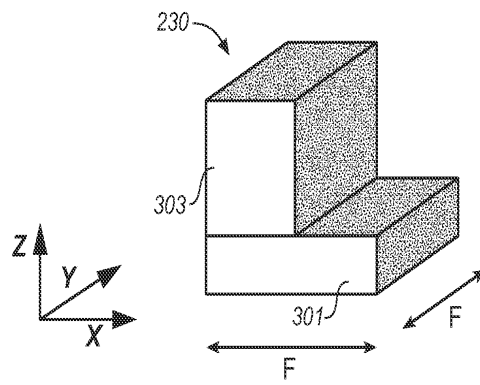
도면1



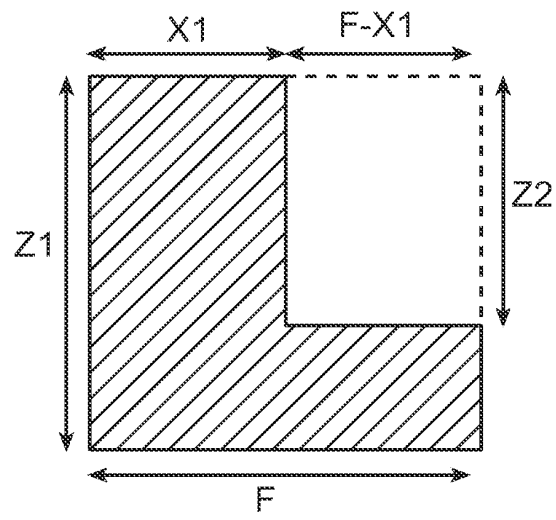
도면2



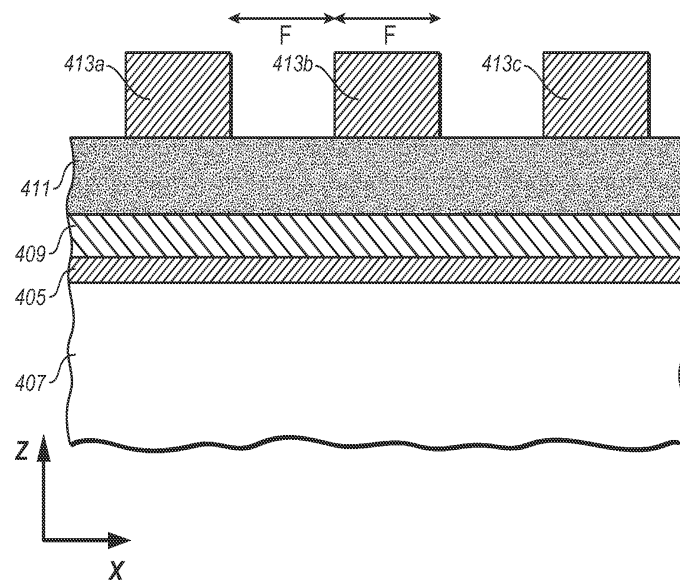
도면3A



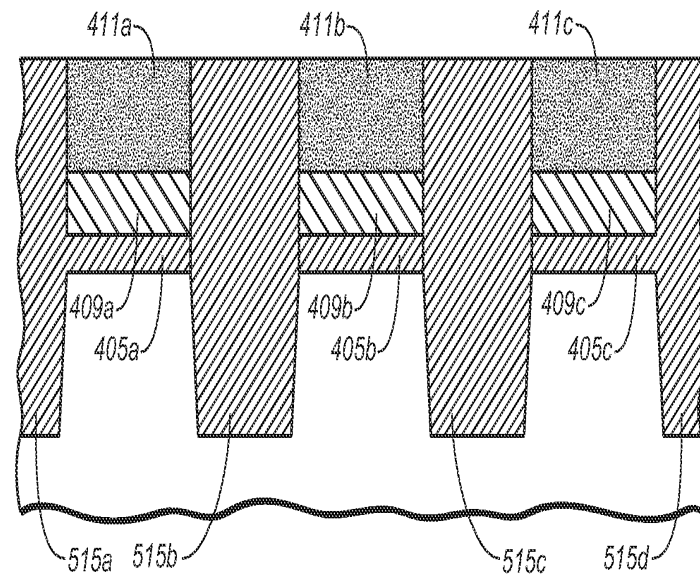
도면3B



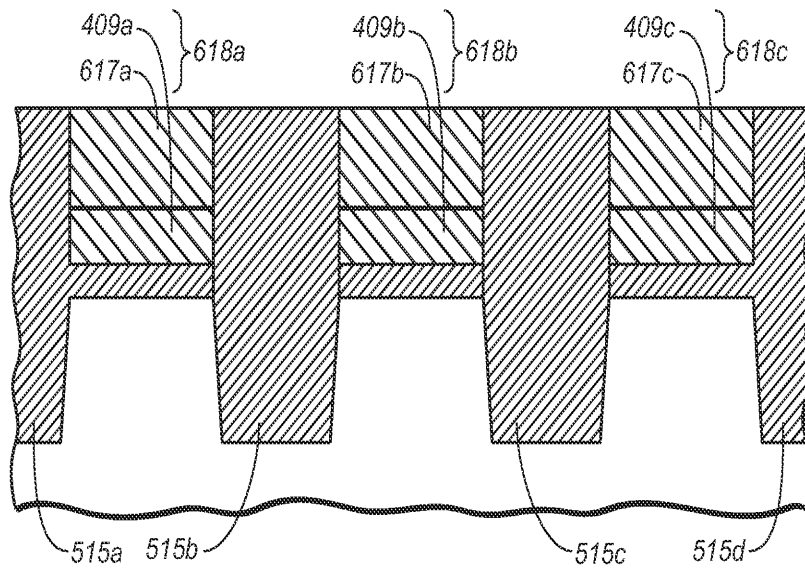
도면4



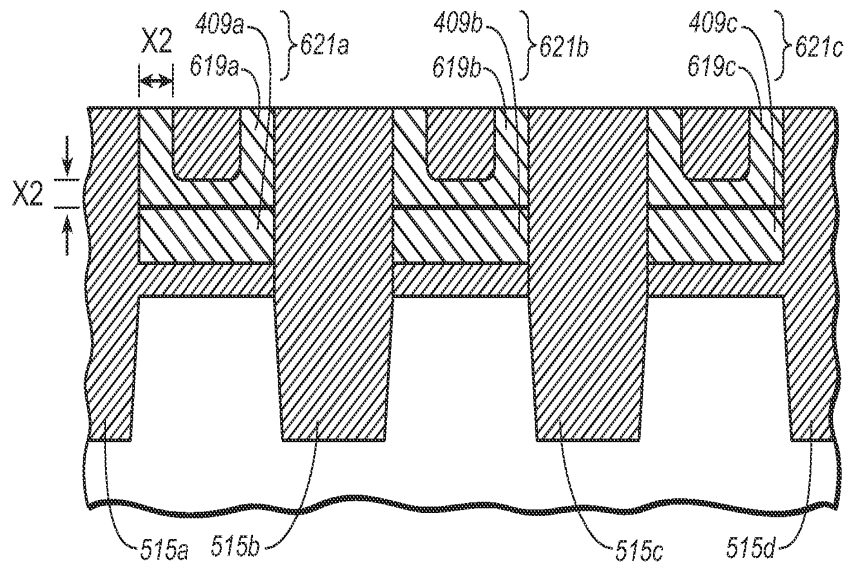
도면5



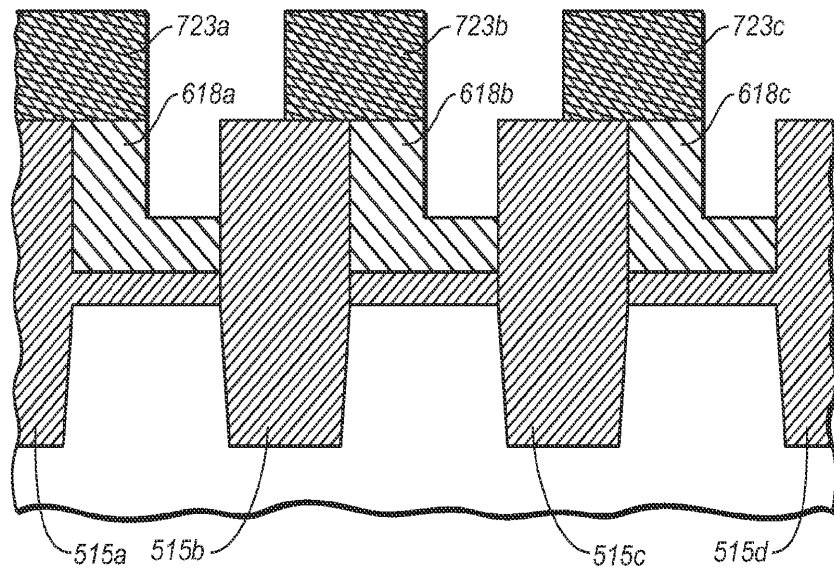
도면6A



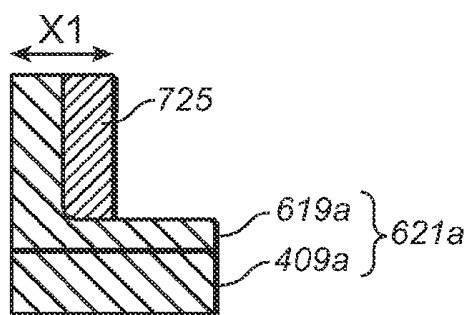
도면6B



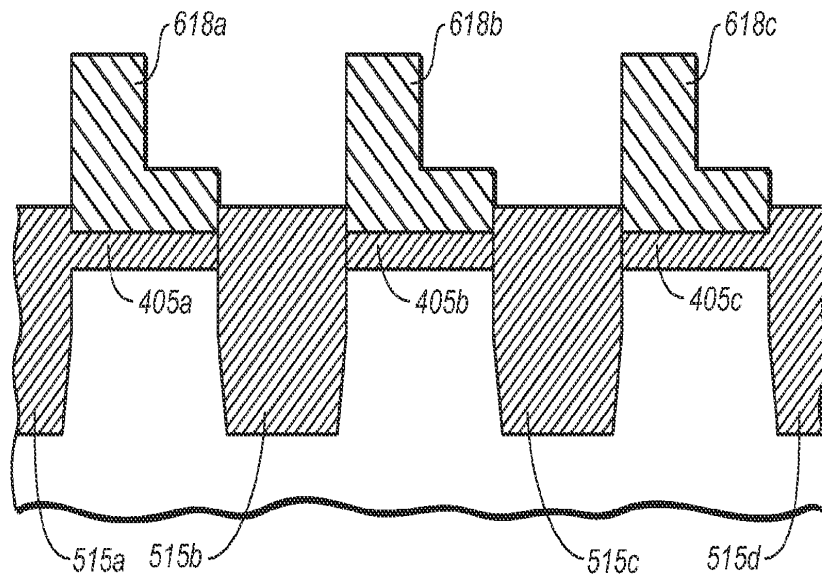
도면7A



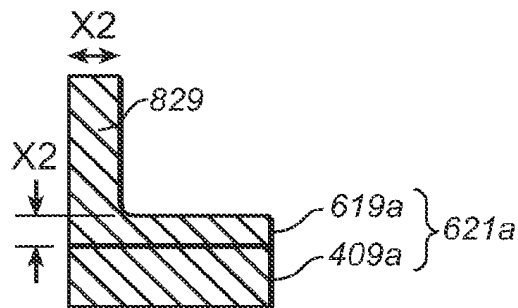
도면7B



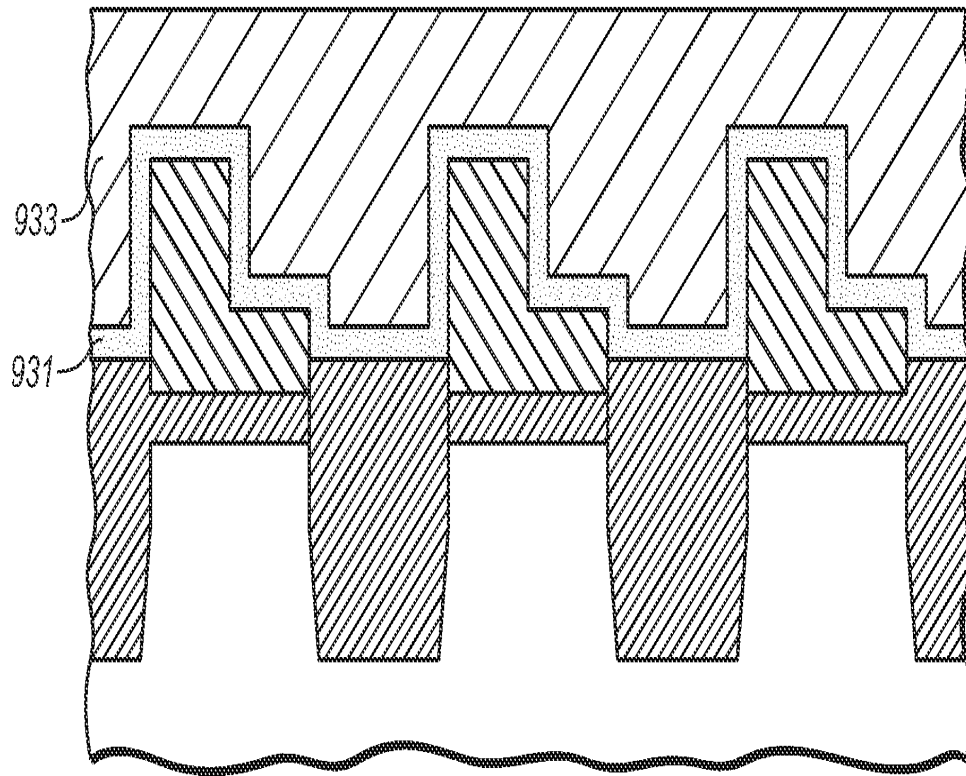
도면8A



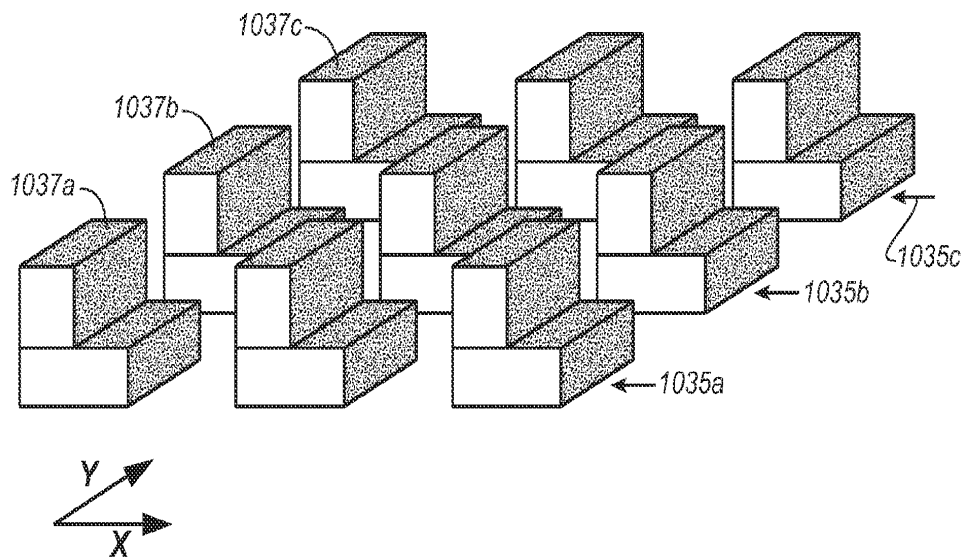
도면8B



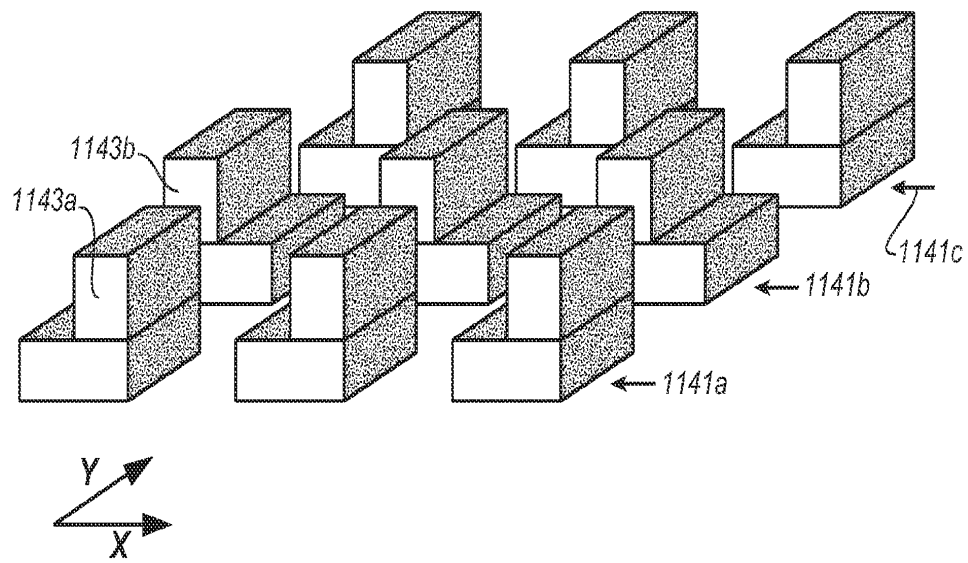
도면9



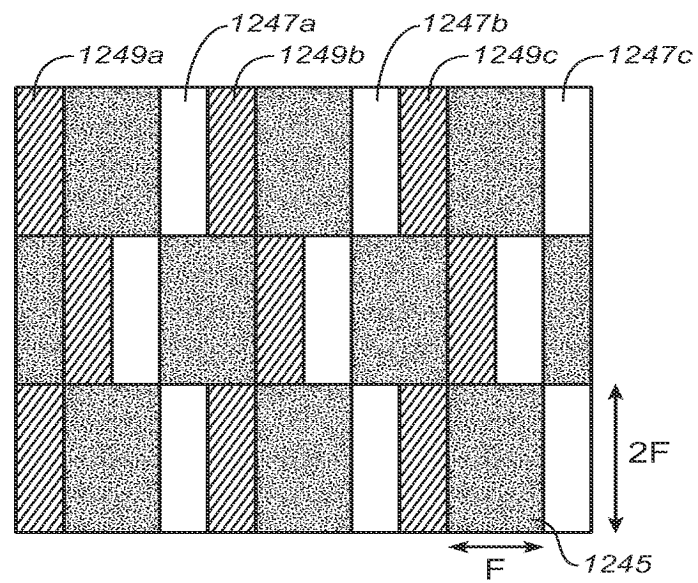
도면10



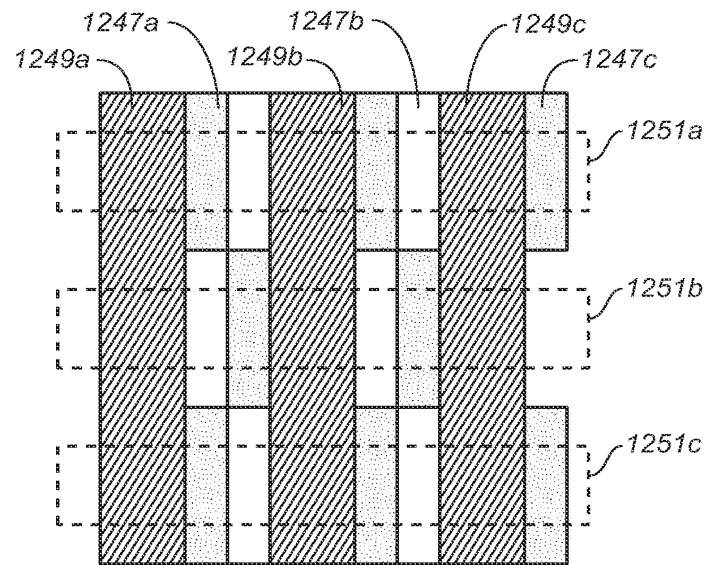
도면11



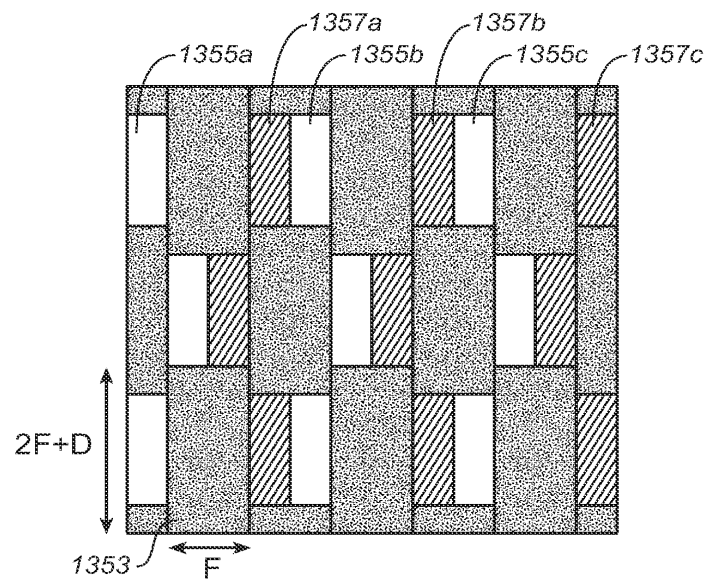
도면12A



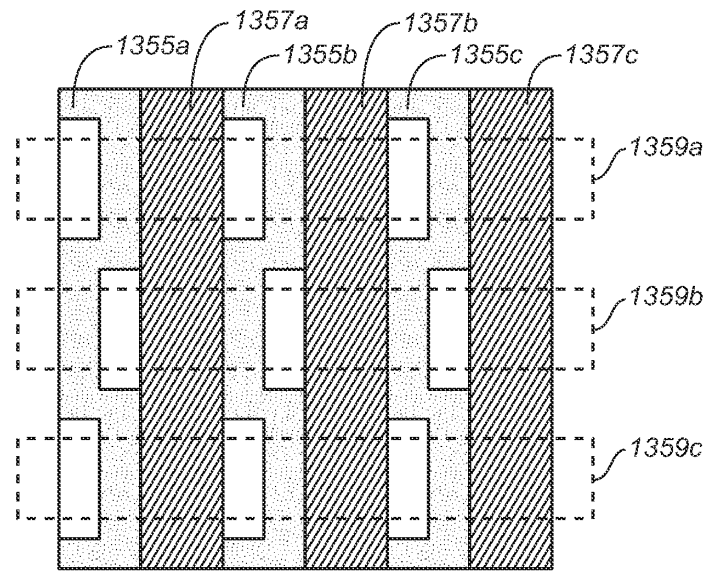
도면12B



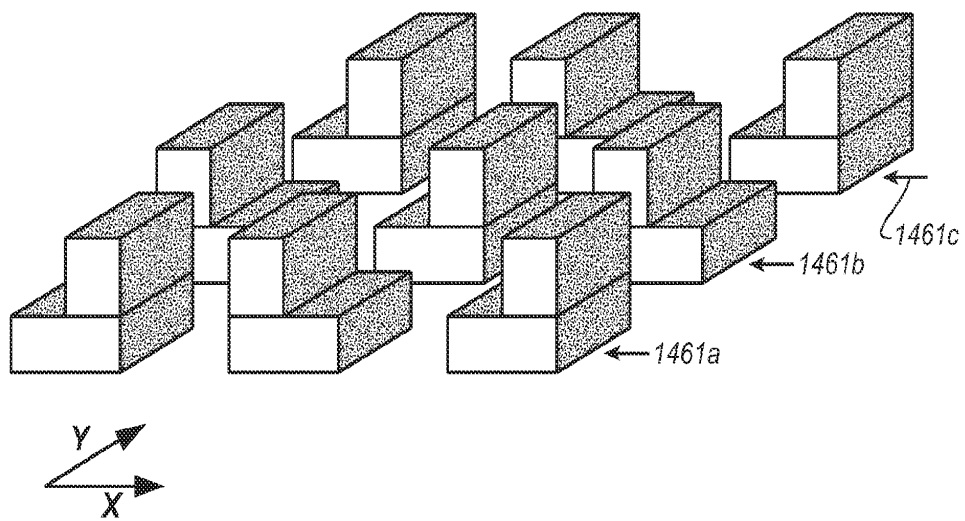
도면13A



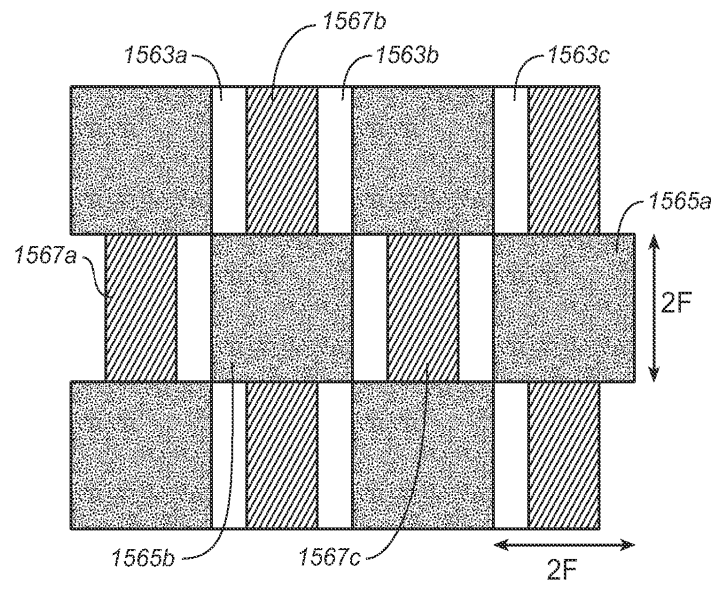
도면13B



도면14



도면15A



도면15B

