

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月21日(21.01.2016)



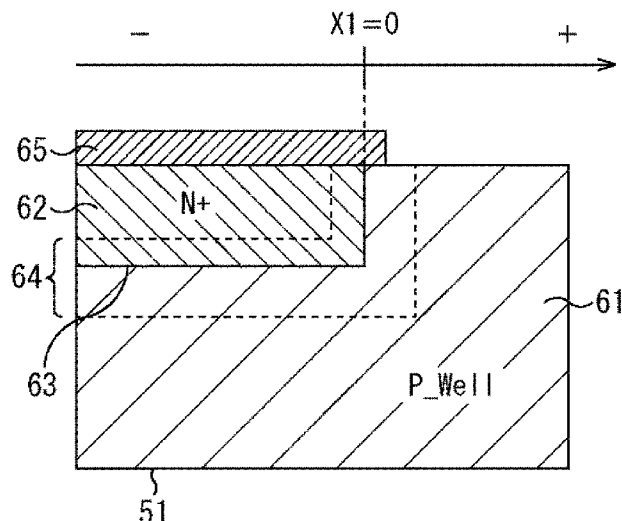
(10) 国際公開番号
WO 2016/009835 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2015/068965
- (22) 国際出願日: 2015年7月1日(01.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-145100 2014年7月15日(15.07.2014) JP
- (71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 山川 真弥(YAMAKAWA Shinya); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 宮田 里江(MIYATA Satoe); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 半導体装置および電子機器

図4



(57) Abstract: The present disclosure relates to a semiconductor device and electronic equipment that can reduce leak current in the PN junction region. On a silicon substrate, an N+ region is formed in a P-type well (P_Well region). A depletion layer is formed in the area around the boundary between the P_Well region and the N+ region (the metallurgical boundary of the PN junction). On the surface of the silicon substrate, a fixed-charge layer that has a positive fixed charge is formed over the N+ region so as to hang over the depletion layer. The present disclosure can be applied to a complementary metal-oxide semiconductor (CMOS) solid-state imaging device used in imaging devices such as cameras.

(57) 要約:

[続葉有]

WO 2016/009835 A1



本開示は、PN 接合領域のリーク電流を低減することができる半導体装置および電子機器に関する。Si 基板には、P 型の Well (P_Well 領域) の中に N⁺領域が形成されている。P_Well 領域と N⁺領域との境界 (PN 接合の冶金学的境界) の周囲では、空乏層が形成されている。そして、Si 基板の表面には、N⁺領域の上に空乏層にかかるようにして、正の固定電荷を持つ固定電荷層が形成されている。本開示は、例えば、カメラなどの撮像装置に用いられる CMOS 固体撮像装置に適用することができる。

明 細 書

発明の名称：半導体装置および電子機器

技術分野

[0001] 本開示は、半導体装置および電子機器に関し、特に、PN接合領域のリーク電流を低減することができるようにした半導体装置および電子機器に関する。

背景技術

[0002] 半導体を用いた固体撮像素子（イメージセンサ）は、デジタルカメラ、ビデオカメラ、監視用カメラ、複写機、ファクシミリなど多くの機器に搭載されている。

[0003] 近年、固体撮像素子として、周辺回路も含めてCMOS（Complementary Metal Oxide Semiconductor）プロセスで製造される、いわゆるCMOS型固体撮像素子が多く用いられている。このCMOS型固体撮像素子においては、受光した光を電気信号に変換するフォトダイオード（Photo Diode, PD）、その電荷を一時蓄積しかつ信号をセンシングするためのフローティングディフュージョン（FD）などが、半導体のPN接合を利用して形成されている。

[0004] 一方PN接合においては、特に接合部分に形成される空乏層領域が表面や界面に接したときにリーク電流が発生することが知られている。固体撮像素子においてはこのようなリーク電流は暗電流と呼ばれ、画質を良くするためにはできるだけ低減する必要がある。PN接合におけるリーク電流を低減する方法としては、PN接合部分に固定電荷を有する膜を形成する方法が報告されている（特許文献1および2参照）。

[0005] ところで、従来、固体撮像素子の画素におけるPDは、半導体基板中に形成されていた。しかしながら、半導体基板には、駆動を行うための素子も形成されるので、画素サイズが小さくなるとPDの面積をとることが困難になってきた。これに対応するため、PDとなる光電変換膜を半導体基板の外側に形成することが提案されている（非特許文献1および2参照）。

先行技術文献

特許文献

[0006] 特許文献1：特開 2 0 1 2 － 8 4 9 0 2 号公報

特許文献2：特開 2 0 1 3 － 8 9 7 0 7 号公報

非特許文献

[0007] 非特許文献1：“A High-sensitivity Broadband Image Sensor using CuInGa Se₂ Thin Films”, O. Matsushima et al., IEDM Tech. Dig., 2008

非特許文献2：“Thin Organic Photoconductive Film Image Sensors with Extremely High Saturation of 8500 electrons/ μm^2 ”, M. Mori et al., Proc. VLSI Tech. Symp., 2013

発明の概要

発明が解決しようとする課題

[0008] これらの提案においては、例えば、半導体基板上部に形成された光電変換膜は、上部電極と下部電極で挟まれた構造となっており、下部電極は配線を通じてフローティングディフュージョン(FD)とAMP_Tr.のゲート電極に接続されている。

[0009] このような構成では、光電変換膜で生成されたキャリア（電子またはホール）はすぐにFDに転送され、露光期間中は、FDに蓄積された状態となる。したがって、FD部と周辺のP_Well間にできるPN接合空乏層でのリーク電流を極力抑える必要があった。

[0010] 本開示は、このような状況に鑑みてなされたものであり、PN接合領域のリーク電流を低減することができるものである。

課題を解決するための手段

[0011] 本技術の一側面の半導体装置は、半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電

荷を有する正の固定電荷膜のうち少なくとも1つの膜を備える。

[0012] 前記正の固定電荷膜は、プラズマ酸化膜である。

[0013] 前記正の固定電荷膜は、窒素原子を含んだSiO₂膜である。

[0014] 前記負の固定電荷膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイドのうち少なくとも1種類以上の元素を含む酸化物である。

[0015] 前記半導体装置は、固体撮像装置であって、前記半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、前記フローティング拡散領域に導電性の配線を介して接続された光電変換層とをさらに備えることができる。

[0016] 前記光電変換層は、カルコパイライト系材料である。

[0017] 前記光電変換層は、有機材料である。

[0018] 本技術の一側面の電子機器は、半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と、前記半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜のうち少なくとも1つの膜とを備える固体撮像装置と、前記固体撮像装置から出力される出力信号を処理する信号処理回路と、入射光を前記固体撮像装置に入射する光学系とを有する。

[0019] 本技術の他の側面の半導体装置は、半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲートを備える。

[0020] 前記半導体装置は、固体撮像装置であって、前記半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、前記フローティング拡

散領域に導電性の配線を介して接続された光電変換層とをさらに備えることができる。

[0021] 本技術の他の側面の電子機器は、半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と、前記半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲートを備える固体撮像装置と、前記固体撮像装置から出力される出力信号を処理する信号処理回路と、入射光を前記固体撮像装置に入射する光学系とを有する。

[0022] 本技術の一側面においては、半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜のうち少なくとも1つの膜が備えられる。

[0023] 本技術の他の側面においては、半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲートが備えられる。

発明の効果

[0024] 本技術によれば、半導体基板中にPN接合が形成された半導体装置を製造することができる。また、本技術によれば、PN接合領域のリーク電流を低減することができる。

[0025] なお、本明細書に記載された効果は、あくまで例示であり、本技術の効果は、本明細書に記載された効果に限定されるものではなく、付加的な効果があってもよい。

図面の簡単な説明

[0026] [図1]本技術を適用した固体撮像装置の概略構成例を示すブロック図である。

[図2]画素の構成例を示す断面図である。

[図3]画素の構成例を示す回路図である。

[図4]本技術を適用したPN接合の構造の第1の実施の形態を示す図である。

[図5]図4の場合のリーク電流の値を示す図である。

[図6]図4の構造の製造処理について説明するフローチャートである。

[図7]本技術を適用したPN接合の構造の第2の実施の形態を示す図である。

[図8]図7の場合のリーク電流の値を示す図である。

[図9]図7の構造の製造処理について説明するフローチャートである。

[図10]本技術を適用したPN接合の構造の第3の実施の形態を示す図である。

[図11]図10の場合のリーク電流の値を示す図である。

[図12]図10の構造の製造処理について説明するフローチャートである。

[図13]図10のPN接合の構造の変形例を示す図である。

[図14]リーク電流低減率の比較を示す図である。

[図15]本技術を適用したPN接合の構造の第4の実施の形態を示す図である。

[図16]図15の構造の製造処理について説明するフローチャートである。

[図17]本技術を適用したPN接合の構造の第5の実施の形態を示す図である。

[図18]本技術を適用したPN接合の構造の第6の実施の形態を示す図である。

[図19]本技術を適用したPN接合の構造の第7の実施の形態を示す図である。

[図20]本技術を適用したPN接合の構造の第8の実施の形態を示す図である。

[図21]本技術を適用したPN接合の構造の第9の実施の形態を示す図である。

[図22]本技術を適用したPN接合の構造の第10の実施の形態を示す図である。

。

[図23]本技術を適用したPN接合の構造の第11の実施の形態を示す図である。

。

[図24]本技術を適用した電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0027] 以下、本開示を実施するための形態（以下実施の形態とする）について説明する。

[0028] <固体撮像装置の概略構成例>

図1は、本技術の各実施の形態に適用されるCMOS（Complementary Metal Oxide Semiconductor）固体撮像装置の一例の概略構成例を示している。

[0029] 図1に示されるように、固体撮像装置（素子チップ）1は、半導体基板11（例えばシリコン基板）に複数の光電変換素子を含む画素2が規則的に2次元的に配列された画素領域（いわゆる撮像領域）3と、周辺回路部とを有して構成される。

[0030] 画素2は、光電変換素子（例えばフォトダイオード）と、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有してなる。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの3つのトランジスタで構成することができ、さらに選択トランジスタを追加して4つのトランジスタで構成することもできる。各画素2（単位画素）の等価回路は一般的なものと同様であるので、ここでは詳細な説明は省略する。

[0031] また、画素2は、画素共有構造とすることもできる。画素共有構造は、複数のフォトダイオード、複数の転送トランジスタ、共有される1つのフローティングディフュージョン、および、共有される1つずつの他の画素トランジスタから構成される。フォトダイオードは、光電変換素子である。

[0032] 周辺回路部は、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7、および制御回路8から構成される。

[0033] 制御回路8は、入力クロックや、動作モード等を指令するデータを受け取り、また、固体撮像装置1の内部情報等のデータを出力する。具体的には、制御回路8は、垂直同期信号、水平同期信号、およびマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5、および水平駆動回路6の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、これらの信号を垂直駆動回路4、カラム信号処理回路5、および水平駆動

回路 6 に入力する。

[0034] 垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素 2 を駆動するためのパルスを供給し、行単位で画素 2 を駆動する。具体的には、垂直駆動回路 4 は、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査し、垂直信号線 9 を通して各画素 2 の光電変換素子において受光量に応じて生成した信号電荷に基づいた画素信号をカラム信号処理回路 5 に供給する。

[0035] カラム信号処理回路 5 は、画素 2 の例えば列毎に配置されており、1 行分の画素 2 から出力される信号を画素列毎にノイズ除去等の信号処理を行う。具体的には、カラム信号処理回路 5 は、画素 2 固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) や、信号増幅、A/D (Analog/Digital) 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ (図示せず) が水平信号線 10 との間に接続されて設けられる。

[0036] 水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

[0037] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路 7 は、例えば、バッファリングだけを行う場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合もある。

[0038] 入出力端子 12 は、外部と信号のやりとりをするために設けられる。

[0039] ここで、従来、固体撮像素子の画素におけるフォトダイオードは、半導体基板中に形成されていた。しかしながら、半導体基板には、駆動を行うための素子も形成されるので、画素サイズが小さくなるとフォトダイオードの面積をとることが困難になってきた。これに対応するため、図 2 に示されるように、フォトダイオードとなる光電変換膜が半導体基板の外側に形成されて

いる。

[0040] <画素の構成例>

図2は、画素の構成を簡略化した断面図である。図3は、画素の回路図である。

[0041] 画素2は、半導体基板21、光電変換膜（フォトダイオード:PD）22、上部電極23、下部電極24、および配線層25を含むように構成されている。

[0042] 半導体基板21の表面には、半導体基板21に形成されたP_Well領域にN型を注入することで、フローティングディフュージョン(FD)31、RST_Tr.32、およびAMP_Tr.33などの回路が形成されている。

[0043] 半導体基板21の上部に形成された光電変換膜22は、上部電極23と下部電極24で挟まれた構造となっており、下部電極24は、配線を通じて、半導体基板21上に形成されたFD31とAMP_Tr.33のゲート電極に接続されている。なお、光電変換膜22は、有機であってもよいし、無機であってもよい。

[0044] このような構成では、光電変換膜22で生成されたキャリア（電子またはホール）はすぐにFD31に転送され、露光期間中は、FD31に蓄積された状態となる。したがって、FD31と周辺のP_Well領域間にできるPN接合空乏層（図示せぬ）でのリーク電流を極力抑える必要があった。

[0045] <本技術のPN接合の例>

図4は、本技術を適用したPN接合の構造の第1の実施の形態を示す図である。図4の例においては、Si基板（半導体基板）51にP型のWell（P_Well領域）の中にN+領域を形成したものが示されている。

[0046] 図4に示されるように、P_Well領域61とN+領域62との境界（PN接合の冶金学的境界）63の周囲には、空乏層64が形成されている。そして、図4の例の場合、Si基板51の表面には、N+領域62の上に空乏層64にかかるとして、正の固定電荷を持つ固定電荷層65が形成されている。なお、固定電荷層は、固定電荷膜からなる層のことである。

[0047] このとき、正の固定電荷層 6 5 の端の位置を x_1 として Si 基板 5 1 の表面上を移動させたときのリーク電流の値をシミュレーションによって求めたものを、図 5 に示す。

[0048] 図 5 の例においては、横軸が正の固定電荷層 6 5 の右端の位置を表し、縦軸がリーク電流を表している。ここで、 $x_1=0$ のときが、正の固定電荷層 6 5 の端がちょうど Si 基板 5 1 の PN 接合の境界 6 3 に位置したときを表している。

[0049] このシミュレーションにおいては、N+領域 6 2 の濃度を約 $1e19\text{cm}^{-3}$ 、P_Well 領域の濃度を約 $1e17\text{cm}^{-3}$ とし、Si 基板 5 1 と固定電荷層 6 5 との界面に、正の固定電荷が設定されている。また、図 5 の例においては、空乏層 6 4 の範囲が点線で示されている。

[0050] このとき、正の固定電荷層 6 5 の右端 x_1 がマイナスの値を示す場合、すなわち、正の固定電荷層 6 5 の右端 x_1 が PN 接合位置よりも N+領域 6 2 側にある場合は、リーク電流が発生しているが、正の固定電荷層 6 5 の右端 x_1 が空乏層 6 4 にかかると、リーク電流が減少している。

[0051] さらに、この正の固定電荷層 6 5 の端が PN 接合の冶金学的境界 6 3 を越えて、かつ、空乏層 6 4 内にあるところで、リーク電流の低減が止まっていることがわかる。したがって、この N+領域 6 2 から伸びた正の固定電荷層 6 5 は、もとの PN 接合によって形成されている空乏層 6 4 内まで形成すれば十分、リーク電流の減少させることができる。そして、PN 接合の境界 6 3 よりさらに延伸した空乏層 6 4 内まで伸ばした構造がよりリーク電流を減少させることができる最適な構造であることがわかる。

[0052] 次に、図 6 のフローチャートを参照して、図 4 に示される構造の製造処理について説明する。なお、この処理は、図示せぬ製造装置により実行される処理である。

[0053] ステップ S 5 1 において、製造装置は、Si 基板 5 1 に P_Well 領域 6 1 を形成する。ステップ S 5 2 において、製造装置は、ステップ S 5 1 において P_Well 領域 6 1 が形成された Si 基板 5 1 に、N+領域 6 2 を形成する。

[0054] ステップS 5 3において、製造装置は、正の電荷を有する正の固定電荷層 6 5 を形成する。正の固定電荷層 6 5 は、400度以下で形成されるプラズマ酸化膜またはNを含有したSiO₂膜などからなる。

[0055] ステップS 5 4において、製造装置は、ステップS 5 3により正の固定電荷層 6 5 が形成された後に、フォトリソグラフィやドライエッチングなどを用いて、必要な部分以外を選択エッチングする。

[0056] 以上により、図 4 に示される構造が完成される。

[0057] <本技術のPN接合の他の例>

図 7 は、本技術を適用したPN接合の構造の第 2 の実施の形態を示す図である。図 7 の例においては、図 4 の例と同様に、Si基板 5 1 にP型のWell (P_Well領域) の中にN+領域を形成したものが示されており、P_Well領域 6 1 とN+領域 6 2 との境界 6 3 の周囲には、空乏層 6 4 が形成されている。

[0058] そして、図 7 の例の場合、Si基板 5 1 の表面には、P_Well領域 6 1 の上に空乏層 6 4 にかかるようにして、負の固定電荷を持つ負の固定電荷層 8 1 が形成されている。

[0059] このとき、負の固定電荷層 8 1 の端の位置を x_2 としてSi基板 5 1 の表面上を移動させたときのリーク電流の値をシミュレーションによって求めたものを、図 8 に示す。

[0060] 図 8 の例においては、横軸が負の固定電荷層 8 1 の左端の位置を表し、縦軸がリーク電流を表している。ここで、 $x_2=0$ のときが、負の固定電荷層 8 1 の端がちょうどSi基板 5 1 のPN接合の境界 6 3 に位置したときを表している。

[0061] このシミュレーションにおいては、N+領域 6 2 の濃度を約 $1e19\text{cm}^{-3}$ 、P_Well領域の濃度を約 $1e17\text{cm}^{-3}$ とし、Si基板 5 1 と負の固定電荷層 8 1 との界面に、負の固定電荷が設定されている。また、図 8 の例においては、空乏層 6 4 の範囲が点線で示されている。

[0062] このとき、負の固定電荷層 8 1 の左端 x_2 がプラスの値を示す場合、すなわち、負の固定電荷層 8 1 の左端 x_2 がPN接合位置よりもP_Well領域 6 1 側にあ

る場合は、リーク電流が発生しているが、負の固定電荷層 8 1 の左端 x2 が空乏層 6 4 にかかる、リーク電流が減少している。

[0063] また、この負の固定電荷層 8 1 の左端が PN 接合の冶金学的境界 6 3 を越えて、かつ、空乏層 6 4 内にあるところで、リーク電流が最も低減していることがわかる。さらに、負の固定電荷層 8 1 の左端が空乏層 6 4 を越えて、N⁺領域 6 2 にかかるようになると、再びリーク電流が増加している。したがって、この負の固定電荷層 8 1 は、P_Well 領域 6 1 から空乏層 6 4 にかけて形成する必要がある。そして、PN 接合の境界 6 3 よりさらに延伸し、かつ空乏層 6 4 内に位置するように形成される構造が、よりリーク電流を減少させることができる最適な構造であることがわかる。

[0064] これは、例えば、空乏層を含めた全面、または、空乏層を越えてその外部にまで延伸した状態で固定電荷を有する層を形成しているからである。本技術においては、N 領域から延伸した正の固定電荷を有する層、または P 領域から延伸した負の固定電荷を有する層の端を空乏層内に止める、より望ましくは、冶金学的 PN 境界を越え、かつ空乏層内に位置するように形成される。これにより、リーク電流を低減することができる。

[0065] 次に、図 9 のフローチャートを参照して、図 7 に示される構造の製造処理について説明する。なお、この処理は、図示せぬ製造装置により実行される処理である。

[0066] ステップ S 7 1 において、製造装置は、Si 基板 5 1 に P_Well 領域 6 1 を形成する。ステップ S 7 2 において、製造装置は、ステップ S 7 1 において P_Well 領域 6 1 が形成された Si 基板 5 1 に、N⁺領域 6 2 を形成する。

[0067] ステップ S 7 3 において、製造装置は、負の電荷を有する負の固定電荷層 8 1 を形成する。負の固定電荷層 8 1 は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイドなどから選ばれる少なくとも 1 種以上の元素を含む酸化物絶縁膜からなる。負の固定電荷層 8 1 は、例えば、Atomic Layer Deposition 法 (ALD 法) を用いて表面に 0.5 乃至 50 nm 程度形成される。

[0068] ステップS 7 4において、製造装置は、ステップS 7 3により負の固定電荷層8 1が形成された後に、フォトリソグラフィやドライエッチングなどを用いて、必要な部分以外を選択エッチングする。

[0069] 以上により、図7に示される構造が完成される。

[0070] 図10は、本技術を適用したPN接合の構造の第3の実施の形態を示す図である。図10の例においては、図4の例と同様に、Si基板5 1にP型のWell (P_Well領域)の中にN+領域を形成したものが示されており、P_Well領域6 1とN+領域6 2との境界6 3の周囲には、空乏層6 4が形成されている。

[0071] そして、図10の例の場合、Si基板5 1の表面には、N+領域6 2の上に空乏層6 4にかけて延伸した正の固定電荷を持つ正の固定電荷層9 1が形成されており、P_Well領域6 1の上に空乏層6 4にかけて延伸した負の固定電荷を持つ負の固定電荷層9 2が形成されている。

[0072] このとき、正の固定電荷層9 1と負の固定電荷層9 2との間隔の距離 x_3 として、 x_3 を変化したときのリーク電流の値をシミュレーションによって求めたものを、図11に示す。

[0073] 図11の例においては、横軸がPN接合の境界6 3から各層の端（正の固定電荷層9 1の右端、負の固定電荷層9 2の左端）までの距離を表し、縦軸がリーク電流を表している。ここで、 $x_3=0$ のときは、正の固定電荷層9 1の右端、負の固定電荷層9 2の左端がそれぞれ境界6 3に位置するときであり、そこから x_3 増加したときは、正の固定電荷層9 1の右端、負の固定電荷層9 2の左端が境界6 3から等距離にあるとしている。

[0074] この結果より、P_Well領域6 1から延伸した負の固定電荷層9 2が空乏層6 4に入ったところからリーク電流が減少し始め、N+領域6 2から延伸した正の固定電荷層9 1も空乏層6 4に入るとよりリーク電流が減少していることがわかる。

[0075] 以上のことから、それぞれの正の固定電荷層9 1の右端と負の固定電荷層9 2の左端が空乏層6 4内に位置していることがリーク電流低減に効果があることがわかる。

[0076] 次に、図12のフローチャートを参照して、図10に示される構造の製造処理について説明する。なお、この処理は、図示せぬ製造装置により実行される処理である。

[0077] ステップS91において、製造装置は、Si基板51にP_Well領域61を形成する。ステップS92において、製造装置は、ステップS71においてP_Well領域61が形成されたSi基板51に、N+領域62を形成する。

[0078] ステップS93において、製造装置は、正の電荷を有する正の固定電荷層91を形成する。正の固定電荷層91は、400度以下で形成されるプラズマ酸化膜またはNを含有したSiO₂膜などからなる。

[0079] ステップS94において、製造装置は、ステップS93により正の固定電荷層91が形成された後に、フォトリソグラフィやドライエッチングなどを用いて、必要な部分以外を選択エッチングする。

[0080] ステップS95において、製造装置は、負の電荷を有する負の固定電荷層92を形成する。負の固定電荷層92は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイドなどから選ばれる少なくとも1種以上の元素を含む酸化物絶縁膜からなる。負の固定電荷層92は、例えば、Atomic Layer Deposition 法（ALD法）を用いて表面に0.5乃至50nm程度形成される。

[0081] ステップS96において、製造装置は、ステップS95により負の固定電荷層92が形成された後に、フォトリソグラフィやドライエッチングなどを用いて、必要な部分以外を選択エッチングする。

[0082] 以上により、図10に示される構造が完成される。

[0083] なお、図10の例においては、正の固定電荷層が先に形成される例を説明したが、負の固定電荷層が先に形成されてもよい。また、図10に示される構造の変形として、図13のAおよび図13のBに示されるように、一方の固定電荷層が他方の固定電荷層に乗り上げる形で形成することもできる。

[0084] <変形例>

図13は、図10に示されたPN接合の構造の変形例を示す図である。図1

3の例においては、図4の例と同様に、Si基板51にP型のWell（P_Well領域）の中にN+領域を形成したものが示されており、P_Well領域61とN+領域62との境界63の周囲では、空乏層64が形成されている。

[0085] 図13のAの例においては、Si基板51の表面には、N+領域62の上に空乏層64の境界63まで延伸した正の固定電荷を持つ正の固定電荷層93が形成されており、P_Well領域61から、空乏層64の境界63を越えて、正の固定電荷層93を乗上げるように、負の固定電荷を持つ負の固定電荷層94が形成されている。

[0086] なお、負の固定電荷層94が乗上げた先は、空乏層64を越えた正の固定電荷層93の上であればよい。

[0087] 図13のBの例においては、Si基板51の表面には、P_Well領域61の上に空乏層64の境界63まで延伸した負の固定電荷を持つ負の固定電荷層96が形成されており、N+領域62から空乏層64の境界63を越えて、負の固定電荷層96を乗上げるように、正の固定電荷を持つ固定電荷層95が形成されている。

[0088] なお、正の固定電荷層95が乗上げた先は、空乏層64を越えた負の固定電荷層96の上であればよい。

[0089] <リーク電流低減率の比較>

図14は、リーク電流低減率の比較を示す図である。

[0090] PN接合の界面（表面）上に固定電荷層がない状態でのリーク電流を1（基準）とすると、負の固定電荷を持つ層を、空乏層を覆う形で全面に付けた場合、リーク電流は0.93となり、固定電荷層のないものに対して7.1%の低減率となる。

[0091] これに対して、本技術の第1の実施の形態であるN+領域から空乏層内まで延伸した正の固定電荷層を形成した場合（図4）、リーク電流は、0.69となり、固定電荷層のないものに対して31.4%の低減率となる。

[0092] 本技術の第2の実施の形態であるP_Well領域から空乏層内までの延伸した負の固定電荷層を形成した場合（図7）、リーク電流は、0.35となり、固定

電荷層のないものに対して65.3%の低減率となる。さらに、本技術の第3の実施の形態である双方の領域からそれぞれ正の固定電荷層と負の固定電荷層とを空乏層に延伸した場合、リーク電流は、0.22となり、固定電荷層のないものに対して最大77.5%の低減率となる。

[0093] ここで、図2に戻り、上述したように、光電変換膜22を半導体基板21の外に設置して、それを導電性配線（配線層25）を用いて半導体基板21上のFD31と接続した構造の画素においては、そのFD31のPN接合界面でのリーク電流を極力抑える必要があった。

[0094] ここで、半導体基板21の外に設置した光電変換膜22としては、カルコパイライト構造の化合物半導体、または有機材料を用いることができる。カルコパイライト系光電変換膜としては、例えば、CuInSe₂、銅－アルミニウム－ガリウム－インジウム－硫黄－セレン系の混晶からなるものを利用可能である。また、上記以外にもIII族、IV族からなる化合物半導体層を形成してもよい。また、有機材料としては、例えば、キナクドリン系、クマリン系、などの材料を用いてもよい。さらに、量子構造を持った無機光電変換膜(Quantum Film)でもよい。なお、本実施の形態における光電変換膜は、その一例を示したものであり、これに限るものではない。

[0095] また、光電変換膜22においては、光照射によって電子－ホールペアが形成されるが、FD31に接続された下部電極24で収集するキャリアは、電子でもホールでもどちらでもよい。電子を収集する場合、RST_Tr.32のFD31と反対側は、VDDに接続され、FDをリセットすると、VDDにリセットされ、電子が溜まると共に電位は低下していくこととなる。

[0096] 一方、ホールを収集する場合、RST_Tr.32は、GNDまたはそれに近い電位に設定され、ホールがFD31に転送されると電子との再結合により消滅し、電位は上昇していくこととなる。したがって、電子を転送する場合は、リセット動作直後、ホールを転送する場合は、リセット後にホールが転送されたときにFD31領域の電位が上昇し、よりリークが起こりやすくなる状態となる。

[0097] <本技術のPN接合のさらに他の例>

図15は、本技術を適用したPN接合の構造の第4の実施の形態を示す図である。なお、図15のAは、本技術を適用したPN接合の構造を簡略した断面図を示す図であり、図15のBは、本技術を適用したPN接合の構造を上から見た平面図を示す図である。

[0098] また、図15の例は、上述した図2について、第2の実施の形態を組み合わせたものである。すなわち、図15の例の画素101は、光電変換膜がSi基板（半導体基板）111外に配置されており、それが導電性配線を通じて、Si基板111上のFD124と接続した構成となっている。なお、図15の例においては、光電変換膜、上部電極、下部電極の図示は省略されている。

[0099] 図15の画素101において、Si基板111の表面には、Si基板111に形成されたP_Well領域121にN型を注入することで、Poly電極122およびゲート酸化膜123からなるRST_Tr.131、並びにFD124などの回路が形成されている。

[0100] FD124は、接続配線128を介して、図示せぬ上部電極、下部電極に挟まれた光電変換膜と接続されている。FD124は、N⁺領域で形成されており、FD124とP_Well領域121との間には、空乏層125が形成されている。

[0101] このような画素101において、P_Well領域121から空乏層125に延伸するような形で負の固定電荷層126が形成される。この構造、すなわち、P_Well領域121から空乏層125にかけて延伸した負の固定電荷層126の働きにより、FD124部分で発生するリーク電流を低減することができる。

[0102] なお、図15のBの例においては、負の固定電荷層126は、Poly電極122と接触せずに、空間が空いているが、接触してもよい。

[0103] 次に、図16のフローチャートを参照して、図15に示される画素101の製造処理について説明する。なお、この処理は、図示せぬ製造装置により実行される処理である。

- [0104] ステップS 1 1 1において、製造装置は、Si基板 1 1 1にP_Well領域 1 2 1、RST_Tr. 1 3 1のPoly電極 1 2 2およびゲート酸化膜 1 2 3を形成する。ステップS 1 1 2において、製造装置は、ステップS 1 1 1によりP_Well領域 1 2 1などが形成されたSi基板 1 1 1に、N型不純物からなるFD 1 2 4を形成する。
- [0105] ステップS 1 1 3において、製造装置は、負の電荷を有する負の固定電荷層 1 2 6を形成する。負の固定電荷層 1 2 6は、400度以下で形成されるプラズマ酸化膜またはNを含有したSiO₂膜などからなる。
- [0106] ステップS 1 1 4において、製造装置は、ステップS 1 1 3により負の固定電荷層 6 5が形成された後に、P_Well領域 1 2 1と空乏層 1 2 5上にのみにパターニングを行う。ステップS 1 1 5において、製造装置は、層間絶縁膜 1 2 7を形成する。ステップS 1 1 6において、製造装置は、層間絶縁膜 1 2 7にコンタクトホールを形成する。
- [0107] ステップS 1 1 6において、製造装置は、図示せぬ光電変換層と、接続配線 1 2 8を形成する。これにより、図 1 5に示された構造が完成される。
- [0108] この構造により、P_Well領域 1 2 1から空乏層 1 2 5にかけて延伸した負の固定電荷層 1 2 6の働きにより、FD 1 2 4部分で発生するリーク電流を低減することができる。
- [0109] 図 1 7は、本技術を適用したPN接合の構造の第 5 の実施の形態を示す図である。なお、図 1 7のAは、本技術を適用したPN接合の構造を簡略した断面図を示す図であり、図 1 7のBは、本技術を適用したPN接合の構造を上から見た平面図を示す図である。
- [0110] また、図 1 7の例は、上述した図 2について、第 1 の実施の形態を組み合わせたものである。すなわち、図 1 7の例の画素 1 5 1は、光電変換膜がSi基板 1 1 1外に配置されており、それが導電性配線を通じて、Si基板 1 1 1上のFD 1 2 4と接続した構成となっている。なお、図 1 7の例においては、光電変換膜、上部電極、下部電極の図示は省略されている。
- [0111] 図 1 7の画素 1 5 1において、Si基板 1 1 1の表面には、Si基板 1 1 1に

形成されたP_Well領域121にN型を注入することで、Poly電極122およびゲート酸化膜123からなるRST_Tr.131、並びにFD124などの回路が形成されている。

[0112] FD124は、接続配線128を介して、図示せぬ上部電極、下部電極に挟まれた光電変換膜と接続されている。FD124は、N+領域で形成されており、FD124とP_Well領域121の間には、空乏層125が形成されている。

[0113] このような画素151において、N+領域であるFD124から空乏層125に延伸するような形で正の固定電荷層161が形成される。この構造、すなわち、FD124から空乏層125にかけて延伸した正の固定電荷層161の働きにより、FD124部分で発生するリーク電流を低減することができる。

[0114] なお、図17の画素151は、図16を参照して上述した画素101の製造処理のステップS113において、形成されるものが、負の電荷を有する固定電荷層から、正の電荷を有する固定電荷層に代わるだけであり、その他の処理は、基本的に同様である。したがって、図17の画素151の製造処理については省略される。

[0115] 図18は、本技術を適用したPN接合の構造の第6の実施の形態を示す図である。なお、図18は、本技術を適用したPN接合の構造を簡略した断面図を示す図である。

[0116] また、図18の例は、上述した図2について、第3の実施の形態を組み合わせたものである。すなわち、図18の例の画素181は、光電変換膜がSi基板111外に配置されており、それが導電性配線を通じて、Si基板111上のFD124と接続した構成となっている。なお、図18の例においては、光電変換膜、上部電極、下部電極の図示は省略されている。

[0117] 図18の画素181において、Si基板111の表面には、Si基板111に形成されたP_Well領域121にN型を注入することで、Poly電極122およびゲート酸化膜123からなるRST_Tr.131、並びにFD124などの回路が形成されている。

[0118] FD 1 2 4 は、接続配線 1 2 8 を介して、図示せぬ上部電極、下部電極に挟まれた光電変換膜と接続されている。FD 1 2 4 は、N+領域で形成されており、FD 1 2 4 とP_Well領域 1 2 1 との間には、空乏層 1 2 5 が形成されている。

[0119] このような画素 1 8 1 において、P_Well領域 1 2 1 から空乏層 1 2 5 に延伸するような形で負の固定電荷層 1 9 1 が形成され、N+領域であるFD 1 2 4 から空乏層 1 2 5 に延伸するような形で正の固定電荷層 1 9 2 が形成される。この構造、すなわち、P_Well領域 1 2 1 から空乏層 1 2 5 にかけて延伸した負の固定電荷層 1 9 1 およびFD 1 2 4 から空乏層 1 2 5 にかけて延伸した正の固定電荷層 1 9 2 の働きにより、FD 1 2 4 部分で発生するリーク電流を低減することができる。

[0120] なお、図 1 8 の例においては、負の固定電荷層 1 9 1 と正の固定電荷層 1 9 2 とが、それぞれ空乏層 1 2 5 にかかるように形成されているが、お互いの層は、積層構造とはなっていない。

[0121] 図 1 9 は、本技術を適用したPN接合の構造の第 7 の実施の形態を示す図である。なお、図 1 9 は、本技術を適用したPN接合の構造を簡略した断面図を示す図である。

[0122] また、図 1 9 の例は、上述した図 2 について、第 3 の実施の形態の変形例を組み合わせたものである。すなわち、図 1 9 の例の画素 1 8 1 は、光電変換膜がSi基板 1 1 1 外に配置されており、それが導電性配線を通じて、Si基板 1 1 1 上のFD 1 2 4 と接続した構成となっている。なお、図 1 9 の例においては、光電変換膜、上部電極、下部電極の図示は省略されている。

[0123] 図 1 9 の画素 2 0 1 において、Si基板 1 1 1 の表面には、Si基板 1 1 1 に形成されたP_Well領域 1 2 1 にN型を注入することで、Poly電極 1 2 2 およびゲート酸化膜 1 2 3 からなるRST_Tr. 1 3 1、並びにFD 1 2 4 などの回路が形成されている。

[0124] FD 1 2 4 は、接続配線 1 2 8 を介して、図示せぬ上部電極、下部電極に挟まれた光電変換膜と接続されている。FD 1 2 4 は、N+領域で形成されており

、FD 1 2 4 とP_Well領域 1 2 1 との間には、空乏層 1 2 5 が形成されている。

[0125] このような画素 2 0 1 において、P_Well領域 1 2 1 から空乏層 1 2 5 に延伸するような形で負の固定電荷層 2 1 1 が形成されており、N+領域であるFD 1 2 4 から空乏層 1 2 5 を越えて、負の固定電荷層 2 1 1 に乗り上げるように、正の固定電荷層 2 1 2 が形成されている。この構造、すなわち、P_Well領域 1 2 1 から空乏層 1 2 5 にかけて延伸した負の固定電荷層 2 1 1 およびFD 1 2 4 から空乏層 1 2 5 を越えて、負の固定電荷層 2 1 1 に乗り上げるように形成された正の固定電荷層 2 1 2 の働きにより、FD 1 2 4 部分で発生するリーク電流を低減することができる。

[0126] <本技術のPN接合の他の例>

図 2 0 は、本技術を適用したPN接合の構造の第 8 の実施の形態を示す図である。図 2 0 の例においては、図 4 の例と同様に、Si基板 5 1 にP型のWell (P_Well領域) の中にN+領域を形成したものが示されており、P_Well領域 6 1 とN+領域 6 2 との境界 6 3 の周囲では、空乏層 6 4 が形成されている。

[0127] そして、図 2 0 の例の場合、Si基板 5 1 の表面には、N+領域 6 2 の上に空乏層 6 4 にかかるようにして、図 4 の正の固定電荷を持つ正の固定電荷層 6 5 が、Si酸化膜 2 5 1 を介して形成されたPoly Si電極(Gate) 2 5 2 に置き換えられている。

[0128] このとき、Poly Si電極 2 5 2 は、N型、P型、いずれの不純物を含むものでも構わないが、好ましくは、N+領域 6 2 の上は、N型のPoly Siが望ましい。そして、N+領域 6 2 のPoly Si電極 2 5 2 には、正の電圧がかけられる。

[0129] この電圧を適当に調整することで、図 4 の固定電荷層 6 5 と同様なSi表面のポテンシャルを作ることができ、固定電荷層 6 5 を形成した場合と同様のリーク電流低減効果を得ることができる。

[0130] 図 2 1 は、本技術を適用したPN接合の構造の第 9 の実施の形態を示す図である。図 2 1 の例においては、図 4 の例と同様に、Si基板 5 1 にP型のWell (P_Well領域) の中にN+領域を形成したものが示されており、P_Well領域 6 1

とN+領域62との境界63の周囲では、空乏層64が形成されている。

[0131] そして、図21の例の場合、Si基板51の表面には、P_Well領域61の上に空乏層64にかかるようにして、図7の負の固定電荷を持つ負の固定電荷層81が、Si酸化膜261を介して形成されたPoly Si電極(Gate)262に置き換えられている。

[0132] このとき、Poly Si電極262は、N型、P型、いずれの不純物を含むものでも構わないが、好ましくは、P_Well領域61の上は、P型のPoly Siが望ましい。そして、P_Well領域61のPoly Si電極262には、負の電圧がかけられる。

[0133] この電圧を適当に調整することで、図7の負の固定電荷層81と同様なSi表面のポテンシャルを作ることができ、負の固定電荷層81を形成した場合と同様のリーク電流低減効果を得ることができる。

[0134] 図22は、本技術を適用したPN接合の構造の第10の実施の形態を示す図である。図22の例においては、図4の例と同様に、Si基板51にP型のWell(P_Well領域)の中にN+領域を形成したものが示されており、P_Well領域61とN+領域62との境界63の周囲では、空乏層64が形成されている。

[0135] そして、図22の例の場合、Si基板51の表面には、N+領域62の上に空乏層64にかかるようにして、図10の正の固定電荷を持つ正の固定電荷層91が、Si酸化膜271を介して形成されたPoly Si電極(Gate)272に置き換えられている。また、P_Well領域61の上に空乏層64にかかるようにして、図10の負の固定電荷を持つ負の固定電荷層92が、Si酸化膜272を介して形成されたPoly Si電極(Gate)274に置き換えられている。

[0136] このとき、Poly Si電極272および274は、N型、P型、いずれの不純物を含むものでも構わないが、好ましくは、N+領域62の上は、N型のPoly Siが望ましい。そして、N+領域62のPoly Si電極272には、正の電圧がかけられる。また、好ましくは、P_Well領域61の上は、P型のPoly Siが望ましい。そして、P_Well領域61のPoly Si電極274には、負の電圧がかけられる。

[0137] この電圧を適当に調整することで、図10の正の固定電荷層91および負の固定電極層92と同様なSi表面のポテンシャルを作ることができ、正の固定電荷層91および負の固定電極層92を形成した場合と同様のリーク電流低減効果を得ることができる。

[0138] <本技術のPN接合のさらに他の例>

図23は、本技術を適用したPN接合の構造の第11の実施の形態を示す図である。なお、図23のAは、本技術を適用したPN接合の構造を簡略した断面図を示す図であり、図23のBは、本技術を適用したPN接合の構造を上から見た平面図を示す図である。

[0139] また、図23の例は、上述した図2について、第4の実施の形態を組み合わせたものである。すなわち、図23の例の画素301は、光電変換膜がSi基板111外に配置されており、それが導電性配線を通じて、Si基板111上のFD124と接続した構成となっている。なお、図23の例においては、光電変換膜、上部電極、下部電極の図示は省略されている。

[0140] 図23の画素301において、Si基板111の表面には、Si基板111に形成されたP_Well領域121にN型を注入することで、Poly電極122およびゲート酸化膜123からなるRST_Tr.131、並びにFD124などの回路が形成されている。

[0141] FD124は、接続配線128を介して、図示せぬ上部電極、下部電極に挟まれた光電変換膜と接続されている。FD124は、N+領域で形成されており、FD124とP_Well領域121との間には、空乏層125が形成されている。

[0142] このような画素301において、P_Well領域121から空乏層125に延伸するような形で、図15の負の固定電荷層126の代わりに、Si酸化膜311を介して形成されたPoly Si電極312が形成される。この構造、すなわち、P_Well領域121から空乏層125にかけて延伸したPoly Si電極312に負バイアスを印加することにより、P_Well領域121から、空乏層125にかけて、図15の例と同様に、ホール蓄積層を形成することができ、FD1

24部分で発生するリーク電流を低減することができる。

[0143] なお、図23のBの例においては、Poly Si電極312は、Poly電極122と接触せずに、空間が空いているが、接触してもよい。

[0144] 以上のように、これらの構造を適用することで、PN接合でのリーク電流を低減することができる。また、この構造をFDに蓄積するタイプのCMOS固体撮像装置に適用することで、暗電流成分を低減した画像を得ることができる。

[0145] なお、以上においては、本技術を、CMOS固体撮像装置に適用した構成について説明してきたが、CCD (Charge Coupled Device) 固体撮像装置といった固体撮像装置に適用するようにしてもよい。また、本技術は、固体撮像装置だけでなく、FDやPDを必要としない半導体装置にも適用することができる。

[0146] また、固体撮像装置は、裏面照射型であってもよいし、表面照射型であってもよい。

[0147] なお、本技術は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等のカメラシステムや、携帯電話機等の撮像機能を有する電子機器のことをいう。なお、電子機器に搭載されるモジュール状の形態、すなわちカメラモジュールを撮像装置とする場合もある。

[0148] <電子機器の構成例>

図24は、本技術を適用した電子機器としての、カメラ装置の構成例を示すブロック図である。

[0149] 図24のカメラ装置600は、レンズ群などからなる光学部601、本技術の各構造が採用される固体撮像装置（撮像デバイス）602、およびカメラ信号処理回路であるDSP回路603を備える。また、カメラ装置600は、フレームメモリ604、表示部605、記録部606、操作部607、および電源部608も備える。DSP回路603、フレームメモリ604、表示部605、記録部606、操作部607および電源部608は、バスライン609を介して相互に接続されている。

[0150] 光学部601は、被写体からの入射光（像光）を取り込んで固体撮像装置

602の撮像面上に結像する。固体撮像装置602は、光学部601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置602として、上述した実施の形態に係る固体撮像装置を用いることができる。

[0151] 表示部605は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置602で撮像された動画または静止画を表示する。記録部606は、固体撮像装置602で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

[0152] 操作部607は、ユーザによる操作の下に、カメラ装置600が有する様々な機能について操作指令を発する。電源部608は、DSP回路603、フレームメモリ604、表示部605、記録部606および操作部607の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0153] なお、本明細書において、上述した一連の処理を記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

[0154] また、本開示における実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0155] また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0156] さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0157] また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめ

て1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。つまり、本技術は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0158] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、開示はかかる例に限定されない。本開示の属する技術の分野における通常の知識を有するのであれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例また修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0159] なお、本技術は以下のような構成も取ることができる。

(1) 半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜のうち少なくとも1つの膜

を備える半導体装置。

(2) 前記正の固定電荷膜は、プラズマ酸化膜である

前記(1)に記載の半導体装置。

(3) 前記正の固定電荷膜は、窒素原子を含んだSiO₂膜である

前記(1)に記載の半導体装置。

(4) 前記負の固定電荷膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイドのうち少なくとも1種類以上の元素を含む酸化物である

前記(1)乃至(3)のいずれかに記載の半導体装置。

(5) 前記半導体装置は、固体撮像装置であって、
前記半導体基板中に前記PN接合を用いて周辺と分離されたフローティング
拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換
層と

をさらに備える

前記(1)乃至(4)のいずれかに記載の半導体装置。

(6) 前記光電変換層は、カルコパイライト系材料である
前記(5)に記載の半導体装置。

(7) 前記光電変換層は、有機材料である
前記(5)に記載の半導体装置。

(8) 半導体基板中にPN接合を用いて周辺と分離されたフローティング
拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換
層と、

前記半導体基板中に形成されたPN接合の表面において、P型領域から空乏層
に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を
有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境
界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜の
うち少なくとも1つの膜と

を備える固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、
入射光を前記固体撮像装置に入射する光学系と
を有する電子機器。

(9) 半導体基板中に形成されたPN接合の表面において、P型領域から空
乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコ
ンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合で
の空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリ

コンゲート

を備える半導体装置。

(10) 前記半導体装置は、固体撮像装置であって、

前記半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と

をさらに備える前記(9)に記載の半導体装置。

(11) 半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と、

前記半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲート

を備える固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

入射光を前記固体撮像装置に入射する光学系と

を有する電子機器。

符号の説明

[0160] 1 固体撮像装置, 2 画素, 21 半導体基板, 22 光電変換膜, 23 上部電極, 24 下部電極, 25 配線層, 31 フローティングディフュージョン, 32 RST_Tr., 33 AMP_Tr., 51 Si基板, 61 P_Well領域, 62 N+領域, 63 境界, 64 空乏層, 65 固定電荷層, 81 固定電荷層, 91 固定電荷層, 92 固定電荷層, 101 画素, 111 半導体基板, 121 P_Well領域, 122

Poly電極, 123 ゲート酸化膜, 124 FD., 125 空乏層,
126 負の固定電荷層, 127 層間絶縁膜, 128 接続配線,
151 画素, 162 正の固定電荷層, 181 画素, 191 負
の固定電荷層, 192 正の固定電荷層, 201 画素, 211 負
の固定電荷層, 212 正の固定電荷層, 251 Si酸化膜, 252
Poly Si電極, 261 Si酸化膜, 262 Poly Si電極, 271 Si
酸化膜, 272 Poly Si電極, 273 Si酸化膜, 274 Poly Si電
極, 301 画素, 311 Si酸化膜, 312 Poly Si電極, 600
カメラ装置, 501 固体撮像装置, 601 光学部, 603 D
SP回路

請求の範囲

- [請求項1] 半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜のうち少なくとも1つの膜を備える半導体装置。
- [請求項2] 前記正の固定電荷膜は、プラズマ酸化膜である
請求項1に記載の半導体装置。
- [請求項3] 前記正の固定電荷膜は、窒素原子を含んだSiO₂膜である
請求項1に記載の半導体装置。
- [請求項4] 前記負の固定電荷膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイドのうち少なくとも1種類以上の元素を含む酸化物である
請求項1に記載の半導体装置。
- [請求項5] 前記半導体装置は、固体撮像装置であって、
前記半導体基板中に前記PN接合を用いて周辺と分離されたフローティング拡散領域と、
前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と
をさらに備える請求項1に記載の半導体装置。
- [請求項6] 前記光電変換層は、カルコパイライト系材料である
請求項5に記載の半導体装置。
- [請求項7] 前記光電変換層は、有機材料である
請求項5に記載の半導体装置。
- [請求項8] 半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、
前記フローティング拡散領域に導電性の配線を介して接続された光

電変換層と、

前記半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する負の固定電荷を有する負の固定電荷膜、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置する正の固定電荷を有する正の固定電荷膜のうち少なくとも1つの膜と

を備える固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

入射光を前記固体撮像装置に入射する光学系と

を有する電子機器。

[請求項9]

半導体基板中に形成されたPN接合の表面において、P型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲート

を備える半導体装置。

[請求項10]

前記半導体装置は、固体撮像装置であって、

前記半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と

をさらに備える請求項9に記載の半導体装置。

[請求項11]

半導体基板中にPN接合を用いて周辺と分離されたフローティング拡散領域と、

前記フローティング拡散領域に導電性の配線を介して接続された光電変換層と、

前記半導体基板中に形成されたPN接合の表面において、P型領域か

ら空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲート、および、N型領域から空乏層に延伸し、かつ、その境界がPN接合での空乏層中に位置するポリシリコンゲートのうち少なくとも1つのポリシリコンゲート

を備える固体撮像装置と、

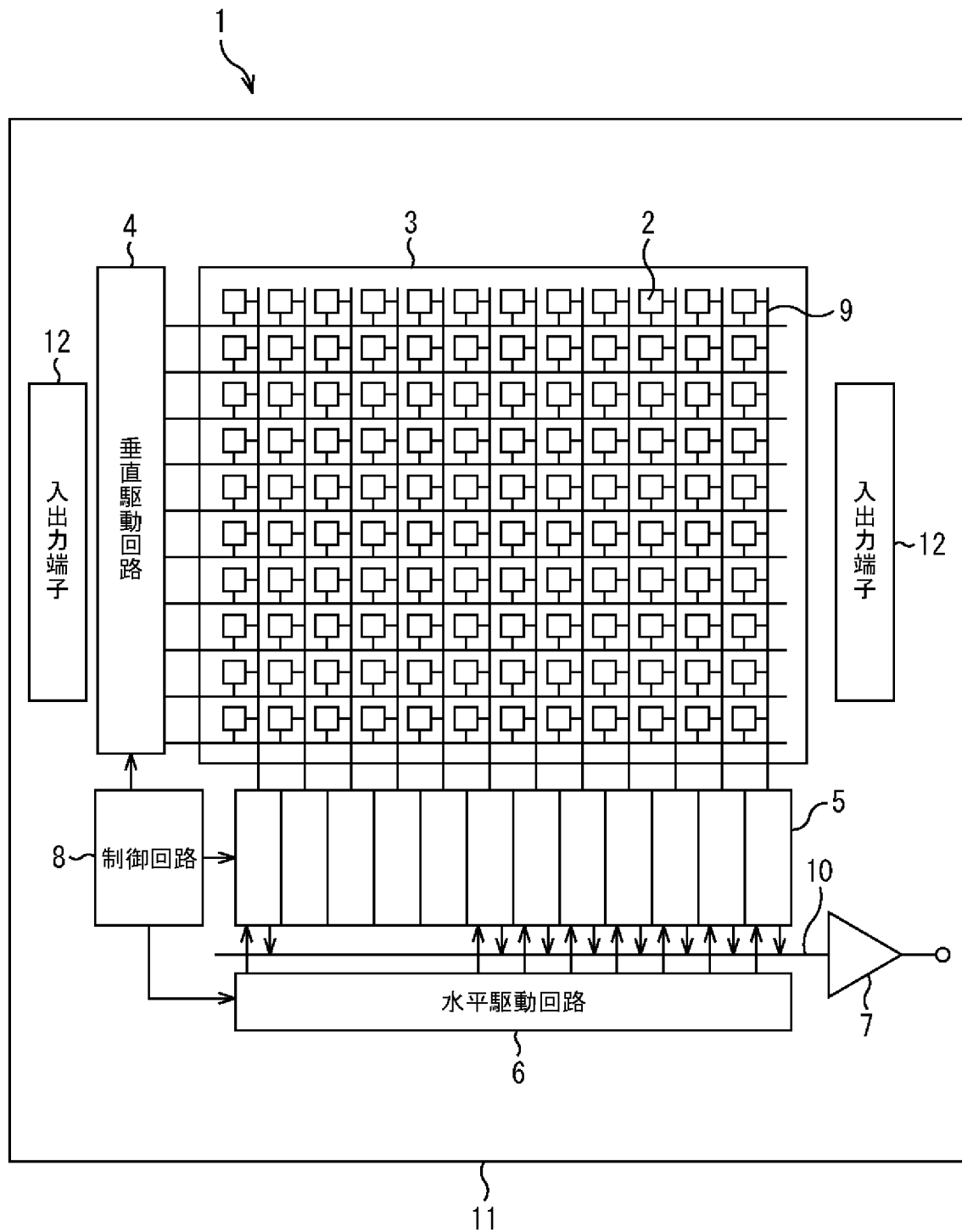
前記固体撮像装置から出力される出力信号を処理する信号処理回路と、

入射光を前記固体撮像装置に入射する光学系と

を有する電子機器。

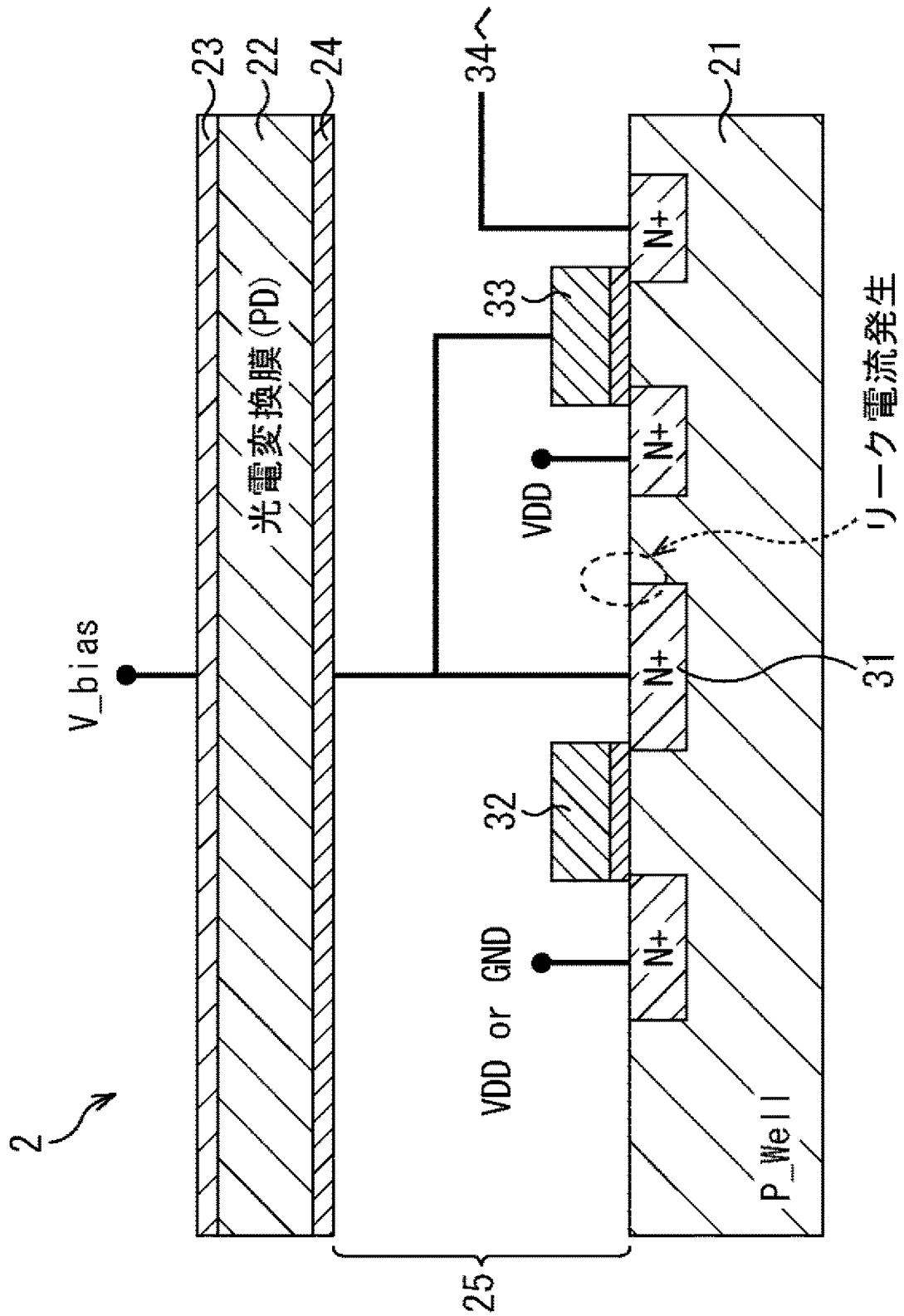
[図1]

図1



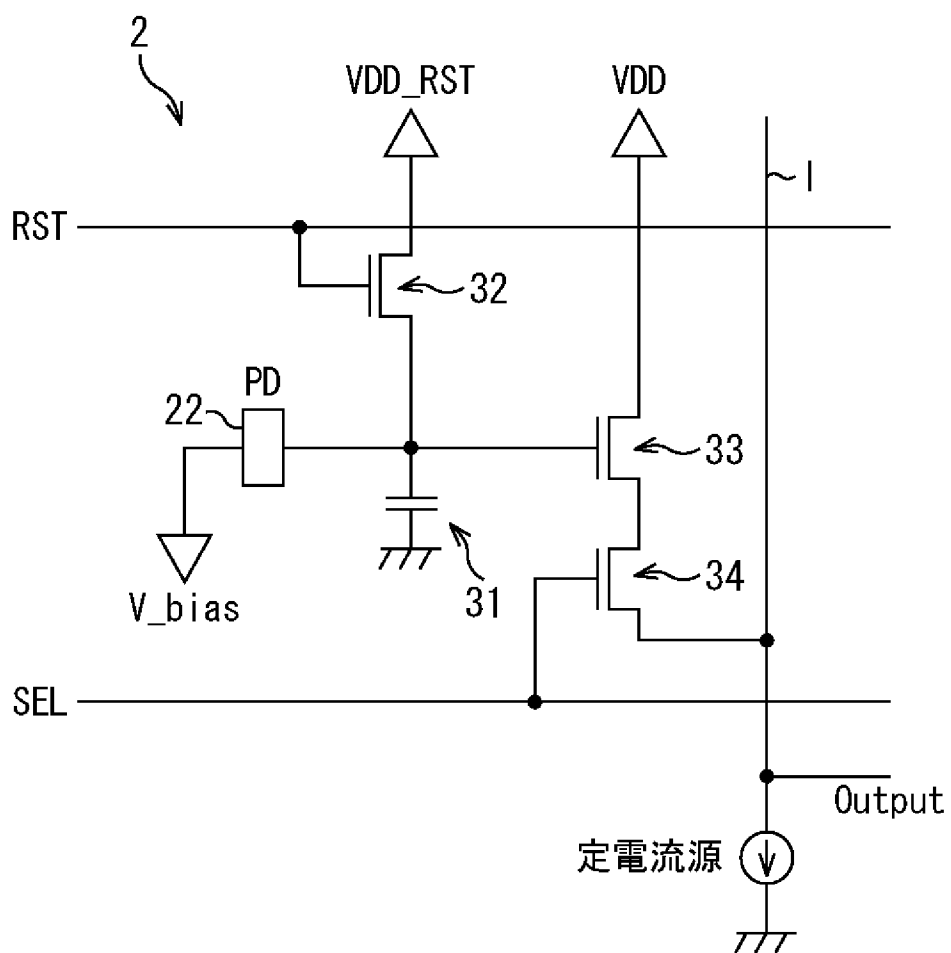
[図2]

図2



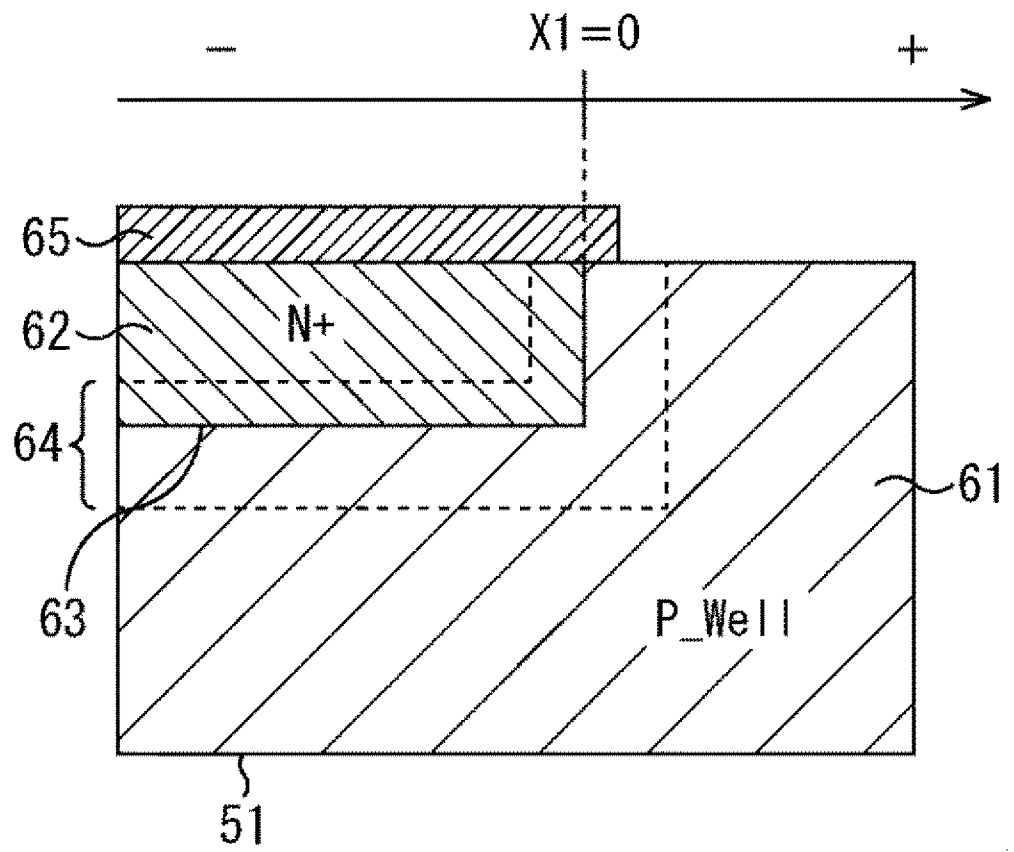
[図3]

図3



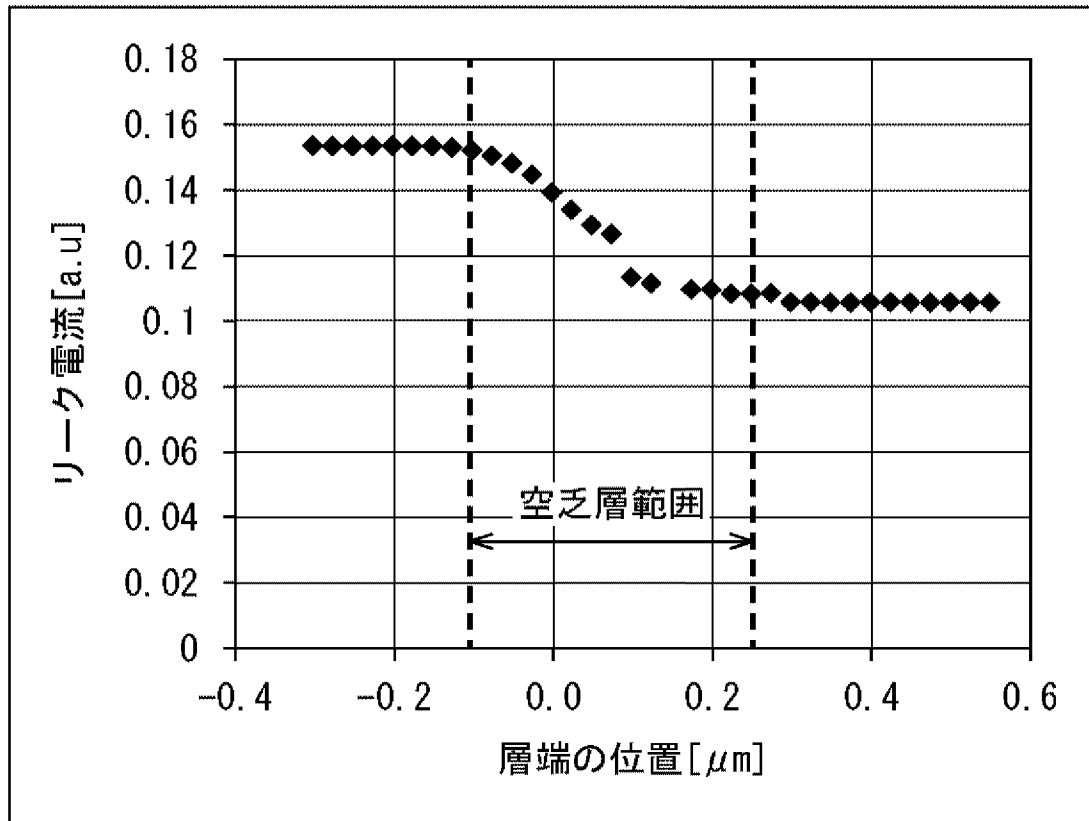
[図4]

図4



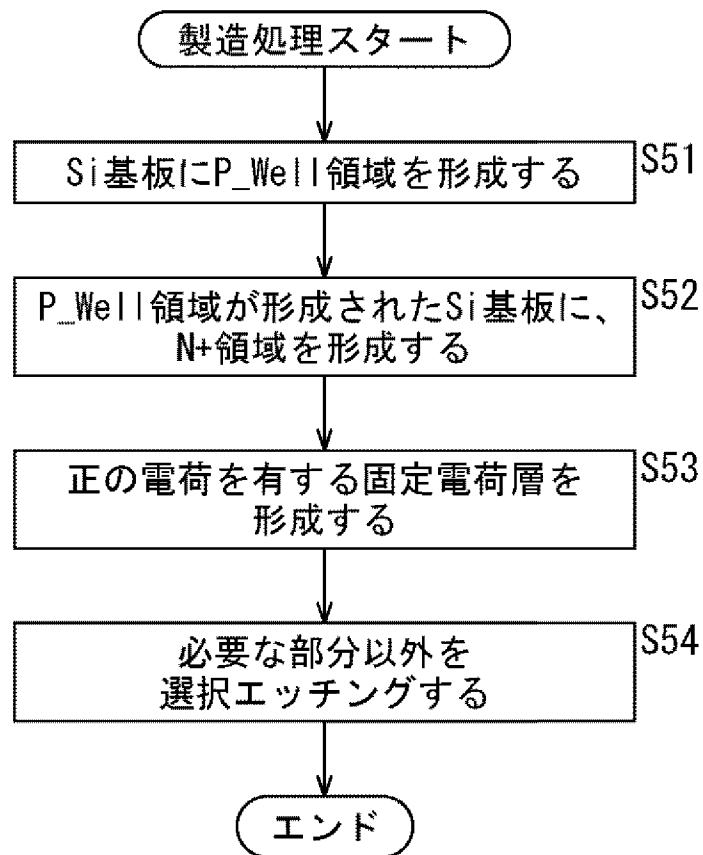
[図5]

図5



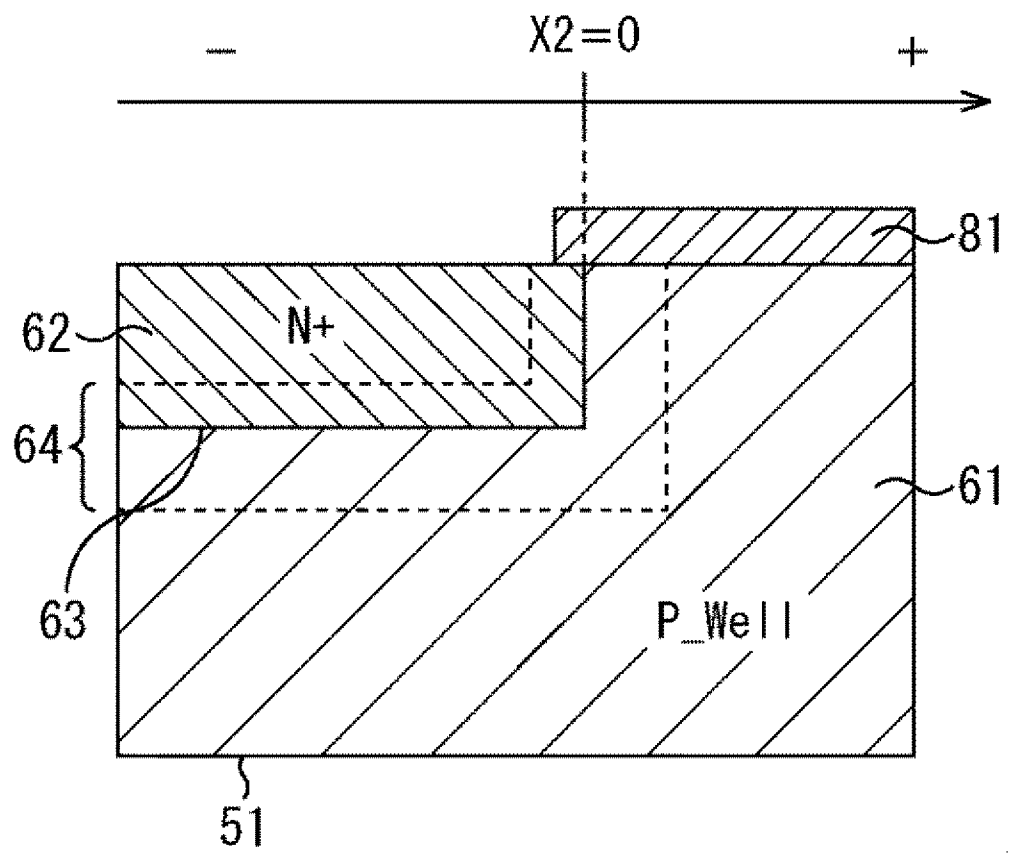
[図6]

図6



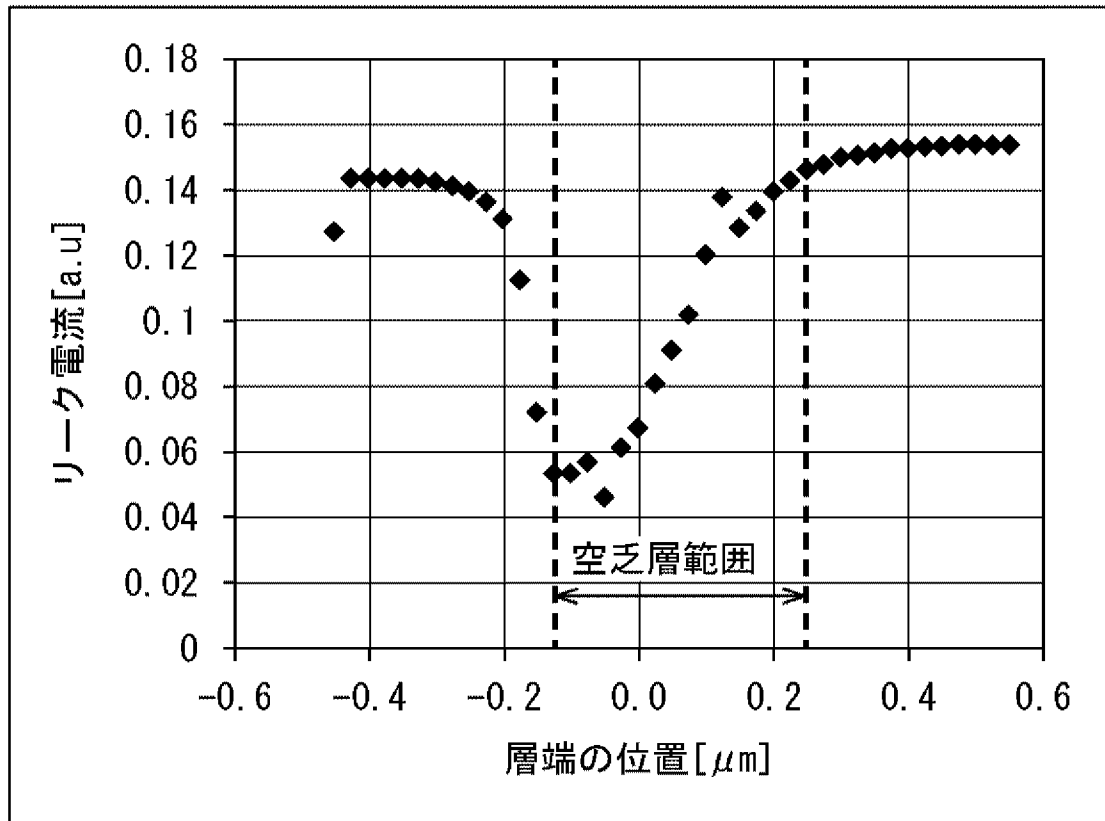
[図7]

図7



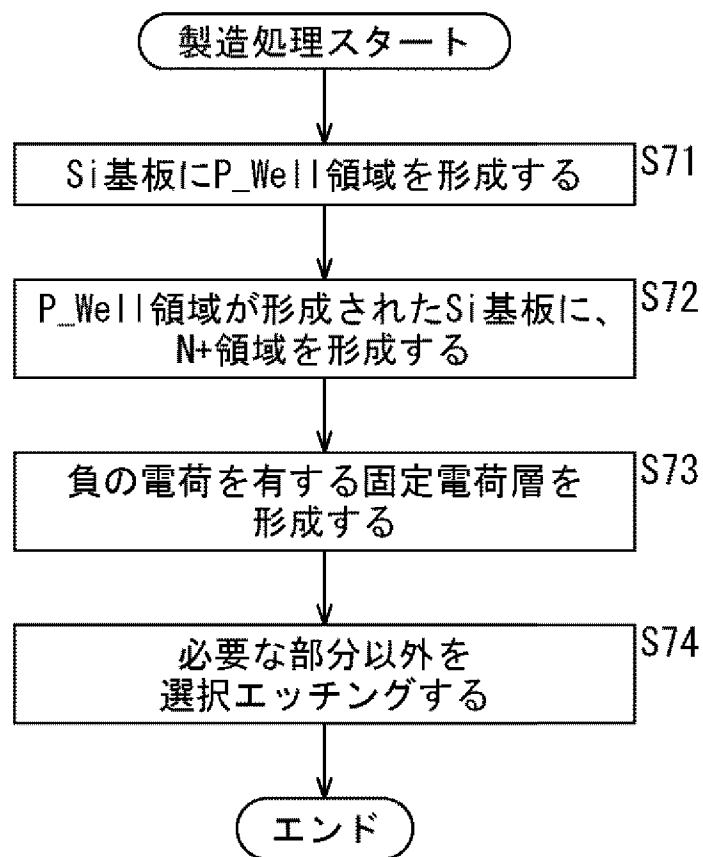
[図8]

図8



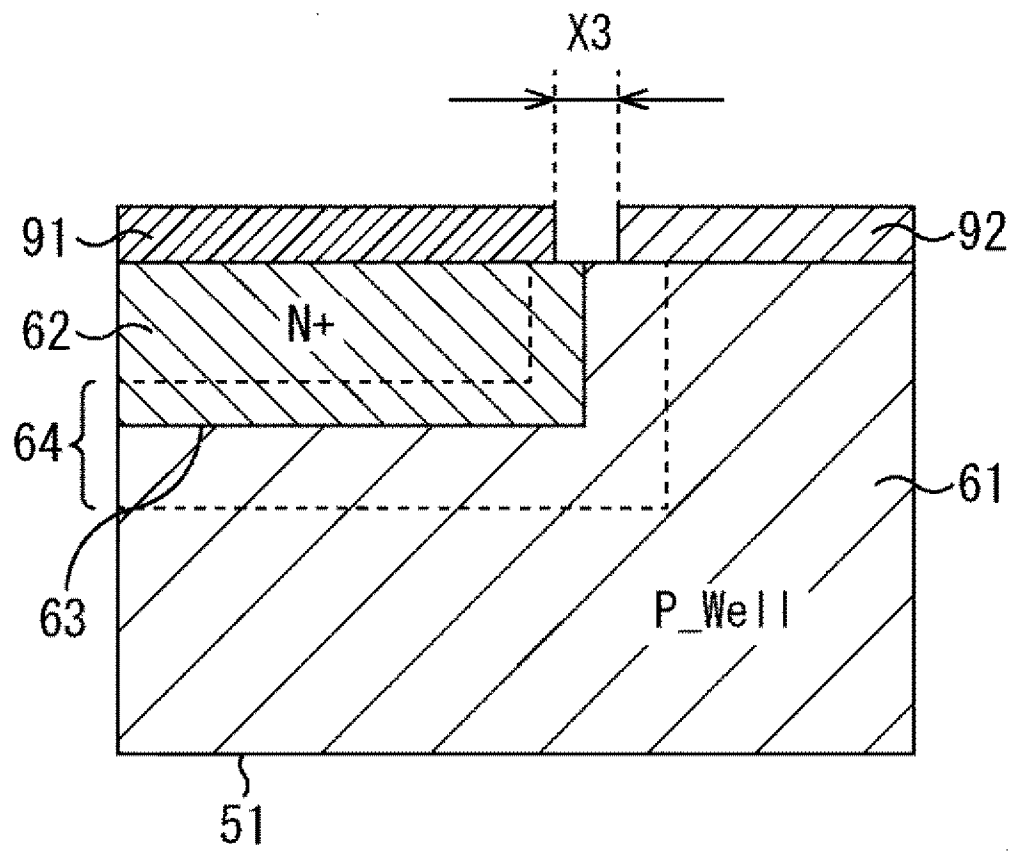
[図9]

図9



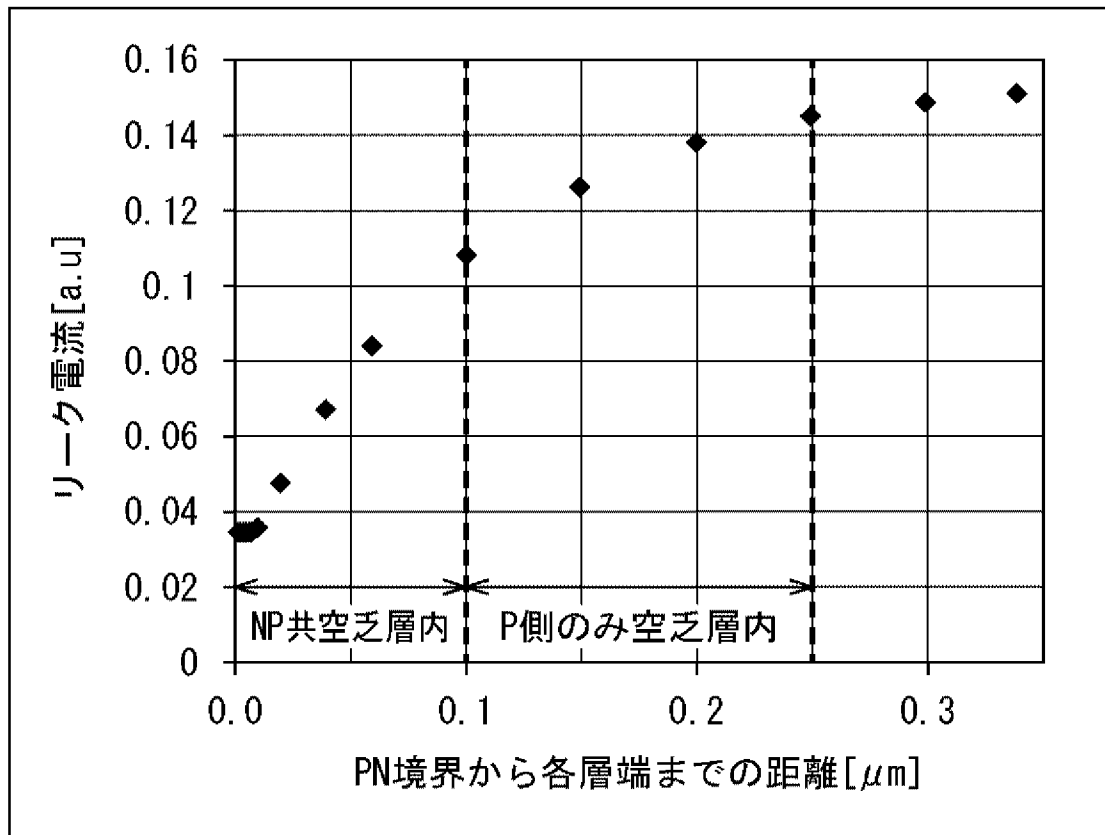
[図10]

図10



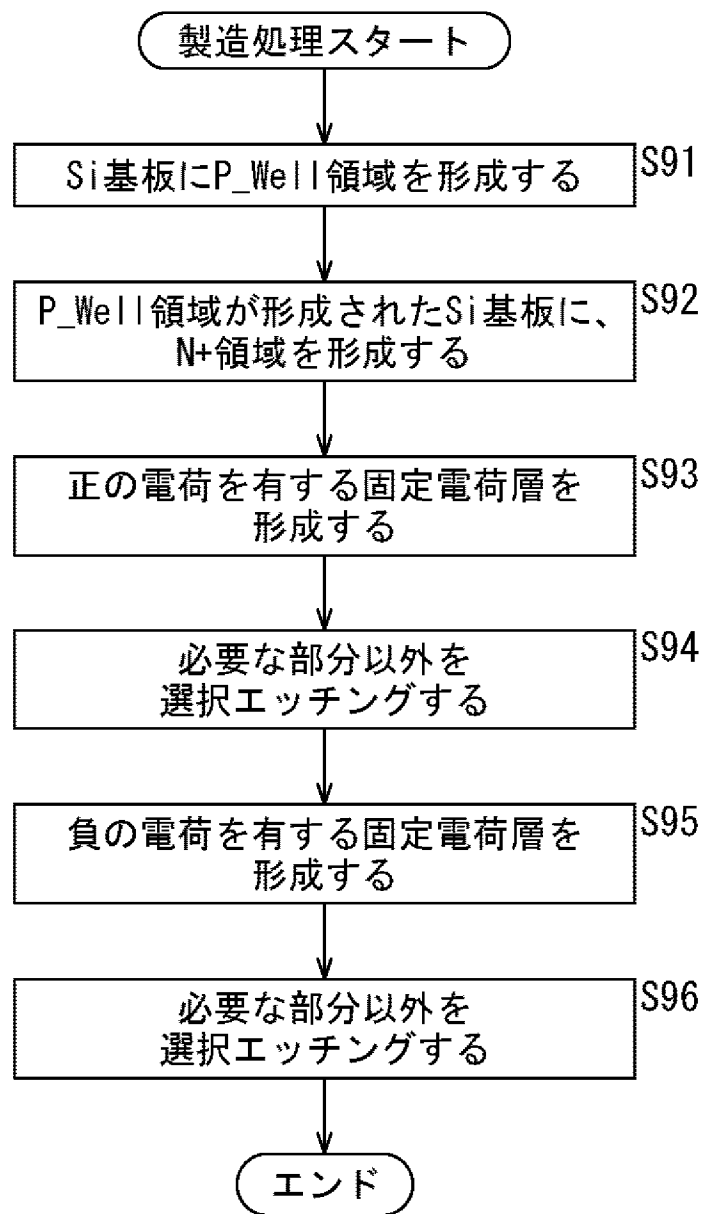
[図11]

図11



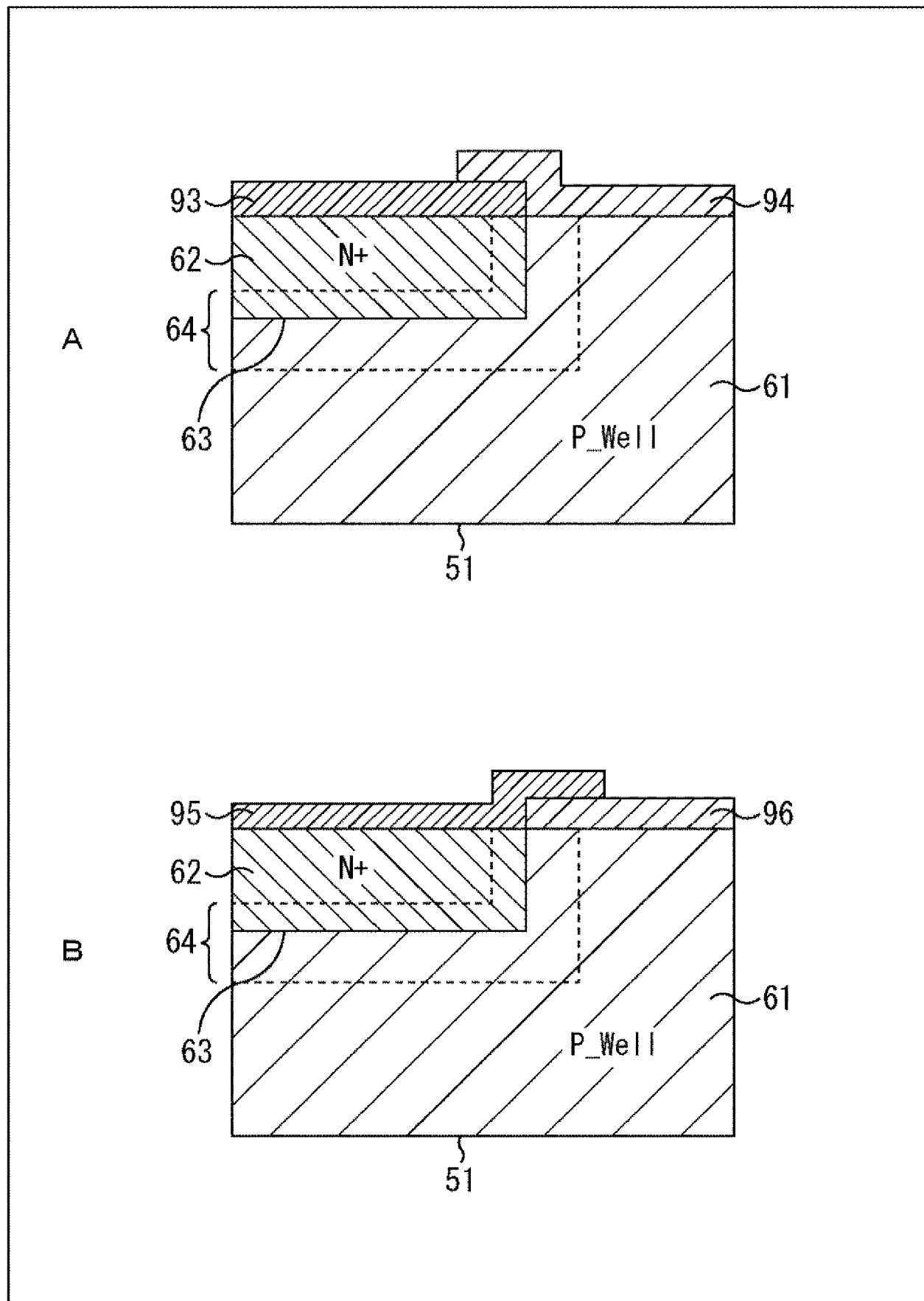
[図12]

図12



[図13]

図13



[図14]

図14

	IFD/IFD 基準値	低減率 (%)
層無し(基準値)	1.00	—
負電荷層全面	0.93	7.1
N型上正電荷層	0.69	31.4
P型上負電荷層	0.35	65.3
P型上負電荷層+N型上正電荷層	0.22	77.5

[図16]

図16

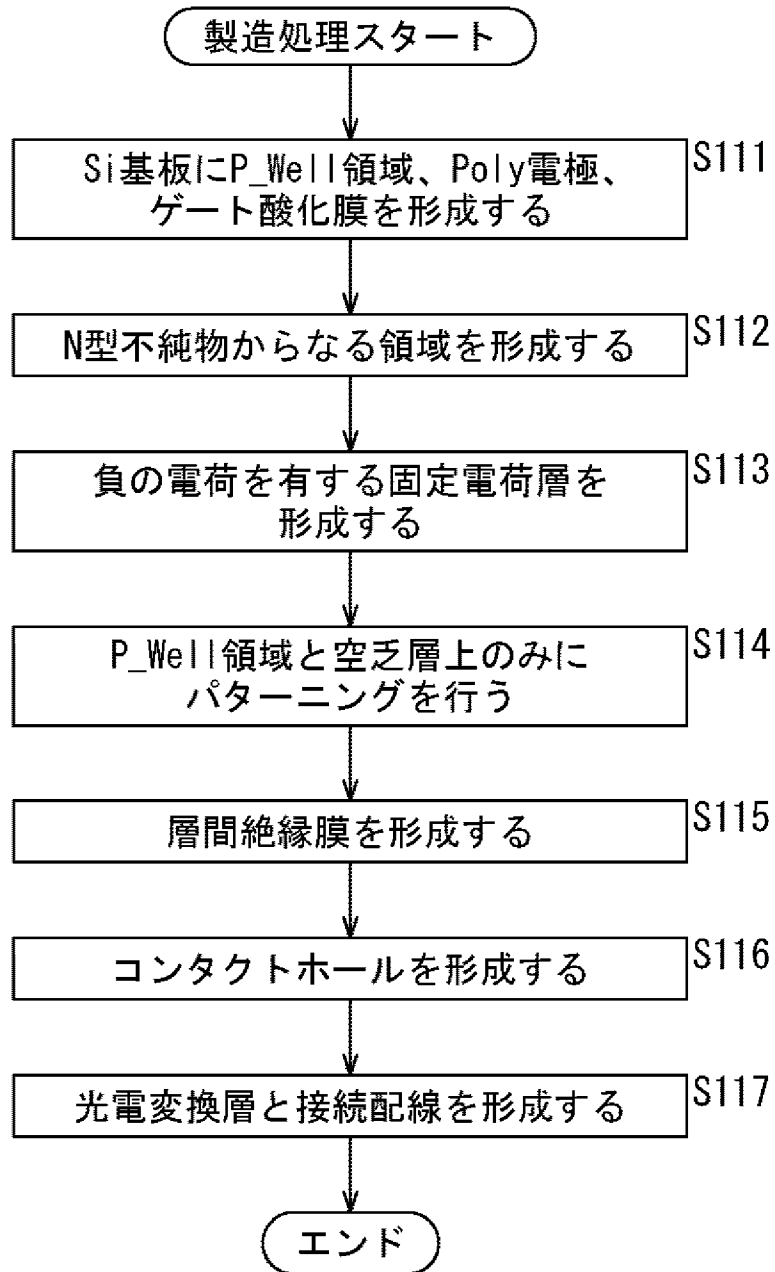
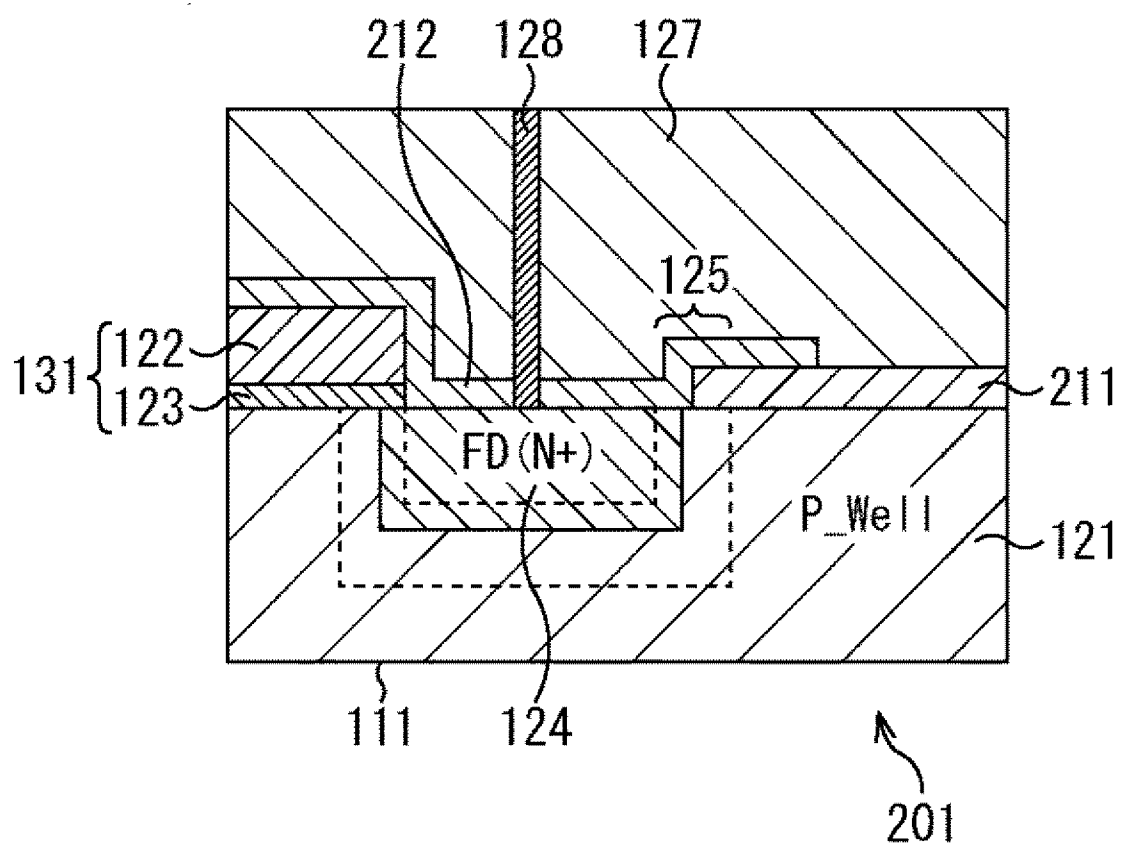
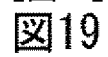


图17

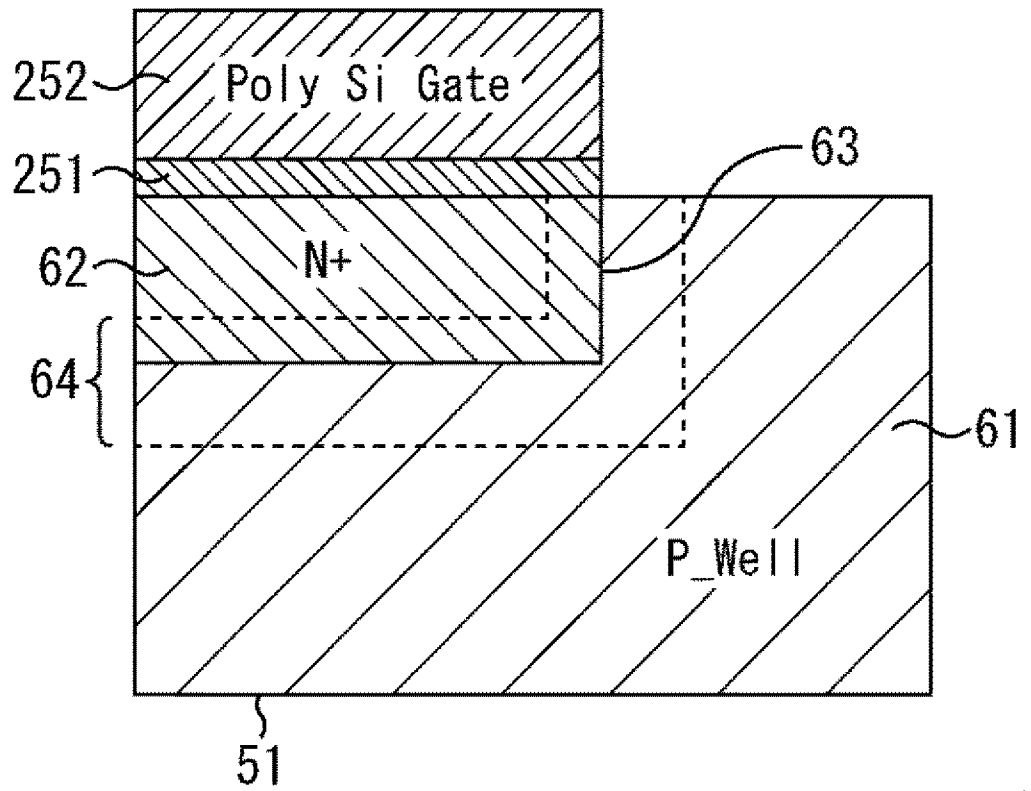


图 18



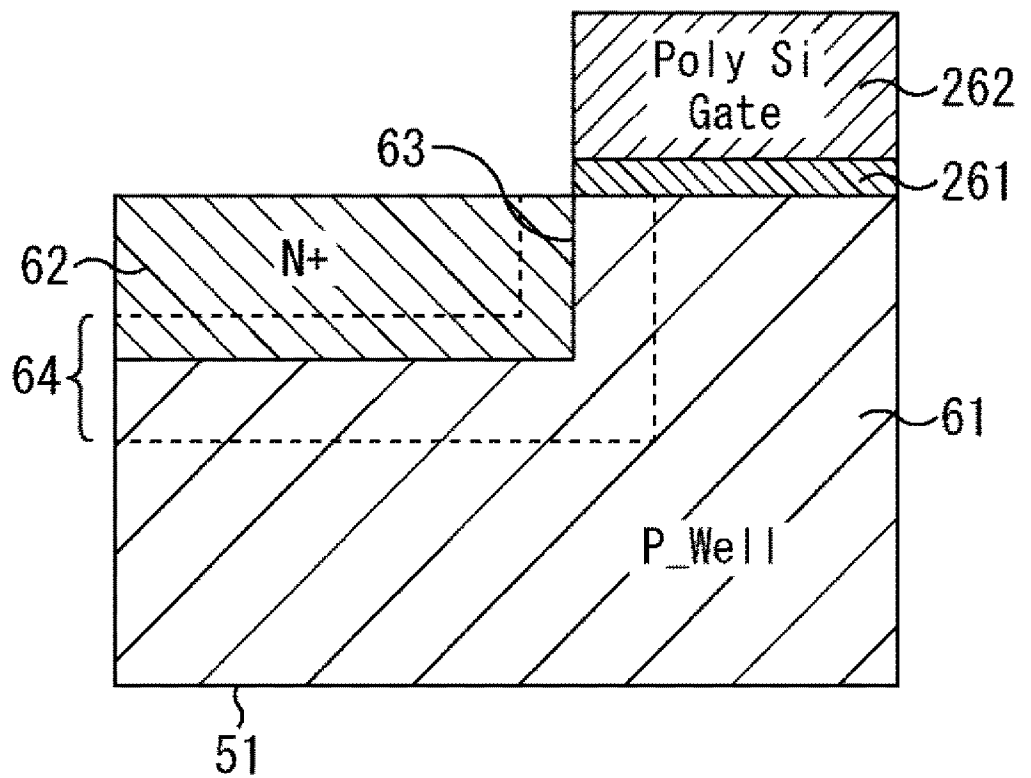
[図20]

図20



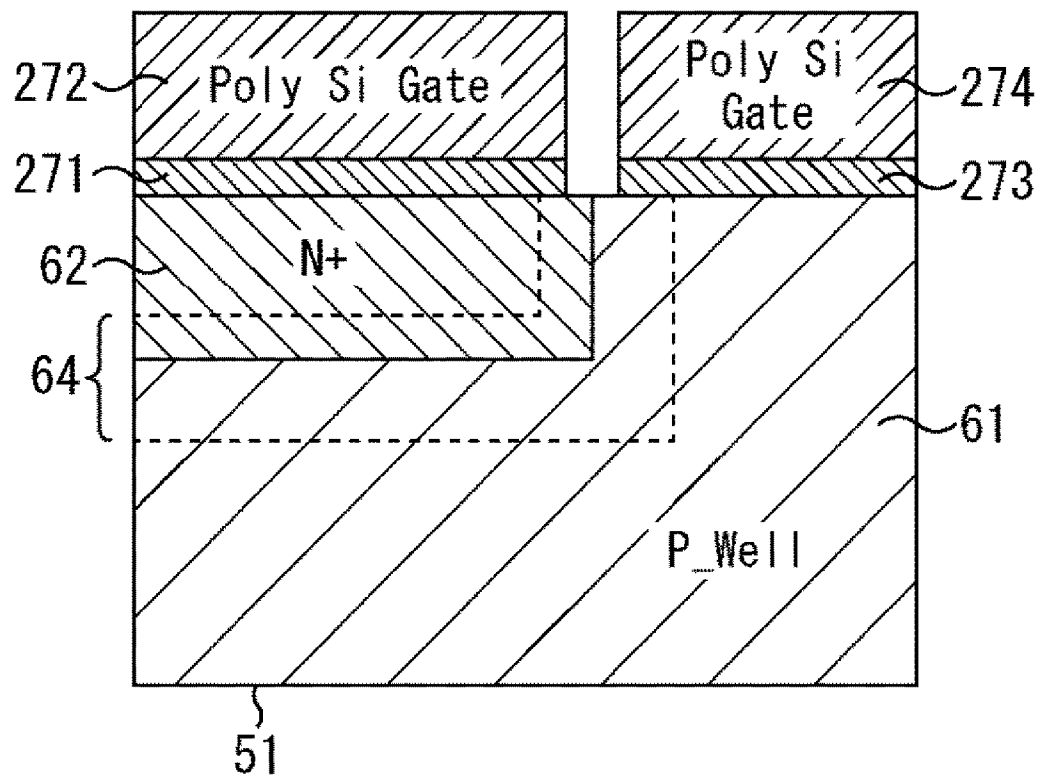
[図21]

図21



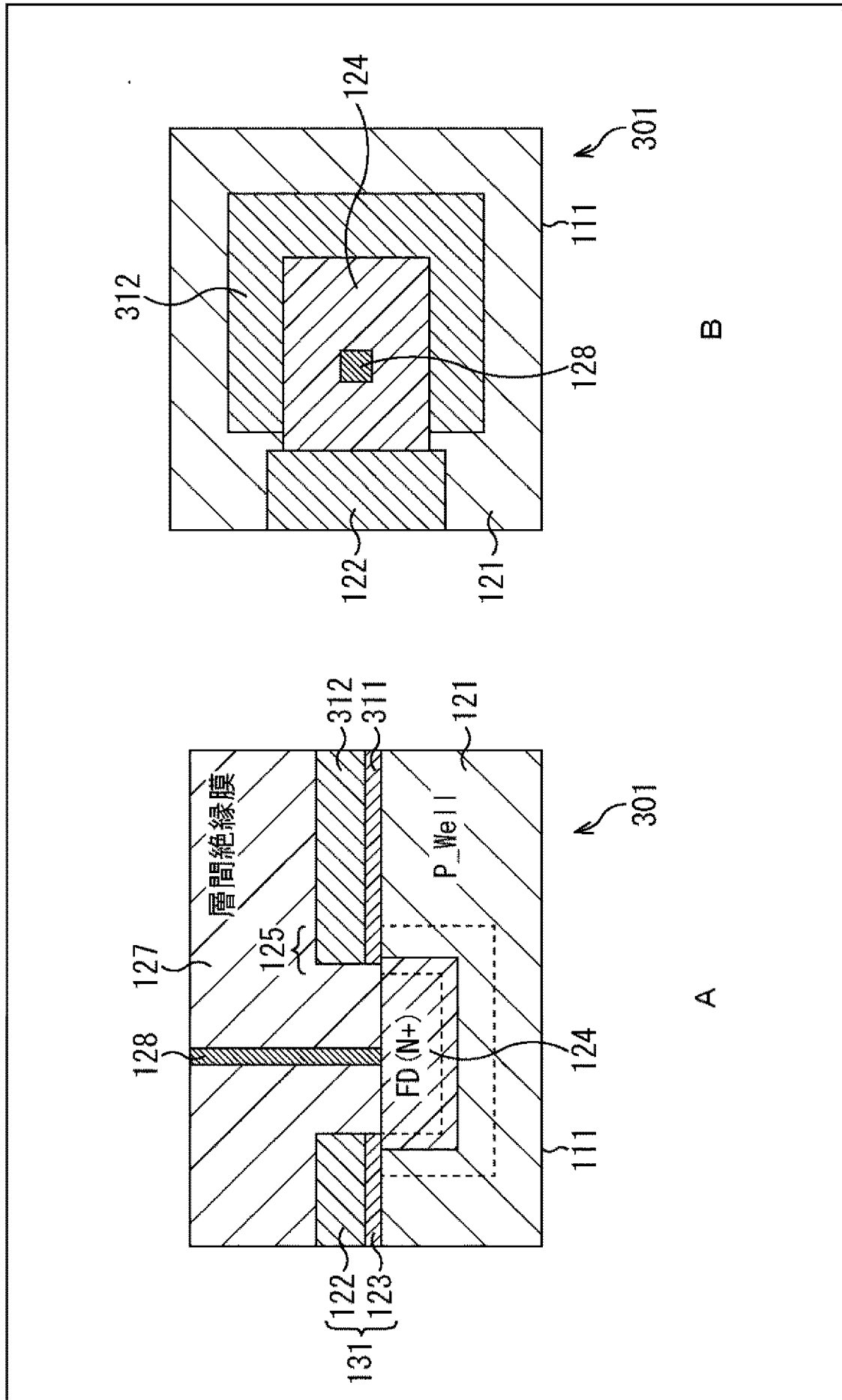
[図22]

図22



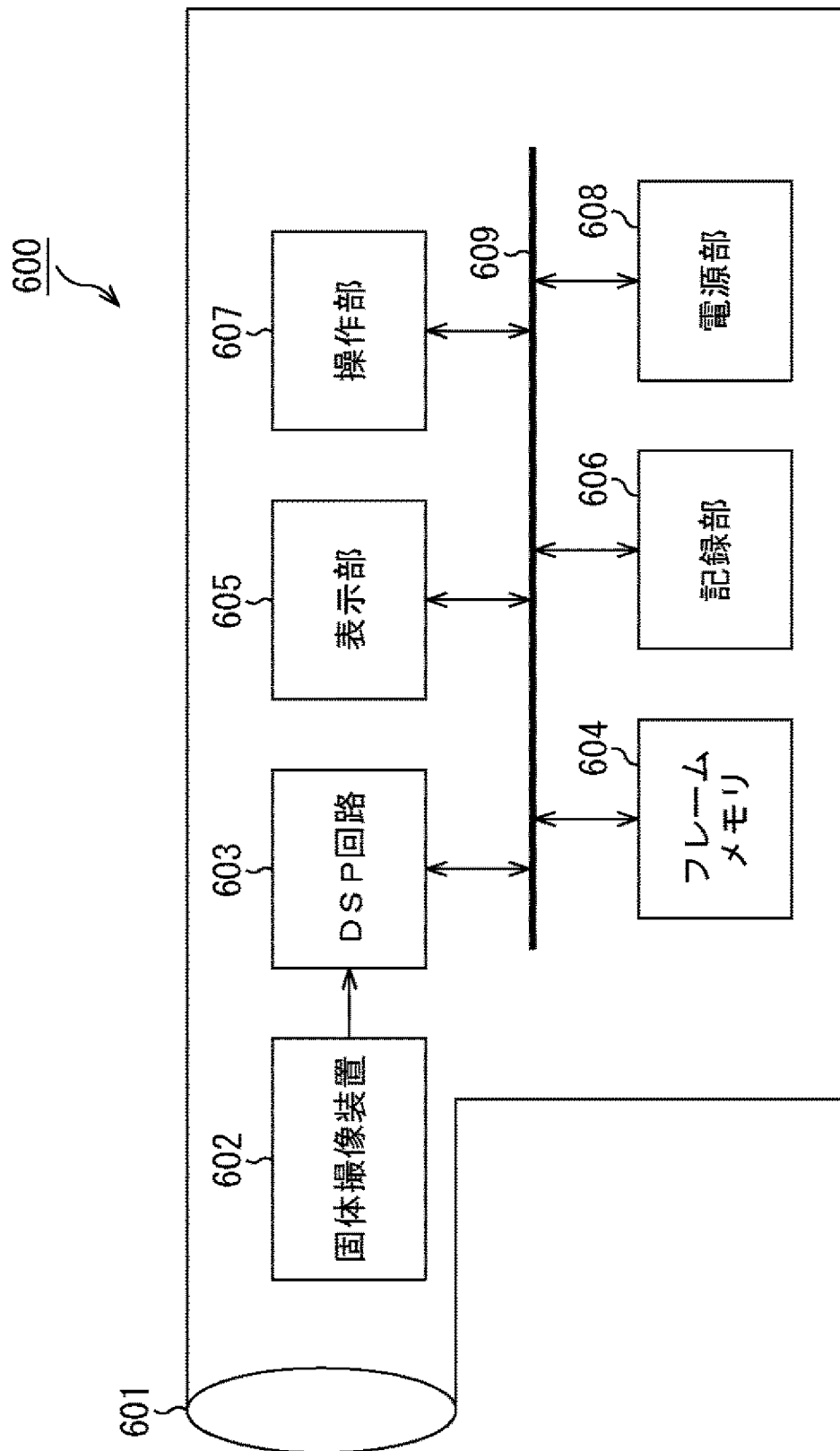
[図23]

図23



[図24]

図24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068965

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-089707 A (Sony Corp.), 13 May 2013 (13.05.2013), paragraphs [0047] to [0070], [0122] to [0123]; fig. 3 to 6, 14 (Family: none)	1-2 3-8
Y	JP 2005-005513 A (Sony Corp.), 06 January 2005 (06.01.2005), paragraphs [0035], [0049] & US 2004/0251488 A1	3
Y	JP 2002-367990 A (Sony Corp.), 20 December 2002 (20.12.2002), paragraph [0020] & US 2004/0152339 A1 & WO 2002/099868 A1 & EP 1394844 A1 & DE 60230982 D1 & KR 10-0574148 B1	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September 2015 (07.09.15)

Date of mailing of the international search report
15 September 2015 (15.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068965

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/111418 A1 (Sharp Corp.), 01 August 2013 (01.08.2013), paragraphs [0040], [0044], [0099] to [0100]; fig. 1 (Family: none)	3-4
Y	JP 2011-187857 A (Toshiba Corp.), 22 September 2011 (22.09.2011), paragraphs [0052] to [0053]; fig. 19 & US 2011/0220976 A1	4
Y	JP 2011-216623 A (Sony Corp.), 27 October 2011 (27.10.2011), paragraphs [0087] to [0090]; fig. 3 & US 2011/0241148 A1 & US 2013/0234276 A1 & US 2014/0191353 A1 & CN 102208425 A & KR 10-2011-0109892 A & TW 201145501 A	4
X Y	JP 2007-258684 A (Sony Corp.), 04 October 2007 (04.10.2007), paragraphs [0043] to [0052], [0076] to [0079]; fig. 4, 10 & JP 2012-84902 A & JP 2012-147004 A & JP 2014-160876 A & US 2007/0210395 A1 & US 2010/0141816 A1 & US 2011/0058062 A1 & US 2012/0147241 A1 & KR 10-2007-0088378 A & CN 101079967 A & TW 201143075 A & CN 103050501 A & KR 10-2013-0100087 A & CN 103390627 A	9 10-11
Y	WO 2014/002365 A1 (Panasonic Corp.), 03 January 2014 (03.01.2014), paragraphs [0020] to [0030]; fig. 1 to 2 & US 2015/0084106 A1	5, 7-8, 10-11
Y	JP 2011-146635 A (Sony Corp.), 28 July 2011 (28.07.2011), paragraphs [0026] to [0028]; fig. 1 & US 2011/0149102 A1 & US 2010/0182471 A1 & CN 102130141 A & KR 10-2011-0070788 A & TW 201143052 A & CN 101794836 A & KR 10-2010-0085849 A & TW 201103132 A	6
Y	JP 2012-169517 A (Seiko Epson Corp.), 06 September 2012 (06.09.2012), paragraphs [0019] to [0037]; fig. 1 to 4 & US 2012/0205649 A1 & EP 2490264 A1 & CN 102646687 A & KR 10-2012-0094430 A & TW 201240122 A	6
Y	JP 2014-120629 A (Rohm Co., Ltd.), 30 June 2014 (30.06.2014), paragraphs [0019] to [0028]; fig. 1 to 2 (Family: none)	6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-089707 A（ソニー株式会社）2013.05.13, 段落 [0047] - [0070], [0122] - [0123], [図 3] - [図 6], [図 14]（ファミリーなし）	1-2 3-8
Y	JP 2005-005513 A（ソニー株式会社）2005.01.06, 段落 [0035], [0049] & US 2004/0251488 A1	3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 9 . 2 0 1 5

国際調査報告の発送日

1 5 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

今井 聖和

5 F

5 8 9 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-367990 A (ソニー株式会社) 2002. 12. 20, 段落 [0020] & US 2004/0152339 A1 & WO 2002/099868 A1 & EP 1394844 A1 & DE 60230982 D1 & KR 10-0574148 B1	3
Y	WO 2013/111418 A1 (シャープ株式会社) 2013. 08. 01, 段落 [0040], [0044], [0099] - [0100], [図 1] (ファミリーなし)	3-4
Y	JP 2011-187857 A (株式会社東芝) 2011. 09. 22, 段落 [0052]-[0053], [図 19] & US 2011/0220976 A1	4
Y	JP 2011-216623 A (ソニー株式会社) 2011. 10. 27, 段落 [0087] - [0090], [図 3] & US 2011/0241148 A1 & US 2013/0234276 A1 & US 2014/0191353 A1 & CN 102208425 A & KR 10-2011-0109892 A & TW 201145501 A	4
X Y	JP 2007-258684 A (ソニー株式会社) 2007. 10. 04, 段落 [0043] - [0052], [0076] - [0079], [図 4], [図 10] & JP 2012-84902 A & JP 2012-147004 A & JP 2014-160876 A & US 2007/0210395 A1 & US 2010/0141816 A1 & US 2011/0058062 A1 & US 2012/0147241 A1 & KR 10-2007-0088378 A & CN 101079967 A & TW 201143075 A & CN 103050501 A & KR 10-2013-0100087 A & CN 103390627 A	9 10-11
Y	WO 2014/002365 A1 (パナソニック株式会社) 2014. 01. 03, 段落 [0020] - [0030], [図 1] - [図 2] & US 2015/0084106 A1	5, 7-8, 10-11
Y	JP 2011-146635 A (ソニー株式会社) 2011. 07. 28, 段落 [0026] - [0028], [図 1] & US 2011/0149102 A1 & US 2010/0182471 A1 & CN 102130141 A & KR 10-2011-0070788 A & TW 201143052 A & CN 101794836 A & KR 10-2010-0085849 A & TW 201103132 A	6
Y	JP 2012-169517 A (セイコーエプソン株式会社) 2012. 09. 06, 段落 [0019] - [0037], [図 1] - [図 4] & US 2012/0205649 A1 & EP 2490264 A1 & CN 102646687 A & KR 10-2012-0094430 A & TW 201240122 A	6
Y	JP 2014-120629 A (ローム株式会社) 2014. 06. 30, 段落 [0019] - [0028], [図 1] - [図 2] (ファミリーなし)	6