(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月5日(05.06.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/115239 A1

(51) 国際特許分類:
H02M 7/48 (2007.01) *H02M 1/08* (2006.01)

(21) 国際出願番号： PCT/JP2024/005406

(22) 国際出願日： 2024年2月16日(16.02.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-202289 2023年11月30日(30.11.2023) JP

(71) 出願人：三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 (JP).

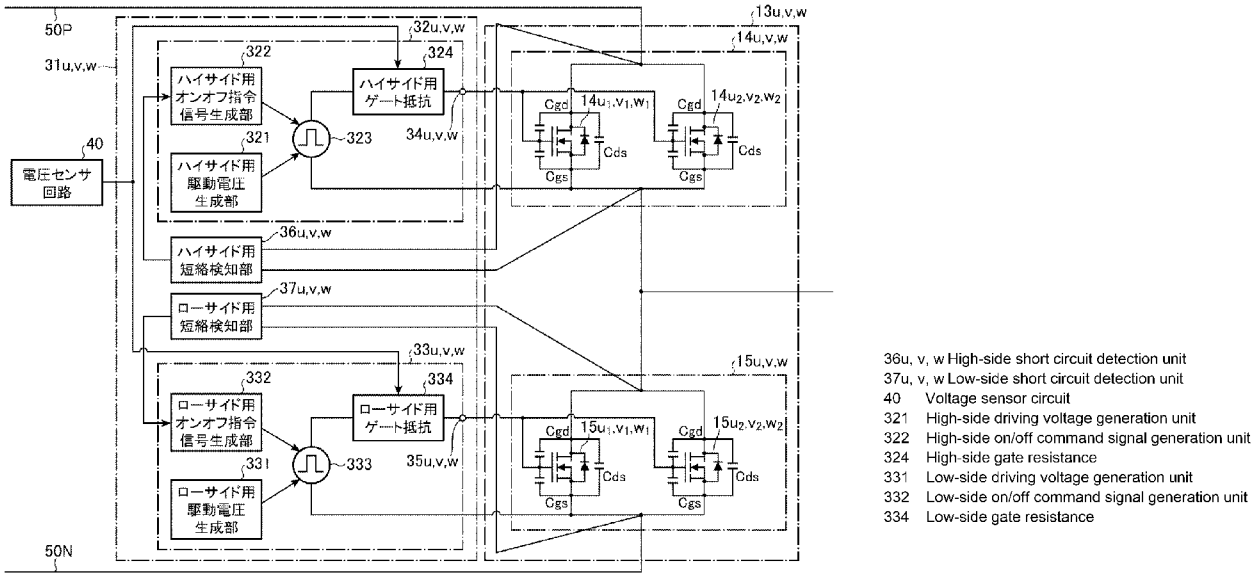
(72) 発明者：▲高▼橋 一(**TAKAHASHI, Hajime**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 (JP).

(74) 代理人：弁理士法人山王内外特許事務所(**SANNO PATENT ATTORNEYS OFFICE**); 〒1000014 東京都千代田区永田町二丁目１２番４号 赤坂山王センタービル５階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** POWER CONVERSION DEVICE

(54) 発明の名称： 電力変換装置



(57) **Abstract:** This power conversion device (300) receives, as input, input power from a power supply (100), subjects the received input power to a power conversion, and outputs an output power to a load (200). The power conversion device (300) comprises: a power conversion circuit (10) equipped with semiconductor switching element groups (14u), (15u), (14v), (15v), (14w), and (15w) each having a control terminal and having a plurality of semiconductor switching elements connected in parallel; and a control circuit unit (30) that outputs, to the control terminals of the plurality of semiconductor switching elements in the semiconductor switching element groups (14u), (15u), (14v), (15v), (14w), and (15w), control signals for controlling on/off of the plurality of semiconductor switching elements in the semiconductor switching element groups (14u), (15u), (14v), (15v), (14w), and (15w) by changing the switching times of the plurality of semiconductor switching elements in the semiconductor switching element groups in accordance with an input voltage

WO 2025/115239 A1

［続葉有］

MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

input into the power conversion circuit (10).

(57) 要約:電力変換装置は、電源（１００）からの入力電力が入力され、入力された入力電力を電力変換して負荷（２００）に出力電力を出力する電力変換装置（３００）であって、制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群（１４ｕ）、（１５ｕ）、（１４ｖ）、（１５ｖ）、（１４ｗ）、（１５ｗ）を具備する電力変換回路（１０）と、電力変換回路（１０）に入力される入力電圧に応じて半導体スイッチング素子群における複数の半導体スイッチ素子のスイッチング時間を変更して半導体スイッチング素子群（１４ｕ）、（１５ｕ）、（１４ｖ）、（１５ｖ）、（１４ｗ）、（１５ｗ）における複数の半導体スイッチ素子をオンオフ制御する制御信号を半導体スイッチング素子群（１４ｕ）、（１５ｕ）、（１４ｖ）、（１５ｖ）、（１４ｗ）、（１５ｗ）における複数の半導体スイッチ素子の制御端子に出力する制御回路部（３０）と、を備える。

明　細　書

発明の名称 ： 電力変換装置

技術分野

[0001] 本開示は、パワーエレクトロニクス分野のインバータまたはコンバータなどの電力変換装置に関する。

背景技術

[0002] 近年、ハイブリッド自動車または電気自動車などの電動パワートレイン用の電力変換装置は、スイッチング素子としてＩＧＢＴ（Insulated Gate Bipolar Transistor）またはＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）などの半導体スイッチング素子が用いられ、大きい電力を処理するために、複数の半導体スイッチング素子を並列接続されたスイッチング素子が用いられる。

[0003] 電力変換器における電圧コンバータのスイッチング素子として並列接続された２個の半導体スイッチング素子を、ゲート発振を抑えるために半導体モジュールとした例が特許文献１に示されている。

特許文献１に示された半導体モジュールは、一対の金属板と２個のトランジスタチップを備え、トランジスタチップは、一対の金属板に挟まれつつ、樹脂パッケージに封止されている。トランジスタチップのエミッタ電極は他方の金属板と導通している。樹脂パッケージの内部にて一方の金属板から２個のコレクタ端子が延びており、他方の金属板から１個のエミッタ端子が延びており、エミッタ端子はパッケージ側面にて２個のコレクタ端子の間から外部へ延びている。エミッタ端子は２個のトランジスタチップのそれぞれのエミッタ電極から等距離の位置で他方の金属板から延びている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１８－６７６５７号公報

発明の概要

発明が解決しようとする課題

[0005] 発明者らは、同じタイミングでオンオフ動作される２個の半導体スイッチング素子が並列接続されたスイッチング素子において、ドレイン－ソース間にかかる電圧、つまり、インバータまたはコンバータに入力されるなどの電力変換装置の電力変換回路に入力される入力電圧に相当する電圧を種々変化させたところ、次のような課題があることが判明した。

[0006] すなわち、ドレイン－ソース間にかかる電圧が高い範囲において、半導体スイッチング素子は耐圧に対するサージの許容値が小さいため、半導体スイッチング素子をオンオフ制御するスイッチング時間を長くする。

ドレイン－ソース間にかかる電圧が低い範囲において、ドレイン－ソース間にかかる電圧が高い範囲と同じスイッチング時間により半導体スイッチング素子をオンオフ制御するとゲート発振が大きな振幅となりやすく、大きな振幅のゲート発振が発生すると、スイッチング素子の誤動作または半導体スイッチング素子の耐圧超過による破壊の発生の恐れがあった。

[0007] 半導体スイッチング素子のドレイン－ソース間の寄生容量はドレイン－ソース間にかかる電圧が低い電圧であるほど大きくなり、ドレイン－ソース間の寄生容量が大きいほど、２個の半導体スイッチング素子間に流れる電流量が大きくなり、ゲート発振は大きな振幅となりやすいことに起因している。

[0008] 一方、ドレイン－ソース間にかかる電圧が低い範囲において、ゲート発振の振幅がスイッチング素子の誤動作または半導体スイッチング素子の耐圧超過にならない短いスイッチング時間とする。

ドレイン－ソース間にかかる電圧が高い範囲において、ドレイン－ソース間にかかる電圧が低い範囲と同じスイッチング時間により半導体スイッチング素子をオンオフ制御するとサージによる耐圧超過が発生する。

[0009] 本開示は上記した点に鑑みてなされたものであり、電力変換回路が具備する、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群において発生するゲート発振を抑制する電力変換装置を得ることを目的とする。

課題を解決するための手段

[0010] 本開示に係る電力変換装置は、電源からの入力電力が入力され、入力された入力電力を電力変換して負荷に出力電力を出力する電力変換装置であって、制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群を具備する電力変換回路と、電力変換回路に入力される入力電圧に応じて半導体スイッチング素子群における複数の半導体スイッチ素子のスイッチング時間を変更して半導体スイッチング素子群における複数の半導体スイッチ素子をオンオフ制御する制御信号を半導体スイッチング素子群における複数の半導体スイッチ素子の制御端子に出力する制御回路部と、を備える。

発明の効果

[0011] 本開示によれば、電力変換回路に入力される入力電圧に応じて半導体スイッチング素子群における複数の半導体スイッチング素子のスイッチング時間を変更して半導体スイッチング素子群における複数の半導体スイッチング素子を同時にオンオフ制御するので、半導体スイッチング素子群において発生するゲート発振を抑制することができる。

図面の簡単な説明

[0012] [図1]実施の形態１に係る電力変換装置を示す概略構成図である。

[図2]実施の形態１に係る電力変換装置における三相ブリッジ整流回路の内一相ブリッジ整流回路であるハーフブリッジ回路とハーフブリッジ回路を制御する制御回路の一部を主として示す概略構成図である。

[図3]実施の形態１に係る電力変換装置における短絡検知部を示す構成図である。

[図4]実施の形態１に係る電力変換装置におけるハーフブリッジ回路における、ローサイドアームのスイッチング素子が非導通状態であり、ハイサイドアームのスイッチング素子が導通状態であるとき、ローサイドアームのスイッチング素子が誤オンを起こした際の、主たる波形概念図である。

[図5]ハーフブリッジ回路において、ローサイドアームおよびハイサイドアー

ムのスイッチング素子のスイッチング時間を変更しない場合の主たる参考の波形概念図である。

[図6]ハーフブリッジ回路において、ローサイドアームおよびハイサイドアームのスイッチング素子のスイッチング時間を変更しない場合の、ローサイドアームのスイッチング素子が非導通状態であり、ハイサイドアームのスイッチング素子が導通状態であるとき、ローサイドアームのスイッチング素子が誤オンを起こした際の、主たる参考の波形概念図である。

[図7]実施の形態２に係る電力変換装置における三相ブリッジ整流回路の内一相ブリッジ整流回路であるハーフブリッジ回路とハーフブリッジ回路を制御する制御回路の一部を主として示す概略構成図である。

[図8]実施の形態３に係る電力変換装置における三相ブリッジ整流回路の内一相ブリッジ整流回路であるハーフブリッジ回路とハーフブリッジ回路を制御する制御回路の一部を主として示す概略構成図である。

発明を実施するための形態

[0013] 実施の形態１.

実施の形態１に係る電力変換装置を図１から図４を用いて説明する。

実施の形態１に係る電力変換装置３００は電源からの入力電力が入力され、入力された入力電力を電力変換して負荷に出力電力を出力する電力変換装置である。

実施の形態１に係る電力変換装置３００は、具体的には電源となる直流電源１００からの直流電力を三相交流電力に変換する三相のインバータ回路である電力変換回路１０を備え、三相交流電力を負荷２００に供給する。

以下、三相のインバータ回路である電力変換回路１０を備える具体例を対象に主として説明する。

[0014] 直流電源１００は、電力変換装置３００が電気自動車またはハイブリッド自動車に適用された場合は、例えば、ニッケル水素電池またはリチウムイオン電池等の二次電池からなるバッテリである。

直流電源１００は、例えば１０００Ｖ程度から２００Ｖまでの範囲の定格

電圧で使用されるバッテリである。

直流電源１００は、特に高電圧対応である最大１０００Ｖ程度の電圧を想定している。

直流電源１００の定格電圧の内の最大電圧である１０００Ｖ程度を以下の説明において設定電圧という。

[0015] 直流電源１００において、正電極が電力変換装置３００の正極側の入力端子１Ｐに、負電極が電力変換装置３００の負極側の入力端子１Ｎにそれぞれ電気的に接続され、直流電源１００が電力変換装置３００に直流電力を供給する。

負荷２００は、電力変換装置３００が電気自動車またはハイブリッド自動車に適用された場合は、例えば、電気自動車またはハイブリッド自動車の駆動輪を駆動する電動機である三相モータである。

[0016] 負荷２００において、Ｕ相の入力端子が電力変換装置３００のｕ相の出力端子２Ｕに、Ｖ相の入力端子が電力変換装置３００のｖ相の出力端子２Ｖに、W相の入力端子が電力変換装置３００のｗ相の出力端子２Wにそれぞれ電気的に接続され、負荷２００は電力変換装置３００から三相の交流電力が供給される。

[0017] 実施の形態１に係る電力変換装置３００は、図１に示すように、電力変換回路１０と平滑用コンデンサ２０と制御回路部３０と電圧センサ回路４０を備える。

平滑用コンデンサ２０の一方の電極が電力変換装置３００の正極側の入力端子１Ｐと電力変換回路１０の正極側の入力端子１１Ｐとを電気的に接続する正極側の電源用配線５０Ｐに接続され、平滑用コンデンサ２０の他方の電極が電力変換装置３００の負極側の入力端子１Ｎと電力変換回路１０の負極側の入力端子１１Ｎとを電気的に接続する負極側の電源用配線５０Ｎに接続される。

平滑用コンデンサ２０は正極側の電源用配線５０Ｐおよび負極側の電源用配線５０Ｎにおける電圧リプルおよびノイズ除去用の平滑用コンデンサ素子

である。

[0018] 電力変換回路１０は電力を制御するためのスイッチング素子を有するスイッチング回路である。

電力変換回路１０は、実施の形態１ではスイッチング素子１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗにより構成される三相のブリッジ整流回路（三相の全波整流回路）による三相のインバータ回路である。

[0019] スイッチング素子１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗは、一対の主端子と制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群である。

実施の形態１において、一対の主端子はドレイン端子およびソース端子であり、制御端子はゲート端子である。

各半導体スイッチング素子群は同じ制御信号により同じタイミングでオンオフ制御される２個の並列接続された半導体スイッチング素子により構成されている。

[0020] 半導体スイッチング素子は、ゲート電極にオン用の駆動電圧であるＨレベルの電位が印加されるとオン状態、つまりドレイン電極とソース電極の間が導通状態になり、ゲート電極にオフ用の駆動電圧であるＬレベルの電位が印加されるとオフ状態、つまりドレイン電極とソース電極の間が非導通状態になる。

なお、各半導体スイッチング素子群は、大電力を出力するために並列接続された同じタイミングでオンオフ制御される３個以上の半導体スイッチング素子により構成されていてもよい。

[0021] スイッチング素子１４ｕとスイッチング素子１５ｕは三相のインバータ回路におけるｕ相のインバータ部を構成する。

スイッチング素子１４ｕとスイッチング素子１５ｕは、正極側の入力端子１１Ｐと負極側の入力端子１１Ｎとの間に直列接続され、スイッチング素子１４ｕとスイッチング素子１５ｕの接続点がｕ相の出力ノード１６ｕとなるｕ相のブリッジ整流回路であるハーフブリッジ回路１３ｕを構成する。

[0022] スイッチング素子１４ｖとスイッチング素子１５ｖは三相のインバータ回路におけるｖ相のインバータ部を構成する。

スイッチング素子１４ｖとスイッチング素子１５ｖは、正極側の入力端子１１Ｐと負極側の入力端子１１Ｎとの間に直列接続され、スイッチング素子１４ｖとスイッチング素子１５ｖの接続点がｖ相の出力ノード１６ｖとなるｖ相のブリッジ整流回路であるハーフブリッジ回路１３ｖを構成する。

[0023] スイッチング素子１４ｗとスイッチング素子１５ｗは三相のインバータ回路におけるｗ相のインバータ部を構成する。

スイッチング素子１４ｗとスイッチング素子１５ｗは、正極側の入力端子１１Ｐと負極側の入力端子１１Ｎとの間に直列接続され、スイッチング素子１４ｗとスイッチング素子１５ｗの接続点がｗ相の出力ノード１６ｗとなるｗ相のブリッジ整流回路であるハーフブリッジ回路１３ｗを構成する。

[0024] なお、電力変換回路１０を構成する三相のインバータ回路におけるｕ相、ｖ相、およびｗ相のハーフブリッジ回路１３ｕ、１３ｖ、１３ｗがそれぞれ同様の構成であるので、図２は一相分のハーフブリッジ回路１３ｕ、１３ｖ、１３ｗと一相分のハーフブリッジ回路１３ｕ、１３ｖ、１３ｗを制御する制御回路部３０の一相分の制御信号発生部３１ｕ、３１ｖ、３１ｗを示している。

従って、以下の説明において、ｕ相、ｖ相、およびｗ相のハーフブリッジ回路１３ｕ、１３ｖ、１３ｗおよび制御信号発生部３１ｕ、３１ｖ、３１ｗそれぞれを説明するにあたり図２を用いて説明する。

[0025] スイッチング素子１４ｕはｕ相のハーフブリッジ回路１３ｕにおけるハイサイドアームとして配置される半導体スイッチング素子群であり、正極側の入力端子１１Ｐとｕ相の出力ノード１６ｕの間に電気的に接続される。

ｕ相の出力ノード１６ｕは、電力変換回路１０のｕ相の出力端子１２ｕにｕ相の電源用配線を介して電気的に接続される。

ｕ相の出力端子１２ｕはｕ相の電源用配線を介して電力変換装置３００のｕ相の出力端子２Ｕに電気的に接続される。

ｕ相の出力端子２Ｕは三相モータのＵ相の入力端子に接続される。

[0026] スイッチング素子１４ｕは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続される還流ダイオードＤからなる半導体スイッチング素子１４ｕ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続される還流ダイオードＤからなり、半導体スイッチング素子１４ｕ１と並列接続された半導体スイッチング素子１４ｕ２とを有する。

[0027] 半導体スイッチング素子１４ｕ１のトランジスタ素子Ｔｒと半導体スイッチング素子１４ｕ２のトランジスタ素子Ｔｒは制御回路部３０からのｕ相のハイサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１４ｕにおいて、２個のトランジスタ素子Ｔｒのドレイン電極は正極側の入力端子１１Ｐに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極はｕ相の出力ノード１６ｕに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｕのハイサイドアーム用の制御信号発生部３２ｕの出力ノード３４ｕに電気的に接続される。

[0028] スイッチング素子１５ｕはｕ相のハーフブリッジ回路１３ｕにおけるローサイドアームとして配置される半導体スイッチング素子群であり、ｕ相の出力ノード１６ｕと負極側の入力端子１１Ｎの間に電気的に接続される。

スイッチング素子１５ｕは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなる半導体スイッチング素子１５ｕ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなり、半導体スイッチング素子１５ｕ１と並列接続された半導体スイッチング素子１５ｕ２とを有する。

[0029] 半導体スイッチング素子１５ｕ１のトランジスタ素子Ｔｒと半導体スイッ

チング素子１５ｕ２のトランジスタ素子Ｔｒは制御回路部３０からのｕ相のローサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１５ｕにおいて、２個のトランジスタ素子Ｔｒのドレイン電極はｕ相の出力ノード１６ｕに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極は負極側の入力端子１１Ｎに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｕのローサイドアーム用の制御信号発生部３３ｕの出力ノード３５ｕに電気的に接続される。

[0030] スイッチング素子１４ｕを構成する２個の半導体スイッチング素子１４ｕ１および半導体スイッチング素子１４ｕ２とスイッチング素子１５ｕを構成する２個の半導体スイッチング素子１５ｕ１および半導体スイッチング素子１５ｕ２は同一のパッケージにモールド樹脂により封止された２in１形態のパワーモジュールの構造をとる。

モールド樹脂により封止する替わりにゲルにより封止してもよい。

[0031] パワーモジュールの構造をとるｕ相のハーフブリッジ回路（インバータ部）１３ｕは、ローサイドアーム用のゲート端子、ドレイン端子、およびソース端子と、ハイサイドアーム用のゲート端子、ドレイン端子、およびソース端子を有する。

ハイサイドアームに配置されるスイッチング素子１４ｕのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、ローサイドアームに配置されるスイッチング素子１５ｕのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0032] なお、スイッチング素子１４ｕおよびスイッチング素子１５ｕはそれぞれ、特許文献１に示されているように２個の半導体スイッチング素子を半導体モジュールにより構成してもよく、この場合でも、スイッチング素子１４ｕのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、スイッチング素子１５ｕのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0033] また、スイッチング素子１４ｕおよびスイッチング素子１５ｕとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｕの半導体スイッチング素子およびスイッチング素子１５ｕの半導体スイッチング素子により構成されるパワーモジュールを複数並列接続した構成にしてもよい。

[0034] さらに、スイッチング素子１４ｕおよびスイッチング素子１５ｕとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｕを複数並列接続したパワーモジュールにより構成し、スイッチング素子１５ｕを複数並列接続したパワーモジュールにより構成してもよい。

[0035] スイッチング素子１４ｖはｖ相のハーフブリッジ回路１３ｖにおけるハイサイドアームとして配置される半導体スイッチング素子群であり、正極側の入力端子１１Ｐとｖ相の出力ノード１６ｖの間に電気的に接続される。

ｖ相の出力ノード１６ｖは、電力変換回路１０のｖ相の出力端子１２ｖにｖ相の電源用配線を介して電気的に接続される。

ｖ相の出力端子１２ｖはｖ相の電源用配線を介して電力変換装置３００のｖ相の出力端子２Ｖに電気的に接続される。

ｖ相の出力端子２Ｖは三相モータのＶ相の入力端子に接続される。

[0036] スイッチング素子１４ｖは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなる半導体スイッチング素子１４ｖ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなり、半導体スイッチング素子１４ｖ１と並列接続された半導体スイッチング素子１４ｖ２とを有する。

[0037] 半導体スイッチング素子１４ｖ１のトランジスタ素子Ｔｒと半導体スイッチング素子１４ｖ２のトランジスタ素子Ｔｒは制御回路部３０からのｖ相のハイサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１４ｖにおいて、２個のトランジスタ素子Ｔｒのドレイン電極は正極側の入力端子１１Ｐに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極はｖ相の出力ノード１６ｖに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｖのハイサイドアーム用の制御信号発生部３２ｖの出力ノード３４ｖに電気的に接続される。

[0038] スイッチング素子１５ｖはｖ相のハーフブリッジ回路１３ｖにおけるローサイドアームとして配置される半導体スイッチング素子群であり、ｖ相の出力ノード１６ｖと負極側の入力端子１１Ｎの間に電気的に接続される。

スイッチング素子１５ｖは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなる半導体スイッチング素子１５ｖ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなり、半導体スイッチング素子１５ｖ１と並列接続された半導体スイッチング素子１５ｖ２とを有する。

[0039] 半導体スイッチング素子１５ｖ１のトランジスタ素子Ｔｒと半導体スイッチング素子１５ｖ２のトランジスタ素子Ｔｒは制御回路部３０からのｖ相のローサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１５ｖにおいて、２個のトランジスタ素子Ｔｒのドレイン電極はｖ相の出力ノード１６ｖに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極は負極側の入力端子１１Ｎに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｖのローサイドアーム用の制御信号発生部３３ｖの出力ノード３５ｖに電気的に接続される。

[0040] スイッチング素子１４ｖを構成する２個の半導体スイッチング素子１４ｖ１および半導体スイッチング素子１４ｖ２とスイッチング素子１５ｖを構成する２個の半導体スイッチング素子１５ｖ１および半導体スイッチング素子

１５ｖ２は同一のパッケージにモールド樹脂により封止された２ｉｎ１形態のパワーモジュールの構造をとる。

モールド樹脂により封止する替わりにゲルにより封止してもよい。

[0041] パワーモジュールの構造をとるｖ相のハーフブリッジ回路（インバータ部）１３ｖは、ローサイドアーム用のゲート端子、ドレイン端子、およびソース端子と、ハイサイドアーム用のゲート端子、ドレイン端子、およびソース端子を有する。

ハイサイドアームに配置されるスイッチング素子１４ｖのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、ローサイドアームに配置されるスイッチング素子１５ｖのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0042] なお、スイッチング素子１４ｖおよびスイッチング素子１５ｖはそれぞれ、スイッチング素子１４と同様に２個の半導体スイッチング素子を半導体モジュールにより構成してもよく、この場合でも、スイッチング素子１４ｖのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、スイッチング素子１５ｖのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0043] また、スイッチング素子１４ｖおよびスイッチング素子１５ｖとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｖの半導体スイッチング素子およびスイッチング素子１５ｖの半導体スイッチング素子により構成されるパワーモジュールを複数並列接続した構成にしてもよい。

[0044] さらに、スイッチング素子１４ｖおよびスイッチング素子１５ｖとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｖを複数並列接続したパワーモジュールにより構成し、スイッチング素子１５ｖを複数並列接続したパワーモジュールにより構成してもよい。

[0045] スイッチング素子１４ｗはｗ相のハーフブリッジ回路１３ｗにおけるハイ

サイドアームとして配置される半導体スイッチング素子群であり、正極側の入力端子１１Ｐとｗ相の出力ノード１６ｗの間に電気的に接続される。

ｗ相の出力ノード１６ｗは、電力変換回路１０のｗ相の出力端子１２ｗにｗ相の電源用配線を介して電気的に接続される。

ｗ相の出力端子１２ｗはｗ相の電源用配線を介して電力変換装置３００のｗ相の出力端子２Ｗに電気的に接続される。

ｗ相の出力端子２Ｗは三相モータのW相の入力端子に接続される。

[0046] スイッチング素子１４ｗは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなる半導体スイッチング素子１４ｗ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなり、半導体スイッチング素子１４ｗ１と並列接続された半導体スイッチング素子１４ｗ２とを有する。

[0047] 半導体スイッチング素子１４ｗ１のトランジスタ素子Ｔｒと半導体スイッチング素子１４ｗ２のトランジスタ素子Ｔｒは制御回路部３０からのｗ相のハイサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１４ｗにおいて、２個のトランジスタ素子Ｔｒのドレイン電極は正極側の入力端子１１Ｐに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極はｗ相の出力ノード１６ｗに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｗのハイサイドアーム用の制御信号発生部３２ｗの出力ノード３４ｗに電気的に接続される。

[0048] スイッチング素子１５ｗはｗ相のハーフブリッジ回路１３ｗにおけるローサイドアームとして配置される半導体スイッチング素子群であり、ｗ相の出力ノード１６ｗと負極側の入力端子１１Ｎの間に電気的に接続される。

スイッチング素子１５ｗは、図２に示すように、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接

続され、環流ダイオードとして動作するダイオード素子Ｄとからなる半導体スイッチング素子１５ｗ１と、半導体スイッチング素子として動作するトランジスタ素子Ｔｒとトランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄとからなり、半導体スイッチング素子１５ｗ１と並列接続された半導体スイッチング素子１５ｗ２とを有する。

[0049] 半導体スイッチング素子１５ｗ１のトランジスタ素子Ｔｒと半導体スイッチング素子１５ｗ２のトランジスタ素子Ｔｒは制御回路部３０からのｗ相のローサイドアーム用の制御信号により同じタイミングでオンオフ動作する。

スイッチング素子１５ｗにおいて、２個のトランジスタ素子Ｔｒのドレイン電極はｗ相の出力ノード１６ｗに電気的に接続され、２個のトランジスタ素子Ｔｒのソース電極は負極側の入力端子１１Ｎに電気的に接続され、２個のトランジスタ素子Ｔｒのゲート電極は制御回路部３０における制御信号発生部３１ｗのローサイドアーム用の制御信号発生部３３ｗの出力ノード３５ｗに電気的に接続される。

[0050] スイッチング素子１４ｗを構成する２個の半導体スイッチング素子１４ｗ１および半導体スイッチング素子１４ｗ２とスイッチング素子１５ｗを構成する２個の半導体スイッチング素子１５ｗ１および半導体スイッチング素子１５ｗ２は同一のパッケージにモールド樹脂により封止された２ｉｎ１形態のパワーモジュールの構造をとる。

モールド樹脂により封止する替わりにゲルにより封止してもよい。

[0051] パワーモジュールの構造をとるｗ相のハーフブリッジ回路（インバータ部）１３ｗは、ローサイドアーム用のゲート端子、ドレイン端子、およびソース端子と、ハイサイドアーム用のゲート端子、ドレイン端子、およびソース端子を有する。

ハイサイドアームに配置されるスイッチング素子１４ｗのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、ローサイドアームに配置されるスイッチング素子１５ｗのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0052] なお、スイッチング素子１４ｗおよびスイッチング素子１５ｗはそれぞれ、スイッチング素子１４と同様に２個の半導体スイッチング素子を半導体モジュールにより構成してもよく、この場合でも、スイッチング素子１４ｗのソース端子は２個のトランジスタ素子Ｔｒそれぞれのソース電極から等距離の位置にあり、スイッチング素子１５ｗのソース端子は２個のトランジスタ素子Ｔｒのそれぞれのソース電極から等距離の位置にある。

[0053] また、スイッチング素子１４ｗおよびスイッチング素子１５ｗとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｗの半導体スイッチング素子およびスイッチング素子１５ｗの半導体スイッチング素子により構成されるパワーモジュールを複数並列接続した構成にしてもよい。

[0054] さらに、スイッチング素子１４ｗおよびスイッチング素子１５ｗとしてそれぞれ、大電力を出力するために、３個以上の複数の半導体スイッチング素子により構成した場合、スイッチング素子１４ｗを複数並列接続したパワーモジュールにより構成し、スイッチング素子１５ｗを複数並列接続したパワーモジュールにより構成してもよい。

[0055] スイッチング素子１４ｕを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒ、スイッチング素子１５ｕを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒ、スイッチング素子１４ｖを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒ、スイッチング素子１５ｖを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒ、スイッチング素子１４ｗを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒ、およびスイッチング素子１５ｗを構成する半導体スイッチング素子群における複数の半導体スイッチング素子のトランジスタ素子Ｔｒはそれぞれ、ケイ素、炭化ケイ素、もしくは窒化ガリウムなどの材料からなる半導体基板にバンドギャップがケイ素よりも広い

、例えば炭化ケイ素または窒化ガリウムであるワイドバンドギャップ半導体により形成されたワイドバンドギャップ半導体素子である。

[0056] 実施の形態１において、半導体スイッチング素子１４ｕ１、１５ｕ１、１４ｖ１、１５ｖ１、１４ｗ１、１５ｗ１および半導体スイッチング素子１４ｕ２、１５ｕ２、１４ｖ２、１５ｖ２、１４ｗ２、１５ｗ２それぞれはワイドバンドギャップの金属酸化膜型電界効果トランジスタ（ＭＯＳＦＥＴ：Metal Oxide Semiconductor Field Effect Transistor）である電力制御用半導体スイッチング素子である。

上記した各半導体スイッチング素子としてワイドバンドギャップのＭＯＳＦＥＴを用いた場合、トランジスタ素子Ｔｒと逆並列に接続され、環流ダイオードとして動作するダイオード素子Ｄはトランジスタ素子Ｔｒに対して別途構成されたものではなく、トランジスタ素子ＴｒとしてのＭＯＳＦＥＴの寄生ダイオードが環流ダイオードとして機能する。

[0057] なお、上記した各半導体スイッチング素子としてワイドバンドギャップの絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ：Insulated Gate Bipolar Transistor）である電力制御用半導体スイッチング素子を用いてもよい。

ワイドバンドギャップのＩＧＢＴを用いた場合、各半導体スイッチング素子はトランジスタ素子Ｔｒとして動作するＩＧＢＴと還流ダイオードＤとして機能するワイドバンドギャップのダイオード素子を有する。

また、上記したトランジスタ素子Ｔｒはそれぞれ、バイポーラトランジスタなどのその他の電力制御用半導体スイッチング素子を用いてもよい。

[0058] 上記した各半導体スイッチング素子としてワイドバンドギャップ半導体素子を用いると、ワイドバンドギャップ半導体素子は絶縁破壊強度が高いので、高電圧対応である最大１０００Ｖ程度の入力電圧を処理する電力変換回路１０を構成する三相のインバータ回路に好適である。

[0059] 制御回路部３０は、電圧センサ回路４０から電力変換装置３００における入力電圧の情報を取得し、電力変換回路１０に入力される入力電圧に応じてスイッチング素子１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗそれぞ

れを構成する半導体スイッチング素子群における複数の半導体スイッチング素子１４ｕ１および１４ｕ２、１５ｕ１および１５ｕ２、１４ｖ１および１４ｖ２、１５ｖ１および１５ｖ２、１４ｗ１および１４ｗ２、１５ｗ１および１５ｗ２のスイッチング時間を変更して半導体スイッチング素子群における複数の半導体スイッチング素子をオンオフ制御する制御信号を半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に出力する。

以下、説明が煩雑になるので、区別して説明を必要とする場合を除いて、半導体スイッチング素子群における複数の半導体スイッチング素子の符号は省略する。

[0060] 制御回路部３０は、実施の形態１では、ｕ相のハーフブリッジ回路（インバータ部）１３ｕにおけるローサイドアームおよびハイサイドアーム、ｖ相のハーフブリッジ回路（インバータ部）１３ｖにおけるローサイドアームおよびハイサイドアーム、およびｗ相のハーフブリッジ回路（インバータ部）１３ｗにおけるローサイドアームおよびハイサイドアームそれぞれに配置される半導体スイッチング素子群それぞれに対応する制御端子であるゲート端子に対応して、ｕ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号、ｖ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号、およびｗ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号を出力する。

[0061] 制御回路部３０は、電力変換回路１０に入力される入力電圧が低いとスイッチング時間を短く変更する。

スイッチング時間はスイッチング素子１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗそれぞれを構成する半導体スイッチング素子群における複数の半導体スイッチング素子１４ｕ１および１４ｕ２、１５ｕ１および１５ｕ２、１４ｖ１および１４ｖ２、１５ｖ１および１５ｖ２、１４ｗ１および１４ｗ２、１５ｗ１および１５ｗ２のオンオフにかかる時間である。

[0062] 制御回路部３０は、実施の形態１において、電力変換回路１０に入力され

る入力電圧が直流電源１００の最大電圧である１０００Ｖを設定電圧とし、設定電圧における半導体スイッチング素子の耐圧が超過することがないように入力電圧によるサージの発生を抑制するスイッチング時間を設定し、電力変換回路１０に入力される入力電圧が設定電圧より低いとスイッチング時間を設定電圧に対するスイッチング時間より短くする制御信号を半導体スイッチング素子のゲート端子に出力する。

[0063] 実施の形態１では、設定電圧より低い入力電圧において、設定電圧に対するスイッチング時間により半導体スイッチング素子をオンオフ制御する制御信号と同じ制御信号により、半導体スイッチング素子をオンオフ制御する制御信号によるスイッチング時間よりスイッチング時間を短くする制御信号に電力変換回路１０は変更する。

[0064] 例えば、電力変換回路１０に入力される入力電圧が４００Ｖ以下であると、設定電圧に対するスイッチング時間に対してスイッチング時間を１５％以上短くする。

スイッチング時間を切り替える境を４００Ｖとしたのは、半導体スイッチング素子のドレイン－ソース間の寄生容量Ｃdsが、ドレイン－ソース間の電圧が４００Ｖ程度を境に大きく変動、つまり大きくなる依存性を有することに起因する。

[0065] なお、電力変換回路１０に入力される入力電圧が４００Ｖを超える範囲と４００Ｖ以下の２段階にスイッチング時間を切り替える構成としたが、３段階以上の複数段階に分け、入力電圧が低くなる範囲に向かってスイッチング時間を短く変更する構成にしてもよい。

すなわち、電力変換回路１０に入力される入力電圧の電圧範囲を複数段階に分け、複数段階に対応して入力電圧が低くなる範囲に向かって短い複数段階のスイッチング時間とする構成にしてもよい。

また、入力電圧に応じて設定電圧に対するスイッチング時間から入力電圧が低くなるに従い連続的にスイッチング時間を短く変更するように構成してもよい。

[0066] 電力変換回路１０に入力される入力電圧が設定電圧より低い、つまり、半導体スイッチング素子のドレイン－ソース間の電圧が低い電圧であるとドレイン－ソース間の寄生容量Ｃdsが大きくなり、半導体スイッチング素子のドレイン－ソース間の電流が大きくなり、半導体スイッチング素子のゲート電極に流れる電流が大きくなる。

半導体スイッチング素子のゲート－ソース間の電圧の変動が大きくなるため、ゲート－ソース間の電流の変化量が大きくなる。

[0067] 一方、スイッチング素子を構成する並列接続された半導体スイッチング素子間に特性のばらつきなどがあると、並列接続された半導体スイッチング素子のスイッチングタイミングにずれが発生する場合がある。

スイッチングタイミングのずれが発生すると、並列接続された半導体スイッチング素子のドレイン電極の電位間あるいはソース電極の電位間に電位差が生じ、並列接続された半導体スイッチング素子のドレイン－ソース間の寄生容量Ｃdsに電流が流れ、電流の一部は半導体スイッチング素子のゲート－ドレイン間の寄生容量Ｃgdおよびゲート－ソース間の寄生容量Ｃgsを介してゲート電極に流れ込み、並列接続された半導体スイッチング素子のゲート電極間に電流が流れる。

[0068] 並列接続された半導体スイッチング素子のゲート電極間に電流が流れると、一方の半導体スイッチング素子のゲート－ソース間の電圧が低下し、ドレイン－ソース間の電流が低下する。他方の半導体スイッチング素子のゲート電極の電圧は上昇し、ゲート－ソース間の電圧に駆動される形でドレイン－ソース間の電流が増加する。

これによって、並列接続された半導体スイッチング素子のドレイン電極における電位間あるいはソース電極における電位間に新たな電位差が生じ、並列接続された半導体スイッチング素子の電位差が交互に逆転する現象が繰り返され、ゲート発振が発生する。

[0069] このゲート発振は、半導体スイッチング素子のドレイン－ソース間の電圧が低い電圧であるとドレイン－ソース間の寄生容量Ｃdsが大きくなり、半導

体スイッチング素子のドレイン－ソース間の電流が大きくなり、半導体スイッチング素子のゲート電極に流れる電流が大きくなるため、ゲート発振の振幅が大きくなりやすい。

すなわち、ゲート発振は並列接続された半導体スイッチング素子のドレイン－ソース間の電圧が低い電圧であると顕著に現れる。

[0070] 実施の形態１では、電力変換回路１０に入力される入力電圧が設定電圧より低いとスイッチング時間を設定電圧に対するスイッチング時間より短く変更することにより、スイッチング素子を構成する並列接続された半導体スイッチング素子に発生するゲート発振が大きな振幅となる前に発振しやすい状態すなわちスイッチング動作から抜け出せる。

すなわち、半導体スイッチング素子が短いスイッチング時間によりオン状態となり、半導体スイッチング素子のドレイン－ソース間が導通状態になるため、半導体スイッチング素子のドレイン－ソース間の寄生容量Ｃdsよりも半導体スイッチング素子のチャネル部分のインピーダンスが下がるため、並列接続された半導体スイッチング素子における電荷のドレイン－ソース間の寄生容量Ｃdsを介したやり取りは発生しなくなり、ゲート発振は収束する。

[0071] 従って、電力変換回路１０に入力される入力電圧が設定電圧より低い場合においても、スイッチング時間を短く変更することにより、スイッチング素子においてゲート発振を抑制でき、ゲート発振によるスイッチング素子の誤動作またはスイッチング素子を構成する半導体スイッチング素子の耐圧超過による破壊の発生を防止でき、電力変換回路１０の制御が失われることはない。

また、電力変換回路１０に入力される入力電圧が設定電圧より低い場合、半導体スイッチング素子の耐圧に対するサージの許容値が大きいため、スイッチング時間を短くしてもサージによる耐圧超過が発生することはない。

[0072] 特に、スイッチング素子１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗそれぞれを構成する半導体スイッチング素子として入力電圧が１０００Ｖと高電圧に対して絶縁破壊強度が高いワイドバンドギャップ半導体素子を用

いた場合、ワイドバンドギャップ半導体はトランスコンダクタンスが高く、一般的に発振現象が発生しやすい。

[0073] しかし、実施の形態１では、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧に対して、スイッチング時間を設定電圧に対するスイッチング時間より短く変更しているため、ゲート発振が大きな振幅となる前にスイッチング動作から抜け出せるため、半導体スイッチング素子の耐圧超過による破壊の発生を防止できる。

すなわち、半導体スイッチング素子としてワイドバンドギャップ半導体素子を用いた電力変換回路１０に好適である。

[0074] 制御回路部３０はｕ相の制御信号発生部３１ｕ、ｖ相の制御信号発生部３１ｖ、およびｗ相の制御信号発生部３１ｗを有する。

ｕ相、ｖ相、およびｗ相の制御信号発生部３１ｕ、３１ｖ、３１ｗはそれぞれ、ハイサイドアーム用の制御信号発生部３２ｕ、３２ｖ、３２ｗおよびローサイドアーム用の制御信号発生部３３ｕ、３３ｖ、３３ｗと、ｕ相、ｖ相、およびｗ相のハイサイドアーム用の短絡検知部３６ｕ、３６ｖ、３６ｗと、ｕ相、ｖ相、およびｗ相のローサイドアーム用の短絡検知部３７ｕ、３７ｖ、３７ｗを有する。

[0075] ｕ相、ｖ相、およびｗ相の制御信号発生部３１ｕ、３１ｖ、３１ｗは、それぞれ同様の構成であるので、図２は一相分の制御信号発生部を示している。

以下の説明では、説明の煩雑さを避けるため、符号の添え字ｕ、ｖ、ｗを省略して説明しているが、ｕ相の制御信号発生部３１ｕ、ｖ相の制御信号発生部３１ｖ、およびｗ相の制御信号発生部３１ｗそれぞれの構成の説明である。

[0076] 制御信号発生部３１はハイサイドアーム用の制御信号発生部３２とローサイドアーム用の制御信号発生部３３とハイサイドアーム用の短絡検知部３６とローサイドアーム用の短絡検知部３７を有する。

ハイサイドアーム用の制御信号発生部３２はハイサイドアーム用の駆動電

圧生成部３２１とオンオフ指令信号生成部３２２とゲートドライバ３２３とゲート抵抗３２４を有する。

[0077] 駆動電圧生成部３２１は、スイッチング素子１４の並列接続された半導体スイッチング素子14_1、14_2をオン状態とするためのＨレベルの電位であるオン用の駆動電圧と半導体スイッチング素子14_1、14_2をオフ状態とするためのＬレベルの電位であるオフ用の駆動電圧を生成する。

駆動電圧生成部３２１は、半導体スイッチング素子14_1、14_2の耐圧以内で半導体スイッチング素子14_1、14_2のゲート構造の信頼性に影響を及ぼさない範囲でＨレベルの電位およびＬレベルの電位が設定される。

[0078] 例えば、半導体スイッチング素子14_1、14_2としてワイドバンドギャップのＭＯＳＦＥＴを用いた場合、切り替える駆動電圧の相対的な量は数ボルトであり、切り替え後の駆動電圧の絶対値は数十ボルト以内のオーダーである。

また、オフ用の駆動電圧をオン用の駆動電圧に対して電位の向きが逆である負電圧とすることにより、ワイドバンドギャップのＭＯＳＦＥＴの誤点弧を防止できる。

[0079] オンオフ指令信号生成部３２２は、スイッチング素子１４の並列接続された半導体スイッチング素子14_1、14_2に対してオン動作を開始するオンタイミングおよび半導体スイッチング素子14_1、14_2に対してオフ動作を開始するオフタイミングを指示するオンオフ指令信号を生成する。

[0080] ゲートドライバ３２３は、駆動電圧生成部３２１からのオン用の駆動電圧およびオフ用の駆動電圧とオンオフ指令信号生成部３２２からのオンオフ指令信号とから、駆動電圧生成部３２１からのオン用の駆動電圧であるＨレベルの電位とオフ用の駆動電圧であるＬレベルの電位からなるオンオフパルスであるハイサイドアーム用の制御信号を電圧出力ノードOUTと基準電位ノードRPとの間に出力する。

基準電位ノードRPはスイッチング素子１４のソース端子に電気的に接続される。

[0081] ゲート抵抗３２４は、抵抗値により半導体スイッチング素子１４$_1$、１４$_2$のオンオフにかかる時間、すなわちスイッチング時間を規定する。

半導体スイッチング素子１４$_1$、１４$_2$はゲート抵抗３２４によりスイッチング時間が規定されたゲートドライバ３２３からのハイサイドアーム用の制御信号によりオンオフ動作する。

[0082] ゲート抵抗３２４は一方の端子がゲートドライバ３２３の電圧出力ノードOUTに電気的に接続され、他方の端子が制御信号発生部３２の出力ノード３４を介してスイッチング素子１４の並列接続された半導体スイッチング素子１４$_1$、１４$_2$のゲート電極に電気的に接続され、電力変換回路１０に入力される入力電圧が設定電圧より低いと抵抗値が設定電圧に対する抵抗値より低い抵抗値となる。

ゲート抵抗３２４は電圧センサ回路４０の出力信号に応じて抵抗値を切り替える。

[0083] ゲート抵抗３２４は、電力変換回路１０に入力される入力電圧が設定電圧、実施の形態１では１０００Ｖの時は電圧センサ回路４０の設定電圧を示す出力信号により抵抗値が設定値にされ、半導体スイッチング素子１４$_1$、１４$_2$のスイッチング時間を設定時間とし、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧、実施の形態１では４００Ｖ以下であると、電圧センサ回路４０の設定電圧より低い電圧を示す出力信号により抵抗値が設定値より低い抵抗値に切り替えられ、半導体スイッチング素子１４$_1$、１４$_2$のスイッチング時間を設定時間より短い時間とする。

[0084] すなわち、入力される入力電圧が設定電圧より低い電圧であり、抵抗値が設定値より低い抵抗値に切り替えられると、抵抗値が設定値である時の半導体スイッチング素子１４$_1$、１４$_2$のスイッチング時間より短いスイッチング時間になる制御信号がゲート抵抗３２４の他方の端子から半導体スイッチング素子１４$_1$、１４$_2$のゲート電極に出力される。

[0085] ローサイドアーム用の制御信号発生部３３はローサイドアーム用の駆動電圧生成部３３１とオンオフ指令信号生成部３３２とゲートドライバ３３３と

ゲート抵抗３３４を有する。

駆動電圧生成部３３１は、スイッチング素子１５の並列接続された半導体スイッチング素子15_1、15_2をオン状態とするためのＨレベルの電位であるオン用の駆動電圧と半導体スイッチング素子15_1、15_2をオフ状態とするためのＬレベルの電位であるオフ用の駆動電圧を生成する。

[0086] 駆動電圧生成部３３１は、半導体スイッチング素子15_1、15_2の耐圧以内で半導体スイッチング素子15_1、15_2のゲート構造の信頼性に影響を及ぼさない範囲で設定される。

例えば、半導体スイッチング素子15_1、15_2としてワイドバンドギャップのＭＯＳＦＥＴを用いた場合、切り替える駆動電圧の相対的な量は数ボルトであり、切り替え後の駆動電圧の絶対値は数十ボルト以内のオーダーである。

また、オフ用の駆動電圧をオン用の駆動電圧に対して電位の向きが逆である負電圧とすることにより、ワイドバンドギャップのＭＯＳＦＥＴの誤点弧を防止できる。

[0087] オンオフ指令信号生成部３３２は、スイッチング素子１５の並列接続された半導体スイッチング素子15_1、15_2に対してオン動作を開始するオンタイミングおよび半導体スイッチング素子15_1、15_2に対してオフ動作を開始するオフタイミングを指示するオンオフ指令信号を生成する。

[0088] ゲートドライバ３３３は、駆動電圧生成部３３１からのオン用の駆動電圧およびオフ用の駆動電圧とオンオフ指令信号生成部３３２からオンオフ指令信号とから、駆動電圧生成部３３１からのオン用の駆動電圧であるＨレベルの電位とオフ用の駆動電圧であるＬレベルの電位からなるオンオフパルスであるローサイドアーム用の制御信号を電圧出力ノードOUTと基準電位ノードRPとの間に出力する。

基準電位ノードRPはスイッチング素子１５のソース端子に電気的に接続される。

[0089] ゲート抵抗３３４は、抵抗値により半導体スイッチング素子15_1、15_2

のオンオフにかかる時間、すなわちスイッチング時間を規定する。

半導体スイッチング素子１５$_1$、１５$_2$はゲート抵抗３３４によりスイッチング時間が規定されたゲートドライバ３３３からのローサイドアーム用の制御信号によりオンオフ動作する。

[0090] ゲート抵抗３３４は一方の端子がゲートドライバ３３３の電圧出力ノードOUTに電気的に接続され、他方の端子が制御信号発生部３３の出力ノード３５を介してスイッチング素子１５の並列接続された半導体スイッチング素子１５$_1$、１５$_2$のゲート電極に電気的に接続され、電力変換回路１０に入力される入力電圧が設定電圧より低いと抵抗値が設定電圧に対する抵抗値より低い抵抗値となる。

ゲート抵抗３３４は電圧センサ回路４０の出力信号に応じて抵抗値を切り替える。

[0091] ゲート抵抗３３４は、電力変換回路１０に入力される入力電圧が設定電圧、実施の形態１では１０００Ｖの時は電圧センサ回路４０の設定電圧を示す出力信号により抵抗値が設定値にされ、半導体スイッチング素子１５$_1$、１５$_2$のスイッチング時間を設定時間とし、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧、実施の形態１では４００Ｖ以下であると、電圧センサ回路４０の設定電圧より低い電圧を示す出力信号により抵抗値が設定値より低い抵抗値に切り替えられ、半導体スイッチング素子１５$_1$、１５$_2$のスイッチング時間を設定時間より短い時間とする。

[0092] すなわち、入力される入力電圧が設定電圧より低い電圧であり、抵抗値が設定値より低い抵抗値に切り替えられると、抵抗値が設定値である時の半導体スイッチング素子１５$_1$、１５$_2$のスイッチング時間より短いスイッチング時間になる制御信号がゲート抵抗３３４の他方の端子から半導体スイッチング素子１５$_1$、１５$_2$のゲート電極に出力される。

[0093] ハイサイド用の短絡検知部３６は、ハーフブリッジ回路１３における直列接続されたスイッチング素子１４とスイッチング素子１５がスイッチング素子１５の誤点弧などにより同時に導通状態になり短絡状態となった際に短絡

を検知し、オフ指令をオンオフ指令信号生成部３２２に出力する。

[0094] オフ指令を受けたオンオフ指令信号生成部３２２は、ゲートドライバ３２３に対してオフ用の駆動電圧であるＬレベルの電位を電圧出力ノードOUTに出力させ、スイッチング素子１４は導通状態から強制的に非導通状態にさせる。

スイッチング素子１４を構成する半導体スイッチング素子14_1、14_2はオフ状態にされ、短絡電流が遮断されてスイッチング素子１４とスイッチング素子１５は短絡から保護される。

[0095] ローサイド用の短絡検知部３７は、ハーフブリッジ回路１３における直列接続されたスイッチング素子１４とスイッチング素子１５がスイッチング素子１４の誤点弧などにより同時に導通状態になり短絡状態となった際に短絡を検知し、オフ指令をオンオフ指令信号生成部３３２に出力する。

[0096] オフ指令を受けたオンオフ指令信号生成部３３２は、ゲートドライバ３３３に対してオフ用の駆動電圧であるＬレベルの電位を電圧出力ノードOUTに出力させ、スイッチング素子１５は導通状態から強制的に非導通状態にさせる。

スイッチング素子１５を構成する半導体スイッチング素子15_1、15_2はオフ状態にされ、短絡電流が遮断されてスイッチング素子１４とスイッチング素子１５は短絡から保護される。

[0097] 短絡検知部３６は、スイッチング素子１４のドレイン－ソース間の電圧をモニタしてスイッチング素子１４とスイッチング素子１５が短絡状態にあるか否かを判定し、短絡状態であると判定した場合にオンオフ指令信号生成部３２２にオフ指令信号を出力するしくみであるＤＥＳＡＴ方式の構成をとる。

短絡検知部３７は、スイッチング素子１５のドレイン－ソース間の電圧をモニタしてスイッチング素子１４とスイッチング素子１５が短絡状態にあるか否かを判定し、短絡状態であると判定した場合にオンオフ指令信号生成部３３２にオフ指令信号を出力するしくみであるＤＥＳＡＴ方式の構成をとる

。

[0098] 短絡検知部３６および短絡検知部３７がＤＥＳＡＴ方式をとることにより、素子上に電流センスセルを形成せずにスイッチング素子として使用可能な領域を最大限に確保することが求められるワイドバンドギャップ半導体素子を半導体スイッチング素子１４$_1$、１４$_2$および半導体スイッチング素子１５$_1$、１５$_2$として用いた場合においても安価に短絡の保護を行えることができる。

[0099] 短絡検知部３６および短絡検知部３７はそれぞれ同様の構成をしており、それぞれ図３に示すように、比較器３６１、３７１と、閾値発生源３６２、３７２と、抵抗３６３、３７３と、ダイオード３６４、３７４と、定電流源３６５、３７５と、スイッチ３６６、３７６と、コンデンサ３６７、３７７とを有するＤＥＳＡＴ方式の回路により構成される。

短絡検知部３６および短絡検知部３７の構成要素の説明において、説明の重複を避けるため符号を列記しているが、３６※が短絡検知部３６の構成要素を、３７※が短絡検知部３７の構成要素を示している。

[0100] 比較器３６１、３７１は一方の入力端子が短絡検知用ノード３６８、３７８に電気的に接続され、他方の入力端子が閾値発生源３６２、３７２に電気的に接続され、出力端はオンオフ指令信号生成部３２２、３３２に電気的に接続され、短絡検知用ノード３６８、３７８に現れた電位が閾値発生源３６２、３７２による閾値より大きいとスイッチング素子１４、１５が短絡状態と判定し、出力端にオフ指令信号を出力する。

[0101] 抵抗３６３、３７３とダイオード３６４、３７４の直列体は、ダイオード３６４、３７４のアノード電極が短絡検知用ノード３６８、３７８側に位置するように短絡検知用ノード３６８、３７８とスイッチング素子１４、１５のドレイン電極との間に電気的に接続される。

定電流源３６５、３７５はスイッチ３６６、３７６を介して短絡検知用ノード３６８、３７８に電気的に接続される。

[0102] スイッチ３６６、３７６はマスク時間指定信号を受け、マスク時間指定信

号がマスク時間を示しているとオフであり、マスク時間指定信号がマスク時間の経過を示すとオンになる。

スイッチ３６６、３７６がオンになると、定電流源３６５、３７５は短絡検知用ノード３６８、３７８に定電流を供給する。

コンデンサ３６７、３７７は短絡検知用ノード３６８、３７８とスイッチング素子１４、１５のソース電極との間に電気的に接続される。

[0103] 短絡検知部３６はスイッチング素子１４とスイッチング素子１５が短絡状態にならない通常動作時において、スイッチング素子１４がターンオンし、スイッチング素子１５がターンオフすると、短絡検知時間経過後はスイッチング素子１４のドレイン－ソース間の電圧は閾値発生源３６２による閾値より低い値になる。

[0104] マスク時間指定信号がマスク時間の経過を示し、マスク時間経過後に定電流源３６５からの定電流によりコンデンサ３６７が充電され始めるものの、抵抗３６３とダイオード３６４の直列体を介してスイッチング素子１４のドレイン端子へ放電される方がコンデンサ３６７に充電されるより多くなるように設定されているため、短絡検知時間経過後に短絡検知用ノード３６８の電位が閾値を超えることがない。

その結果、比較器３６１からはオフ指令信号が出力されない。

[0105] 一方、スイッチング素子１４とスイッチング素子１５が短絡状態になる、つまり、スイッチング素子１４が導通状態であり、スイッチング素子１５が誤点弧などにより、ターンオンをし始めると、短絡検知時間経過後においても、スイッチング素子１４が導通状態であり、スイッチング素子１５が誤点弧などにより導通状態であるため、スイッチング素子１４のドレイン－ソース間の電圧は閾値発生源３６２による閾値より高い値である。

[0106] マスク時間指定信号がマスク時間の経過を示し、定電流源３６５からの定電流によりコンデンサ３６７が充電され始めると、抵抗３６３とダイオード３６４の直列体を介してスイッチング素子１４のドレイン端子へ放電されることがないため、短絡検知時間経過後は短絡検知用ノード３６８の電位が閾

値を超える電位になる。

その結果、比較器３６１からはオフ指令信号が出力され、オフ指令信号を受けた制御信号発生部３２により、スイッチング素子１４を構成する半導体スイッチング素子14_1、14_2は導通状態から強制的にオフ状態にされ、短絡電流が遮断されてスイッチング素子１４とスイッチング素子１５は短絡から保護される。

[0107] 短絡検知部３７はスイッチング素子１４とスイッチング素子１５が短絡状態にならない通常動作時において、スイッチング素子１５がターンオンし、スイッチング素子１４がターンオフすると、短絡検知時間経過後はスイッチング素子１５のドレイン－ソース間の電圧は閾値発生源３７２による閾値より低い値になる。

[0108] マスク時間指定信号がマスク時間の経過を示し、マスク時間経過後に定電流源３７５からの定電流によりコンデンサ３７７が充電され始めるものの、抵抗３７３とダイオード３７４の直列体を介してスイッチング素子１５のドレイン端子へ放電される方がコンデンサ３７７に充電されるより多くなるように設定されているため、短絡検知時間経過後に短絡検知用ノード３７８の電位が閾値を超えることがない。

その結果、比較器３７１からはオフ指令信号が出力されない。

[0109] 一方、スイッチング素子１４とスイッチング素子１５が短絡状態になる、つまり、スイッチング素子１５が導通状態であり、スイッチング素子１４が誤点弧などにより、ターンオンをし始めると、短絡検知時間経過後においても、スイッチング素子１５が導通状態であり、スイッチング素子１４が誤点弧などにより導通状態であるため、スイッチング素子１５のドレイン－ソース間の電圧は閾値発生源３７２による閾値より高い値である。

[0110] マスク時間指定信号がマスク時間の経過を示し、定電流源３７５からの定電流によりコンデンサ３７７が充電され始めると、抵抗３７３とダイオード３７４の直列体を介してスイッチング素子１５のドレイン端子へ放電されることがないため、短絡検知時間経過後は短絡検知用ノード３７８の電位が閾

値を超える電位になる。

その結果、比較器３７１からはオフ指令信号が出力され、オフ指令信号を受けた制御信号発生部３３により、スイッチング素子１５を構成する半導体スイッチング素子15_1、15_2は導通状態から強制的にオフ状態にされ、短絡電流が遮断されてスイッチング素子１４とスイッチング素子１５は短絡から保護される。

[0111] 短絡検知時間は、スイッチング素子１４、１５のゲート電位が立ち上がる時点、つまり、ゲートーソース間電圧が上昇し始める時刻を始点とし設定した範囲の時間、実施の形態１ではマスク時間と通常状態において定電流源３６５、３７５からの定電流によりコンデンサ３６７、３７７が充電されて短絡検知用ノード３６８、３７８の電位が閾値になるまでの時間との和の時間である。

短絡検知時間はできるだけ速やかに短絡の検知が行えるように短い時間がよい。

短絡検知時間は、スイッチング素子１４、１５のスイッチング時間と連動する。

[0112] 短絡検知時間は、電力変換回路１０に入力される入力電圧が設定電圧であり、スイッチング素子１４、１５が短絡状態でない通常動作時に、スイッチング素子１４、１５がターンオンする途中にドレインーソース間の電圧が十分に下がり切っていない状態での誤検知を防止するためにスイッチング素子１４、１５がオンを開始してからドレインーソース間の電圧が十分に下がり切るまでの時間を設定時間とし、短絡検知部３６、３７は設定時間経過後まで短絡検知を実施しない。

[0113] 実施の形態１では、スイッチ３６６、３７６はマスク時間指定信号によりマスク時間の経過時までオフにされ、マスク時間の経過時にスイッチ３６６、３７６はマスク時間指定信号によりオンにされ、短絡検知時間（＝マスク時間＋閾値までのコンデンサ３６７、３７７の充電時間）に比較器３６１、３７１によりスイッチング素子１４とスイッチング素子１５の短絡状態の判

定がなされる。

[0114] 電圧センサ回路４０は、正極側の電源用配線５０Ｐと負極側の電源用配線５０Ｎとの間に接続され、電力変換回路１０に入力される入力電圧を検知し、検知した入力電圧に応じて出力信号を制御回路部３０に出力する。

制御回路部３０は電圧センサ回路４０の出力信号に応じた制御信号を電力変換回路１０におけるスイッチング素子１４、１５に出力する。

[0115] 電圧センサ回路４０からの出力信号を受けた制御回路部３０におけるハイサイドアーム用の制御信号発生部３２のゲート抵抗３２４およびローサイドアーム用の制御信号発生部３３のゲート抵抗３３４は、電圧センサ回路４０からの出力信号に応じて抵抗値が変更される。

[0116] 実施の形態１では、電圧センサ回路４０からの出力信号は、電力変換回路１０に入力される入力電圧が４００Ｖを超え、設定電圧である１０００Ｖの範囲の高電圧を示す信号と４００Ｖ以下の低電圧を示す信号とからなる。

ゲート抵抗３２４およびゲート抵抗３３４はそれぞれ、電圧センサ回路４０からの出力信号が高電圧を示す信号であると設定電圧に対する抵抗値とされ、低電圧を示す信号であると設定電圧に対する抵抗値より低い抵抗値に切り替えられる。

[0117] 入力電圧が高電圧において、ゲート抵抗３２４およびゲート抵抗３３４の抵抗値が設定電圧に対する抵抗値であると、スイッチング素子１４、１５の一方がターンオンし、他方がターンオフすると、短絡検知時間終了時にターンオンするスイッチング素子１４、１５のドレイン－ソース間の電圧は短絡検知閾値未満になっており、短絡検知部３６、３７は短絡を検知しない。

すなわち、ゲート抵抗３２４およびゲート抵抗３３４における設定電圧に対する抵抗値は、入力電圧が高電圧において、短絡検知時間終了時にスイッチング素子１４、１５のドレイン－ソース間の電圧が短絡検知閾値未満になるスイッチング時間になる制御信号となる値に設定されている。

[0118] 一方、入力電圧が低電圧において、ゲート抵抗３２４およびゲート抵抗３３４が設定電圧に対する抵抗値より低い抵抗値であると、スイッチング素子

１４、１５の一方がターンオンし、他方がターンオフする時、ターンオンするスイッチング素子１４、１５のスイッチング時間が、ゲート抵抗３２４およびゲート抵抗３３４が設定電圧に対する抵抗値である時のターンオンするスイッチング素子１４、１５のスイッチング時間より短くなっており、ターンオンするスイッチング素子１４、１５に発生するゲート発振が大きな振幅となる前に発振しやすい状態すなわちスイッチング動作から抜け出せる。

すなわち、ゲート抵抗３２４およびゲート抵抗３３４における設定電圧に対する抵抗値は、入力電圧が低電圧において、ゲート発振を抑制するスイッチング時間になる制御信号となる値に設定されている。

[0119] 要するに、実施の形態１に係る電力変換装置３００は、電力変換回路１０に入力される入力電圧が設定電圧であると、ターンオンするスイッチング素子１４、１５のスイッチング時間が短絡検知時間終了時において短絡検知の誤検知が生じないスイッチング時間に設定される制御信号が制御回路部３０における制御信号発生部３２、３３から出力され、電力変換回路１０に入力される入力電圧が設定電圧未満の低電圧であると、ターンオンするスイッチング素子１４、１５のスイッチング時間がゲート発振を抑制するスイッチング時間に変更される制御信号が制御回路部３０における制御信号発生部３２、３３から出力される。

[0120] ところで、入力電圧に応じてスイッチング時間を変更することを行わず、低電圧においてゲート発振を抑制した場合の通常動作時における動作を参考までに図５を用いて説明する。

すなわち、入力電圧が低電圧において、ゲート抵抗３２４およびゲート抵抗３３４の抵抗値をそれぞれ低い値とし、ゲート発振を抑制するスイッチング時間になる制御信号が制御回路部３０における制御信号発生部３２、３３から出力され、入力電圧が高電圧においても低電圧の場合と同じゲート抵抗３２４およびゲート抵抗３３４の抵抗値による制御信号が制御回路部３０における制御信号発生部３２、３３から出力されるものを想定する。

[0121] 図５において、横軸は時間を示し、実線は入力電圧が高電圧、実施の形態

１では１０００Ｖ、破線は入力電圧が低電圧、実施の形態１では４００Ｖの場合の波形をそれぞれ示している。

また、図５において、ｔ０はスイッチング素子１５（ローサイドアーム）がオンを始める時刻であり、スイッチング素子１５におけるドレイン-ソース間の電流が流れ始める時刻、ｔ１は入力電圧が低電圧である場合のスイッチング素子１５におけるドレイン－ソース間の電圧がゼロとなる時刻（ミラー時間の終わり）、ｔ１´は入力電圧が高電圧である場合のスイッチング素子１５におけるドレイン－ソース間の電圧がゼロとなる時刻（ミラー時間の終わり）、ｔ２はスイッチング素子１５がオフを始める時刻であり、スイッチング素子１５におけるドレイン-ソース間の電圧が上昇を始める時刻（ミラー時間の開始）、ｔ３は入力電圧が低電圧である場合のスイッチング素子１５がオフを完了する時刻であり、スイッチング素子１５におけるドレイン-ソース間の電流がゼロになる時刻、ｔ３´は入力電圧が高電圧である場合のスイッチング素子１５がオフを完了する時刻であり、スイッチング素子１５におけるドレイン-ソース間の電流がゼロになる時刻を示す。

[0122] スイッチング素子１５において、入力電圧が低電圧である場合のスイッチング素子１５のスイッチング時間は、オフからオンに動作する時が時刻ｔ０から時刻ｔ１までの時間であり、オンからオフに動作する時が時刻ｔ２から時刻ｔ３までの時間である。

また、スイッチング素子１５において、入力電圧が高電圧である場合のスイッチング素子１５のスイッチング時間は、オフからオンに動作する時が時刻ｔ０から時刻ｔ１´までの時間であり、オンからオフに動作する時が時刻ｔ２から時刻ｔ３´までの時間である。

[0123] 半導体スイッチング素子としてＭＯＳＦＥＴを用いた場合、ＭＯＳＦＥＴのミラー効果（miller effect）と呼ばれる現象により、入力電圧が高電圧である場合は低電圧に比較して半導体スイッチング素子のスイッチング時のドレイン－ソース間の電圧の遷移時間であるミラー時間が入力電圧に依存して長くなり、入力電圧が高電圧である場合のスイッチング素子１５のスイッチ

ング時間が、入力電圧が低電圧である場合のスイッチング素子１５のスイッチング時間より長くなる。

[0124] 従って、入力電圧が低電圧においてゲート発振を抑制するスイッチング時間になる制御信号を入力電圧が高電圧の場合においてもスイッチング素子１５のオン動作時にスイッチング素子１５に入力すると、図５に示すようにスイッチング素子１５のスイッチング時間が長いため、短絡検知時間終了時点においてもオン動作が完了せず、スイッチング素子１５のドレイン－ソースの間の電圧が短絡検知閾値を超えており、短絡の誤検知が発生してしまう。

[0125] なお、短絡検知時間は、入力電圧が低電圧において短絡の検知を早く行えるようにするために短くし、入力電圧が高電圧においても、通常は、入力電圧が低電圧の場合と同じ短絡検知時間を用いるため、短くなる。

スイッチング素子14のオン動作時においても同様であり、入力電圧が高電圧において短絡の誤検知が発生してしまう。

[0126] これに対して、実施の形態１に係る電力変換装置３００においては、入力電圧が高電圧の場合にスイッチング素子１５のオン動作時に短絡検知時間終了時点においてスイッチング素子１５のドレイン－ソースの間の電圧が短絡検知閾値未満になるスイッチング時間となる制御信号を制御回路部３０における制御信号発生部３３がスイッチング素子１５に出力し、入力電圧が低電圧の場合にスイッチング素子１５のオン動作時に制御回路部３０における制御信号発生部３３からの制御信号を変更してゲート発振を抑制するスイッチング時間になる制御信号をスイッチング素子１５に出力している。

[0127] その結果、実施の形態１に係る電力変換装置は、入力電圧が高電圧の場合にスイッチング素子１５に対してサージによる耐圧超過の発生を防止して、短絡の誤検知がなく、入力電圧が低電圧の場合、ゲート発振によるスイッチング素子１５の誤動作またはスイッチング素子１５の耐圧超過も防止できる。

スイッチング素子14のオン動作時においても同様である。

[0128] 次に、実施の形態１に係る電力変換装置において、スイッチング素子１４

またはスイッチング素子１５の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合について、図４を用いて説明する。

図４はスイッチング素子１４（ハイサイドアーム）が導通状態、スイッチング素子１５（ローサイドアーム）が非導通状態の時に、スイッチング素子１５が何らかの要因で誤ってオン動作を起こし、ハイサイド用の短絡検知部３６がスイッチング素子１４とスイッチング素子１５が短絡状態であると検知し、ハイサイド用のオンオフ指令信号生成部３２２にオフ指令信号を出力し、制御信号発生部３２がスイッチング素子１４を短絡保護のためにオフさせる動作の波形を示す。

[0129] 図４において、横軸は時間を示し、実線は入力電圧が高電圧、実施の形態１では１０００Ｖ、破線は入力電圧が低電圧、実施の形態１では４００Ｖの場合の波形をそれぞれ示している。

なお、図４はスイッチング時間の差により発生する現象を説明する図であるので、入力電圧が高電圧と低電圧の場合ともに縦軸方向は同じにしてある。

[0130] スイッチング素子１５が時刻t_{00}において誤ってオン動作を開始、つまり、スイッチング素子１５のゲート－ソース間の電圧が上昇を始める。スイッチング素子１５がオン動作開始時刻を始点とする短絡検知時間が開始する。

スイッチング素子１５のゲート－ソース間の電圧は、入力電圧が高電圧の場合、ローサイドアーム用の制御信号発生部３３におけるゲート抵抗３３４の抵抗値が高く、長いスイッチング時間になる制御信号がスイッチング素子１５のゲート電極に入力されるため、緩やかに上昇し、スイッチング素子１５におけるドレイン－ソース間の抵抗値が大きい状態が続く。

[0131] スイッチング素子１５のドレイン－ソース間の電圧は、入力電圧が高電圧の場合、スイッチング素子１５のドレイン－ソース間の抵抗値が大きい状態が続くため、スイッチング素子１４とスイッチング素子１５に流れる短絡電流がピークになるまでは変化するのが遅く、短絡電流がピークの時から０に

向かって下降する。

[0132] 一方、スイッチング素子１４のドレイン－ソース間の電圧は、スイッチング素子１４とスイッチング素子１５が短絡状態において、スイッチング素子１５のドレイン－ソース間の電圧により決まり、入力電圧が高電圧の場合、スイッチング素子１５のドレイン－ソース間の抵抗値が大きい状態が続くため、変化するのが遅い。

スイッチング素子１４のドレイン－ソース間の電圧が短絡検知時間経過時に短絡検知閾値を超えていると、短絡検知部３６は短絡を検知する。

[0133] 短絡検知部３６が短絡を検知すると、制御信号発生部３２により、スイッチング素子１４はゲートオフが始まる。

なお、スイッチング素子１４のドレイン－ソース間の電圧は、スイッチング素子１４とスイッチング素子１５に流れる短絡電流がピークになるまでは変化するのが遅く、短絡電流がピークの時から入力電圧に向かって上昇する。

[0134] スイッチング素子１４のゲート－ソース間の電圧は、入力電圧が高電圧の場合、ハイサイドアーム用の制御信号発生部３２におけるゲート抵抗３２４の抵抗値が高く、長いスイッチング時間になる制御信号がスイッチング素子１４のゲート電極に入力されるため、スイッチング素子１４がオフするまでの時間が長い。

この時のスイッチング素子１５のスイッチング時間はスイッチング素子１５がオフからオンにかかる時間、スイッチング素子１４のスイッチング時間はオンからオフにかかる時間であり、スイッチング素子１４およびスイッチング素子１５のスイッチング時間はスイッチング素子１４とスイッチング素子１５に流れる短絡電流（貫通電流）が流れ始める時点を始点、流れ終る点を終点とした時間に相当する。

[0135] スイッチング素子１５は、入力電圧が高電圧の場合は、ゲート発振を繰り返す回数が多いものの、スイッチング素子１５のドレイン－ソース間の電圧が高く、しかも、スイッチング時間が長く、スイッチング素子１５のゲート

－ソース間の電圧の立ち上がりが緩やかなので、スイッチング素子１５の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合においても、サージによる耐圧超過の発生を防止できる。

スイッチング素子１４の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合においても、同様である。

[0136] また、入力電圧が低電圧の場合、スイッチング素子１５のゲート－ソース間の電圧は、ローサイドアーム用の制御信号発生部３３におけるゲート抵抗３３４の抵抗値が低く変更されるため、より短いスイッチング時間になる制御信号がスイッチング素子１５のゲート電極に入力されるため、立ち上がりが早く、スイッチング素子１５がオンするまでの時間が短い。

[0137] スイッチング素子１５のドレイン－ソース間の電圧は、入力電圧が低電圧の場合、スイッチング素子１５のスイッチング時間がより短いため、スイッチング素子１５のドレイン－ソース間の抵抗値が早く低くなり、立ち下がるのが早い。

スイッチング素子１５のドレイン－ソース間の抵抗値が早く低くなるため、スイッチング素子１４とスイッチング素子１５が短絡状態において、スイッチング素子１５のドレイン－ソース間の電圧により決まる、スイッチング素子１４のドレイン－ソース間の電圧は、入力電圧が低電圧の場合、変化、つまり、立ち下がるのが早い。

[0138] スイッチング素子１４のドレイン－ソース間の電圧が短絡検知時間経過時に短絡検知閾値を超えていると、短絡検知部３６は短絡を検知する。

短絡検知部３６が短絡を検知すると、制御信号発生部３２により、スイッチング素子１４はゲートオフが始まる。

[0139] スイッチング素子１４のゲート－ソース間の電圧は、入力電圧が低電圧の場合、ハイサイドアーム用の制御信号発生部３２におけるゲート抵抗３２４の抵抗値が低く、より短いスイッチング時間になる制御信号がスイッチング

素子１４のゲート電極に入力されるため、スイッチング素子１４がオフするまでの時間が短い。

つまり、スイッチング素子１４とスイッチング素子１５の短絡電流を遮断する時間がより短くなる。

[0140] この時のスイッチング素子１５のスイッチング時間はスイッチング素子１５がオフからオンにかかる時間、スイッチング素子１４のスイッチング時間はオンからオフにかかる時間であり、スイッチング素子１４およびスイッチング素子１５のスイッチング時間はスイッチング素子１４とスイッチング素子１５に流れる短絡電流が流れ始める時点を始点、流れ終る点を終点とした時間に相当する。

[0141] スイッチング素子１５は、入力電圧が低電圧の場合は、ゲート発振を繰り返す回数が少なくゲート発振による振動が顕著になる前にスイッチング素子１５のスイッチング動作を終えることができ、スイッチング素子１５の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合においても、スイッチング素子１５のゲート発振が抑制される。

スイッチング素子１４の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合においても、同様である。

[0142] 要するに、実施の形態１に係る電力変換装置３００は、スイッチング素子１４またはスイッチング素子１５の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合においても、電力変換回路１０に入力される入力電圧が設定電圧であると、スイッチング素子１４、１５のスイッチング時間が短絡検知時間終了時において短絡検知の誤検知が生じないスイッチング時間、結果としてスイッチング素子１４とスイッチング素子１５に流れる短絡電流が流れ始める時点を始点、流れ終る点を終点とした時間に設定される制御信号が制御回路部３０における制御信号発生部３２、３３から出力され、電力変換回路１０に入力される

入力電圧が設定電圧未満の低電圧であると、スイッチング素子１４、１５のスイッチング時間がゲート発振を抑制するスイッチング時間に変更される、結果としてスイッチング素子１４とスイッチング素子１５に流れる短絡電流が流れ始める時点を始点、流れ終る点を終点とした時間に設定される制御信号が制御回路部３０における制御信号発生部３２、３３から出力される。

[0143] ところで、入力電圧に応じてスイッチング時間を変更することを行わず、高電圧においてサージによる耐圧超過の発生を防止した場合の、スイッチング素子１５の誤点弧などによりスイッチング素子１４とスイッチング素子１５が同時に導通状態になり短絡状態となった場合における動作を参考までに図６を用いて説明する。

[0144] 図６において、横軸は時間を示し、実線は入力電圧が高電圧、実施の形態１では１０００Ｖ、破線は入力電圧が低電圧、実施の形態１では４００Ｖの場合の波形をそれぞれ示している。

ｔ00はスイッチング素子１４とスイッチング素子１５に流れる短絡電流が流れ始める時刻、ｔ01は短絡電流が０になる時刻である。

時刻ｔ00から時刻ｔ01までの時間がスイッチング素子１４およびスイッチング素子１５のスイッチング時間に相当する。

[0145] 入力電圧が高電圧の場合は、図４において説明した動作と同じであるので、説明は省略する。

以下、入力電圧が低電圧の場合について説明する。

スイッチング素子１５のゲート－ソース間の電圧は、入力電圧が高電圧の場合と同様に、ローサイドアーム用の制御信号発生部３３におけるゲート抵抗３３４の抵抗値が高く、長いスイッチング時間になる制御信号がスイッチング素子１５のゲート電極に入力されるため、緩やかに上昇し、スイッチング素子１５におけるドレイン－ソース間の抵抗値が大きい状態が続く。

[0146] スイッチング素子１５のドレイン－ソース間の電圧は、入力電圧が高電圧の場合と同様に、スイッチング素子１５のドレイン－ソース間の抵抗値が大きい状態が続くため、スイッチング素子１４とスイッチング素子１５に流れ

る短絡電流がピークになるまでは変化するのが遅く、短絡電流がピークの時から０に向かって下降する。

[0147] 一方、スイッチング素子１４のドレイン－ソース間の電圧は、スイッチング素子１４とスイッチング素子１５が短絡状態において、スイッチング素子１５のドレイン－ソース間の電圧により決まり、入力電圧が高電圧の場合と同様に、スイッチング素子１５のドレイン－ソース間の抵抗値が大きい状態が続くため、変化するのが遅い。

スイッチング素子１４のドレイン－ソース間の電圧が短絡検知時間経過時に短絡検知閾値を超えていると、短絡検知部３６は短絡を検知する。

[0148] 短絡検知部３６が短絡を検知すると、制御信号発生部３２により、スイッチング素子１４はゲートオフが始まる

なお、スイッチング素子１４のドレイン－ソース間の電圧は、スイッチング素子１４とスイッチング素子１５に流れる短絡電流がピークになるまでは変化するのが遅く、短絡電流がピークの時から入力電圧に向かって上昇する。

[0149] スイッチング素子１４のゲート－ソース間の電圧は、入力電圧が高電圧の場合と同様に、ハイサイドアーム用の制御信号発生部３２におけるゲート抵抗３２４の抵抗値が高く、長いスイッチング時間になる制御信号がスイッチング素子１４のゲート電極に入力されるため、スイッチング素子１４がオフするまでの時間が長い。

[0150] スイッチング素子１５は、スイッチング素子１５のドレイン－ソース間の電圧が低い電圧に保持されている時間が長いため、短絡状態に至った際にゲート発振を繰り返す回数が多く、ゲート発振による振動が顕著になり、スイッチング素子の誤動作または半導体スイッチング素子の耐圧超過による破壊の発生の恐れがある。

[0151] これに対して、実施の形態１に係る電力変換装置３００においては、入力電圧が高電圧の場合にスイッチング素子１５のオン動作時に短絡検知時間終了時点においてスイッチング素子１５のドレイン－ソースの間の電圧が短絡

検知閾値未満になるスイッチング時間となる制御信号を制御回路部３０における制御信号発生部３３がスイッチング素子１５に出力し、入力電圧が低電圧の場合にスイッチング素子１５のオン動作時に制御回路部３０における制御信号発生部３３からの制御信号を変更してゲート発振を抑制するスイッチング時間になる制御信号をスイッチング素子１５に出力している。

[0152] その結果、実施の形態１に係る電力変換装置は、入力電圧が高電圧の場合にスイッチング素子１５に対してサージによる耐圧超過の発生を防止して、短絡の誤検知がなく、入力電圧が低電圧の場合、ゲート発振によるスイッチング素子１５の誤動作またはスイッチング素子１５の耐圧超過も防止できる。

スイッチング素子14のオン動作時においても同様である。

[0153] 以上に述べたように、実施の形態１に係る電力変換装置３００は、電力変換回路１０に入力される入力電圧が設定電圧、例えば１０００Ｖより低い電圧、例えば４００Ｖを示す出力信号により、電力変換回路１０の制御回路部３０におけるハイサイドアーム用の制御信号発生部３２のゲート抵抗３２４およびローサイドアーム用の制御信号発生部３３のゲート抵抗３３４の抵抗値が設定値より低い抵抗値に切り替えられ、スイッチング素子１４、１５を構成する半導体スイッチング素子群における複数の半導体スイッチング素子14_1、14_2、15_1、15_2のスイッチング時間を設定時間より短い時間とするので、電力変換回路１０に入力される入力電圧が設定電圧において、複数の半導体スイッチング素子14_1、14_2、15_1、15_2の耐圧超過による破壊の発生を抑制し、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧において、複数の半導体スイッチング素子14_1、14_2、15_1、15_2のターンオン時におけるゲート発振を抑制することができる。

[0154] 但し、実施の形態１に係る電力変換装置３００は、直流を三相交流に変換する三相インバータ回路を備えた電力変換装置に限られるものではなく、直流を単相交流に変換する単相インバータ回路を備えた電力変換装置、交流を直流に変換するコンバータ回路を備えた電力変換装置、あるいは、電圧を変

圧するＤＣ－ＤＣコンバータ回路を備えた電力変換装置であってもよい。

なお、電力変換回路は、三相インバータ回路、単相インバータ回路、コンバータ回路、ＤＣ－ＤＣコンバータ回路のいずれをも含む用語である。

[0155] 実施の形態２．

実施の形態２に係る電力変換装置を図７を用いて説明する。

実施の形態２に係る電力変換装置３００は、実施の形態１に係る電力変換装置３００が電力変換回路１０に入力される入力電圧に応じてスイッチング時間を制御回路部３０におけるハイサイドアーム用の制御信号発生部３２のゲート抵抗３２４およびローサイドアーム用の制御信号発生部３３のゲート抵抗３３４の抵抗値を変更させることによって行っているのに対し、スイッチング時間を電力変換回路１０に入力される入力電圧に応じて制御回路部３０におけるハイサイドアーム用の制御信号発生部３２の駆動電圧生成部３２１およびローサイドアーム用の制御信号発生部３３の駆動電圧生成部３３１における半導体スイッチング素子のオン用のゲートの駆動電圧およびオフ用のゲートの駆動電圧の少なくとも一方の駆動電圧が変更されることにより行っている点が相違し、その他の点は実施の形態１に係る電力変換装置３００と同じである。

なお、ゲート抵抗３２４およびゲート抵抗３３４の抵抗値は電力変換回路１０に入力される入力電圧に係らず同じ値である。

また、図７中、図１から図３に付された符号と同一符号は同じ又は相当部分を示す。

[0156] すなわち、実施の形態２に係る電力変換装置３００は、電力変換回路１０に入力される入力電圧が設定電圧より低い場合、設定電圧に対するオン用の駆動電圧より高いオン用の駆動電圧に変更し、設定電圧に対するオフ用の駆動電圧より低いオフ用の駆動電圧に変更し、オフ用の駆動電圧の絶対値を大きく切り替える。

オン用の駆動電圧が高いと半導体スイッチング素子のゲート－ソース間電圧の立ち上がり速度が速くなり、オフ用の駆動電圧が低い半導体スイッチン

グ素子のゲートーソース間電圧の立ち下がり速度が速くなり、結果として、半導体スイッチング素子に対するスイッチング時間が短く変更できる。

[0157] 駆動電圧生成部３２１は、図７に示すように、電圧センサ回路４０からの高電圧を示す設定電圧を示す出力信号によりオン用の駆動電圧およびオフ用の駆動電圧が設定値にされ、半導体スイッチング素子14_1、14_2のスイッチング時間を設定時間とし、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧であると、電圧センサ回路４０からの設定電圧より低い電圧を示す出力信号により、オン用の駆動電圧が設定値より高い駆動電圧に切り替えられ、オフ用の駆動電圧が設定値より低い駆動電圧に切り替えられ、結果として半導体スイッチング素子14_1、14_2のスイッチング時間を設定時間より短い時間とする。

[0158] 駆動電圧生成部３３１は、図７に示すように、電圧センサ回路４０からの高電圧を示す設定電圧を示す出力信号によりオン用の駆動電圧およびオフ用の駆動電圧が設定値にされ、半導体スイッチング素子15_1、15_2のスイッチング時間を設定時間とし、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧であると、電圧センサ回路４０からの設定電圧より低い電圧を示す出力信号により、オン用の駆動電圧が設定値より高い駆動電圧に切り替えられ、オフ用の駆動電圧が設定値より低い駆動電圧に切り替えられ、結果として半導体スイッチング素子15_1、15_2のスイッチング時間を設定時間より短い時間とする。

[0159] 半導体スイッチング素子14_1、14_2としてワイドバンドギャップのＭＯＳＦＥＴを用いた場合、ＭＯＳＦＥＴは高速なスイッチング動作を行うがゆえにスイッチング時のドレインーソース間の電圧の遷移速度ｄｖ／ｄｔが大きく寄生容量Ｃｄｇ×ｄｖ／ｄｔで発生したＭＯＳＦＥＴのゲートに流れる電流により寄生容量Ｃｇｓが充電されてゲートーソース間の電圧が上昇し、誤点弧を起こしやすい。

しかし、オフ用の駆動電圧をオン用の駆動電圧に対して電位の向きが逆である負電圧とし、電力変換回路１０に入力される入力電圧が設定電圧より低

い場合、オフ用の駆動電圧を大きく低い駆動電圧に切り替えられることにより、ＭＯＳＦＥＴが誤点弧を発生することなく、スイッチング時間を設定時間より短い時間とすることができる。

[0160] 実施の形態２に係る電力変換装置３００は、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧を示す出力信号により、電力変換回路１０の制御回路部３０におけるハイサイドアーム用の制御信号発生部３２の駆動電圧生成部３２１およびローサイドアーム用の制御信号発生部３３の駆動電圧生成部３３１における半導体スイッチング素子のオン用の駆動電圧をオン用のゲートの設定電圧より高く変更し、またはオフ用の駆動電圧をオフ用のゲートの設定電圧より低く変更し、もしくはオン用の駆動電圧を高くおよびオフ用の駆動電圧を低く切り替えられ、スイッチング素子１４、１５を構成する半導体スイッチング素子群における複数の半導体スイッチング素子14_1、14_2、15_1、15_2のスイッチング時間を設定時間より短い時間に変更するので、電力変換回路１０に入力される入力電圧が設定電圧において、複数の半導体スイッチング素子14_1、14_2、15_1、15_2の耐圧超過による破壊の発生を抑制し、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧において、複数の半導体スイッチング素子14_1、14_2、15_1、15_2のターンオン時におけるゲート発振を抑制することができる。

[0161] なお、実施の形態２に係る電力変換装置３００をハイブリッド自動車または電気自動車などの電動パワートレイン用の電力変換装置として用いた場合、ハイブリッド自動車または電気自動車の補器類の動作用の直流電源である鉛蓄電池を直流電源１００として使用し、制御回路部３０の駆動電源として鉛蓄電池から供給される電圧を入力としたフライバック電源を駆動電圧生成部３２１および駆動電圧生成部３３１として用いてもよい。

このように駆動電圧生成部３２１および駆動電圧生成部３３１としてフライバック電源を用いることにより、電圧センサ回路４０からの出力信号に応じてフライバック電源のデューティ比を変えることにより駆動電圧の変更を実現することができる。

[0162] 実施の形態３．

実施の形態３に係る電力変換装置を図８を用いて説明する。

実施の形態３に係る電力変換装置３００は、実施の形態１に係る電力変換装置に対して、ハイサイド用の短絡検知部３６およびローサイド用の短絡検知部３７における短絡検知時間を電力変換回路１０に入力される入力電圧に応じて変更させる点が相違し、その他の点は実施の形態１に係る電力変換装置３００と同じである。

なお、図８中、図１から図３に付された符号と同一符号は同じ又は相当部分を示す。

[0163] すなわち、実施の形態３に係る電力変換装置３００は、電力変換回路１０に入力される入力電圧が設定電圧より低い場合、短絡検知部３６および短絡検知部３７における短絡検知時間を短く切り替えることにより、入力電圧が設定電圧より低い場合において、短絡検知時間を短くすると、スイッチング素子１４とスイッチング素子１５との間の短絡時間が短くなるので、ゲート発振を繰り返す回数が少なくゲート発振による振動が顕著になる前にスイッチング素子１５のスイッチング動作を終えることができる。

[0164] 実施の形態３に係る電力変換装置３００における短絡検知部３６および短絡検知部３７において、例えば、入力電圧が高電圧である場合、短絡検知（ゲート抵抗：大）と示す時点で短絡検知ができる短絡検知時間に設定し、入力電圧が低電圧である場合に短絡検知（ゲート抵抗：大）と示す時点で短絡検知ができる短絡検知時間に設定する。

どちらの短絡検知時間もスイッチング素子１４とスイッチング素子１５が通常動作する場合は、短絡の誤検知が発生しない時間である。

すなわち、スイッチング素子１４とスイッチング素子１５が通常動作によりオン動作した時、スイッチング素子１４のドレイン－ソース間の電圧とスイッチング素子１５のドレイン－ソース間の電圧は短絡検知時間経過時に閾値電圧より低くなる。

[0165] 一方、入力電圧が低電圧である場合に、スイッチング素子１４が導通状態

、スイッチング素子１５が非導通状態の時に、スイッチング素子１５が何らかの要因で誤ってオン動作を起こすと、より短い短絡検知時間経過時にハイサイド用の短絡検知部３６が、スイッチング素子１４とスイッチング素子１５が短絡状態にあると判定してハイサイド用のオンオフ指令信号生成部３２２にオフ指令信号を出力し、制御信号発生部３２がスイッチング素子１４を短絡保護のためにオフさせる動作を開始させる。

[0166] 従って、スイッチング素子１４がより早めにオフ動作を開始するので、スイッチング素子１４とスイッチング素子１５との間の短絡時間が短くなり、ゲート発振による振動が顕著になる前にスイッチング素子１５のスイッチング動作を終えることができる。

スイッチング素子１４が誤ってオン動作した場合も同様である。

[0167] 実施の形態３に係る電力変換装置３００においても、スイッチング素子１５のスイッチング時間はスイッチング素子１５がオフからオンにかかる時間、スイッチング素子１４のスイッチング時間はオンからオフにかかる時間であり、スイッチング素子１４およびスイッチング素子１５のスイッチング時間はスイッチング素子１４とスイッチング素子１５に流れる短絡電流（貫通電流）が流れ始める時点を始点、流れ終る点を終点とした時間に相当する。

[0168] 短絡検知部３６および短絡検知部３７は、実施の形態１と同様に、図３に示すように、ＤＥＳＡＴ方式の回路により構成され、マスク時間指定信号のマスク時間、定電流源３６５、３７５の電流値、閾値発生源３６２、３７２による閾値、コンデンサ３６７、３７７の容量値、抵抗３６３、３７３の抵抗値の少なくとも１つが可変である。

短絡検知時間を短くする切り替えは、スイッチ３６６、３９６に入力されるマスク時間指定信号のマスク時間を短くする、定電流源３６５、３７５の電流値を大きくする、閾値発生源３６２、３７２による閾値を低くする、コンデンサ３６７、３７７の容量を小さくする、抵抗３６３、３７３の抵抗値を大きくする、のいずれかもしくはいずれかの組み合わせにより行われる。

[0169] 要するに、実施の形態３に係る電力変換装置３００は、電力変換回路１０

に入力される入力電圧が設定電圧より低い場合、電力変換回路１０に入力される入力電圧が設定電圧より低い電圧を示す出力信号により、短絡検知部３６がオフ指令信号を出力するまでの短絡検知時間が短く切り替えられ、スイッチング素子１４とスイッチング素子１５との間の短絡時に、スイッチング素子１４とスイッチング素子１５との間の短絡時間を短くして、より確実に複数の半導体スイッチング素子14_1、14_2、15_1、15_2の誤ったターンオン時におけるゲート発振を抑制することができる。

[0170] なお、実施の形態２に係る電力変換装置に対して、実施の形態３により示したと同様に、ハイサイド用の短絡検知部３６およびローサイド用の短絡検知部３７における短絡検知時間を電力変換回路１０に入力される入力電圧に応じて変更させるようにしてもよい。

このように構成された電力変換装置においても、より確実に複数の半導体スイッチング素子14_1、14_2、15_1、15_2の誤ったターンオン時におけるゲート発振を抑制することができる。

[0171] なお、各実施の形態の自由な組み合わせ、各実施の形態の任意の構成要素の変形、または各実施の形態の任意の構成要素の省略が可能である。

産業上の利用可能性

[0172] 本開示に係る電力変換装置は、ハイブリッド自動車または電気自動車などの電動パワートレイン用の電力変換装置、例えば、大電力用のインバータまたはコンバータに適用するのが好適である。

符号の説明

[0173] １００ 電源、２００ 負荷、３００ 電力変換装置、１０ 電力変換回路、１４ｕ、１５ｕ、１４ｖ、１５ｖ、１４ｗ、１５ｗ 半導体スイッチング素子群、２０ 平滑用コンデンサ、３０ 制御回路部、３１ｕ ｕ相の制御信号発生部、３１ｖ ｖ相の制御信号発生部、３１ｗ ｗ相の制御信号発生部、３２ｕ、３２ｖ、３２ｗ ハイサイドアーム用の制御信号発生部、３３ｕ、３３ｖ、３３ｗ ローサイドアーム用の制御信号発生部、３６ｕ、３６ｖ、３６ｗ ｕ相、ｖ相、ｗ相のハイサイドアーム用の短絡検知部、３７

ｕ、３７ｖ、３７ｗ　ｕ相、ｖ相、ｗ相のローサイドアーム用の短絡検知部、４０　電圧センサ回路。

請求の範囲

[請求項1]　電源からの入力電力が入力され、入力された入力電力を電力変換して負荷に出力電力を出力する電力変換装置であって、

制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群を具備する電力変換回路と、

前記電力変換回路に入力される入力電圧に応じて前記半導体スイッチング素子群における複数の半導体スイッチング素子のスイッチング時間を変更して前記半導体スイッチング素子群における複数の半導体スイッチング素子をオンオフ制御する制御信号を前記半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に出力する制御回路部と、

を備える電力変換装置。

[請求項2]　前記電力変換回路はローサイドアームおよびハイサイドアームを有するハーフブリッジ回路を含み、

前記電力変換回路における半導体スイッチング素子群は、前記ハーフブリッジ回路におけるローサイドアームおよびハイサイドアームそれぞれに配置され、

前記制御回路部から出力される制御信号は前記ハーフブリッジ回路におけるローサイドアームおよびハイサイドアームそれぞれに配置されるローサイドアーム用の制御信号およびハイサイドアーム用の制御信号である、

請求項１に記載の電力変換装置。

[請求項3]　前記電源は二次電池からなる直流電源であり、

前記電力変換回路はｕ相のインバータ部、ｖ相のインバータ部、およびｗ相のインバータ部を有する三相のインバータ回路であり、

前記ｕ相のインバータ部、前記ｖ相のインバータ部、および前記ｗ相のインバータ部はそれぞれローサイドアームおよびハイサイドアー

ムを有し、

前記電力変換回路における半導体スイッチング素子群は、前記ｕ相のインバータ部におけるローサイドアームおよびハイサイドアーム、前記ｖ相のインバータ部におけるローサイドアームおよびハイサイドアーム、および前記ｗ相のインバータ部におけるローサイドアームおよびハイサイドアームそれぞれに配置され、

前記制御回路部から出力される制御信号は、前記ｕ相のインバータ部におけるローサイドアームおよびハイサイドアーム、前記ｖ相のインバータ部におけるローサイドアームおよびハイサイドアーム、および前記ｗ相のインバータ部におけるローサイドアームおよびハイサイドアームそれぞれに配置される半導体スイッチング素子群それぞれに対応してｕ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号、ｖ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号、およびｗ相のローサイドアーム用の制御信号およびハイサイドアーム用の制御信号である、

請求項１に記載の電力変換装置。

[請求項4] 前記ｕ相のインバータ部は、ローサイドアームに配置される半導体スイッチング素子群およびハイサイドアームに配置される半導体スイッチング素子群が同一のパッケージにモールドされたパワーモジュールの構造をとり、ローサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるローサイドアーム用のゲート端子、ドレイン電極が接続されるローサイドアーム用のドレイン端子、およびソース電極が接続されるローサイドアーム用のソース端子を有し、ハイサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるハイサイドアーム用のゲート端子、ドレイン電極が接続されるハイサイドアーム用のドレイン端子、およびソース電極が接続されるハイサイドアーム用のソース端子を有し、

前記ｖ相のインバータ部は、ローサイドアームに配置される半導体スイッチング素子群およびハイサイドアームに配置される半導体スイッチング素子群が同一のパッケージにモールドされたパワーモジュールの構造をとり、ローサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるローサイドアーム用のゲート端子、ドレイン電極が接続されるローサイドアーム用のドレイン端子、およびソース電極が接続されるローサイドアーム用のソース端子を有し、ハイサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるハイサイドアーム用のゲート端子、ドレイン電極が接続されるハイサイドアーム用のドレイン端子、およびソース電極が接続されるハイサイドアーム用のソース端子を有し、

前記ｗ相のインバータ部は、ローサイドアームに配置される半導体スイッチング素子群およびハイサイドアームに配置される半導体スイッチング素子群が同一のパッケージにモールドされたパワーモジュールの構造をとり、ローサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるローサイドアーム用のゲート端子、ドレイン電極が接続されるローサイドアーム用のドレイン端子、およびソース電極が接続されるローサイドアーム用のソース端子を有し、ハイサイドアームに配置される半導体スイッチング素子群における複数の半導体スイッチング素子の、ゲート電極が接続されるハイサイドアーム用のゲート端子、ドレイン電極が接続されるハイサイドアーム用のドレイン端子、およびソース電極が接続されるハイサイドアーム用のソース端子を有する、

請求項３に記載の電力変換装置。

[請求項5] 前記半導体スイッチング素子群における複数の半導体スイッチング素子それぞれは、ワイドバンドギャップ半導体素子である請求項１から請求項４のいずれか１項に記載の電力変換装置。

[請求項6]　前記半導体スイッチング素子群における複数の半導体スイッチング素子それぞれは、ワイドバンドギャップの金属酸化膜型電界効果トランジスタである請求項１から請求項４のいずれか１項に記載の電力変換装置。

[請求項7]　前記制御回路部から出力される制御信号によるスイッチング時間の変更は、前記電力変換回路に入力される入力電圧が設定電圧より低いとスイッチング時間を短くする変更である請求項１から請求項４のいずれか１項に記載の電力変換装置。

[請求項8]　前記制御回路部から出力される制御信号によるスイッチング時間の変更は、前記電力変換回路に入力される入力電圧が複数段階に分けられた電圧範囲に対応して入力電圧が低くなる範囲に向かってスイッチング時間を複数段階に短くする変更である請求項１から請求項４のいずれか１項に記載の電力変換装置。

[請求項9]　前記半導体スイッチング素子群における複数の半導体スイッチング素子それぞれは、ワイドバンドギャップ半導体素子である請求項７に記載の電力変換装置。

[請求項10]　前記制御回路部から出力される制御信号によるスイッチング時間の変更は、前記電力変換回路に入力される入力電圧に応じて抵抗値が変更され、前記半導体スイッチング素子群における複数の半導体スイッチング素子のスイッチング時間を規定するゲート抵抗の抵抗値の変更により行われる請求項７に記載の電力変換装置。

[請求項11]　前記制御回路部は、

電圧出力ノードと前記半導体スイッチング素子群における複数の半導体スイッチング素子のソース電極に電気的に接続される基準電位ノードを有し、Ｈレベルの電位とＬレベルの電位からなる制御信号を出力するゲートドライバと、

一方の端子が前記ゲートドライバの電圧出力ノードに電気的に接続され、他方の端子が前記半導体スイッチング素子群における複数の半

導体スイッチング素子の制御端子に電気的に接続され、前記電力変換回路に入力される入力電圧が設定電圧より低いと抵抗値が設定電圧に対する抵抗値より低い抵抗値に変更されるゲート抵抗を有する、

請求項６に記載の電力変換装置。

[請求項12] 前記制御回路部から出力される制御信号によるスイッチング時間の変更は、前記電力変換回路に入力される入力電圧に応じて、駆動電圧生成部が生成する前記半導体スイッチング素子群における複数の半導体スイッチング素子のオン用のゲートの駆動電圧の電圧値の変更により行われる請求項７に記載の電力変換装置。

[請求項13] 前記制御回路部から出力される制御信号によるスイッチング時間の変更は、前記電力変換回路に入力される入力電圧に応じて、駆動電圧生成部が生成する前記半導体スイッチング素子群における複数の半導体スイッチング素子のオフ用のゲートの駆動電圧の電圧値の変更により行われる請求項７に記載の電力変換装置。

[請求項14] 前記電源は二次電池からなる直流電源であり、

前記電力変換回路はインバータ部を有するインバータ回路であり、

前記インバータ部はローサイドアームおよびハイサイドアームを有し、

前記電力変換回路における半導体スイッチング素子群は、前記インバータ部におけるローサイドアームおよびハイサイドアームそれぞれに配置され、

前記制御回路部は、前記ローサイドアームに配置される半導体スイッチング素子群のドレイン－ソース間の電圧をモニタして前記ローサイドアームに配置される半導体スイッチング素子群が短絡状態にあるか否かを判定し、短絡状態であると判定した場合に前記ハイサイドアームに配置される半導体スイッチング素子群をオフ状態にするためのオフ指令信号を出力する短絡検知部を有し、

前記短絡検知部は、前記電力変換回路に入力される入力電圧に応じ

てオフ指令信号を出力するまでの短絡検知時間が変更される請求項１に記載の電力変換装置。

[請求項15]　電源からの入力電力が入力され、入力された入力電力を電力変換して負荷に出力電力を出力する電力変換装置であって、

制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群を具備する電力変換回路と、

前記半導体スイッチング素子群における複数の半導体スイッチング素子をオンオフ制御する制御信号を前記半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に出力する制御回路部と、を備え、

前記制御回路部は、

電圧出力ノードと前記半導体スイッチング素子群における複数の半導体スイッチング素子のソース電極に電気的に接続される基準電位ノードを有し、Ｈレベルの電位とＬレベルの電位からなる制御信号を出力するゲートドライバと、

一方の端子が前記ゲートドライバの電圧出力ノードに電気的に接続され、他方の端子が前記半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に電気的に接続され、前記電力変換回路に入力される入力電圧が設定電圧より低いと抵抗値が設定電圧に対する抵抗値より低い抵抗値となるゲート抵抗を有する、

電力変換装置。

[請求項16]　電源からの入力電力が入力され、入力された入力電力を電力変換して負荷に出力電力を出力する電力変換装置であって、

制御端子をそれぞれが有し、並列接続された複数の半導体スイッチング素子を有する半導体スイッチング素子群を具備する電力変換回路と、

前記半導体スイッチング素子群における複数の半導体スイッチング

素子をオンオフ制御する制御信号を前記半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に出力する制御回路部と、を備え、

前記制御回路部は、

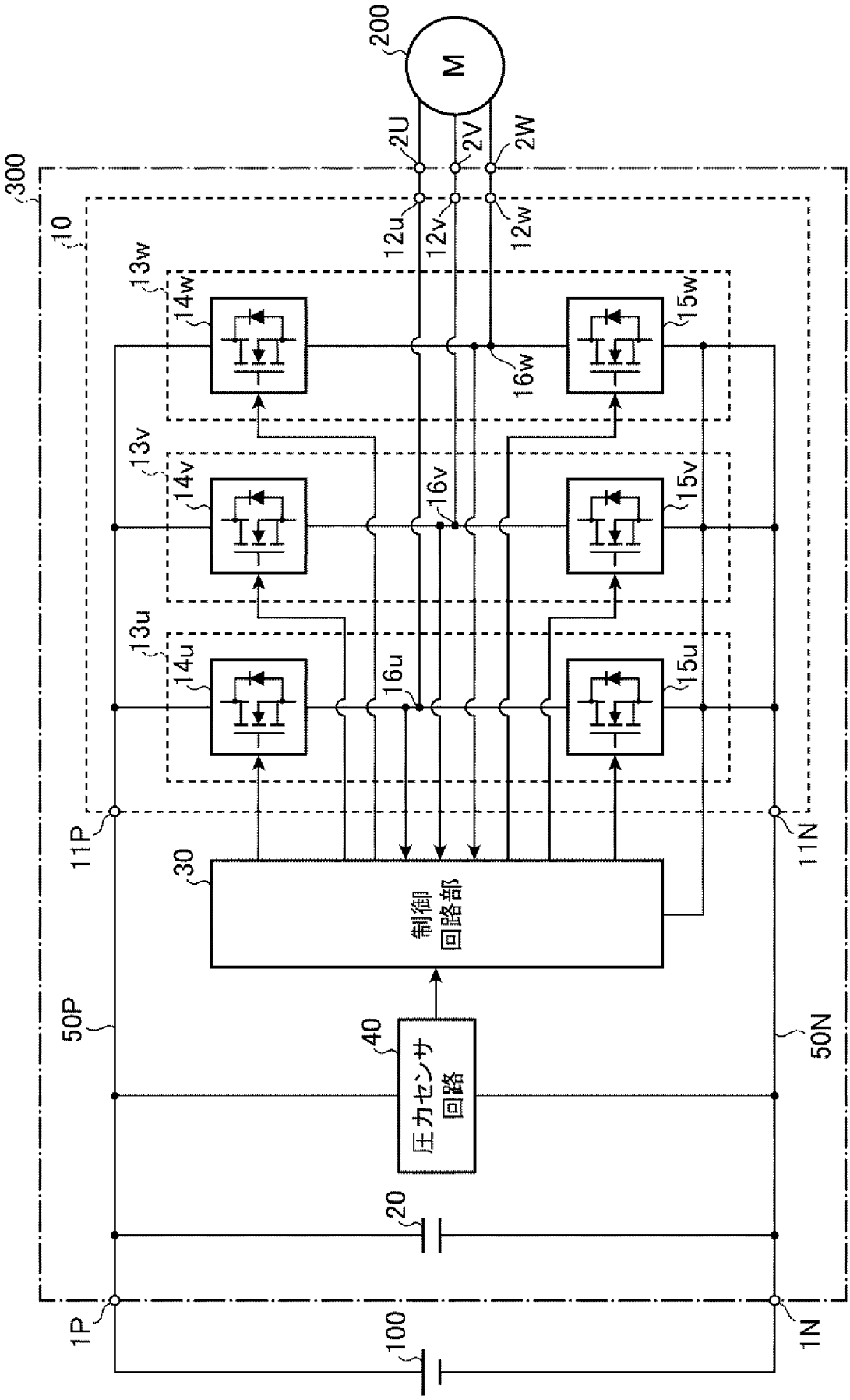
前記半導体スイッチング素子群における複数の半導体スイッチング素子のＨレベルの電位であるオン用のゲートの駆動電圧と前記半導体スイッチング素子群における複数の半導体スイッチング素子のＬレベルの電位であるオフ用の駆動電圧を生成し、前記オン用のゲートの駆動電圧または前記オフ用の駆動電圧の少なくとも一方の駆動電圧を前記電力変換回路に入力される入力電圧が設定電圧より低いと変更する駆動電圧生成部と、

電圧出力ノードと前記半導体スイッチング素子群における複数の半導体スイッチング素子のソース電極に電気的に接続される基準電位ノードを有し、前記駆動電圧生成部からのオン用のゲートの駆動電圧とオフ用の駆動電圧を受け、Ｈレベルの電位とＬレベルの電位からなる制御信号を出力するゲートドライバと、

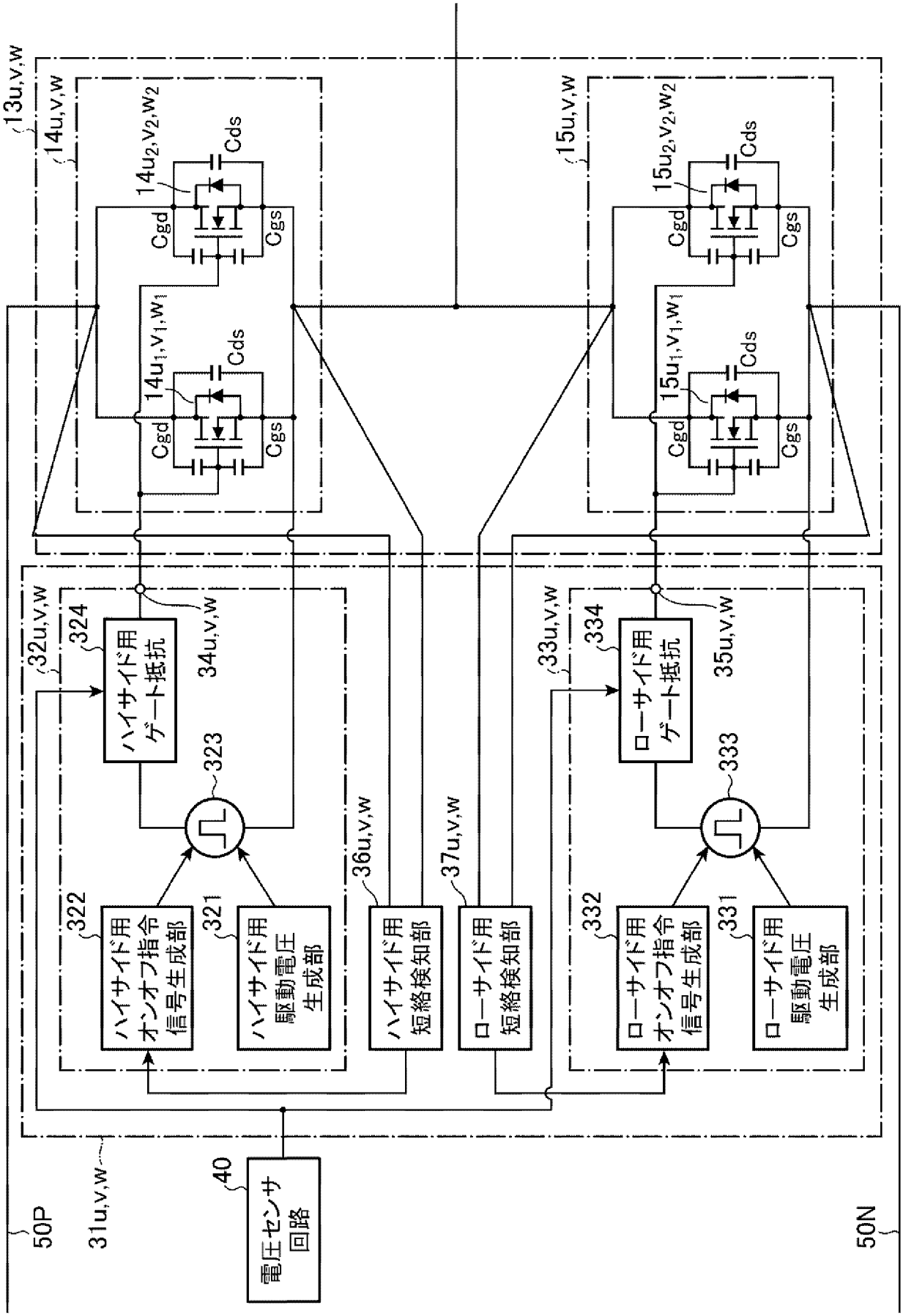
一方の端子が前記ゲートドライバの電圧出力ノードに電気的に接続され、他方の端子が前記半導体スイッチング素子群における複数の半導体スイッチング素子の制御端子に電気的に接続されるゲート抵抗を有する、

電力変換装置。

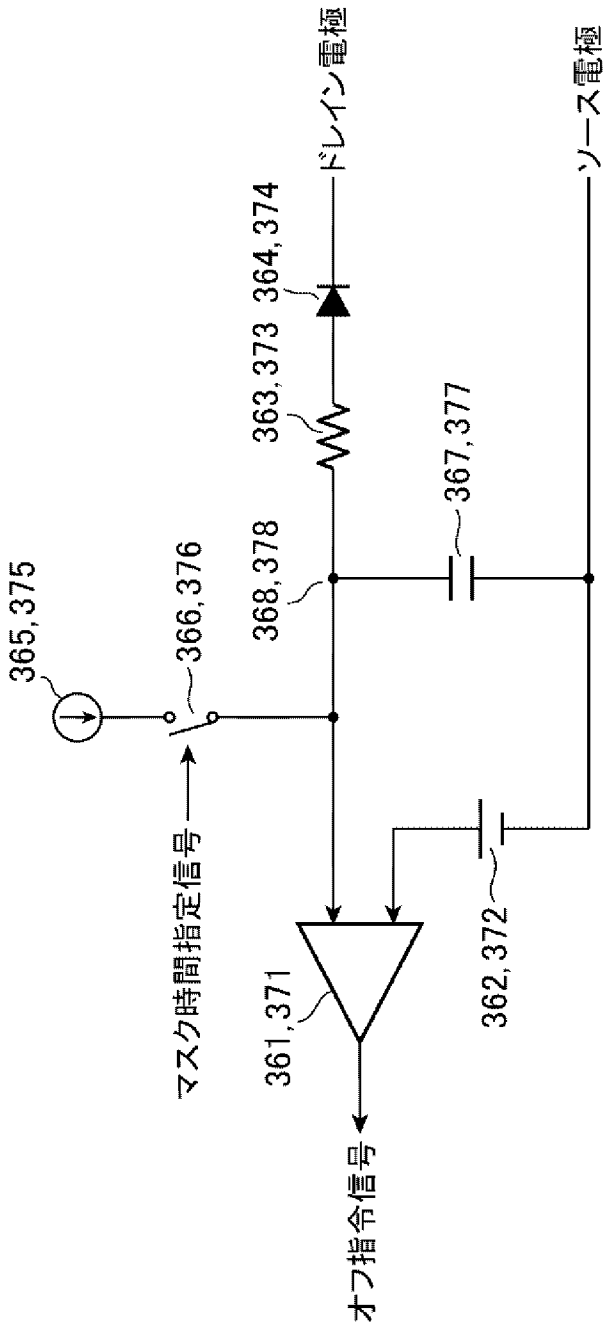
[図1]


200
M
2U
2V
2W
300
10
12u
12v
12w
13w
14w
15w
16w
13v
14v
15v
16v
13u
14u
15u
16u
11P
11N
30
制御回路部
50P
50N
40
圧力センサ回路
20
1P
1N
100

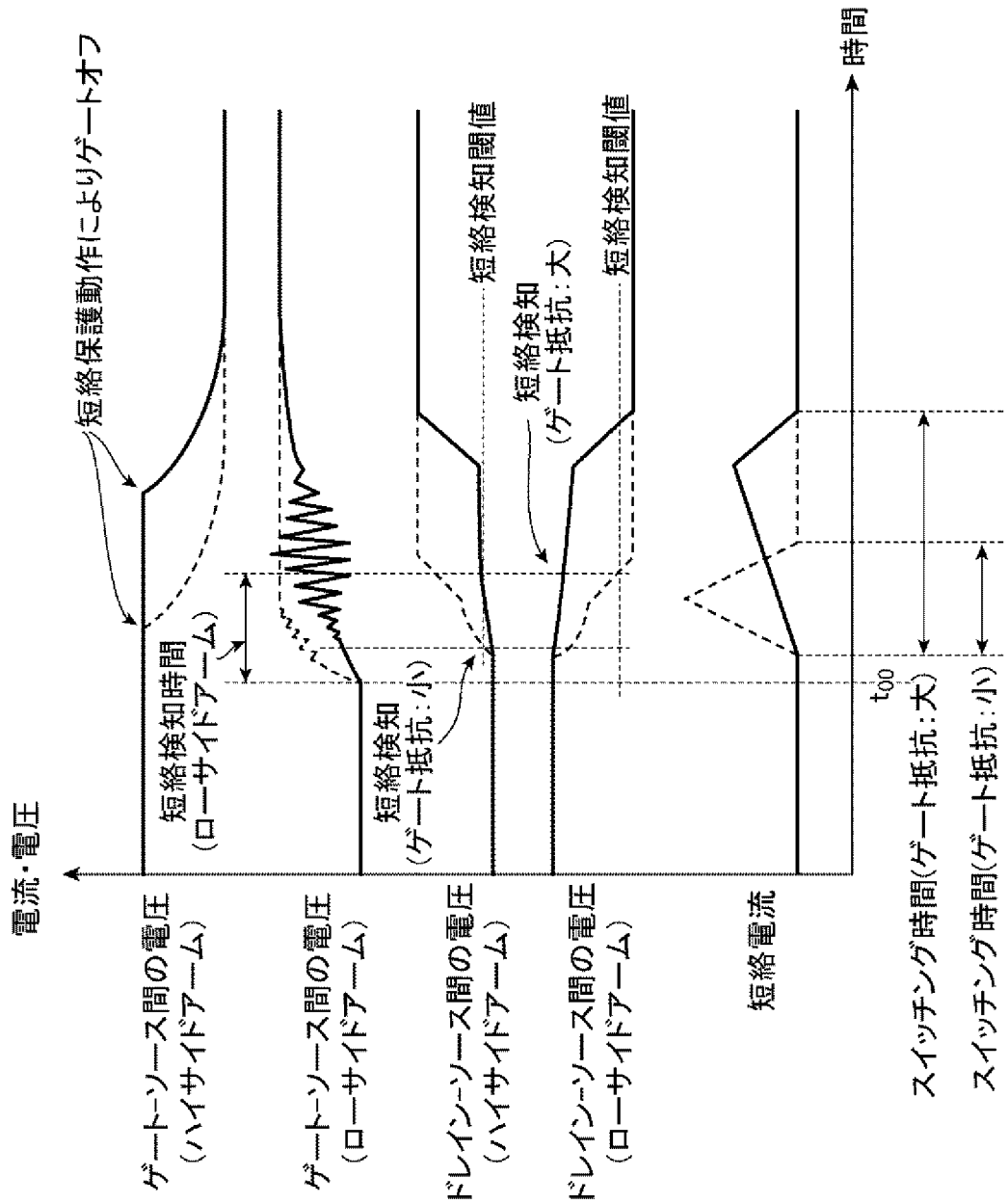
[図2]


13u,v,w
14u,v,w
14u2,v2,w2
Cds
Cgd
Cgs
14u1,v1,w1
15u,v,w
15u2,v2,w2
15u1,v1,w1
32u,v,w
324
ハイサイド用
ゲート抵抗
34u,v,w
323
322
ハイサイド用
オンオフ指令
信号生成部
321
ハイサイド用
駆動電圧
生成部
36u,v,w
ハイサイド用
短絡検知部
37u,v,w
ローサイド用
短絡検知部
33u,v,w
334
ローサイド用
ゲート抵抗
35u,v,w
333
332
ローサイド用
オンオフ指令
信号生成部
331
ローサイド用
駆動電圧
生成部
40
電圧センサ
回路
31u,v,w
50P
50N

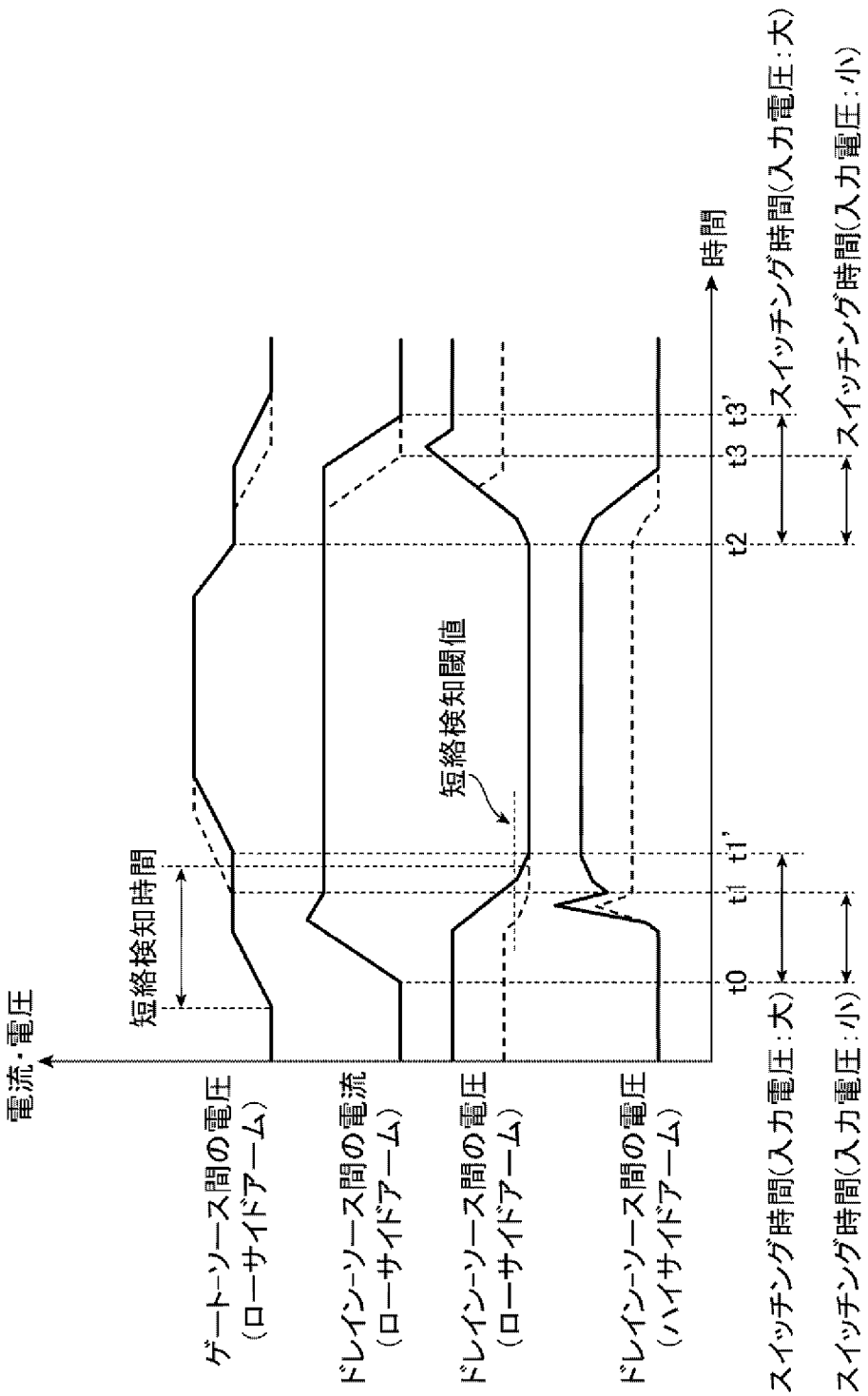
[図3]


ドレイン電極
ソース電極
364,374
363,373
367,377
368,378
365,375
366,376
マスク時間指定信号
361,371
362,372
オフ指令信号

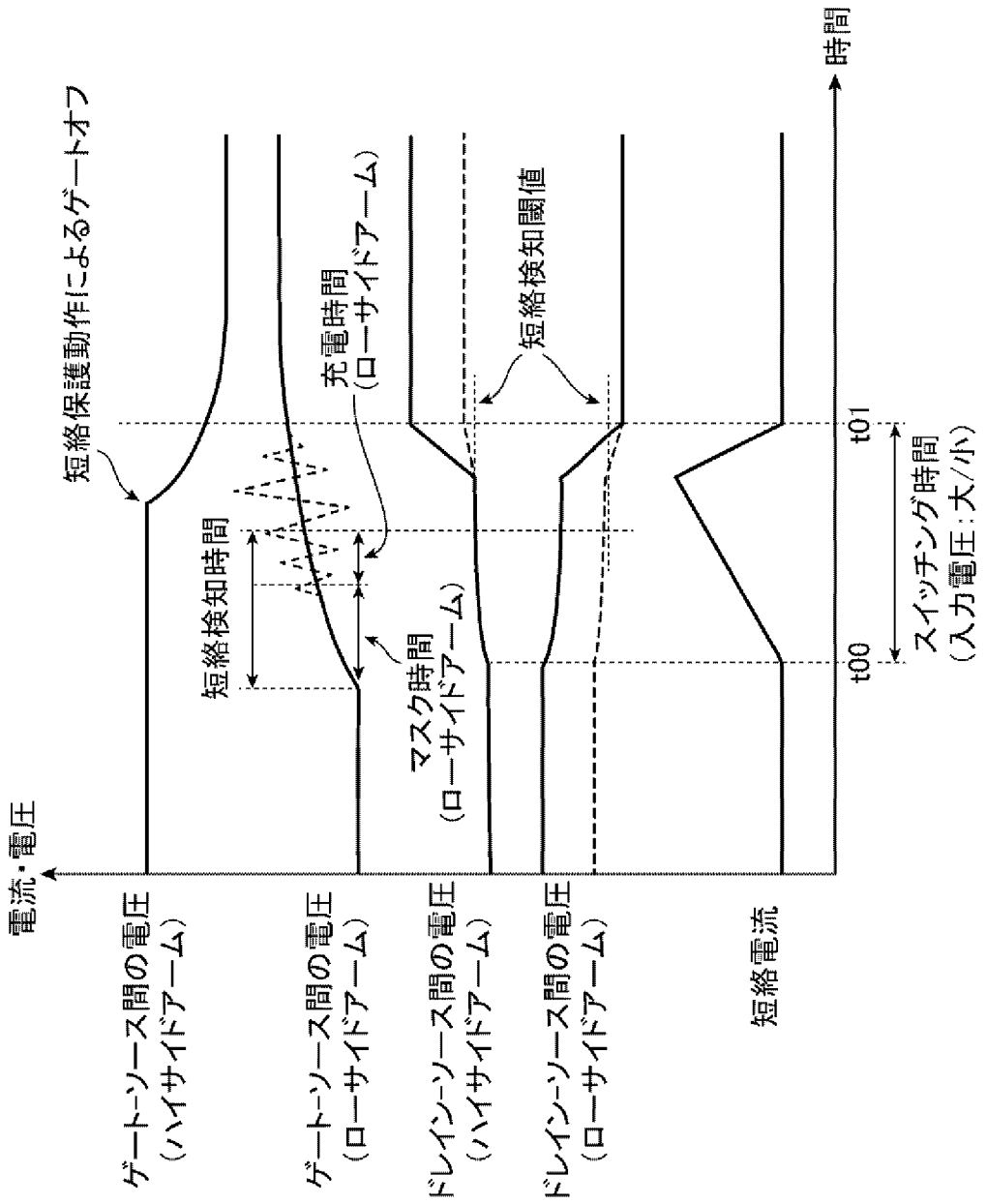
[図4]


電流・電圧
短絡保護動作によりゲートオフ
短絡検知時間
(ローサイドアーム)
短絡検知
(ゲート抵抗：小)
短絡検知閾値
短絡検知
(ゲート抵抗：大)
短絡検知閾値
ゲート-ソース間の電圧
(ハイサイドアーム)
ゲート-ソース間の電圧
(ローサイドアーム)
ドレイン-ソース間の電圧
(ハイサイドアーム)
ドレイン-ソース間の電圧
(ローサイドアーム)
短絡電流
t_{00}
時間
スイッチング時間(ゲート抵抗：大)
スイッチング時間(ゲート抵抗：小)

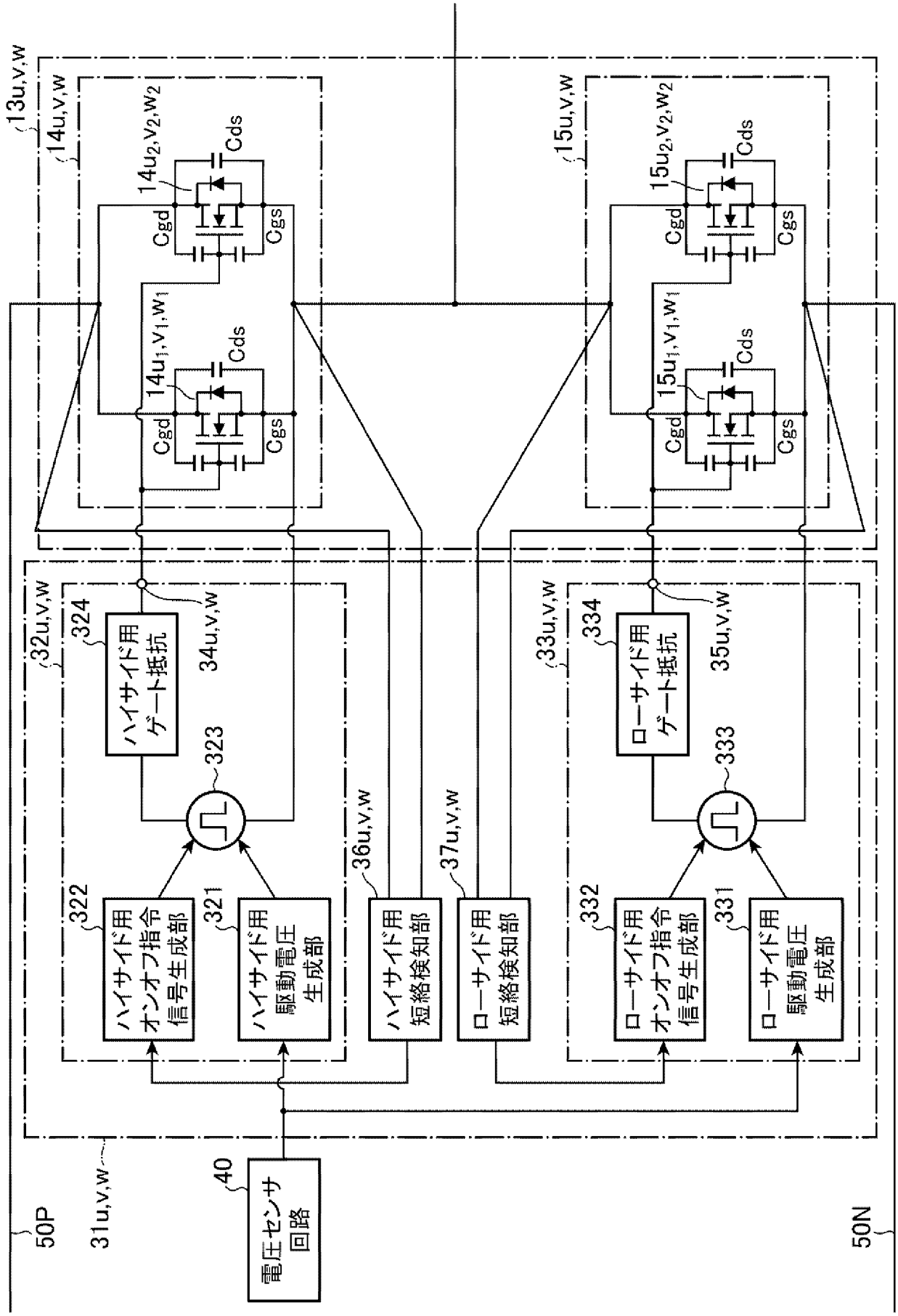
[図5]


電流・電圧
短絡検知時間
ゲート-ソース間の電圧
（ローサイドアーム）
ドレイン-ソース間の電流
（ローサイドアーム）
短絡検知閾値
ドレイン-ソース間の電圧
（ローサイドアーム）
ドレイン-ソース間の電圧
（ハイサイドアーム）
時間
t0
t1
t1'
t2
t3
t3'
スイッチング時間(入力電圧:大)
スイッチング時間(入力電圧:小)
スイッチング時間(入力電圧:大)
スイッチング時間(入力電圧:小)

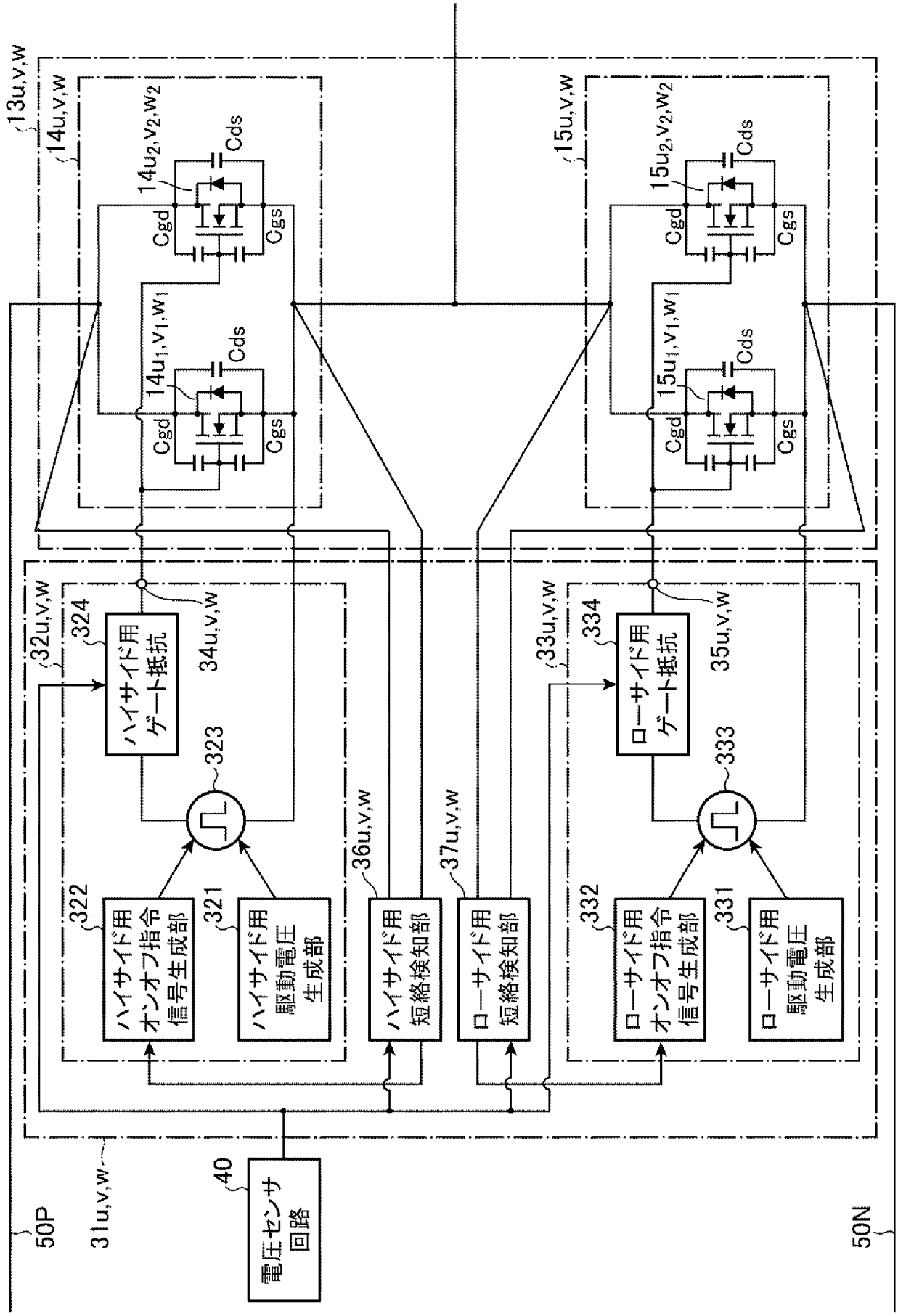
[図6]


電流・電圧
時間
短絡保護動作によるゲートオフ
短絡検知時間
充電時間
(ローサイドアーム)
マスク時間
(ローサイドアーム)
短絡検知閾値
t00
t01
スイッチング時間
(入力電圧:大/小)
ゲート-ソース間の電圧
(ハイサイドアーム)
ゲート-ソース間の電圧
(ローサイドアーム)
ドレイン-ソース間の電圧
(ハイサイドアーム)
ドレイン-ソース間の電圧
(ローサイドアーム)
短絡電流

[図7]


13u,v,w
14u,v,w
14u2,v2,w2
Cds
Cgd
Cgs
14u1,v1,w1
15u,v,w
15u2,v2,w2
15u1,v1,w1
32u,v,w
324
ハイサイド用
ゲート抵抗
34u,v,w
323
322
ハイサイド用
オンオフ指令
信号生成部
321
ハイサイド用
駆動電圧
生成部
36u,v,w
ハイサイド用
短絡検知部
37u,v,w
ローサイド用
短絡検知部
33u,v,w
334
ローサイド用
ゲート抵抗
35u,v,w
333
332
ローサイド用
オンオフ指令
信号生成部
331
ローサイド用
駆動電圧
生成部
40
電圧センサ
回路
31u,v,w
50P
50N

[図8]


13u,v,w
14u,v,w
14u2,v2,w2
Cds
Cgd
Cgs
14u1,v1,w1
15u,v,w
15u2,v2,w2
15u1,v1,w1
32u,v,w
324
ハイサイド用
ゲート抵抗
34u,v,w
323
322
ハイサイド用
オンオフ指令
信号生成部
321
ハイサイド用
駆動電圧
生成部
36u,v,w
ハイサイド用
短絡検知部
37u,v,w
ローサイド用
短絡検知部
33u,v,w
334
ローサイド用
ゲート抵抗
35u,v,w
333
332
ローサイド用
オンオフ指令
信号生成部
331
ローサイド用
駆動電圧
生成部
40
電圧センサ
回路
31u,v,w
50P
50N

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/005406

A. CLASSIFICATION OF SUBJECT MATTER

H02M 7/48(2007.01)i; ***H02M 1/08***(2006.01)i
FI: H02M7/48 M; H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48; H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/037942 A1 (MITSUBISHI ELECTRIC CORPORATION) 09 March 2017 (2017-03-09) paragraphs [0011]-[0018], [0042], fig. 1, 5	1-13, 15, 16
A		14
Y	JP 3052792 B2 (DENSO CORPORATION) 19 June 2000 (2000-06-19) paragraphs [0023]-[0026], fig. 1, 2	1-13, 15, 16
Y	JP 2011-030361 A (DENSO CORPORATION) 10 February 2011 (2011-02-10) paragraphs [0028]-[0030], [0058], fig. 1	1-13, 15, 16
Y	JP 2005-198406 A (MITSUBISHI ELECTRIC CORPORATION) 21 July 2005 (2005-07-21) paragraphs [0014], [0015], [0023]-[0026], fig. 3, 5	8
A	JP 2020-078213 A (TOYOTA MOTOR CORPORATION) 21 May 2020 (2020-05-21) entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 April 2024	**07 May 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/005406

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2017/037942 A1	09 March 2017	US 2019/0097563 A1 paragraphs [0020]-[0027], [0050], fig. 1, 5 CN 107925374 A	
JP 3052792 B2	19 June 2000	(Family: none)	
JP 2011-030361 A	10 February 2011	(Family: none)	
JP 2005-198406 A	21 July 2005	US 2005/0146295 A1 paragraphs [0033], [0034], [0042]-[0045], fig. 3, 5	
JP 2020-078213 A	21 May 2020	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/005406

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 7/48(2007.01)i; H02M 1/08(2006.01)i
FI: H02M7/48 M; H02M1/08 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M7/48; H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2017/037942 A1 (三菱電機株式会社) 09.03.2017 (2017-03-09) [0011]-[0018],[0042],図1,5	1-13,15,16
A		14
Y	JP 3052792 B2 (株式会社デンソー) 19.06.2000 (2000-06-19) [0023]-[0026],図1,2	1-13,15,16
Y	JP 2011-030361 A (株式会社デンソー) 10.02.2011 (2011-02-10) [0028]-[0030],[0058],図1	1-13,15,16
Y	JP 2005-198406 A (三菱電機株式会社) 21.07.2005 (2005-07-21) [0014],[0015],[0023]-[0026],図3,5	8
A	JP 2020-078213 A (トヨタ自動車株式会社) 21.05.2020 (2020-05-21) 全文,全図	1-16

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
18.04.2024	07.05.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

高野　誠治 3H 2573

電話番号 03-3581-1101 内線 3524

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/005406

引用文献	公表日	パテントファミリー文献	公表日
WO 2017/037942 A1	09.03.2017	US 2019/0097563 A1 [0020]-[0027],[0050],図1,5 CN 107925374 A	
JP 3052792 B2	19.06.2000	（ファミリーなし）	
JP 2011-030361 A	10.02.2011	（ファミリーなし）	
JP 2005-198406 A	21.07.2005	US 2005/0146295 A1 [0033],[0034],[0042]-[0045],図3,5	
JP 2020-078213 A	21.05.2020	（ファミリーなし）	