

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5401203号  
(P5401203)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl.

H01L 31/10 (2006.01)

F 1

H01L 31/10

A

請求項の数 8 (全 32 頁)

(21) 出願番号 特願2009-184003 (P2009-184003)  
 (22) 出願日 平成21年8月7日 (2009.8.7)  
 (65) 公開番号 特開2011-40445 (P2011-40445A)  
 (43) 公開日 平成23年2月24日 (2011.2.24)  
 審査請求日 平成24年3月6日 (2012.3.6)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (74) 代理人 100098660  
 弁理士 戸田 裕二  
 (72) 発明者 三浦 真  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 斎藤 慎一  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】半導体受光装置及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板と、該半導体基板上に形成された第1導電型の第1の半導体層と、該第1の半導体層上に形成された高抵抗の第2の半導体層と、該第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第2の半導体層中に埋め込まれた第2導電型の第4の半導体層とを備えてなり、前記第4の半導体層は、前記半導体基板の表面に水平方向に前記第2の半導体層の厚さの半分以下の間隔で分離されており、前記第1の半導体層と前記第3の半導体層は金属電極により接続されて同電位となっていることを特徴とする半導体受光装置。

## 【請求項 2】

請求項1において、前記第4の半導体層は、帯状のストライプ構造または格子状の周期構造を有することを特徴とする半導体受光装置。

## 【請求項 3】

請求項2において、電流増幅機能を有するトランジスタを更に受光領域に隣接して備えていることを特徴とする半導体受光装置。

## 【請求項 4】

請求項3において、前記トランジスタはバイポーラトランジスタであり、前記半導体基板はシリコンから成り、前記第1から第4の半導体層は単結晶ゲルマニウムまたは単結晶シリコン・ゲルマニウムから成り、前記バイポーラトランジスタのエミッタは単結晶シリコン・ゲルマニウムまたは単結晶シリコンから成ることを特徴とする半導体受光装置。

**【請求項 5】**

請求項4において、前記第4の半導体層は、前記バイポーラトランジスタのベースを兼ねていることを特徴とする半導体受光装置。

**【請求項 6】**

請求項4において、前記第1の半導体層は、前記バイポーラトランジスタのベースを兼ねていることを特徴とする半導体受光装置。

**【請求項 7】**

半導体基板上に第1導電型の第1の半導体層をエピタキシャル成長する工程と、該第1の半導体層上に高抵抗の第2の半導体層をエピタキシャル成長する工程と、該第2の半導体層上に絶縁膜によるパターニングを施し、前記第2の半導体層の厚さの半分以下の間隔で水平方向に分離された領域内に第2導電型の第4の半導体層を選択的にエピタキシャル成長する工程と、前記絶縁膜をエッチング除去する工程と、前記第4の半導体層上に前記第2の半導体層を再びエピタキシャル成長する工程と、前記第2の半導体層上に第1導電型の第3の半導体層をエピタキシャル成長する工程とを有し、前記第1の半導体層と前記第3の半導体層とを金属電極により接続することを特徴とする半導体受光装置の製造方法。

**【請求項 8】**

半導体基板上に第1導電型の第1の半導体層をエピタキシャル成長する工程と、該第1の半導体層上に高抵抗の第2の半導体層をエピタキシャル成長する工程と、該第2の半導体層上にパターニングを施し、イオン打ち込み法によって前記第2の半導体層の厚さの半分以下の間隔で水平方向に分離された領域内に第2導電型の第4の半導体層領域を形成する工程と、前記第2の半導体層上に前記第2の半導体層を再びエピタキシャル成長する工程と、前記第2の半導体層上に第1導電型の第3の半導体層をエピタキシャル成長する工程とを有し、前記第1の半導体層と前記第3の半導体層とを金属電極により接続することを特徴とする半導体受光装置の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明はゲルマニウムを含んで成る半導体を用いた受光装置である半導体受光装置及びその製造方法に関するものであり、特に高感度・高速性能を有するゲルマニウム・フォト・トランジスタ等の半導体受光装置及びその製造方法に関する。

**【背景技術】****【0002】**

従来、半導体受光素子において、受光部に要求される厚さとp/n電極間の間隔とのトレードオフ関係を克服して高速性能と高効率性能とを共に実現しようとする技術があった(例えば、特許文献1参照)。

**【0003】**

また、従来、受光部と増幅部を共に有するバイポーラ・フォト・トランジスタにおいて、トランジスタの高速性能と高い受光効率を両立するために、受光部と増幅部とでコレクタ/ベース間の空乏層幅を互いに異ならせたバイポーラ・フォト・トランジスタがあった(例えば、特許文献2参照)。

**【先行技術文献】****【特許文献】****【0004】**

【特許文献1】特表2007-527626号公報

【特許文献2】特開昭57-207383号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

現代の情報化社会の根幹を成すインターネットのブロード・バンド・ネットワークには

10

20

30

40

50

、光通信が主流となりつつある。光通信システムでは、800nm～1600nmの範囲にある近赤外(IR)光が使用されている。特に重要な波長帯は光ファイバの損失が最小となる帯域であり、短距離通信では850nm、長距離通信では1310nm、1550nmが使用されている。これまで、光通信における受光素子には、これら長波長帯域で良好な光吸収特性を有する砒化ガリウム(GaAs)やインジウム燐(InP)を中心とした化合物半導体が用いられてきた。しかし、今後光通信システムのより一層の普及を促すためには装置の低コスト化や小型化、更には高性能化が必須となり、受光素子にもこれらの要求を実現するための技術革新が求められる。

#### 【0006】

上記背景を鑑みた上で注目に値するのは、ゲルマニウム(Ge)を用いた受光素子である。  
Geは、現代の集積回路に必須材料であるシリコン(Si)と同じIV族半導体であり、成熟したシリコンプロセスと整合性があることに加え、室温における禁制帯幅はSiの1.1eVより小さい0.6eVであり、1600nmまでの光の吸収が可能である。このため、光素子と電子デバイスの融合に可能性を持たせる材料である。

#### 【0007】

光通信における受光素子(フォト・ダイオード)には、高速の変調信号に追従する高速性と、より多くの光信号を電気信号に変換する高効率性能の両立が求められ、Geによる受光素子も同様の観点で研究・開発が進められてきた。長距離通信で用いられる1550nmの波長帯域において、吸収される光の量が $1/e$ に減衰するまでの距離で定義される吸収長はGeで約2μmであり、受光部には十分な厚さが求められる。ところが、高速性能は受光素子の電極間の距離に依存する為、p/n電極間距離が離れる程高速性能は劣化する。このため、高速性能と高効率性能を共に実現するためには、上記トレードオフ関係を克服する技術的ブレークスルーが求められる。上記課題を解決する手段の一つが、特許文献1に開示されている。本従来例1の構造を図2に示す。図2(a)は上記従来例1におけるGe受光素子の断面を示す図である。Si基板101上に、二酸化シリコン(SiO<sub>2</sub>)102と上部Si層103が形成されたSOI(Silicon on Insulator)基板において、SiO<sub>2</sub>膜105に囲まれた領域にGe層104がエピタキシャル成長により形成され、Ge層上部にはp型とn型のイオン打ち込み領域106, 107が交互に間欠的に形成されている。図2(b)は従来例1の受光素子構造を基板表面から見た図であり、図2(a)は図2(b)のa線に沿った断面に相当する。これら打ち込み領域はGe層深くまで形成することが可能で、且つp/n電極間の間隔も短くするために、十分な光吸収層の厚さを確保しつつ、光吸収により発生した電子-正孔対が電極に達する時間を短くすることが出来る。このように、上記トレードオフを改善する手段は複数提案されており、Ge受光素子の性能は年々向上している。

#### 【0008】

一方、光通信システムに用いられる受光素子には、その用途によっては増幅機能が求められる。通常、受光素子で電気信号に変換された高周波信号は、集積回路内のトランジスタ・インピーダンス・アンプ等の増幅回路にて増幅されるが、微小な信号を増幅する場合、電気回路による増幅では雑音指数の増大等の問題が生じるため、光信号を増幅して電気信号に変換する必要が生じる。上記の機能を担う受光素子として、アバランシェ・フォト・ダイオードが挙げられる。この素子はp/n接合間で発生した電子-正孔対が空乏層に印加された電界によりアバランシェ増幅される現象を利用したもので、微小な光信号の増幅には必須の素子となっている。しかし、アバランシェ・フォト・ダイオードはアバランシェ増幅する電界領域で使用するという特性上、動作電圧が高く、低消費電力性能に劣る。また、増幅性能は高速動作性能とトレードオフの関係にあり、増幅可能な周波数と増幅率を掛け合わせたGB積には上限値が存在する。現在、光通信に適用されている砒化ガリウム(GaAs)やインジウム燐(InP)といったIII-V族化合物半導体では、光吸収特性は優れているものの、アバランシェ・フォト・ダイオードとして使用する場合にはGB積が小さいことが問題となっている。このため、光増幅が必要なアプリケーションでは、化合物半導体を用いた通常のフォト・ダイオードで一度電気信号に変換した後、よりGB積の高いSiのアバランシェ・ダイオードで電気信号の増幅を行っており、製造工程の増大やチップサイズの増大、回

10

20

30

40

50

路設計時のフレキシビリティ低下が問題となっている。このため、增幅率が高く、且つ高速性能に優れ、更には低消費電力性能も備えた光受光素子の実現が求められている。

#### 【0009】

バイポーラ・トランジスタに光吸収機能を設けたバイポーラ・フォト・トランジスタは、バイポーラ・トランジスタの高速性能と、高い電流増幅率を利用可能という点で注目されてきた。特にバイポーラ・フォト・トランジスタとバイポーラ・トランジスタはほぼ同一のプロセスで作製することが出来るため、受光素子と電流増幅回路の混載を可能とする素子として期待される。

#### 【0010】

しかし、バイポーラ・フォト・トランジスタにも、フォト・ダイオード同様、高速性能と受光効率の間にトレードオフの関係が存在する。図3にバイポーラトランジスタの動作原理図を示す。バイポーラ・フォト・トランジスタではベースとコレクタ間の空乏層で光が吸収され、発生した電子-正孔対のうち、npnトランジスタでは正孔が、pnpトランジスタでは電子がベースに流れ込むことでベースに対するエミッタのエネルギー準位が変化する。これによりnpnトランジスタでは電子、pnpトランジスタでは正孔に対するエネルギーバリアが低下し、それぞれ電子と正孔による電流増幅が起きる。この際、入射光を効率的に電子-正孔対に変換し、ベースに十分なキャリアを注入するためには、コレクタ/ベース間の空乏層幅を増大する必要がある。しかし、コレクタ/ベース間空乏層幅の増大は、キャリアの走行時間を増大させるため、トランジスタの高速性能を劣化させる。本課題を解決する手段として、特許文献2に受光部と增幅部でコレクタ/ベース間の空乏層幅を変化させたバイポーラ・フォト・トランジスタが開示されている。図4は上記従来例2に開示されたバイポーラ・フォト・トランジスタの断面図である。図において、201は高濃度の不純物を有するn型半導体基板、202は高抵抗の半導体層からなる光吸収層、204は高濃度p型半導体層であり、これら3層で構成される領域が受光素子における受光部となる。更に、203は高濃度n型半導体領域、205は高濃度n型半導体領域であり、これらの層がバイポーラ・トランジスタを形成している。即ち、受光素子におけるp型半導体層204がバイポーラ・トランジスタのベースを兼ねており、n型半導体基板201と高濃度n型半導体層203がコレクタ、高濃度n型半導体層205がエミッタとなってバイポーラトランジスタからなる増幅部を構成している。図から明らかなように、受光部では光吸収層202の厚さは十分確保される一方、バイポーラ・トランジスタのコレクタ/ベース間の高抵抗層202の厚さは薄い。このため、受光部では十分な光の吸収を発生させ、増幅部ではトランジスタの高速動作が可能となる構造を有している。このように、バイポーラ・フォト・トランジスタにおいても、受光感度の高効率化と素子の高速化の両立に向けた提案がなされてきた。

#### 【0011】

しかしながら、これまでにいくつか提案してきたブレーキスルーにも拘らず、増幅機能を有するバイポーラ型受光素子においては、高速性能と高効率特性の両立未だ十分とは言えず、高速光通信システムへの広範な適用に際してはより一層の性能の向上が求められる。性能の向上が不十分である理由の一つとして、容量の増大が挙げられる。フォト・ダイオードまたはフォト・トランジスタには、高速性能を左右する要素として、上述のキャリア走行時間に加え、キャリアの充放電を司るp/n間容量がある。容量はp/n間空乏層幅の縮小と共に増大し、キャリアの走行時間とトレードオフの関係にある。従って、キャリアの走行時間を短縮しても、p/n間容量に起因するキャリアの充放電時間が高速性を阻害するため、高速性能の向上が十分に行われない。特に、光通信に用いられる受光素子には入射光を効率良く電流に変換する為、大面積が求められており、容量の増大による高速性劣化は深刻である。例えば、波長帯域 $1.55 \mu\text{m}$ の $10\text{GHz}$ 高速光通信システムにおける面入射型の受光素子は $30 \mu\text{m}$ 径の受光部を有する必要があり、p/n間容量の影響は極めて大きい。

#### 【0012】

上述の容量の影響は、従来例2に示したバイポーラ・フォト・トランジスタでは更に大きくなる。従来例2では、増幅部のバイポーラ・トランジスタの高速性能を向上させるため、コレクタ/ベース間の空乏層幅が小さくなるように設計しており、単位面積あたりの

10

20

30

40

50

コレクタ/ベース間容量は大きい。図4の構造では、これに加え、大面積の受光部に起因する容量が加わるため、バイポーラ・トランジスタの容量はさらに大きくなる。このため、高濃度半導体層103追加によるキャリアの走行時間短縮効果は、容量増大効果によって打ち消される可能性が高い。受光部の容量低減のため、仮に受光面積を低減させたとすると、ベースに蓄積されるキャリアの数が減少するため、トランジスタの增幅機能が十分に働かない。このため、バイポーラ・フォト・トランジスタにおいては、受光部の面積を十分保ったまま如何に容量を低減するかが課題となる。

#### 【0013】

上述の課題が問題となる場合においては、従来例1に示した高速性と高効率性の両立はもはや有効な手立てとはならない。従来例1は、キャリアの走行時間短縮を主目的としているため、p/n接合間の距離は短く、単位面積あたりの容量は大きい。また、光を効率良く電子-正孔対に変換するため、イオン打ち込みを深くまで行っており、p/n接合面積は大きく、容量は著しく増大する。

10

#### 【0014】

本発明は、上記の課題を考慮して成されたものであり、その目的とするところは十分な受光感度を保ちつつ、受光部の容量を低減し、且つキャリアの走行時間も短縮した半導体受光素子及びその製造方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0015】

本発明の代表的なものの一例を示せば以下の通りである。

20

#### 【0016】

すなわち、本発明の半導体受光装置は、半導体基板と、該半導体基板上に形成された第1導電型の第1の半導体層と、該第1の半導体層上に形成された高抵抗の第2の半導体層と、該第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第2の半導体層中に埋め込まれた第2導電型の第4の半導体層とを備えてなり、前記第4の半導体層は、前記半導体基板の表面に水平方向に一定間隔で分離されていることを特徴とする。

#### 【0017】

また、本発明の半導体受光装置の製造方法は、半導体基板上に第1導電型の第1の半導体層をエピタキシャル成長する工程と、該第1の半導体層上に高抵抗の第2の半導体層をエピタキシャル成長する工程と、該第2の半導体層上に絶縁膜によるパターニングを施し、第2導電型の第4の半導体層を選択的にエピタキシャル成長する工程と、前記絶縁膜をエッティング除去する工程と、前記第4の半導体層上に前記第2の半導体層を再びエピタキシャル成長する工程と、前記第2の半導体層上に第1導電型の第3の半導体層をエピタキシャル成長する工程とを有することを特徴とする。

30

#### 【発明の効果】

#### 【0018】

本発明によれば、受光部の面積を保ったまま容量を低減すると共に光吸収によって生じたキャリアの走行時間を短縮することが可能となる。

#### 【図面の簡単な説明】

#### 【0019】

40

【図1】本発明に係る半導体受光装置の第1の実施例を示す断面図である。

【図2(a)】従来例1の半導体受光装置を示す断面図である。

【図2(b)】従来例1の半導体受光装置を示す平面図である。

【図3】バイポーラ・フォト・トランジスタの動作原理を示す概略図である。

【図4】従来例2の半導体受光装置を示す断面図である。

【図5(a)】第1の実施例における半導体受光素子の製造方法を順に示す断面図である。

【図5(b)】第1の実施例における半導体受光素子の製造方法を順に示す断面図である。

【図5(c)】第1の実施例における半導体受光素子の製造方法を順に示す断面図である

50



- 。【図8（b）】第2の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図8（c）】第2の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図8（d）】第2の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（a）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（b）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である 10
- 。【図9（c）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（d）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（e）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（f）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（g）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である 20
- 。【図9（h）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図9（i）】第3の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図10】第3の実施例における半導体受光素子の製造方法を示す平面図である。
- 。【図11】第3の実施例における半導体受光素子の製造方法を示す断面図である。
- 。【図12】第3の実施例における半導体受光素子を示す平面図である。
- 。【図13】第3の実施例における遮断周波数と電流密度の相関を示すグラフである。
- 。【図14（a）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である 30
- 。【図14（b）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図14（c）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図14（d）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図15（a）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図15（b）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である 40
- 。【図15（c）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図15（d）】第4の実施例における半導体受光素子の製造方法を順に示す断面図である。
- 。【図16】第4の実施例における半導体受光素子の製造方法を順に示す平面図である。
- 。【図17（a）】第5の実施例における半導体受光素子の製造方法を順に示す平面図である。
- 。【図17（b）】第5の実施例における半導体受光素子の製造方法を順に示す平面図である。 50

【図18(a)】第6の実施例における半導体受光素子の製造方法を順に示す平面図である。

【図18(b)】第6の実施例における半導体受光素子の製造方法を順に示す平面図である。

【図19】第7の実施例における半導体受光素子を示す平面図である。

【図20】第7の実施例における半導体受光素子を示す断面図である。

【図21】第7の実施例における半導体受光素子を示す断面図である。

【発明を実施するための形態】

【0020】

上記課題を解決するために、本発明は以下に示す特徴を有している。

10

【0021】

本発明に係る半導体受光素子は、半導体基板と、該半導体基板上に形成された第1導電型の第1の半導体層と、該第1の半導体層上に形成された高抵抗の第2の半導体層と、該第2の半導体層上に形成された第1導電型の第3の半導体層と、前記第2の半導体層中に埋め込まれた第2導電型の第4の半導体層からなり、前記第4の半導体層は、前記半導体基板の表面に水平方向に一定間隔で分離されていることを特徴としている。

【0022】

また、前記第1の半導体層と前記第3の半導体層は、電気的に同電位であることが望ましい。

【0023】

更に、受光装置が面受光型である場合、前記第4の半導体層は、光の進入長の半分以下の間隔で分離されていると好適である。

20

【0024】

受光装置が導波路型である場合は、前記第4の半導体層は、前記第2の半導体層の厚さの半分以下の間隔で分離されれば良い。

【0025】

前記第4の半導体層は、帯状のストライプ構造を有していると良い。

【0026】

前記第4の半導体層は、格子状の周期構造を有していても、効果的である。

【0027】

30

また、本発明における半導体受光装置は、受光部に加えて電流増幅機能を有するトランジスタを更に備えていると好適である。

【0028】

更に、前記トランジスタはバイポーラトランジスタであり、前記第4の半導体層は、前記バイポーラトランジスタのベースを兼ねていると良い。

【0029】

また、前記第1の半導体層は、前記バイポーラトランジスタのコレクタを兼ねているとより好適である。

【0030】

或いは、前記第1の半導体層は、前記バイポーラトランジスタのベースを兼ねていても良い。

40

【0031】

前記半導体基板はシリコンから成り、前記第1から第4の半導体層は単結晶ゲルマニウムまたは単結晶シリコン・ゲルマニウムから成り、前記バイポーラトランジスタのエミッタは単結晶シリコン・ゲルマニウムまたは単結晶シリコンから成ると効果的である。

【0032】

本発明に係る半導体装置の製造方法は、半導体基板上に第1導電型の第1の半導体層をエピタキシャル成長する工程と、該第1の半導体層上に高抵抗の第2の半導体層をエピタキシャル成長する工程と、該第2の半導体層上に絶縁膜によるパターニングを施し、第2導電型の第4の半導体層を選択的にエピタキシャル成長する工程と、前記絶縁膜をエッチ

50

ング除去する工程と、前記第4の半導体層上に前記第2の半導体層を再びエピタキシャル成長する工程と、前記第2の半導体層上に第1導電型の第3の半導体層をエピタキシャル成長する工程を有することを特徴とする。

**【0033】**

また、前記第1の半導体層と前記第3の半導体層を金属電極により接続すれば好適である。

**【0034】**

更に、前記第1の半導体層のエピタキシャル成長時に、バイポーラトランジスタのコレクタを同時に形成すると良い。

**【0035】**

また、前記第4の半導体層のエピタキシャル成長時に、バイポーラトランジスタのベースを同時に形成すると尚好適である。

**【0036】**

或いは、前記第1の半導体層のエピタキシャル成長時に、バイポーラトランジスタのベースを同時に形成しても良い。

**【0037】**

本発明に係る半導体受光装置及びその製造方法によれば、受光部の面積を十分に保ったまま容量を低減出来、更に光吸収によって生じたキャリアの走行時間も短縮することが可能な受光部を有したバイポーラ・フォト・トランジスタを提供することが出来る。

**【0038】**

以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施例で紹介する方法以外にも、材料や製造工程の組合せを変える等、多くの変更が可能である事は言うまでもない。

**【0039】**

以下に具体的な実施例について述べる。図面記載された図は、必ずしも正確に縮尺を合せているわけではなく、論理が明確になるように重要な部分を強調して模式的に描画している。

**【実施例1】**

**【0040】**

図1は本発明に係る半導体受光装置の第1の実施例を示す断面構造である。本断面構造は、受光部と增幅部を別々に有するバイポーラ・フォト・トランジスタにおける受光部断面を示したものである。

**【0041】**

図1において参照番号1はシリコン基板であり、2は開口部を有する絶縁膜である。絶縁膜2上には、上層の結晶性を向上させるための緩衝層3を介してn型Ge層4が形成されている。Ge層4上には絶縁膜5により形成された開口部内に高抵抗Ge層6が形成され、その上層には基板に水平方向に一定間隔で分割されたp型Ge層13と、高抵抗Ge層15が形成されている。高抵抗Ge層15上にはn型Ge層16が形成されている。参照番号17はシリコン窒化膜( $\text{Si}_3\text{N}_4$ )であり、18は層間絶縁膜である。参照番号19～21はそれぞれ窒化チタン(TiN)、タンゲステン(W)、アルミニウム(Al)からなる金属電極であり、n型Ge層4とn型Ge層16に接続しており、これら2つの層は、同一のAl 21で電気的に繋がっている。後述するように上記金属電極はp型Ge層13にも接続しており、n型Ge層4及び16との間に電圧の印加が可能となっている。

**【0042】**

図1における構造的な特徴は、p型Ge層13がn型Ge層4と16の間に挟まれている点、及び上記p型Ge層13は基板に水平方向に一定間隔で分割されている点にある。図1の受光素子に入射した光は、空乏化した高抵抗Ge層6及び15の間で吸収され、電子-正孔対に変換される。p型Ge層13とn型Ge層4、16の間には逆バイアスが掛かっているため、電子はn型Ge層4、16に取り込まれ、正孔はp型Ge層13に取り込まれる。ここで、光が高抵抗Ge層6及び15の

10

20

30

40

50

基板に垂直方向のあらゆる位置において吸収される場合、即ち面受光型受光素子で吸収層の厚さが光の吸収長より短い場合或いは側壁から入射する導波路型受光素子の場合を考え、水平方向に分割されたp型Ge層13同士の間隔を光が吸収される高抵抗層全体の厚さと同等またはそれ以下と規定すると、高抵抗Ge層6、15内のいかなる場所で発生した正孔とp型Ge層13の距離は高抵抗Ge層6、15の合計膜厚の半分以下に抑えられる。電子にも同様の効果があり、高抵抗Ge層6、15内のいかなる場所で発生した電子とn型Ge層4または16との距離は高抵抗Ge層6、15の合計膜厚の半分以下である。これは高抵抗Ge層6、15の合計膜厚と等しい厚さを有するp-i-n型フォト・ダイオードに比べてキャリア走行時間の大幅な短縮が可能であることを示唆している。また、図1に示す受光素子は、p型Ge層13を分割することにより、受光部の面積を一定に保ったままp/n間容量の低減が可能な構造となっている。  
10 p/n間容量は、p型Ge層13とn型Ge層4、16が重なり合う面積によって決まるため、p型Ge層13の幅を小さくする程容量の低減が可能である。p型Ge層13の幅の下限はp型Ge層13の抵抗増大に起因する高速動作劣化によって制限されているが、受光素子の径が30 μmの場合においても、p型Ge層13の幅及び高さを0.3 μm程度まで低減することが可能である。高抵抗層の合計の厚さを2 μmとすると、p型Ge層13の間隔を2 μm、幅を0.3 μmにしたとき、2 μmの光吸収層を有するp-i-n型フォト・ダイオードに比べて容量を約1/3に低減することが出来る。このように、p型Ge層13を高抵抗層に埋め込み、更に基板に水平方向に分割することで、受光面積及び光吸収層の厚さを十分に保ったまま容量の低減とキャリアの走行時間の短縮が可能になり、受光素子の高速性能と高効率特性の両立が可能となる。尚、上記の例では面受光型の受光素子の吸収層膜厚が光の吸収長より短い場合または導波路型受光素子の場合に限ってその効果を説明したが、面受光型受光素子で吸収層の膜厚が光の吸収長より厚い場合にも同様の効果を得ることが出来る。この場合はp型Ge層の間隔を光の吸収長と同程度とすれば良い。こうすることで、吸収層が厚くてもキャリアの走行時間増大を防ぐことが出来、光が吸収される領域で発生した正孔の走行時間を効果的に短縮することが可能である。  
20

#### 【0043】

次に、図5(a)～図5(i)、図6(a)～図6(i)、図7(a)～図7(i)を用いて、本実施例における半導体装置の具体的な製造方法について、詳細に説明する。尚、ここで図5(a)～図5(i)には增幅部と受光部を含む素子断面図を示し、図6(a)～図6(i)には図5(a)～図6(i)に対して90度の方向から見た受光部のみの断面図を示し、図7(a)～図7(i)には基板表面から見た受光素子の模式図を示す。図7(a)～図7(i)には断面図を切り出した際の位置を直線a及び直線bで示しており、図5(a)～図5(i)は直線bで切り出した断面、図6(a)～図6(i)は直線aで切り出した断面図である。  
30

#### 【0044】

まず、図5(a)、図6(a)、図7(a)に示すように、Si基板1上に絶縁膜2を堆積し、ウェットエッティングまたはドライエッティングによって開口部を形成する。絶縁膜には例えシリコン酸化膜(SiO<sub>2</sub>)を用いれば良く、この場合、ウェットエッティングには0.5%に希釈したフッ化水素酸(HF)を用いれば良い。ドライエッティングを行う際は、フッ素化合物を含んだエッティングガスを用いて加工する。上記開口部内に、ガスソース分子線エピタキシー(Molecular Beam Epitaxy : MBE)法や、化学気相成長(Chemical Vapor Deposition : CVD)法等を用いたエピタキシャル成長により、緩衝層3及びn型Ge層4を順次形成する。緩衝層3は、Siまたはシリコン・ゲルマニウム(SiGe)またはGeを350 nm程度の低温で約30nmエピタキシャル成長させて形成する。Siの原料ガスにはモノシラン(SiH<sub>4</sub>)またはジシラン(Si<sub>2</sub>H<sub>6</sub>)を用い、Geの原料ガスにはものゲルマン(GeH<sub>4</sub>)を用いる。この際、低温で正中した緩衝層3内には共有結合に関与しないダンギング・ボンドが多数発生し、緩衝層3の結晶強度は弱いものとなる。次いでn型Ge層4を550 ~ 650 nmの成長温度で50 ~ 200nmエピタキシャル成長を行う。n型不純物には燐(P)または砒素(As)が適しており、成長時のガスには水素希釈したホスフィン(PH<sub>3</sub>)またはアルシン(AsH<sub>3</sub>)を用いる。ガス流量を調整してn型Ge層4中の不純物濃度を約 $1 \times 10^{20}$  cm<sup>-3</sup>とし、n型Ge層4の低抵抗化を行う。ここで、上記緩衝層3とn型Ge層4のエピタキシャル成長は、酸化膜に対して選択的にSi基板1上のみに成長する  
40  
50

条件で行う。Geを成長する場合、上記温度範囲であれば1Pa～1000Paの幅広い圧力範囲において約3μm以上選択成長することが可能である。成長後のn型Ge層4には、SiとGeの格子定数の違いに起因する歪エネルギーが緩和した際に生じる多数の欠陥が存在する。このため、成長後に熱処理を行う。熱処理は900度と780度の間で10分ずつ10回温度の昇降を行うと効果的であり、この際、n型Ge層4内に存在する欠陥は修復され、結晶性が回復する。結晶性回復の際には、大きな歪エネルギーが発生するが、歪エネルギーは下地の緩衝層3にのみ選択的に欠陥を発生させることで緩和することが可能であり、結晶性の良いn型Ge層4を得る事が出来る。

#### 【0045】

次に、n型Ge層4上に絶縁膜5を堆積し、開口部をパターニングする。絶縁膜5は絶縁膜2同様SiO<sub>2</sub>膜を用いれば良く、エッティングは上述の方法を適用すれば良い。次いで選択エピタキシャル成長を行い、開口部内に高抵抗Ge層6を形成する。このとき、Ge層6を十分空乏化するため、Ge層6内の不純物濃度は約 $1 \times 10^{17}$  cm<sup>-3</sup>程度とすることが望ましい。高抵抗Ge層6のバイポーラ・トランジスタ形成領域にはイオン打ち込み法により高濃度n型領域7を形成し、図5(b)、図6(b)、図7(b)の構造を得る。ここで、イオン打ち込み時の不純物にはPまたはAsを用い、高濃度n型領域7の不純物濃度は高濃度n型不純物層4と同等とする。

#### 【0046】

続いて、全面に絶縁膜8を堆積し、バイポーラ・トランジスタ形成領域に開口部を形成する。この後、p型Geからなるベース層9及びn型SiGeまたはn型Siからなるエミッタ層10を連続してエピタキシャル成長し、図5(c)、図6(c)、図7(c)に示す構造を得る。ベース層9の不純物にはジボラン(B<sub>2</sub>H<sub>6</sub>)を原料ガスにしたボロン(B)を用い、不純物濃度は $1 \times 10^{20}$  cm<sup>-3</sup>程度とする。ベース層9が薄いほどバイポーラトランジスタの高速化が可能であるが、ここではベース抵抗の増大抑制を考慮して、5nm～10nmの厚さとする。エミッタ層10の膜厚は約50nm～100nmとし、不純物はPまたはAsを $1 \times 10^{20}$  cm<sup>-3</sup>程度添加する。但し、高濃度のエミッタ/ベース接合はリーク電流の発生を引き起こすため、エミッタ成長開始後10～20nmは $2 \times 10^{18}$  cm<sup>-3</sup>程度の低濃度で成長を行うことが望ましい。ここで、エミッタ層10のSi組成比を増大する程ヘテロ効果が大きくなり、電流増幅率を著しく増大させることが可能である。しかし、Si組成が大きくなるとともにGeベース層9との格子不整合量が大きくなり、一定膜厚以上で歪エネルギー緩和による欠陥が発生する懸念がある。また、電流増幅率が増大し過ぎると光信号に対する応答速度が低下するため、プロセスの制御性及び必要とする増幅性能を勘案して組成値を設計する必要がある。

#### 【0047】

次に絶縁膜11を堆積し、パターニングによりエミッタ形成領域のみに上記絶縁膜11を残して残りをエッティング除去する。絶縁膜11の種類及びエッティング方法は上述の通りである。次いで、絶縁膜11をマスクとし、エミッタ層10をウェットエッティングによりパターニングし、一部ベース層9を露出させる。上記ウェットエッティングは、アルカリ性エッティング溶液を用いると、下地のベース層9をストップとした選択エッティングが可能である。以下、選択ウェットエッティングの概要を示す。エッティング液には水酸化カリウム(KOH)水溶液または水酸化テトラメチルアンモニウム(TMAH)水溶液等の強アルカリ性溶液を用いる。強アルカリ性溶液によるエッティングでは、高濃度p型SiまたはSiGeのエッティングレートはn型または低濃度Si(SiGe)に比べて1桁程度遅い。また、SiGeはSiに対して1/100程度エッティングレートが遅いため、p型Ge層9はn型SiGeまたはSi層10に対して十分ストップ層としての機能を有する。エミッタ領域パターニング後の形状は、図5(d)、図6(d)、図7(d)に示す構造となる。

#### 【0048】

次に絶縁膜11を除去し、全面に絶縁膜12を堆積した後、受光部のp型Ge層を形成する領域をパターニングして絶縁膜12を加工する。絶縁膜12の種類及びエッティング方法は上述の通りである。パターニング後の構造を図5(e)、図6(e)、図7(e)に示す。パターニングは、図5(e)に示すようにバイポーラ・トランジスタのベース層9を露出するようにを行い、バイポーラトランジスタが配列した方向と垂直方向には、図6(e)のように櫛状となるように行

10

20

30

40

50

う。図6(e)の絶縁膜幅は、前述のように光吸収層の合計膜厚または目的とする波長帯域におけるGeの光吸収長に応じて決定する。即ち、面受光型素子で吸収層の合計膜厚がGeの光吸収長より薄い場合、または導波路型の受光素子の場合は、絶縁膜の幅を目標とする光吸収層の合計膜厚程度とすることが望ましく、面受光型素子で吸収層の合計膜厚がGeの光吸収長より厚い場合は絶縁膜幅を上記光吸収長と同程度とすれば良い。

#### 【0049】

次に絶縁膜8で形成された開口部にp型Ge層13を選択成長させ、図5(f)、図6(f)、図7(f)に示す構造を得る。p型不純物にはバイポーラ部のベース層と同様Bを用いて、絶縁膜14の種類及びエッチング方法は上述の通りである。度ドーピングを行う。Ge層13の厚さと幅は抵抗値を鑑みて設計する。上述のように、 $30\text{ }\mu\text{m}$ 径の面受光型素子で不純物濃度が $1 \times 10^{20}\text{ cm}^{-3}$ の場合、厚さを $0.3\text{ }\mu\text{m}$ とするとGe層13は約 $0.3\text{ }\mu\text{m}$ まで幅の低減が可能である。  
10

#### 【0050】

絶縁膜8をウェットエッチングによりエッチング除去した後、絶縁膜14を堆積し、さらに受光部を形成する領域をパターニングして、ウェットエッチングまたはドライエッチングにより絶縁膜14を除去する。絶縁膜14の種類及びエッチング方法は上述の通りである。本工程後の断面図及び平面図を図5(g)、図6(g)、図7(g)に示す。絶縁膜14は受光部における上層の高抵抗層形成の際にマスクとなる絶縁膜であり、高抵抗層の厚さに上層のn型Ge層の膜厚を加えた厚さ以上とする必要がある。従って、絶縁膜14の厚さは必要とする光吸収層の膜厚を鑑みて設計する。受光部の高抵抗層の膜厚は次工程の説明の際に述べる。  
20

#### 【0051】

絶縁膜14により形成された開口部内に、高抵抗Ge層15及びn型不純物層16を連続して選択成長する。高抵抗層15の不純物濃度は高抵抗層6と同程度にする。高抵抗層15の膜厚は目的とする素子構造や使用する波長帯域を鑑みて以下のように決定する。面受光型素子で光吸収層の膜厚がGeの光吸収長より薄い場合または導波路型受光素子の場合はp型Ge層13が光吸収層の中央に配置されるようにする。即ち、高抵抗層15の膜厚は高抵抗層6と同程度とすれば良い。一方、面受光型素子で光吸収層の膜厚がGeの光吸収長より同程度または厚い場合は、正孔の走行距離を短くするため、高抵抗層15の膜厚は光吸収長の半分程度とする。例えば、長距離通信向けの波長帯である $1550\text{nm}$ の光に対しては、Geの光吸収長は約 $2\text{ }\mu\text{m}$ であるため、面受光型素子で光吸収層の膜厚を十分厚くした場合は、上層の高抵抗Ge層15の膜厚は約 $1\text{ }\mu\text{m}$ とする。n型Ge層16の不純物は前述のようにpまたはAsを用い、濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 程度とする。膜厚は $100 \sim 200\text{nm}$ 程度が良い。n型Ge層16の膜厚が厚過ぎると光吸収特性が劣化するため、留意する必要がある。n型Ge層16での光吸収により発生した電子-正孔対の内、多数キャリアである電子は電流には関与せず、一方の正孔は空乏層に向かって移動するもののn型Ge層16内では電界が弱いため、キャリア速度は小さい。このため、n型Ge層16内で発生した光は効率、高速性共に乏しい。n型Ge層16を形成した後、シリコン窒化膜( $\text{Si}_3\text{N}_4$ )17を約 $800\text{nm}$ 堆積し、受光部上でパターニングする。 $\text{Si}_3\text{N}_4$ 膜は受光部のGe層に二次元性の引っ張り応力を印加する効果がある。引っ張り応力を受けたGe層の禁制帯幅は小さくなることが一般に知られており、本 $\text{Si}_3\text{N}_4$ の堆積により、長波長の光に対する吸収効率が増大する。Si3N4層パターニング後の構造は図5(h)、図6(h)、図7(h)に示す通りである。  
30

#### 【0052】

最後に絶縁膜18を堆積させた後、化学機械研磨(Chemical Mechanical Polishing : CMP)等で絶縁膜18表面を平坦化して受光部のp型Ge層13、n型Ge層4及び16、更にバイポーラトランジスタのエミッタ10上の電極形成領域をドライエッチングにより開口し、金属電極を形成する。金属電極はTiN層19及びWプラグ20をCVD法等で堆積して開口部を埋め込んだ後、CMP等で表面を平坦化し、次いでAl層21をスパッタリング法等で堆積した後にドライエッチングまたはウェットエッチングでパターニングすることで形成する。ここで、バイポーラ部のコレクタは受光部のn型Ge層4と共に、ベースは受光部のp型Ge層13と共にである。また、キャリアの走行時間を効率的に向上するため、n型Ge層4とn型Ge層16の電位を等しくして受光部内のp型Ge層13上下での電界分布を等しくしている。この為、Al配  
40

10

20

30

40

50

線21のパターニングによりn型Ge層4とn型Ge層16を電気的に接続する。図5(i)、図6(i)、図7(i)に、完成した受光素子の構造を示す。尚、本実施例では、バイポーラトランジスタが受光部を挟んで両側に存在する構造を説明したが、導波路型の場合、バイポーラトランジスタは受光部に対して光の入射方向と反対側に一列のみ配置してもよい。この場合、バイポーラトランジスタ部における光吸収を防ぐことが出来、素子の特性は向上する。また、本実施例でのバイポーラトランジスタはウェットエッティングによりエミッタ加工が施されたメサ型を有しているが、自己整合型等、いくつかのバイポーラ作製プロセスによってバイポーラ形成工程を代替することも可能である。更に、本実施例ではバイポーラトランジスタをnpn型、受光素子の埋め込まれた電極層をp型として説明したが反対の導電型でも作製可能であることは言うまでもない。即ちpnp型のバイポーラトランジスタを作製し、受光素子の埋め込み層をn型とすることも出来る。この時、エミッタ加工プロセスは上述の自己整合型プロセス等、選択ウェットエッティングを用いない形成方法に変更する必要がある。

#### 【実施例2】

##### 【0053】

図8(a)～図8(d)は本発明に係る半導体受光装置の第2の実施例を示す断面構造を受光素子製造工程に沿って表した図である。図8(a)～図8(d)において、実施例1と同一の役割を担う部分に関しては実施例1と同一の記号を付す。以下、製造工程を順を追って説明する。

##### 【0054】

まず、Si基板1上に絶縁膜22を堆積し、パターニングを施して絶縁膜22を所定の領域を残してエッティング除去する。更に絶縁膜23を堆積して絶縁膜22に開口部を形成し、図8(a)の構造を得る。ここで、絶縁膜22には例えば $\text{Si}_3\text{N}_4$ を用い、絶縁膜23には例えば $\text{SiO}_2$ を使用すると良い。この場合、 $\text{Si}_3\text{N}_4$ 膜22は六フッ化硫黄( $\text{SF}_6$ )を用いたドライエッティングで加工し、 $\text{SiO}_2$ 膜23はフッ素化合物を含有したエッティングガスを用いて $\text{Si}_3\text{N}_4$ 膜22をストップとするドライエッティングを行うと良い。

##### 【0055】

続いて、絶縁膜22を等方的にエッティング除去する。絶縁膜22が $\text{Si}_3\text{N}_4$ の場合、エッティングは、160度に熱した磷酸を用いたウェットエッティングが好適であり、絶縁膜22を絶縁膜23、Si基板1に対して選択的にエッティング除去することが可能である。エッティング後はSi基板1上に絶縁膜23が庇構造を形成する。次いで、絶縁膜23による開口部に低温Ge緩衝層3、高濃度n型Ge層4、高抵抗Ge層6を連続して選択成長する。この際、高濃度n型Ge層4から高抵抗Ge層6への成長の切り替えは、高濃度n型Ge層4の表面が絶縁膜23の庇下部に接した直後に行う。即ち、絶縁膜22の膜厚は、目的とする高濃度n型Ge膜4の膜厚と同等の膜厚に設定することが重要である。エピタキシャル成長後にバイポーラ部のエミッタ形成領域直下に高濃度n型領域7をイオン打ち込み法によって形成し、図8(b)の構造を得る。

##### 【0056】

次いで、実施例1と同様にバイポーラ部のベース層9とエミッタ層10を加工し、図8(c)の構造を得る。

##### 【0057】

次にイオン打ち込み法により高濃度p型Ge領域24を形成し、図8(d)の構造を得る。高濃度p型Ge領域24は従来例1でエピタキシャル成長により形成した高濃度p型Ge層13と同様の領域を形成する工程であり、不純物濃度及びパターン形状は実施例1に述べた通りである。

##### 【0058】

この後、実施例1と同一のプロセスを経て、受光素子が完成する。本実施例では、完成後の構造は実施例1とほぼ変わらないが、受光素子構造製造に当たり、エピタキシャル成長工程の数を低減することが可能である。実施例1でのエピタキシャル成長工程は、緩衝層3及びn型半導体4成長、高抵抗Ge層6成長、バイポーラ部エミッタ10 / ベース9成長、p型Ge層13成長、高抵抗Ge層15及びn型Ge層16成長が存在し、完成までエピタキシャル成長

10

20

30

40

50

工程を計5回必要としていた。エピタキシャル成長は1枚ずつ行うことが多く、約 $2\mu m$ のGe膜成長には1枚数十分の時間を有するため、効率が悪い。本実施例ではエピタキシャル成長工程数を3回に減らしており、受光素子のプロセス簡素化と共にスループットの向上が可能となる。

#### 【実施例3】

##### 【0059】

本実施例では、受光素子におけるバイポーラ部の容量を低減した受光素子構造及びその製造方法を開示する。図9(a)～図9(i)は本実施例における半導体受光素子の製造過程を示した断面図である。図はバイポーラ部を含む断面を示している。尚、図(a)～図9(i)では煩雑さを防ぐため、バイポーラ部は一つしか示していないが、受光部を挟んで反対方向にもバイポーラ部が存在していても差し支えない。

10

##### 【0060】

まず、図9(a)に示すようにSi基板1上に絶縁膜22を堆積後、パターニングを施してバイポーラ部のコレクタ領域と受光部のn型Ge層の電極形成部のみ絶縁膜22を残して残りをエッティング除去する。実施例2同様、絶縁膜22には $Si_3N_4$ 膜を用いると良く、エッティング加工にはドライエッティングを用いると良い。次に絶縁膜23を全面に堆積する。絶縁膜23は例えば $SiO_2$ 膜とすると良い。

20

##### 【0061】

次に絶縁膜23を異方性ドライエッティングにより、図9(b)のように受光部とバイポーラ部をそれぞれ開口する。この際、絶縁膜22の表面を一部露出させる。エッティング後の表面構造を図10に示す。

##### 【0062】

続いて、絶縁膜22をウェットエッティングにより等方に除去する。絶縁膜22が $Si_3N_4$ の場合、エッティングは160度に熱した磷酸を用いたウェットエッティングとする。次いで、開口部内に低温緩衝層3、n型Ge層4、高抵抗Ge層6を連続して選択成長し、図9(c)の構造を得る。バイポーラトランジスタが配列した方向と垂直方向の断面は図11に示す通りである。この時、実施例2で述べたように、n型Ge層4の表面が絶縁膜23による庇下部に接した後に高抵抗Ge層6の成長へと切り替える。

##### 【0063】

次いでバイポーラ部のみにイオン打ち込みを行って高濃度n型Ge領域7を形成した後、絶縁膜23全面をエッティングする。エッティングはドライエッティングまたはウェットエッティングを用い、高抵抗Ge層6の側壁が露出するまで行う。エッティング後の断面構造は図9(d)のようになる。

30

##### 【0064】

次に、絶縁膜25を堆積し、パターニングによりバイポーラ・トランジスタ形成領域を覆い、且つ受光部のp型Ge層が櫛型となるよう絶縁膜25を加工する。絶縁膜25には例えば $SiO_2$ 膜を用いれば良く、加工には前述のように異方性ドライエッティングを用いると良い。次いで受光部の高濃度p型Ge層13を選択成長し、図9(e)の構造を得る。この際、高抵抗Ge層6の側壁を露出させたことで基板に水平方向への成長が促進され、受光部とバイポーラ部は高濃度p型Ge層13により接続される。

40

##### 【0065】

絶縁膜25を除去し、新たに絶縁膜26を堆積する。絶縁膜26には例えば $SiO_2$ 膜を用いれば良い。次いで、バイポーラ部が露出するように絶縁膜26を加工する。加工には前述のように異方性ドライエッティングを用いると良い。高濃度p型Geからなるベース層9を選択成長し、図9(f)に示した構造を得る。図のようにベース層9は高濃度p型Ge層13と接続される。

##### 【0066】

絶縁膜27を全面に堆積した後、エミッタ形成領域28を開口し、図9(g)に示す構造を得る。絶縁膜27には例えば $SiO_2$ 膜を用いれば良く、加工には異方性ドライエッティングを用いて開口部側壁が絶縁膜により覆われるようにする。

##### 【0067】

50

エミッタ開口部28にn型SiGeまたはn型Siからなるエミッタ層10a及び10bをエピタキシャル成長により形成する。ここで、エミッタ層は二段階成長により形成している。上層のエミッタ10bは従来例1と同様、高濃度( $1 \times 10^{20} \text{ cm}^{-3}$ )で50~100nmの膜厚を有するものとし、下層のエミッタ10aの不純物濃度は高濃度のエミッタ/ベース接合によるリーク電流発生を防ぐため、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下の低濃度とし、膜厚は5~20nmに設定した。エミッタ層10a, 10bの形成後、全面に絶縁膜14を堆積してパターニングにより受光部形成領域を開口する。絶縁膜14には例えばSiO<sub>2</sub>膜を用いれば良く、加工には異方性ドライエッティングを用いると良い。次いで高抵抗Ge層15、n型Ge層16をエピタキシャル成長し、Si<sub>3</sub>N<sub>4</sub>膜17を形成して図9(h)に示した構造を得る。ここで、高抵抗層15の膜厚と不純物濃度及び絶縁膜14の厚さは従来例1に示した通りである。

10

#### 【0068】

最後に絶縁膜18の堆積及び平坦化、金属電極の形成を行って図9(i)に示した最終構造を得る。図9(i)に対応する平面構造を図12に示す。

#### 【0069】

本実施例では、バイポーラ・トランジスタのコレクタと受光部のn型Ge層4を絶縁分離することにより、バイポーラ・トランジスタのコレクタ/ベース間容量の低減が可能となる点に特徴を有する。コレクタ/ベース間容量の低減は低電流領域でのバイポーラトランジスタの高速性能向上に大きく寄与する。図13にその効果を示す。図13はバイポーラ・トランジスタのコレクタと受光部のn型Ge層4を絶縁分離を行った場合と行っていない場合の高周波特性を比較したものである。図13には、高速動作の指標として遮断周波数のコレクタ電流密度依存性を示している。絶縁分離した場合は、絶縁分離していない場合に比べてコレクタ/ベース容量は1/3以下に低減しており、それに伴って低電流領域における遮断周波数が向上している。図はベース/エミッタ間に順方向の電圧を印加した場合の高周波特性であるが、受光素子におけるバイポーラ・フォト・トランジスタはベース/エミッタ間電圧を0Vで動作させるため、動作電流は極めて小さい。動作電流の小さい領域では遮断周波数も小さいため、バイポーラ・フォト・トランジスタは十分な高速性能を発揮出来ない。本実施例ではコレクタ/ベース間容量の低減により低電流での遮断周波数を増大させており、受光部から印加された高周波の信号を增幅することが可能である。また、本実施例ではエミッタ層10aの不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚を約15nmとすることでエミッタ/ベース間容量も低減することが出来ており、低電流での遮断周波数の更なる向上が可能である。尚、本実施例では実施例1同様、各層の導電型を逆にしても効果を得ることが出来る。また、バイポーラトランジスタの形成方法は本実施例のようにエミッタ開口部を用いて形成しても、実施例1のようにエミッタ/ベースを連続成長してメサ状に加工しても、自己整合構造を適用しても良い。

20

#### 【実施例4】

#### 【0070】

本実施例では、受光素子において、バイポーラ部が受光部と独立した受光素子構造及びその製造方法を開示する。図14(a)~図14(d)、図15(a)~図15(d)は本実施例における半導体受光素子の製造過程を示した断面図である。図14(a)~図14(d)はバイポーラ部を含む断面であり、図15(a)~図15(d)はバイポーラ部を含む断面と垂直方向の受光部断面である。

30

#### 【0071】

本実施例において、実施例1から実施例3と同一の工程については説明を省略し、本実施例特有の構造及び製造工程について特徴を述べる。

40

#### 【0072】

図14(a)及び図15(a)は実施例3の図9(e)で述べた、高濃度p型Ge層13の洗濯成長後の断面図である。しかし、本実施例では、下記2点において実施例3と異なる特徴を有する。まず、高抵抗Ge層6の膜厚を薄く設定している。ここでは高速動作に必要なバイポーラ・トランジスタのコレクタ/ベース間空乏層幅に合わせて設計を行っており、100~150nmの膜厚としている。高抵抗Ge層6の薄膜化に伴い、バイポーラ・トランジスタ直下のイオン打ち込み工程は省略している。本実施例の第二の特徴は、高濃度p型Ge層13は分割せず、受

50

光部全面に形成している点である。高濃度p型Ge層13は光吸収層を挟み込む最下層として利用する。

#### 【0073】

図14(b)と図15(b)は高抵抗Ge層15と高濃度n型Ge層16を受光部の開口部内に選択成長した後の断面図である。ここで、高濃度n型Ge層16は櫛型のパターンに選択成長する。即ち、高抵抗Ge層15を形成した後、絶縁膜29を堆積してパターニングを施し、次いで高濃度n型Ge層16を選択成長する。本実施例での高濃度n型Ge層16は、実施例1における高濃度p型Ge層13と同様の役割を有し、光吸収層内部に埋め込まれる電極の役割をする。従って、パターン間の間隔及びn型Ge層16の幅と高さは従来例1で述べた特徴を持って形成される。次に、光吸収層の上部層である、高抵抗Ge層31と高濃度n型Ge層32が、絶縁膜32により形成された受光部形成領域の開口部内に形成され、更に高濃度n型Ge層32上部にSi<sub>3</sub>N<sub>4</sub>膜17を形成して図14(c)と図15(c)に示す構造を得る。ここで、高抵抗Ge層31の膜厚及び不純物濃度は実施例1で述べたように受光素子の種類とGeの光進入長によって決められる。10

#### 【0074】

最後に絶縁膜18の形成と金属電極19～21の形成を行い、図14(d)と図15(d)に示す完成構造を得る。図16に本実施例で開示した受光素子の平面構造を示す。

本実施例では、実施例3と同様、バイポーラ・トランジスタ部を受光部と分離して形成しているため、コレクタ/ベース間容量の低減とそれに伴うトランジスタの高速化が可能となる。これに加え、本実施例は受光部と電気的に接続したバイポーラ・トランジスタの電極はベースのみであり、コレクタ部は受光素子から完全に切り離された構造を有している。この特徴は、低ノイズ特性を実現可能であるという利点を持つ。これは下記理由による。Si上に形成したGe受光素子は、Ge結晶成長過程において、SiとGeの間に存在する格子定数の違いによって発生した歪エネルギーを緩和するため、内部に欠陥を含有する。本発明で開示したGe受光素子は、Geの結晶成長の際に緩和層3を用いているため、Ge層の結晶性の向上を実現しているが、それでも依然Ge受光素子中には $1 \times 10^7 \text{ cm}^{-3}$ 程度の密度で欠陥が存在する。受光素子中の欠陥は、p/n接合に逆バイアスが印加されると電子-正孔対を生成して、光信号が入射していない場合にも暗電流と呼ばれる電流ノイズを発生する。実施例1に示した構造では、欠陥から発生した正孔は高濃度p型Ge層13からバイポーラ・トランジスタのベースに流れ込み、電子は高濃度n型Ge層4からバイポーラ・トランジスタのコレクタに流れ込んで電流ノイズとなる。本実施例では、高濃度n型Ge層16がコレクタと分離しているため、コレクタに流れ込む暗電流を遮断することが可能である。この為、実施例1に比べ、ノイズの低減が可能である。しかし、本実施例では、ベースに流れ込む高周波信号は、光吸収層の下部層である高濃度p型Ge層13に流れる正孔によってもたらされるため、面受光型素子で高濃度Ge層15の膜厚が厚いとキャリアの走行時間が増大し、受光素子の高周波特性は劣化する。この為、面受光型素子の場合、光吸収層の合計膜厚がGeの光吸収長と同等または薄くするように高濃度Ge層15の膜厚を設定する必要がある。尚、本実施例では実施例1同様、各層の導電型を逆にしても効果を得ることが出来る。また、バイポーラトランジスタの形成方法は本実施例のようにエミッタ開口部を用いて形成しても、実施例1のようにエミッタ/ベースを連続成長してメサ状に加工しても、自己整合構造を適用しても良い。3040

#### 【実施例5】

#### 【0075】

本実施例では面受光素子において、寄生抵抗の低減が可能な受光素子及びその製造方法を開示する。

#### 【0076】

図17(a)及び図17(b)は本実施例における半導体受光素子の製造過程を示した平面図である。図17(a)は実施例1の図5(f)、図6(f)、図7(f)で示される、高濃度p型Ge層13の選択成長後の工程と同一工程における受光素子の表面を表した図である。また、図17(b)は高濃度p型Ge層13の選択成長後に絶縁膜8をエッチング除去した段階の受光素子の表面を表した図である。本実施例では、受光部に埋め込まれた高濃度p型Ge層13が格子状の形状を有し50

ている点に特徴を持つ。図7(f)に示されるようなストライプ状のGe層13の場合、容量を低減するためにGe層13の幅を縮小すると、Ge層13の抵抗が増大する。受光素子の抵抗と容量の積で表される時定数は高速動作特性に影響を及ぼすため、Ge層13の幅を縮小して容量を低減しても、それがGe層13の抵抗の著しい増大を引き起こす場合、高速動作特性は却って劣化する。本実施例では、格子状のパターニングを施すことで、電流のパスを増大させており、Ge層13の幅を縮小しても、抵抗の増大を抑制することが可能である。

#### 【0077】

本実施例は、受光素子の高濃度p型Ge層13のパターンのみを変化させたものであり、実施例1から実施例4までのすべての実施例と組み合わせることが出来る。また、図17(a)及び図17(b)には配列したバイポーラ・トランジスタ列を受光素子の四方向に配置している例を示している。これはより効率良く電流增幅を行うために配置したものであるが、トランジスタ列の配置には制限は無く、従来例1で示したように受光素子の両サイドのみの配置でも構わない。

10

#### 【実施例6】

#### 【0078】

本実施例では面受光素子において、低寄生抵抗と低寄生容量を実現可能な受光素子及びその製造方法を開示する。

#### 【0079】

図18(a)及び図18(b)は本実施例における半導体受光素子の製造過程を示した平面図である。図18(a)は実施例1の図5(f)、図6(f)、図7(f)で示される、高濃度p型Ge層13の選択成長後の工程と同一工程における受光素子の表面を表した図である。また、図18(b)は高濃度p型Ge層13の選択成長後に絶縁膜8をエッティング除去した段階の受光素子の表面を表した図である。本実施例では、受光部に埋め込まれた高濃度p型Ge層13が図18(a)に示した特殊形状を有している点に特徴を持つ。実施例5で示した格子状のパターンでは、抵抗は低減することが出来るものの、p/n接合面積はストライプ状の場合に比べて増大する。この為、低容量且つ低抵抗の受光素子を実現するためには、パターン構造に更なる工夫を施す必要がある。図18に示したパターン形状では、電流経路は実施例5とほぼ同等とすることが出来ると共に、p/n接合面積を縮小することが出来る。この為、低抵抗且つ低容量性を実現出来る。

20

#### 【0080】

30

本実施例は、受光素子の高濃度p型Ge層13のパターンのみを変化させたものであり、実施例1から実施例4までのすべての実施例と組み合わせることが出来る。また、図18(a)及び図18(b)には配列したバイポーラ・トランジスタ列を受光素子の四方向に配置している例を示している。これはより効率良く電流增幅を行うために配置したものであるが、トランジスタ列の配置には制限は無く、従来例1で示したように受光素子の両サイドのみの配置でも構わない。

#### 【実施例7】

#### 【0081】

本実施例では導波路型受光素子において、寄生抵抗の低減を実現することが可能な受光素子及びその製造方法を開示する。図19～図21は本実施例における半導体受光素子を示した平面図及び断面図である。図20は図19の線分aで切り取った際の断面図、図21は図19の線分bで切り取った際の断面図である。

40

#### 【0082】

図19で示した受光素子の平面図は、高濃度p型Ge層13の櫛型パターンが、入射光及びバイポーラ・トランジスタ部9に対して90度回転したパターン形状を有していることを特徴とする。実施例1から実施例4で開示した受光素子はいずれもバイポーラ・トランジスタに対して櫛型パターンの長辺が垂直に対峙している構造を有していたが、導波路型構造においては、受光部の長辺方向の距離は場合によって100 μm近くまで長くする必要があるため、高濃度p型Ge層13の抵抗が著しく増大する。これに対し、本実施例で開示した構造は高濃度p型Ge層13の電流経路を短くしており、抵抗の減少をもたらすことが可能である。従

50

って、より高速性能に優れた受光素子が実現可能である。

**【0083】**

尚、本実施例において、配列したバイポーラ・トランジスタ列は受光部に対して入射光と反対側に一列のみ配置している。バイポーラ・トランジスタ部による光の吸収を避け、受光効率を増大する目的に準じたものであるが、トランジスタ列の配置には制限は無く、従来例1で示したように受光素子の両サイドのみの配置でも構わない。

**【符号の説明】**

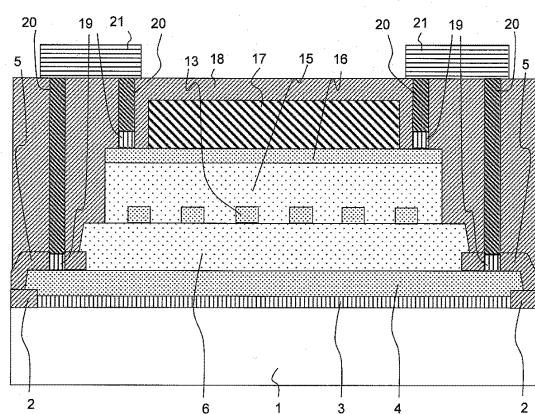
**【0084】**

- 1 ...シリコン基板、10
- 2 ...シリコン酸化膜、10
- 3 ...低温成長ゲルマニウム緩衝層、10
- 4 ...n型単結晶ゲルマニウム層、10
- 5 ...シリコン酸化膜、10
- 6 ...高抵抗単結晶ゲルマニウム層、10
- 7 ...n型単結晶ゲルマニウム層、10
- 8 ...シリコン酸化膜、10
- 9 ...p型単結晶ゲルマニウム・ベース層、10
- 10 ...n型単結晶シリコン・ゲルマニウム(シリコン)・エミッタ層、20
- 10 a ...低濃度n型単結晶シリコン・ゲルマニウム(シリコン)・エミッタ層、20
- 10 b ...高濃度n型単結晶シリコン・ゲルマニウム(シリコン)・エミッタ層、20
- 11 ...シリコン酸化膜、20
- 12 ...シリコン酸化膜、20
- 13 ...p型単結晶ゲルマニウム層、20
- 14 ...シリコン酸化膜、20
- 15 ...高抵抗単結晶ゲルマニウム層、20
- 16 ...n型単結晶ゲルマニウム層、20
- 17 ...シリコン窒化膜、20
- 18 ...シリコン酸化膜、20
- 19 ...窒化チタン、20
- 20 ...タングステン、30
- 21 ...アルミニウム、30
- 22 ...シリコン窒化膜、30
- 23 ...シリコン酸化膜、30
- 24 ...p型イオン打ち込み領域、30
- 25 ...シリコン酸化膜、30
- 26 ...シリコン酸化膜、30
- 27 ...シリコン酸化膜、30
- 28 ...エミッタ形成領域、30
- 29 ...シリコン酸化膜、30
- 30 ...シリコン酸化膜、40
- 31 ...高抵抗単結晶ゲルマニウム層、40
- 32 ...p型単結晶ゲルマニウム層、40
- 101 ...シリコン基板、40
- 102 ...埋め込み酸化膜、40
- 103 ...Silicon On Insulator、40
- 104 ...単結晶ゲルマニウム層、40
- 105 ...シリコン酸化膜、40
- 106 ...p型イオン打ち込み領域、40
- 107 ...n型イオン打ち込み領域、40
- 108 ...電極、50

- 201...n型シリコン基板、  
 202...高抵抗単結晶シリコン層、  
 203...n型単結晶シリコン層、  
 204...p型単結晶シリコン層、  
 205...n型単結晶シリコン層、  
 206...シリコン酸化膜、  
 207...エミッタ電極、  
 208...ベース電極、  
 209...コレクタ電極。

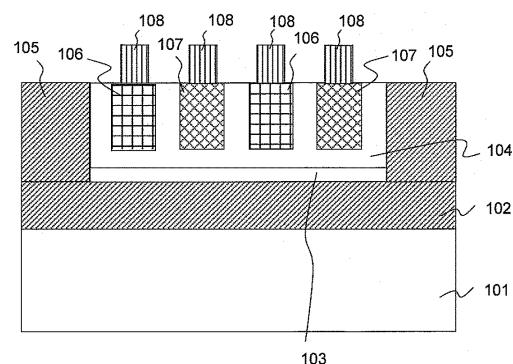
【図1】

図1



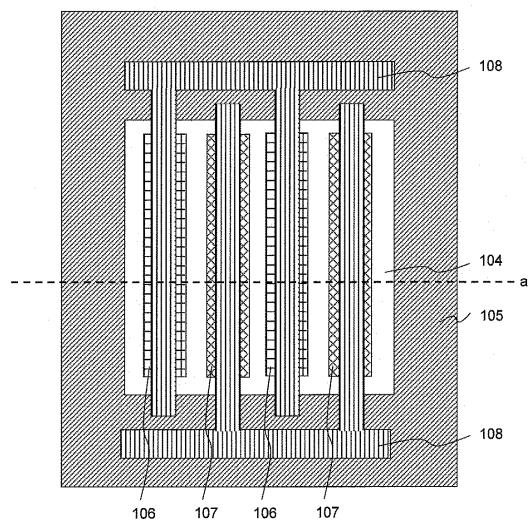
【図2(a)】

図2(a)



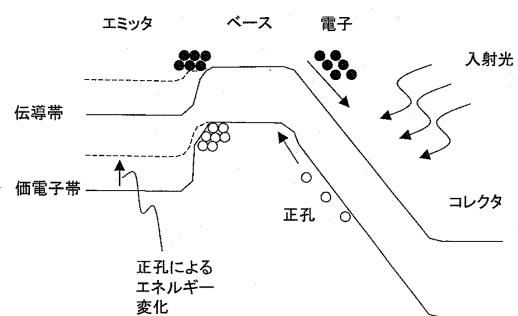
【図2(b)】

図2(b)



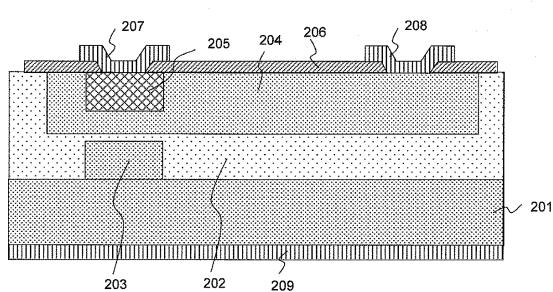
【図3】

図3



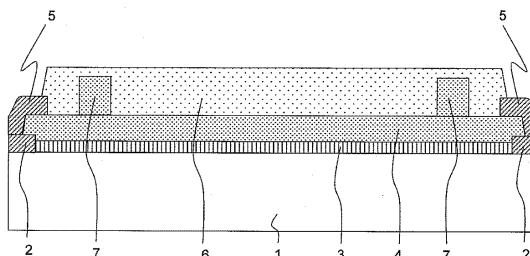
【図4】

図4



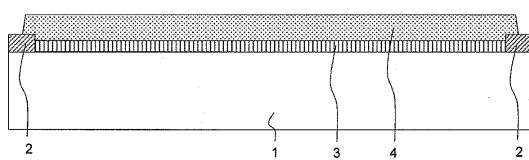
【図5(b)】

図5(b)



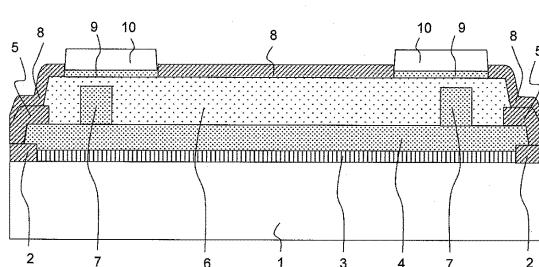
【図5(a)】

図5(a)

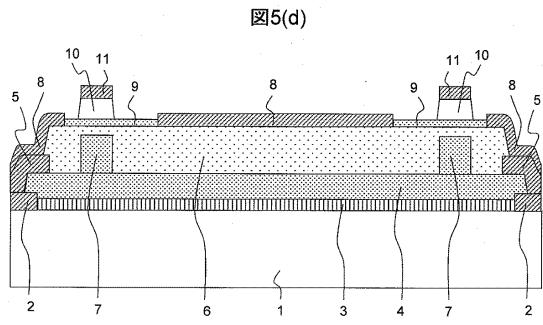


【図5(c)】

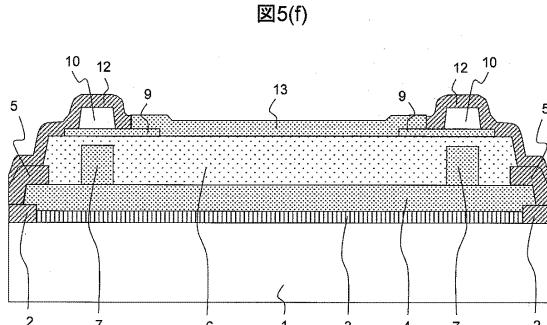
図5(c)



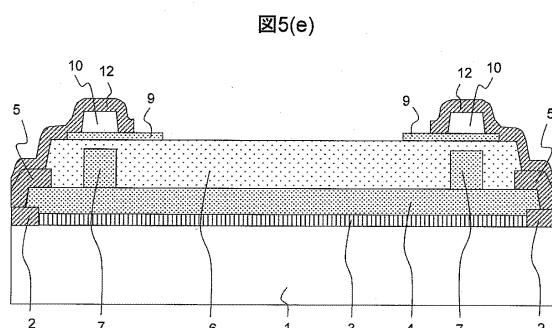
【図5(d)】



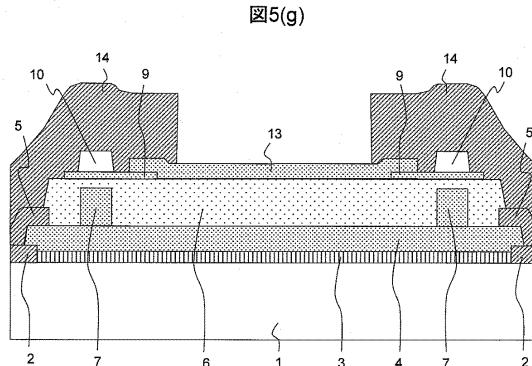
【図5(f)】



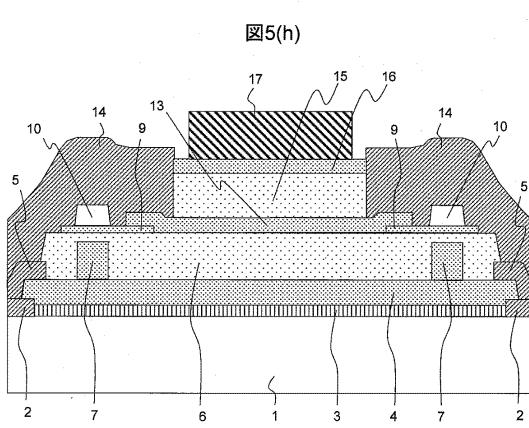
【図5(e)】



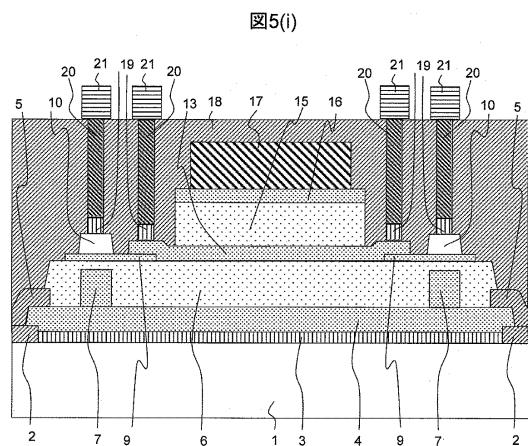
【図5(g)】



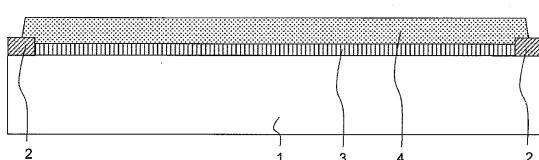
【図5(h)】



【図5(i)】

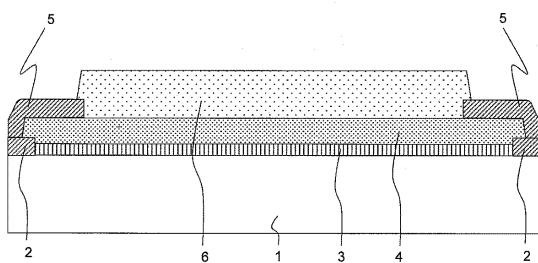


【図6(a)】



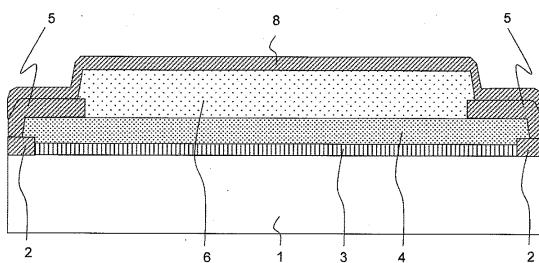
【図6(b)】

図6(b)



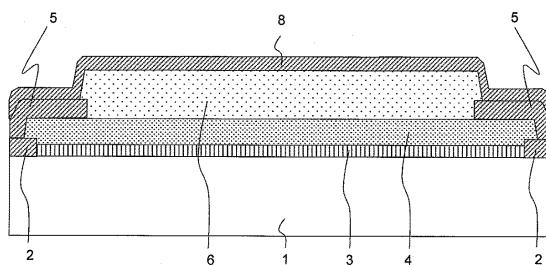
【図6(d)】

図6(d)



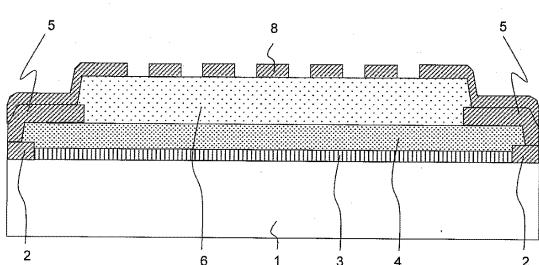
【図6(c)】

図6(c)



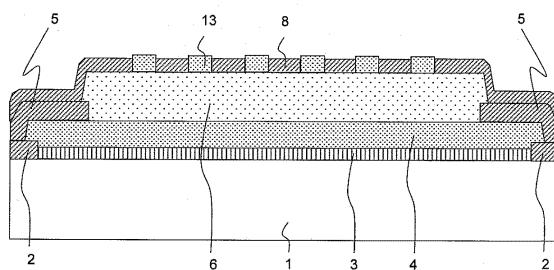
【図6(e)】

図6(e)



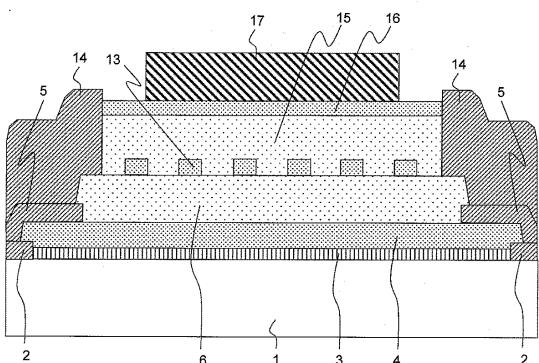
【図6(f)】

図6(f)



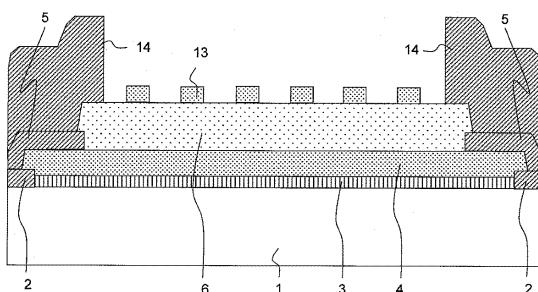
【図6(h)】

図6(h)

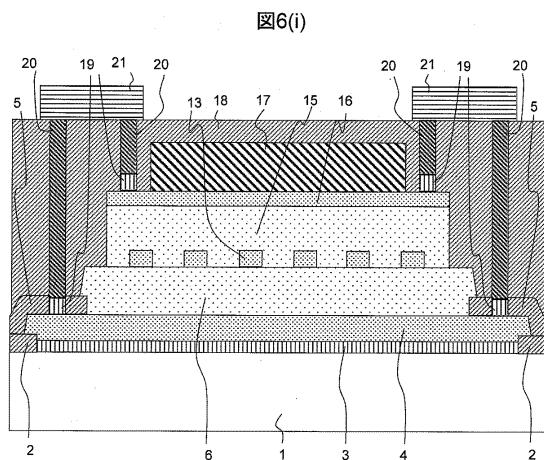


【図6(g)】

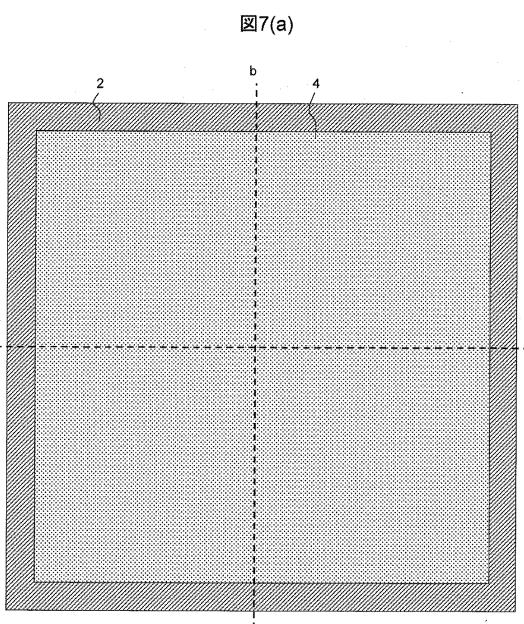
図6(g)



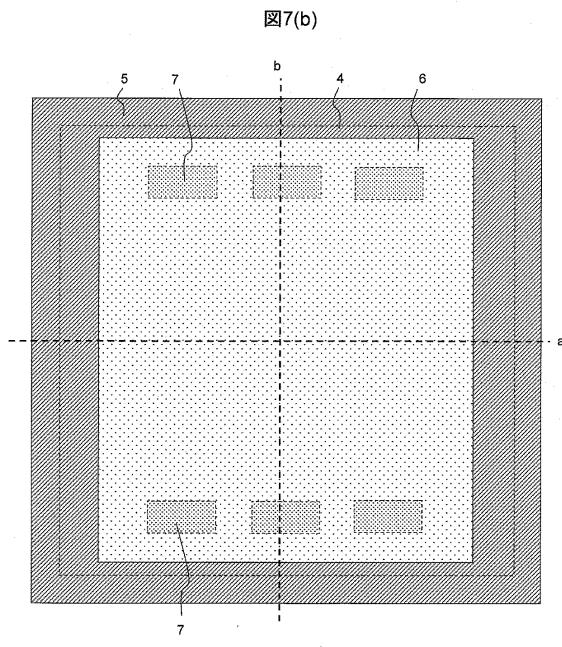
【図6(i)】



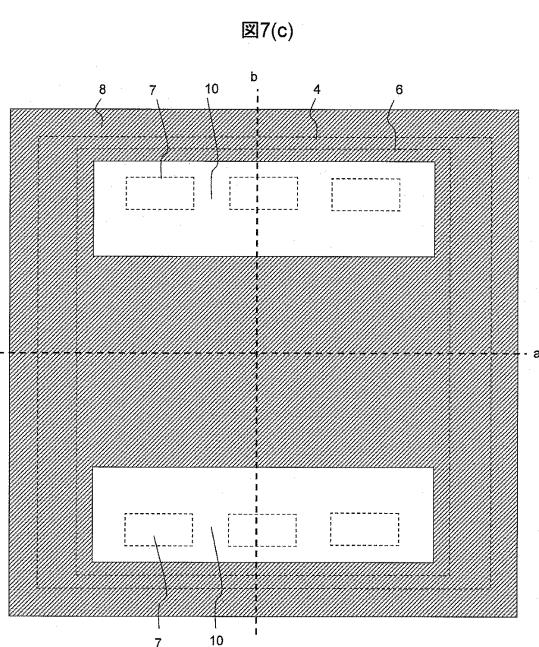
【図7(a)】



【図7(b)】

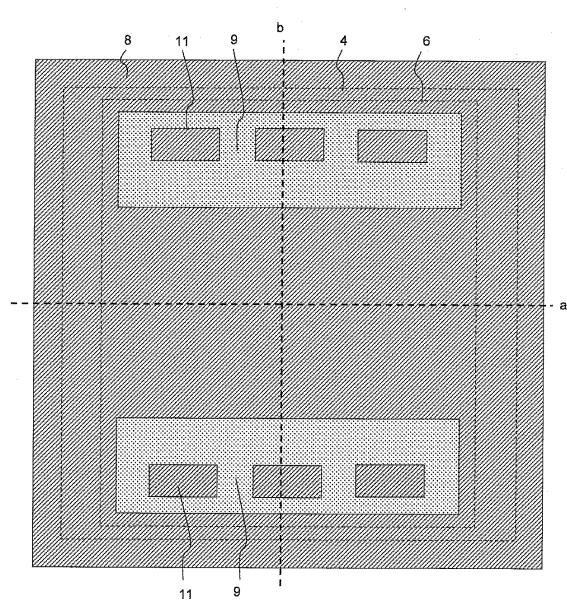


【図7(c)】



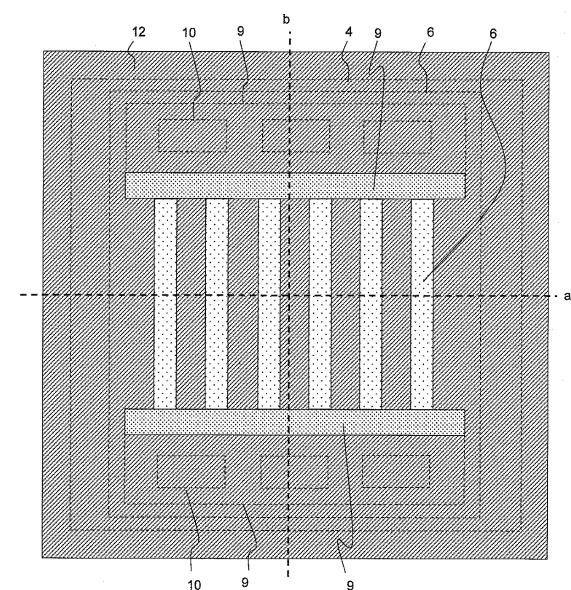
【図7(d)】

図7(d)



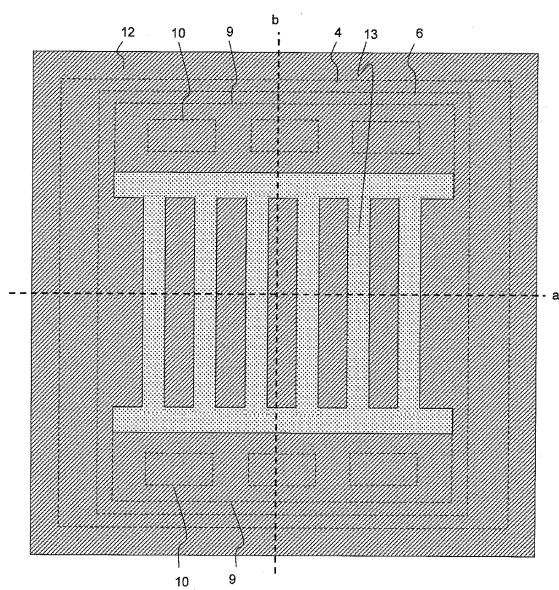
【図7(e)】

図7(e)



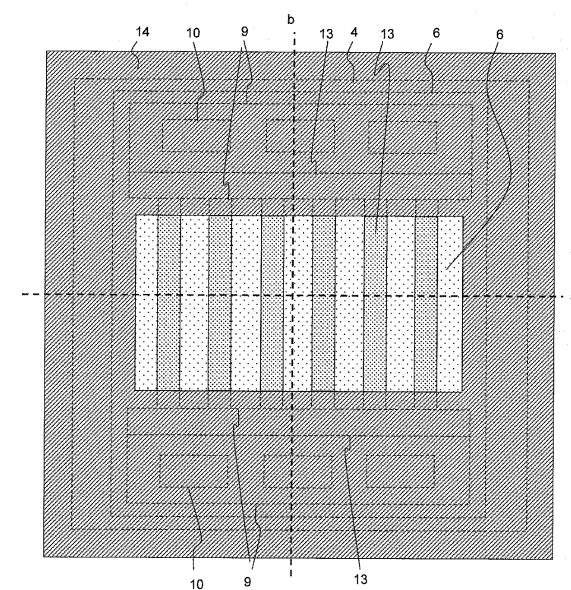
【図7(f)】

図7(f)

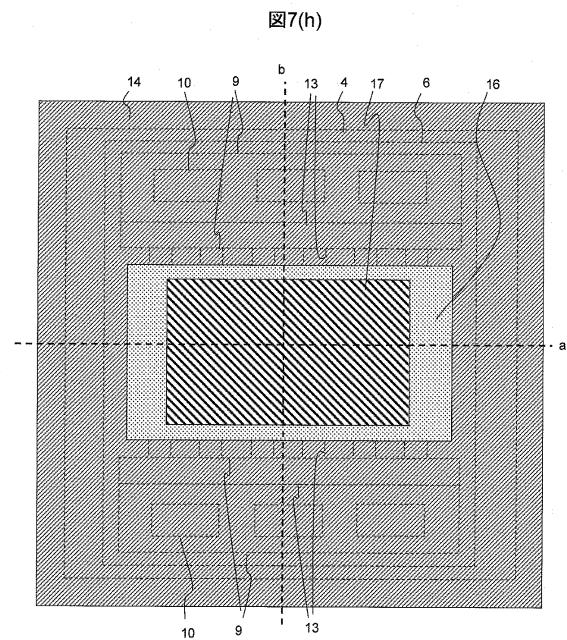


【図7(g)】

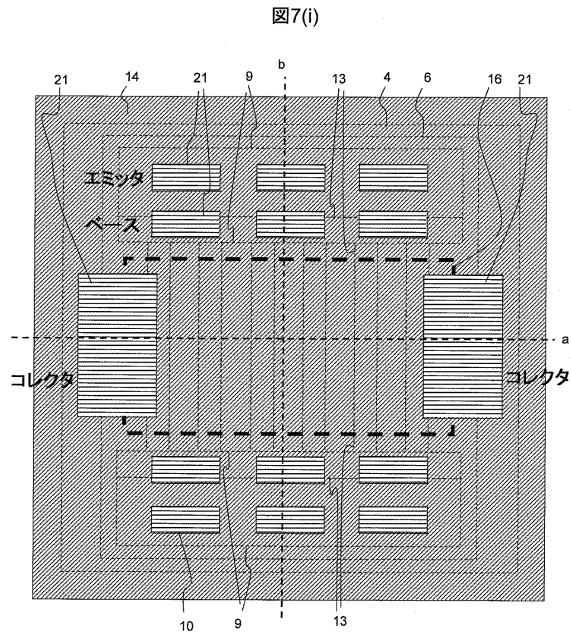
図7(g)



【図7(h)】

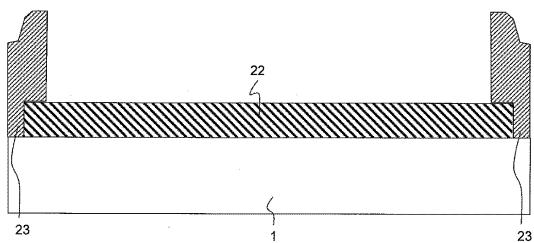


【図7(i)】



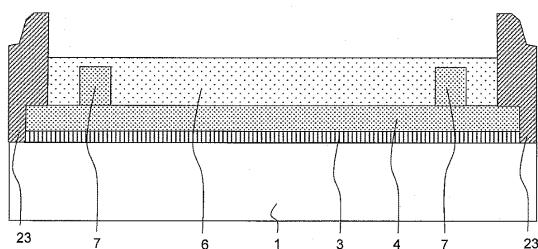
【図8(a)】

図8(a)



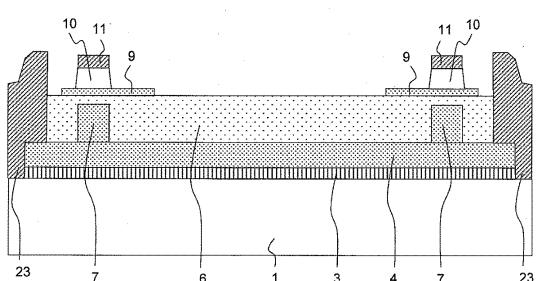
【図8(b)】

図8(b)



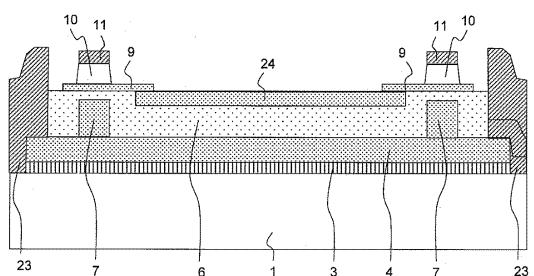
【図8(c)】

図8(c)

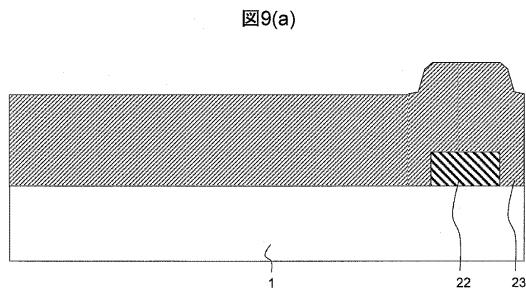


【図8(d)】

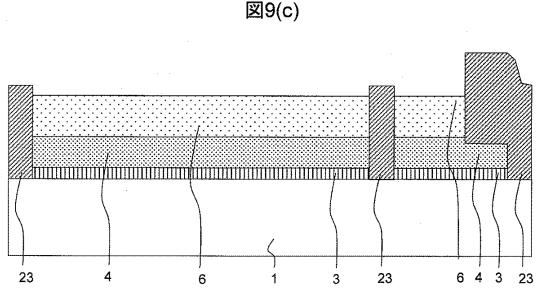
図8(d)



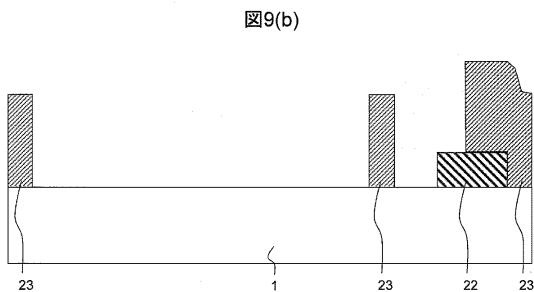
【図9(a)】



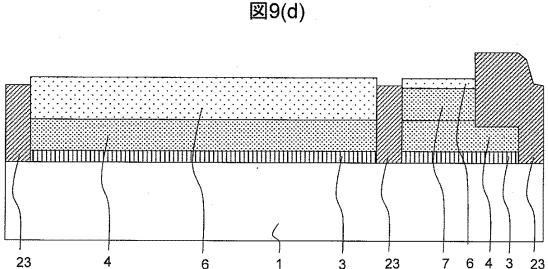
【図9(c)】



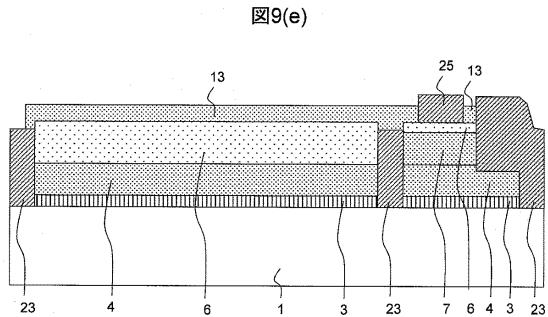
【図9(b)】



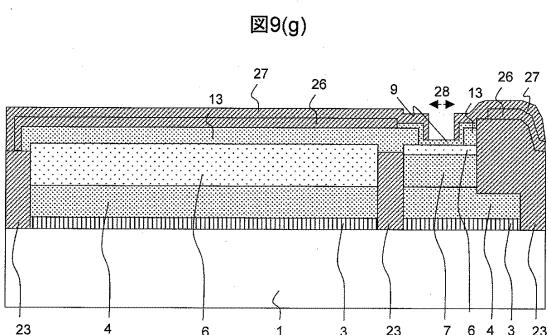
【図9(d)】



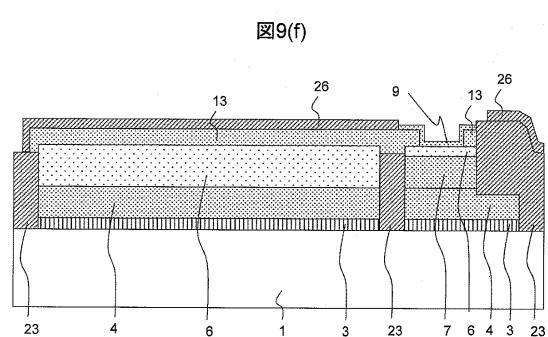
【図9(e)】



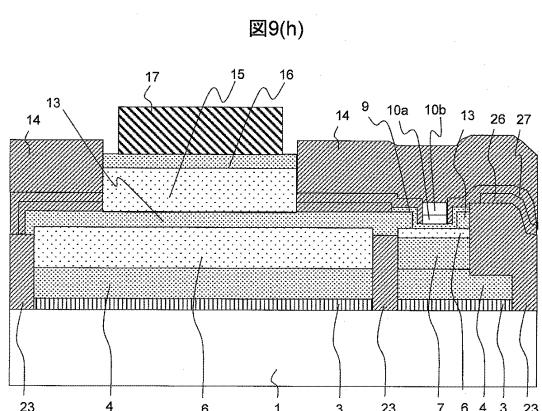
【図9(g)】



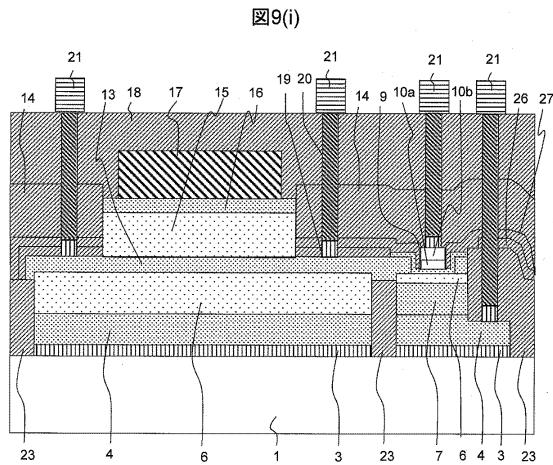
【図9(f)】



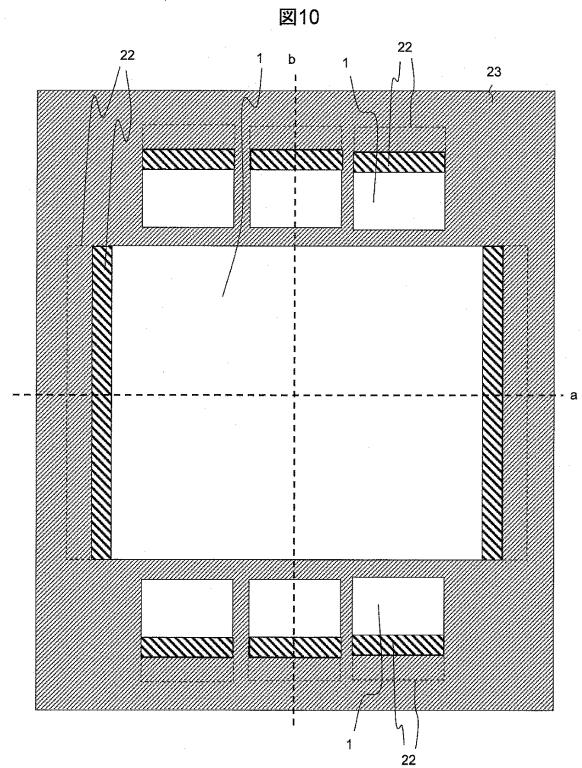
【図9(h)】



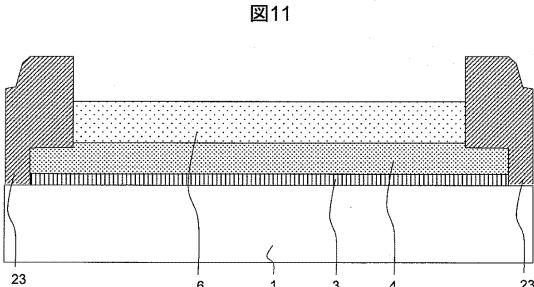
【図9(i)】



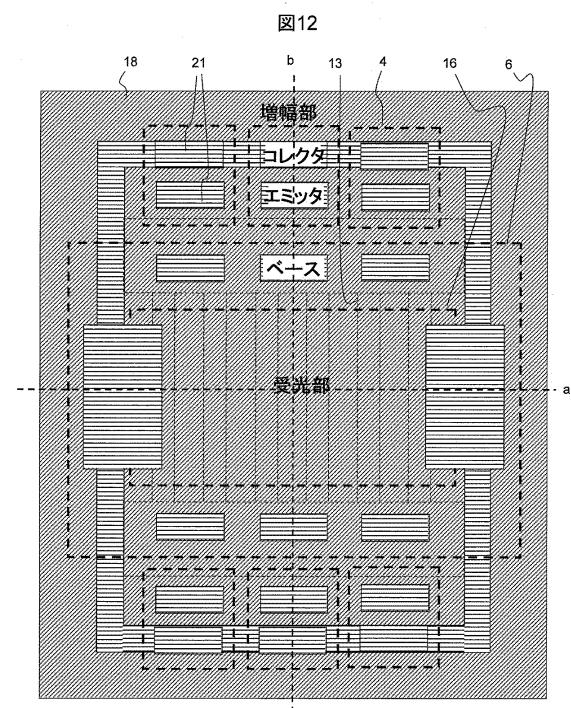
【図10】



【図11】

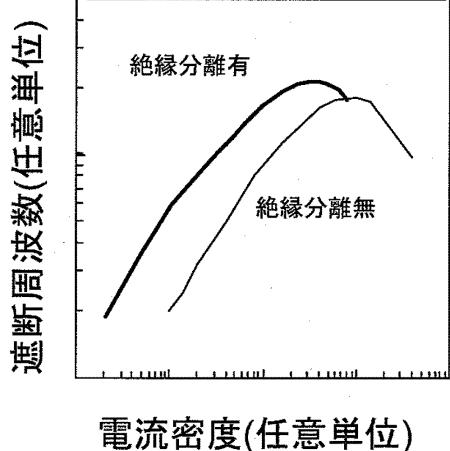


【図12】



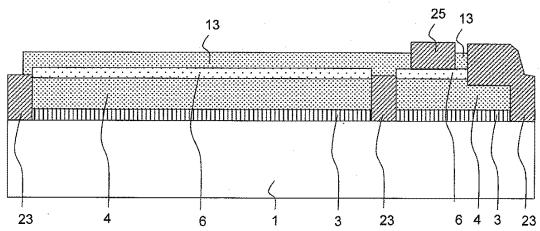
【図13】

図13



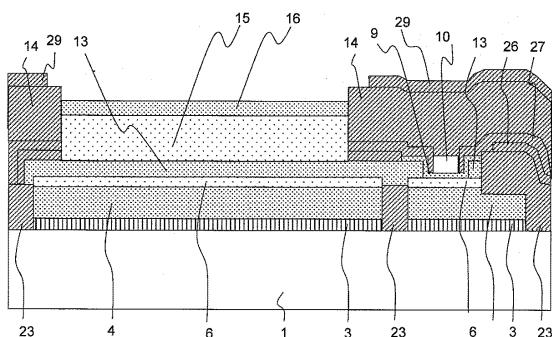
【図14(a)】

図14(a)



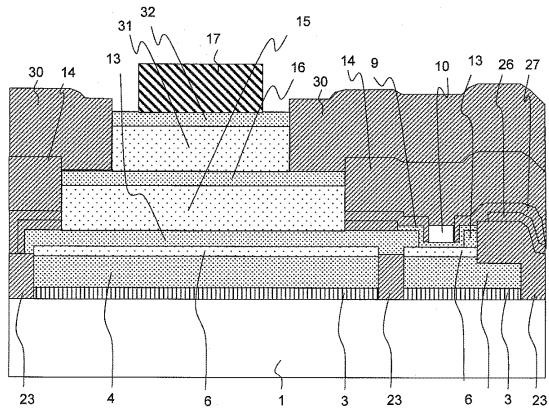
【図14(b)】

図14(b)



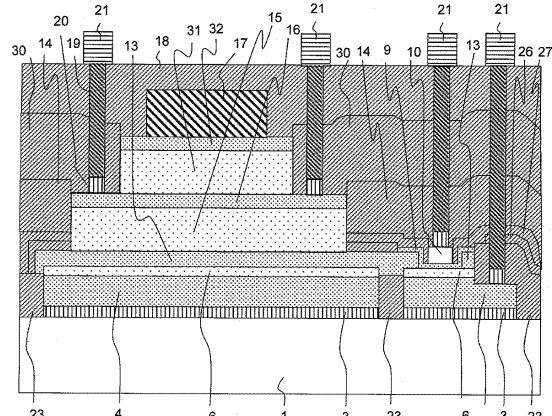
【図14(c)】

図14(c)



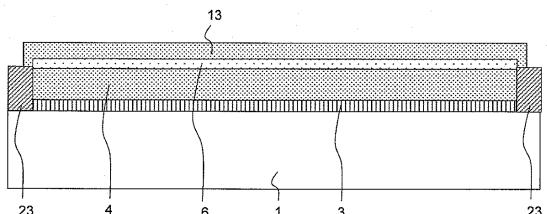
【図14(d)】

図14(d)



【図15(a)】

図15(a)



【図15(b)】

【図15(c)】

図15(b)

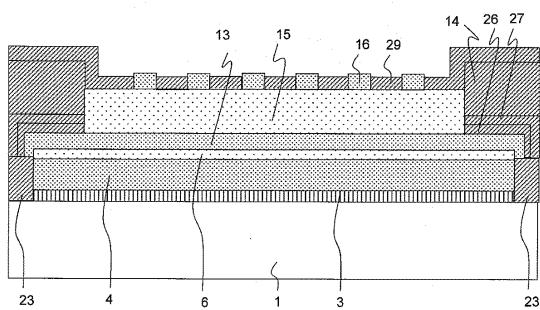
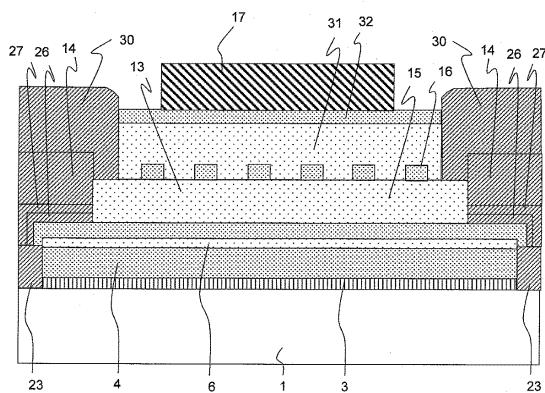


図15(c)



【図15(d)】

【図16】

図15(d)

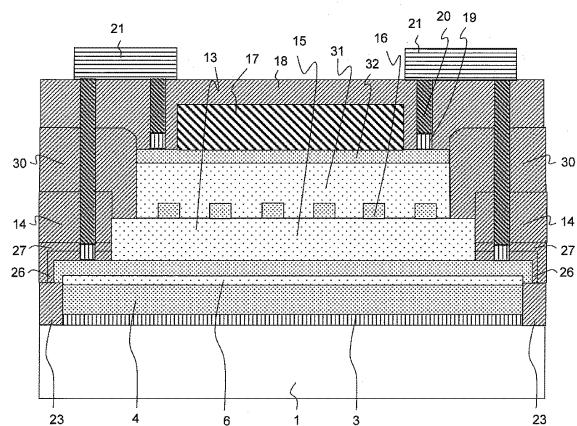
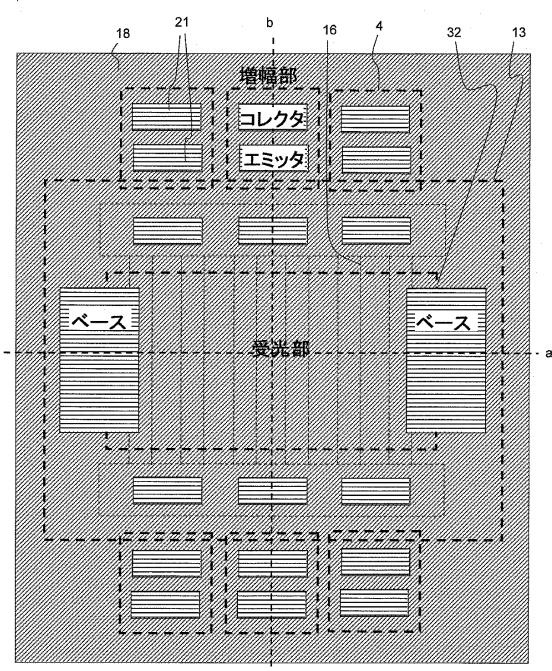
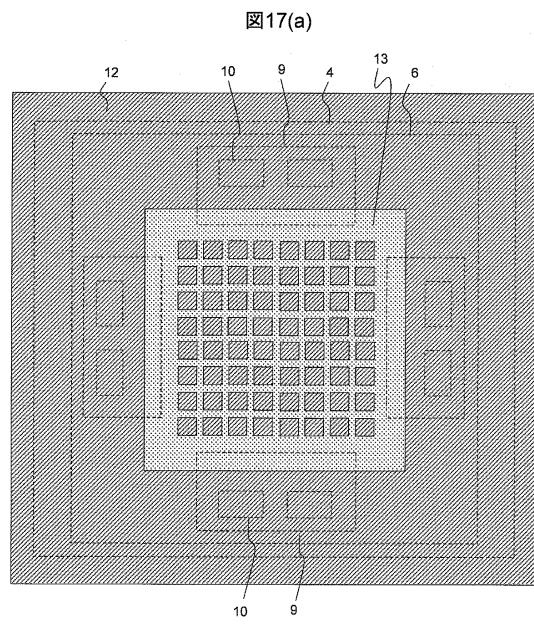


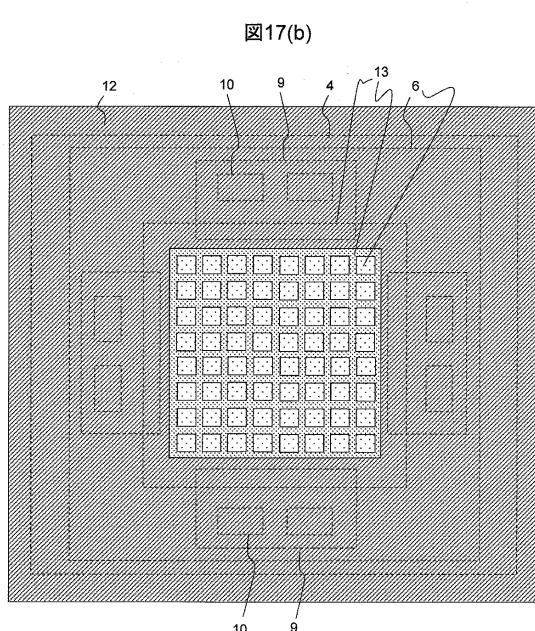
図16



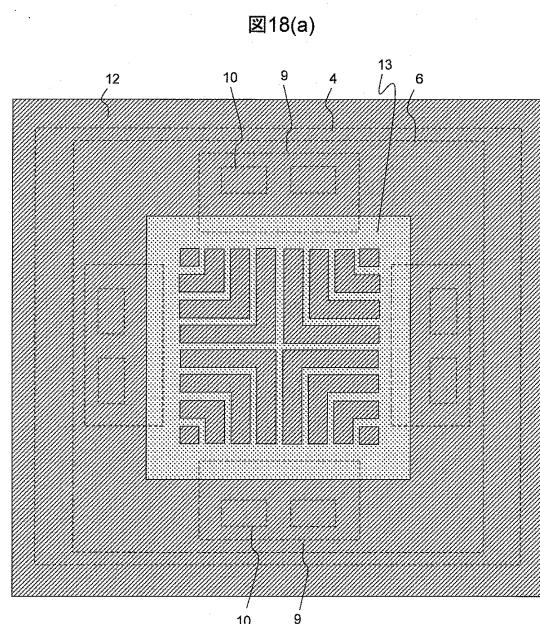
【図17(a)】



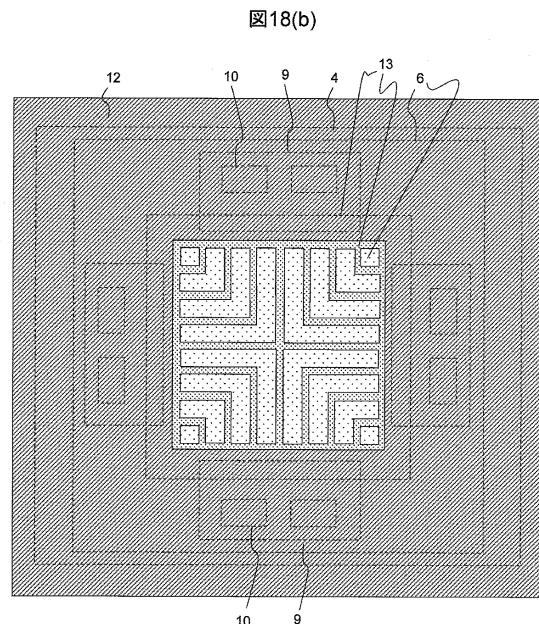
【図17(b)】



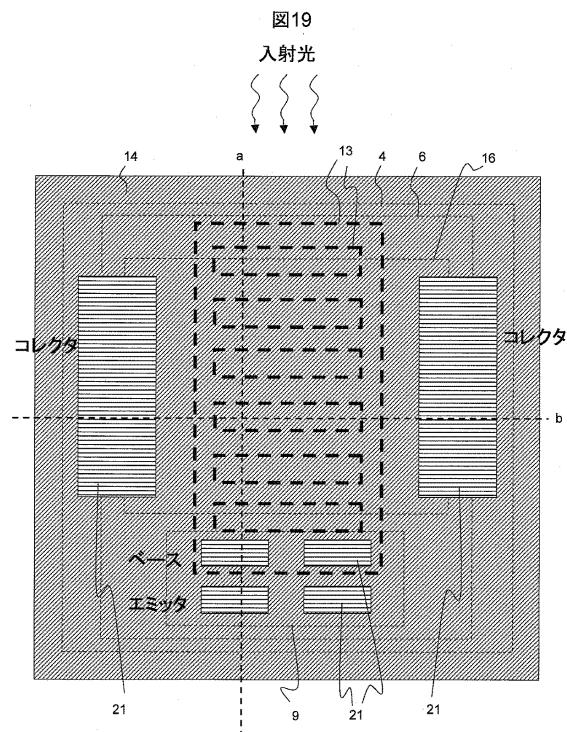
【図18(a)】



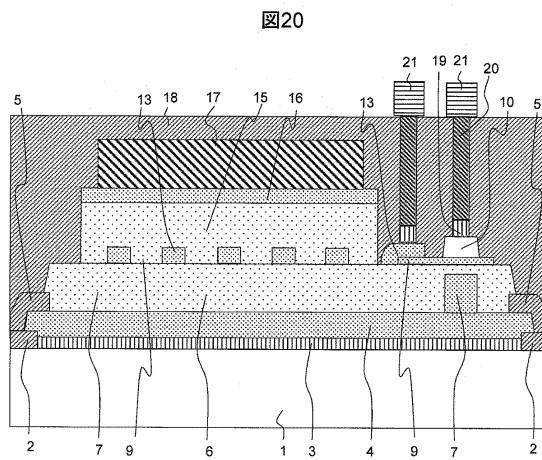
【図18(b)】



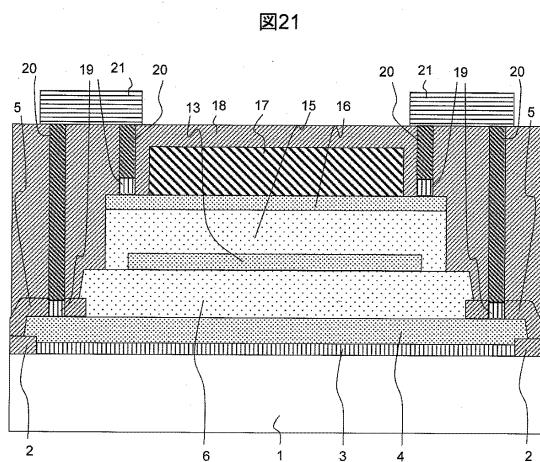
【図19】



【図20】



【図21】



---

フロントページの続き

(72)発明者 李 英根

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 小田 克矢

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 堀部 修平

(56)参考文献 特開昭58-095877(JP,A)

特開昭55-013924(JP,A)

特開昭58-093386(JP,A)

特開昭63-122285(JP,A)

特開平09-181349(JP,A)

特開2009-033043(JP,A)

特開2001-077400(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/10 - 31/119