



República Federativa do Brasil  
Ministério da Economia  
Instituto Nacional da Propriedade Industrial

**(11) PI 0820163-3 B1**



**(22) Data do Depósito: 18/11/2008**

**(45) Data de Concessão: 04/06/2019**

---

**(54) Título:** APARELHO DE CODIFICAÇÃO, MÉTODO DE CODIFICAÇÃO PARA UM APARELHO DE CODIFICAÇÃO, APARELHO DE DECODIFICAÇÃO, E, MÉTODO DE DECODIFICAÇÃO PARA UM APARELHO DE DECODIFICAÇÃO

**(51) Int.Cl.:** H03M 13/19.

**(30) Prioridade Unionista:** 18/03/2008 JP 2008-070467; 26/11/2007 JP 2007-304689; 26/11/2007 JP 2007-304690.

**(73) Titular(es):** SONY CORPORATION.

**(72) Inventor(es):** MAKIKO YAMAMOTO; SATOSHI OKADA; RYOJI IKEGAYA; TAKASHI YOKOKAWA.

**(86) Pedido PCT:** PCT JP2008070960 de 18/11/2008

**(87) Publicação PCT:** WO 2009/069513 de 04/06/2009

**(85) Data do Início da Fase Nacional:** 19/05/2010

**(57) Resumo:** APARELHOS E MÉTODOS DE PROCESSAMENTO DE DADOS E DE CODIFICAÇÃO A presente invenção relaciona-se a um dispositivo de processo de dados cuja resistência a erro pode se melhorada, um método de processo de dados, um dispositivo de codificação e um método de codificação. Um bit de código de um código de LDPC especificado por DVB-S.2 cujo comprimento de código é 64.800 bits e uma taxa de codificação de  $2/3$ , é arranjado e o bit de código depois do rearranjo se toma bits de símbolo de  $b$  símbolos. Quando é assumido que  $m = 8$  e  $b = 2$ , e em que o bit de código de  $8 \times 2$  bits e um bit que é um  $(i+1)$ -ésimo bit do bit mais significativo do bit de símbolo de  $8 \times 2$  bits em dois símbolos sucessivos são representados por  $b_i$  e  $y_j$ , respectivamente, o rearranjo é executado, por exemplo,  $b_0$  é rearranjado para  $y_{15}$ ,  $b_1$  é rearranjado para  $y_7$ ,  $b_2$  é rearranjado para  $y_{-}$ ,  $b_3$  é rearranjado para  $y_5$ ,  $b_4$  é rearranjado para  $y_6$ ,  $b_5$  é rearranjado para  $y_{13}$ ,  $b_6$  é rearranjado para  $y_{11}$ ,  $b_7$  é rearranjado para  $y_9$ ,  $b_8$  é rearranjado para  $y_8$ ,  $b_9$  é rearranjado para  $y_{14}$ ,  $b_{10}$  é rearranjado para  $y_{12}$ ,  $b_{11}$  é rearranjado para (...).

“APARELHO DE CODIFICAÇÃO, MÉTODO DE CODIFICAÇÃO PARA UM APARELHO DE CODIFICAÇÃO, APARELHO DE DECODIFICAÇÃO, E, MÉTODO DE DECODIFICAÇÃO PARA UM APARELHO DE DECODIFICAÇÃO”

### **Campo Técnico**

[001] Esta invenção relaciona-se a um aparelho de processamento de dados e um método de processamento de dados como também um aparelho de codificação e um método de codificação, e particularmente a um aparelho de processamento de dados e um método de processamento de dados como também um aparelho de codificação e um método de codificação que podem melhorar, por exemplo, a tolerância a erros.

[002] O código de LDPC (Verificação de Paridade de Baixa Densidade) tem uma alta capacidade de correção de erros e, em recentes anos, começa a ser adotado amplamente em sistemas de transmissão incluindo sistemas de radiodifusão digital de satélite tal como, por exemplo, o sistema de DVB-S.2 usado na Europa (se refira a, por exemplo, Documento Não Patente 1). Ademais, é investigado adotar o código de LDPC também em radiodifusão digital terrestre da próxima geração.

[003] Está sendo achado por pesquisa recente que um desempenho próximo ao limite de Shannon é provido pelo código de LDPC quando o comprimento de código é aumentado semelhantemente a um turbo código e assim sucessivamente. Ademais, desde que o código de LDPC tem uma propriedade que a distância mínima aumenta em proporção ao comprimento de código, tem uma característica que tem uma característica de probabilidade de erro de bloco superior. Também é vantajoso que um denominado fenômeno de fundo de erro que é observado em uma característica de decodificação do turbo código e assim sucessivamente pouco ocorre.

[004] No seguinte, tal código de LDPC como descrito acima é descrito particularmente. É para ser notado que o código de LDPC é um

código linear, e embora não seja necessariamente um código bidimensional, a descrição seguinte é dada sob a suposição que é um código bidimensional.

[005] O código de LDPC tem a característica mais significativa visto que uma matriz de verificação de paridade que define o código de LDPC é uma matriz escassa. Aqui, a matriz escassa é uma matriz na qual o número daqueles elementos cujo valor é “1” é muito pequeno (matriz na qual quase todos elementos são 0).

[006] Figura 1 mostra um exemplo de uma matriz de verificação de paridade H de um código de LDPC.

[007] Na matriz de verificação de paridade H da Figura 1, o peso de cada coluna (peso de coluna) (número de “1”) (peso) é “3” e o peso de cada linha (peso de linha) é “6”.

[008] Em codificação por códigos de LDPC (codificação de LDPC), por exemplo, uma matriz de gerador G é produzida baseado em uma matriz de verificação de paridade H e esta matriz de gerador G é multiplicada por bits de informação bidimensionais para produzir uma palavra-código (código de LDPC).

[009] Em particular, um aparelho de codificação que executa codificação de LDPC primeiro calcula uma matriz de gerador G que satisfaz uma expressão  $GH^T = 0$  junto com uma matriz transposta  $H^T$  de uma matriz de verificação de paridade H. Aqui, se a matriz de gerador G for uma matriz  $K \times N$ , então o aparelho de codificação multiplica a matriz de gerador G por uma carreira de bits (vetor u) de K bits de informação para produzir uma palavra-código c (= uG) de N bits. A palavra-código (código de LDPC) produzida pelo aparelho de codificação é recebida pelo lado de recepção por um trajeto de comunicação predeterminado.

[0010] Decodificação do código de LDPC pode ser executada usando um algoritmo proposto como decodificação probabilística (Decodificação Probabilística) pelo Gallager, isso é, um algoritmo de passagem de mensagem

através de propagação em um denominado gráfico de Tanner incluindo um nó de variável (também chamado nó de mensagem) e um nó de verificação. Na descrição seguinte, cada um do nó de variável e o nó de verificação é referido apropriadamente simplesmente como nó.

[0011] Figura 2 ilustra um procedimento de decodificação de um código de LDPC.

[0012] É para ser notado que, na descrição seguinte, um valor de número real onde a probabilidade “0” no valor do código de n-ésimo bit de um código de LDPC (uma palavra-código) recebido pelo lado de recepção é representado em uma relação de probabilidade logarítmica é chamado apropriadamente valor de recepção  $u_{oi}$ . Ademais, uma mensagem produzida de um nó de verificação é representada por  $u_j$  e uma mensagem produzida de um nó de variável é representada por  $v_i$ .

[0013] Primeiro, em decodificação de um código de LDPC, como visto na Figura 2, um código de LDPC é recebido e uma mensagem (mensagem de nó de verificação)  $u_j$  é iniciada a “0” e além disso uma variável  $k$  que assume um inteiro como um contador de processos repetidos é iniciada a “0” na etapa S11, onde depois o processamento avança à etapa S12. Na etapa S12, operação matemática representada por uma expressão (1) (operação matemática de nó de variável) é executada baseada no valor de recepção  $u_{oi}$  obtido pela recepção do código de LDPC para determinar uma mensagem (mensagem de nó de variável)  $v_i$ . Ademais, operação matemática representada por uma expressão (2) (operação matemática de nó de verificação) é executada baseada na mensagem  $v_i$  para determinar a mensagem  $u_j$ .

Expressão 1

$$v_i = u_{oi} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

## Expressão 2

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

[0014] Aqui,  $d_v$  e  $d_c$  na expressão (1) e na expressão (2) são parâmetros que podem ser selecionados arbitrariamente e representam o número de “1s” em uma direção vertical (coluna) e uma direção horizontal (linha) da matriz de verificação de paridade H. Por exemplo, no caso de um código (3, 6),  $d_v = 3$  e  $d_c = 6$ .

[0015] É para ser notado que, na operação matemática de nó de variável da expressão (1) e na operação matemática de nó de verificação da expressão (2), a gama da operação matemática é 1 a  $d_v-1$  ou 1 a  $d_c-1$  porque uma mensagem introduzida de uma borda (linha interconectando um nó de variável e um nó de verificação) de qual uma mensagem é para ser produzida não é feita um objeto da operação matemática. Enquanto isso, a operação matemática de nó de verificação da expressão (2) é executada produzindo com antecedência uma tabela de uma função  $R(v_1, v_2)$  representada por uma expressão (3) definida por uma saída com respeito a duas entradas  $v_1$  e  $v_2$  e usando a tabela sucessivamente (recursivamente) como representada por uma expressão (4).

## Expressão 3

$$x = 2 \tanh^{-1}\{\tanh(v_1/2) \tanh(v_2/2)\} = R(v_1, v_2) \quad \dots (3)$$

## Expressão 4

$$u_j = R(v_1, R(v_2, R(v_3, \dots, R(v_{d_c-2}, v_{d_c-1})))) \quad \dots (4)$$

[0016] Na etapa S12, a variável  $k$  é incrementada por “1” ademais, e o processamento avança à etapa S13. Na etapa S13, é decidido se ou não a variável  $k$  é mais alta que um número de vezes de decodificação repetido predeterminado  $C$ . Se for decidido na etapa S13 que a variável  $k$  não é mais alta que  $C$ , então o processamento retorna à etapa S12, e processamento semelhante é repetido depois disso.

[0017] Por outro lado, se for decidido na etapa S13 que a variável  $k$  é mais alta que  $C$ , então o processamento avança à etapa S14, à qual uma mensagem  $v_i$  como um resultado de decodificação para ser finalmente produzida executando operação matemática representada por uma expressão (5) é determinada e produzida, por esse meio terminando o processo de decodificação do código de LDPC.

Expressão 5

$$v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

[0018] Aqui, a operação matemática da expressão (5) é executada, diferente da operação matemática de nó de variável da expressão (1), usando mensagens  $u_j$  de todas as bordas conectando ao nó de variável.

Figura 3 ilustra um exemplo da matriz de verificação de paridade  $H$  de um código de LDPC (3, 6) (taxa de codificação: 1/2, comprimento de código: 12).

[0019] Na matriz de verificação de paridade  $H$  da Figura 3, o peso de uma coluna é 3 e o peso de uma linha é 6 semelhantemente como na Figura 1.

[0020] Figura 4 mostra um gráfico de Tanner da matriz de verificação de paridade  $H$  da Figura 3.

[0021] Aqui, na Figura 4, um nó de verificação é representado por “+”, e um nó de variável é representado por “=”. Um nó de verificação e um nó de variável correspondem a uma linha e uma coluna da matriz de verificação de paridade  $H$ , respectivamente. Uma conexão entre um nó de verificação e um nó de variável é uma borda e corresponde a “1” de um elemento da matriz de verificação de paridade.

[0022] Em particular, onde o elemento na  $j$ -ésima linha da  $i$ -ésima coluna da matriz de verificação de paridade é 1, o  $i$ -ésimo nó de variável (nó de “=”) de acima e o  $j$ -ésimo nó de verificação (nó de “+”) de acima estão conectados por uma borda. A borda representa que um bit de código

correspondendo ao nó de variável tem uma condição de constrangimento correspondendo ao nó de verificação.

[0023] No algoritmo de produto de soma (Algoritmo de Produto de Soma), que é um método de decodificação para códigos de LDPC, operação matemática de nó de variável e operação matemática de nó de verificação são executadas repetitivamente.

[0024] Figura 5 ilustra a operação matemática de nó de variável executada com respeito a um nó de variável.

[0025] Com respeito ao nó de variável, uma mensagem  $v_i$  correspondendo a uma borda a ser calculada é determinada através de operação matemática de nó de variável da expressão (1) que usa mensagens  $u_1$  e  $u_2$  das bordas restantes conectando ao nó de variável e o valor de recepção  $u_{0i}$ . Também uma mensagem correspondendo a qualquer outra borda é determinada semelhantemente.

[0026] Figura 6 ilustra a operação matemática de nó de verificação executada a um nó de verificação.

[0027] Aqui, a operação matemática de nó de verificação da expressão (2) pode ser executada reescrevendo a expressão (2) em uma expressão (6) usando a relação de uma expressão  $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$ . É para ser notado que  $\text{sign}(x) = 1$  onde  $x \geq 0$ , mas é  $-1$  onde  $x < 0$ .

Expressão 6

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left( \prod_{i=1}^{d_c-1} \tanh \left( \frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[ \exp \left\{ \sum_{i=1}^{d_c-1} \ln \left( \left| \tanh \left( \frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left( \tanh \left( \frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[ \exp \left\{ - \left( \sum_{i=1}^{d_c-1} - \ln \left( \left| \tanh \left( \frac{|v_i|}{2} \right) \right| \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \quad \dots (6)
 \end{aligned}$$

[0028] Ademais, se, onde  $x \geq 0$ , uma função  $\varphi(x)$  for definida como

uma expressão  $\phi(x) = \ln(\tanh(x/2))$ , então desde que uma expressão  $\phi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$  está satisfeita, a expressão (6) pode ser transformada em uma expressão (7).

Expressão 7

$$u_j = \phi^{-1} \left( \sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots (7)$$

[0029] No nó de verificação, a operação matemática de nó de verificação da expressão (2) é executada conforme a expressão (7).

[0030] Em particular, no nó de verificação, a mensagem  $u_j$  correspondendo à borda a ser calculada é determinada através de operação matemática de nó de verificação da expressão (7) usando mensagens  $v_1, v_2, v_3, v_4$  e  $v_5$  das bordas restantes conectando ao nó de verificação. Também uma mensagem correspondendo a qualquer outra borda é determinada de uma maneira semelhante.

[0031] É para ser notado que a função  $\phi(x)$  da expressão (7) também pode ser representada como  $\phi(x) = \ln((e^x+1)/(e^x-1))$ , e onde  $x > 0$ ,  $\phi(x) = \phi^{-1}(x)$ . Quando as funções  $\phi(x)$  e  $\phi^{-1}(x)$  estão incorporadas em hardware, enquanto elas às vezes são incorporadas usando uma LUT (Tabela de Consulta), tais LUTs se tornam a mesma LUT.

[0032] Documento Não Patente 1: DVB-S.2: ETSI EN 302 307 V1.1.2 (2006-06)

### **Descrição da Invenção**

#### **Problema Técnico**

[0033] O código de LDPC é adotado em DVB-S.2, que é um padrão para radiodifusão digital de satélite e DVB-T.2, que é um padrão para radiodifusão digital terrestre da próxima geração. Ademais, é planejado adotar o código de LDPC em DVB-C.2, que é um padrão para radiodifusão digital de CATV (Televisão a Cabo) da próxima geração.

[0034] Em radiodifusão digital conforme um padrão para DVB tal

como DVB-S.2, um código de LDPC é convertido (simbolizado) em símbolos de modulação ortogonal (modulação digital) como QPSK (Chaveamento de Deslocamento de Fase em Quadratura), e os símbolos são mapeados a pontos de sinal e transmitidos.

[0035] Em simbolização de um código de LDPC, substituição de bits de código do código de LDPC é executada em uma unidade de dois ou mais bits, e bits de código depois de tal substituição são determinados como bits de um símbolo.

[0036] Enquanto vários métodos foram propostos como um método para substituição de bits de código para simbolização de um código de LDPC, proposta de um método que ademais melhora a tolerância a vários erros em comparação com métodos propostos já é exigida.

[0037] Ademais, também com respeito ao próprio código de LDPC, proposta de um código de LDPC que melhora a tolerância a erros em comparação com os códigos de LDPC prescritos em padrões de DVB tal como o padrão de DVB-S.2, é exigida.

[0038] A presente invenção foi feita levando em conta tal situação como descrita acima e torna possível melhorar a tolerância a erros.

### **Solução Técnica**

[0039] Um aparelho de processamento de dados ou um método de processamento de dados de um primeiro aspecto da presente invenção é um aparelho de processamento de dados ou um método de processamento de dados, em que, onde bits de código de um código de LDPC (Verificação de Paridade de Baixa Densidade) tendo um comprimento de código de  $N$  bits são escritos em uma direção de coluna de meio de armazenamento para armazenar os bits de código na direção de linha e na direção de coluna e  $m$  bits dos bits de código do código de LDPC lidos na direção de linha são fixados como um símbolo, e além disso um inteiro positivo predeterminado é representado por  $b$ , o meio de armazenamento armazena  $mb$  bits na direção de

linha e armazena  $N/(mb)$  bits na direção de coluna, os bits de código do código de LDPC a serem escritos na direção de coluna do meio de armazenamento e lidos na direção de linha, o aparelho de processamento de dados incluindo meio de substituição para ou uma etapa de substituição de substituir, em que os  $mb$  bits de código lidos na direção de linha do meio de armazenamento fixados como  $b$  símbolos, os  $mb$  bits de código de modo que os bits de código depois da substituição formem os bits de símbolo representativos dos símbolos, o código de LDPC sendo um código de LDPC que é prescrito no padrão de DVB-S.2 ou DVB-T.2 e que tem um comprimento de código  $N$  de 64.800 e tem uma taxa de codificação de  $2/3$ , os  $m$  bits sendo 8 bits enquanto o inteiro  $b$  é 2, os 8 bits do código de LDPC sendo mapeados como um símbolo aos 256 pontos de sinal prescritos em 256QAM, o meio de armazenamento tendo 16 colunas para armazenar  $8 \times 2$  bits na direção de linha e armazenando  $64.800/(8 \times 2)$  bits na direção de coluna, o meio de substituição executando, em que o  $i+1$ -ésimo bit do bit mais significativo dos  $8 \times 2$  bits de código lidos na direção de linha do meio de armazenamento é representado como bit  $b_i$  e o  $i+1$ -ésimo bit do bit mais significativo dos  $8 \times 2$  bits de símbolo de dois símbolos sucessivos é representado como bit  $y_i$ , substituição para alocar o bit  $b_0$  ao bit  $y_{15}$ , o bit  $b_1$  ao bit  $y_7$ , o bit  $b_2$  ao bit  $y_1$ , o bit  $b_3$  ao bit  $y_5$ , o bit  $b_4$  ao bit  $y_6$ , o bit  $b_5$  ao bit  $y_{13}$ , o bit  $b_6$  ao bit  $y_{11}$ , o bit  $b_7$  ao bit  $y_9$ , o bit  $b_8$  ao bit  $y_8$ , o bit  $b_9$  ao bit  $y_{14}$ , o bit  $b_{10}$  ao bit  $y_{12}$ , o bit  $b_{11}$  ao bit  $y_3$ , o bit  $b_{12}$  ao bit  $y_0$ , o bit  $b_{13}$  ao bit  $y_{10}$ , o bit  $b_{14}$  ao bit  $y_4$ , e o bit  $b_{15}$  ao bit  $y_2$ .

[0040] Em um tal primeiro aspecto como descrito acima, o código de LDPC é um código de LDPC que é prescrito no padrão de DVB-S.2 ou DVB-T.2 e que tem um comprimento de código  $N$  de 64.800 e tem uma taxa de codificação de  $2/3$ , e os  $m$  bits são 8 bits enquanto o inteiro  $b$  é 2. Os 8 bits do código de LDPC são mapeados como um símbolo aos 256 pontos de sinal prescritos em 256QAM. O meio de armazenamento tem 16 colunas para

armazenar  $8 \times 2$  bits na direção de linha e armazenar  $64.800/(8 \times 2)$  bits na direção de coluna. Neste exemplo, em que o  $i+1$ -ésimo bit do bit mais significativo dos  $8 \times 2$  bits de código lidos na direção de linha do meio de armazenamento é representado como bit  $b_i$  e o  $i+1$ -ésimo bit do bit mais significativo dos  $8 \times 2$  bits de símbolo de dois símbolos sucessivos é representado como bit  $y_i$ , substituição para alocar o bit  $b_0$  ao bit  $y_{15}$ , o bit  $b_1$  ao bit  $y_7$ , o bit  $b_2$  ao bit  $y_1$ , o bit  $b_3$  ao bit  $y_5$ , o bit  $b_4$  ao bit  $y_6$ , o bit  $b_5$  ao bit  $y_{13}$ , o bit  $b_6$  ao bit  $y_{11}$ , o bit  $b_7$  ao bit  $y_9$ , o bit  $b_8$  ao bit  $y_8$ , o bit  $b_9$  ao bit  $y_{14}$ , o bit  $b_{10}$  ao bit  $y_{12}$ , o bit  $b_{11}$  ao bit  $y_3$ , o bit  $b_{12}$  ao bit  $y_0$ , o bit  $b_{13}$  ao bit  $y_{10}$ , o bit  $b_{14}$  ao bit  $y_4$ , e o bit  $b_{15}$  ao bit  $y_2$ , é executada.

[0041] Um aparelho de codificação ou um método de codificação de um segundo aspecto da presente invenção é um aparelho de codificação ou um método de codificação, incluindo meio de codificação para ou uma etapa de codificação de executar codificação por um código de LDPC que tem um comprimento de código de 64.800 bits e uma taxa de codificação de  $2/3$ , uma matriz de verificação de paridade do código de LDPC sendo configurada tal que elementos do valor 1 de uma matriz de informação correspondendo ao comprimento de código da matriz de verificação de paridade e um comprimento de informação correspondendo à taxa de codificação decidida por uma matriz de verificação de paridade representativa de tabela de valor inicial das posições dos elementos do valor 1 da matriz de informação sejam arranjados em um período de todas as 360 colunas na direção de coluna, a tabela de valor inicial de matriz de verificação de paridade sendo formada de:

```

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407
21039
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245
21272 21379
127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954
21002

```

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236  
20393  
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884  
21325  
706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625  
20961 21335  
4257 10449 12406 14561 16049 16522 17214 18029 18033 18802  
19062 19526 20748  
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486  
16860  
777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392  
16419  
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516  
19344 19938  
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791  
20614 21025  
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140  
18729 20920  
856 1690 12787  
6532 7357 9151  
4210 16615 18152  
11494 14036 17470  
2474 10291 10323  
1778 6973 10739  
4347 9570 18748  
2189 11942 20666  
3868 7526 17706  
8780 14796 18268  
160 16232 17399

1285 2003 18922  
4658 17331 20361  
2765 4862 5875  
4565 5521 8759  
3484 7305 15829  
5024 17730 17879  
7031 12346 15024  
179 6365 11352  
2490 3143 5098  
2643 3101 21259  
4315 4724 13130  
594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776  
5246 10398 18597  
3083 4944 21021  
13726 18495 19921  
6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046

5862 10134 11498  
5923 9580 15060  
1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781  
10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761  
350 11659 18342  
5961 14803 16123  
2113 9163 13443  
2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408  
 8096 9738 14711  
 4935 8093 19266  
 2667 10062 15972  
 6389 11318 14417  
 8800 18137 18434  
 5824 5927 15314  
 6056 13168 15179  
 3284 13138 18919  
 13115 17259 17332.

[0042] Em um tal segundo aspecto como descrito acima, codificação por um código de LDPC cujo comprimento de código é 64.800 bits e cuja taxa de codificação é  $2/3$  é executada. A matriz de verificação de paridade do código de LDPC é configurada tal que elementos do valor 1 de uma matriz de informação, que corresponde ao comprimento de código da matriz de verificação de paridade e um comprimento de informação correspondendo à taxa de codificação decidida por uma matriz de verificação de paridade representativa de tabela de valor inicial das posições dos elementos do valor 1 da matriz de informação sejam arranjados em um período de todas as 360 colunas na direção de coluna. A tabela de valor inicial de matriz de verificação de paridade é formada de:

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739  
 17407 21039  
 1958 2007 3294 4394 12762 14505 14593 14692 16522 17737  
 19245 21272 21379  
 127 860 5001 5633 8644 9282 12690 14644 17553 19511  
 19681 20954 21002  
 2514 2822 5781 6297 8063 9469 9551 11407 11837 12985  
 15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434  
16727 19884 21325  
706 3220 8568 10896 12486 13663 16398 16599 19475 19781  
20625 20961 21335  
4257 10449 12406 14561 16049 16522 17214 18029 18033  
18802 19062 19526 20748  
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024  
14486 16860  
777 5906 7403 8550 8717 8770 11436 12846 13629 14755  
15688 16392 16419  
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072  
17516 19344 19938  
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437  
17791 20614 21025  
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733  
18140 18729 20920  
856 1690 12787  
6532 7357 9151  
4210 16615 18152  
11494 14036 17470  
2474 10291 10323  
1778 6973 10739  
4347 9570 18748  
2189 11942 20666  
3868 7526 17706  
8780 14796 18268  
160 16232 17399  
1285 2003 18922  
4658 17331 20361

2765 4862 5875  
4565 5521 8759  
3484 7305 15829  
5024 17730 17879  
7031 12346 15024  
179 6365 11352  
2490 3143 5098  
2643 3101 21259  
4315 4724 13130  
594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776  
5246 10398 18597  
3083 4944 21021  
13726 18495 19921  
6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046  
5862 10134 11498  
5923 9580 15060

1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781  
10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761  
350 11659 18342  
5961 14803 16123  
2113 9163 13443  
2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153  
13464 14787 14975  
799 1107 3789

3571 8176 10165  
5433 13446 15481  
3351 6767 12840  
8950 8974 11650  
1430 4250 21332  
6283 10628 15050  
8632 14404 16916  
6509 10702 16278  
15900 16395 17995  
8031 18420 19733  
3747 4634 17087  
4453 6297 16262  
2792 3513 17031  
14846 20893 21563  
17220 20436 21337  
275 4107 10497  
3536 7520 10027  
14089 14943 19455  
1965 3931 21104  
2439 11565 17932  
154 15279 21414  
10017 11269 16546  
7169 10161 16928  
10284 16791 20655  
36 3175 8475  
2605 16269 19290  
8947 9178 15420  
5687 9156 12408  
8096 9738 14711

4935 8093 19266  
2667 10062 15972  
6389 11318 14417  
8800 18137 18434  
5824 5927 15314  
6056 13168 15179  
3284 13138 18919  
13115 17259 17332.

[0043] É para ser notado que o aparelho de processamento de dados pode ser um aparelho independente ou pode ser um bloco interno que compõe um aparelho.

#### **Efeito Vantajoso**

[0044] De acordo com a presente invenção, a tolerância a erros pode ser melhorada.

#### **Descrição Breve dos Desenhos**

[0045] Figura 1 é uma vista ilustrando uma matriz de verificação de paridade H de um código de LDPC.

[0046] Figura 2 é um fluxograma ilustrando um procedimento de decodificação de um código de LDPC.

[0047] Figura 3 é uma vista ilustrando um exemplo de uma matriz de erro de paridade de um código de LDPC.

[0048] Figura 4 é uma vista mostrando um gráfico de Tanner de uma matriz de verificação de paridade.

[0049] Figura 5 é uma vista mostrando um nó de variável.

[0050] Figura 6 é uma vista mostrando um nó de verificação.

[0051] Figura 7 é uma vista mostrando um exemplo de uma configuração de uma concretização de um sistema de transmissão ao qual a presente invenção é aplicada.

[0052] Figura 8 é um diagrama de bloco mostrando um exemplo de

uma configuração de um aparelho de transmissão 11.

[0053] Figura 9 é uma vista ilustrando uma matriz de verificação de paridade.

[0054] Figura 10 é uma vista ilustrando uma matriz de paridade.

[0055] Figura 11 é uma vista ilustrando uma matriz de verificação de paridade de um código de LDPC e pesos de coluna prescritos no padrão de DVB-S.2.

[0056] Figura 12 é uma vista ilustrando um arranjo de ponto de sinal de 16QAM.

[0057] Figura 13 é uma vista ilustrando um arranjo de ponto de sinal de 64QAM.

[0058] Figura 14 é uma vista ilustrando um arranjo de ponto de sinal de 64QAM.

[0059] Figura 15 é uma vista ilustrando um arranjo de ponto de sinal de 64QAM.

[0060] Figura 16 é uma vista ilustrando processamento de um desmultiplexador 25.

[0061] Figura 17 é uma vista ilustrando processamento do desmultiplexador 25.

[0062] Figura 18 é uma vista mostrando um gráfico de Tanner relativo à decodificação de um código de LDPC.

[0063] Figura 19 é uma vista mostrando uma matriz de paridade  $H_T$  tendo uma estrutura de escada e um gráfico de Tanner correspondendo à matriz de paridade  $H_T$ .

[0064] Figura 20 é uma vista mostrando a matriz de paridade  $H_T$  de uma matriz de verificação de paridade  $H$  correspondendo ao código de LDPC depois de intercalação de paridade.

[0065] Figura 21 é uma vista ilustrando uma matriz de verificação de paridade de conversão.

[0066] Figura 22 é uma vista ilustrando processamento de um intercalador de torção de coluna 24.

[0067] Figura 23 é uma vista ilustrando números de coluna de uma memória 31 necessária para a intercalação de torção de coluna e endereços de posições de começo de escrita.

[0068] Figura 24 é uma vista ilustrando números de coluna da memória 31 necessária para a intercalação de torção de coluna e endereços de posições de começo de escrita.

[0069] Figura 25 é um fluxograma ilustrando um processo de transmissão.

[0070] Figura 26 é uma vista mostrando um modelo de um trajeto de comunicação adotado em uma simulação.

[0071] Figura 27 é uma vista ilustrando uma relação entre uma taxa de erro obtida pela simulação e uma frequência de Doppler  $f_d$  de uma oscilação.

[0072] Figura 28 é uma vista ilustrando uma relação entre uma taxa de erro obtida pela simulação e uma frequência de Doppler  $f_d$  de uma oscilação.

[0073] Figura 29 é um diagrama de bloco mostrando um exemplo de uma configuração de uma seção de codificação de LDPC 21.

[0074] Figura 30 é um fluxograma ilustrando um processo de seção de codificação de LDPC.

[0075] Figura 31 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $2/3$  e um comprimento de código de 16.200.

[0076] Figura 32 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $2/3$  e um comprimento de código de 64.800.

[0077] Figura 33 é uma vista ilustrando a tabela de valor inicial de

matriz de verificação de paridade da taxa de codificação de  $2/3$  e o comprimento de código de 64.800.

[0078] Figura 34 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $2/3$  e o comprimento de código de 64.800.

[0079] Figura 35 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $3/4$  e um comprimento de código de 16.200.

[0080] Figura 36 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $3/4$  e um comprimento de código de 64.800.

[0081] Figura 37 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/4$  e o comprimento de código de 64.800.

[0082] Figura 38 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/4$  e o comprimento de código de 64.800.

[0083] Figura 39 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/4$  e o comprimento de código de 64.800.

[0084] Figura 40 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $4/5$  e um comprimento de código de 16.200.

[0085] Figura 41 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $4/5$  e um comprimento de código de 64.800.

[0086] Figura 42 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $4/5$  e o comprimento de código de 64.800.

[0087] Figura 43 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 4/5 e o comprimento de código de 64.800.

[0088] Figura 44 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 4/5 e o comprimento de código de 64.800.

[0089] Figura 45 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 5/6 e um comprimento de código de 16.200.

[0090] Figura 46 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 5/6 e um comprimento de código de 64.800.

[0091] Figura 47 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[0092] Figura 48 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[0093] Figura 49 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[0094] Figura 50 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 8/9 e um comprimento de código de 16.200.

[0095] Figura 51 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o comprimento de código de 64.800.

[0096] Figura 52 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o

comprimento de código de 64.800.

[0097] Figura 53 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $8/9$  e o comprimento de código de 64.800.

[0098] Figura 54 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $8/9$  e o comprimento de código de 64.800.

[0099] Figura 55 é uma vista ilustrando uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $9/10$  e um comprimento de código de 64.800.

[00100] Figura 56 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $9/10$  e o comprimento de código de 64.800.

[00101] Figura 57 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $9/10$  e o comprimento de código de 64.800.

[00102] Figura 58 é uma vista ilustrando a tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $9/10$  e o comprimento de código de 64.800.

[00103] Figura 59 é uma vista ilustrando um método de determinar uma matriz de verificação de paridade H de uma tabela inicial de matriz de verificação de paridade.

[00104] Figura 60 é uma vista ilustrando um processo de substituição conforme os métodos existentes.

[00105] Figura 61 é uma vista ilustrando um processo de substituição conforme os métodos existentes.

[00106] Figura 62 é uma vista ilustrando grupos de bit de código e grupos de bit de símbolo onde um código de LDPC tendo um comprimento de código de 64.800 e uma taxa de codificação de  $2/3$  é modulado por 256QAM

e o múltiplo  $b$  é 2.

[00107] Figura 63 é uma vista ilustrando uma regra de alocação onde um código de LDPC que tem um comprimento de código de 64.800 e uma taxa de codificação de  $2/3$  é modulado por 256QAM e o múltiplo  $b$  é 2.

[00108] Figura 64 é uma vista ilustrando substituição de bits de código conforme a regra de alocação onde um código de LDPC tendo um comprimento de código de 64.800 e uma taxa de codificação de  $2/3$  é modulado por 256QAM e o múltiplo  $b$  é 2.

[00109] Figura 65 é uma vista ilustrando BERs onde um processo de substituição de um novo método de substituição e onde um processo de substituição de um método existente é executado.

[00110] Figura 66 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade para um código de LDPC cujo  $E_b/N_0$  como um valor de limiar de desempenho é melhor que aquela de um código padrão.

[00111] Figura 67 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade para um código de LDPC cujo  $E_b/N_0$  como um valor de limiar de desempenho é melhor que aquela do código padrão.

[00112] Figura 68 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade para um código de LDPC cujo  $E_b/N_0$  como um valor de limiar de desempenho é melhor que aquela do código padrão.

[00113] Figura 69 é uma vista ilustrando relações do  $E_s/N_0$  e a BER relativa ao código padrão e um código proposto.

[00114] Figura 70 é um diagrama de bloco mostrando um exemplo de uma configuração de um aparelho de recepção 12.

[00115] Figura 71 é um fluxograma ilustrando um processo de recepção.

[00116] Figura 72 é uma vista ilustrando um exemplo de uma matriz de verificação de paridade de um código de LDPC.

[00117] Figura 73 é uma vista ilustrando uma matriz (matriz de verificação de paridade de conversão) obtida aplicando substituição de linha e substituição de coluna a uma matriz de verificação de paridade.

[00118] Figura 74 é uma vista ilustrando uma matriz de verificação de paridade de conversão dividida em uma unidade de  $5 \times 5$  bits.

[00119] Figura 75 é um diagrama de bloco mostrando um exemplo de uma configuração de um aparelho de decodificação no qual operação matemática de nó é executada coletivamente para P nós.

[00120] Figura 76 é um diagrama de bloco mostrando um exemplo de uma configuração de uma seção de decodificação de LDPC 56.

[00121] Figura 77 é um diagrama de bloco mostrando um exemplo de uma configuração de uma concretização de um computador ao qual a presente invenção é aplicada.

[00122] Figura 78 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $2/3$  e um comprimento de código de 16.200.

[00123] Figura 79 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $2/3$  e um comprimento de código de 64.800.

[00124] Figura 80 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $2/3$  e o comprimento de código de 64.800.

[00125] Figura 81 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $2/3$  e o comprimento de código de 64.800.

[00126] Figura 82 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação

de 3/4 e um comprimento de código de 16.200.

[00127] Figura 83 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 3/4 e um comprimento de código de 64.800.

[00128] Figura 84 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 3/4 e o comprimento de código de 64.800.

[00129] Figura 85 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 3/4 e o comprimento de código de 64.800.

[00130] Figura 86 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 3/4 e o comprimento de código de 64.800.

[00131] Figura 87 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 4/5 e um comprimento de código de 16.200.

[00132] Figura 88 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 4/5 e um comprimento de código de 64.800.

[00133] Figura 89 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 4/5 e o comprimento de código de 64.800.

[00134] Figura 90 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 4/5 e o comprimento de código de 64.800.

[00135] Figura 91 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 4/5 e o comprimento de código de 64.800.

[00136] Figura 92 é uma vista ilustrando um exemplo de uma tabela de

valor inicial de matriz de verificação de paridade de uma taxa de codificação de 5/6 e um comprimento de código de 16.200.

[00137] Figura 93 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 5/6 e um comprimento de código de 64.800.

[00138] Figura 94 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[00139] Figura 95 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[00140] Figura 96 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 5/6 e o comprimento de código de 64.800.

[00141] Figura 97 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 8/9 e um comprimento de código de 16.200.

[00142] Figura 98 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o comprimento de código de 64.800.

[00143] Figura 99 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o comprimento de código de 64.800.

[00144] Figura 100 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o comprimento de código de 64.800.

[00145] Figura 101 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 8/9 e o comprimento de código de 64.800.

[00146] Figura 102 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 9/10 e um comprimento de código de 64.800.

[00147] Figura 103 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 9/10 e o comprimento de código de 64.800.

[00148] Figura 104 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 9/10 e o comprimento de código de 64.800.

[00149] Figura 105 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 9/10 e o comprimento de código de 64.800.

[00150] Figura 106 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 1/4 e um comprimento de código de 64.800.

[00151] Figura 107 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 1/4 e o comprimento de código de 64.800.

[00152] Figura 108 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 1/3 e um comprimento de código de 64.800.

[00153] Figura 109 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 1/3 e o comprimento de código de 64.800.

[00154] Figura 110 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de 2/5 e um comprimento de código de 64.800.

[00155] Figura 111 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de 2/5 e o

comprimento de código de 64.800.

[00156] Figura 112 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $1/2$  e um comprimento de código de 64.800.

[00157] Figura 113 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $1/2$  e o comprimento de código de 64.800.

[00158] Figura 114 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $1/2$  e o comprimento de código de 64.800.

[00159] Figura 115 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $3/5$  e um comprimento de código de 64.800.

[00160] Figura 116 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/5$  e o comprimento de código de 64.800.

[00161] Figura 117 é uma vista ilustrando o exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/5$  e o comprimento de código de 64.800.

[00162] Figura 118 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $1/4$  e um comprimento de código de 16.200.

[00163] Figura 119 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $1/3$  e um comprimento de código de 16.200.

[00164] Figura 120 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $2/5$  e um comprimento de código de 16.200.

[00165] Figura 121 é uma vista ilustrando um exemplo de uma tabela

de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $1/2$  e um comprimento de código de 16.200.

[00166] Figura 122 é uma vista ilustrando um exemplo de uma tabela de valor inicial de matriz de verificação de paridade de uma taxa de codificação de  $3/5$  e um comprimento de código de 16.200.

[00167] Figura 123 é uma vista ilustrando outro exemplo da tabela de valor inicial de matriz de verificação de paridade da taxa de codificação de  $3/5$  e o comprimento de código de 16.200.

[00168] Figura 124 é uma vista ilustrando um método de determinar uma matriz de verificação de paridade H de uma tabela inicial de matriz de verificação de paridade.

[00169] Figura 125 é uma vista ilustrando um exemplo de substituição de bits de código.

[00170] Figura 126 é uma vista ilustrando outro exemplo de substituição de bits de código.

[00171] Figura 127 é uma vista ilustrando um exemplo adicional de substituição de bits de código.

[00172] Figura 128 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00173] Figura 129 é uma vista ilustrando um resultado de simulação da BER.

[00174] Figura 130 é uma vista ilustrando outro resultado de simulação da BER.

[00175] Figura 131 é uma vista ilustrando um resultado de simulação adicional da BER.

[00176] Figura 132 é uma vista ilustrando um resultado de simulação imóvel da BER.

[00177] Figura 133 é uma vista ilustrando um exemplo de substituição de bits de código.

[00178] Figura 134 é uma vista ilustrando outro exemplo de substituição de bits de código.

[00179] Figura 135 é uma vista ilustrando um exemplo adicional de substituição de bits de código.

[00180] Figura 136 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00181] Figura 137 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00182] Figura 138 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00183] Figura 139 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00184] Figura 140 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00185] Figura 141 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00186] Figura 142 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00187] Figura 143 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00188] Figura 144 é uma vista ilustrando um exemplo ainda adicional de substituição de bits de código.

[00189] Figura 145 é uma vista ilustrando processo de um multiplexador 54 que compõe um desintercalador 53.

[00190] Figura 146 é uma vista ilustrando processo de um desintercalador de torção de coluna 55.

[00191] Figura 147 é um diagrama de bloco mostrando outro exemplo de uma configuração do aparelho de recepção 12.

[00192] Figura 148 é um diagrama de bloco mostrando um primeiro

exemplo de uma configuração de um sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

[00193] Figura 149 é um diagrama de bloco mostrando um segundo exemplo da configuração do sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

[00194] Figura 150 é um diagrama de bloco mostrando um terceiro exemplo da configuração do sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

### **Explicação de Símbolos de Referência**

[00195] 11- Aparelho de transmissão, 12- Aparelho de recepção, 21- Seção de codificação de LDPC, 22- Intercalador de bit, 23- Intercalador de paridade, 24- Intercalador de torção de coluna, 25- Desmultiplexador, 26- Seção de mapeamento, 27- Seção de modulação ortogonal, 31- Memória, 32- Seção de substituição, 51- Seção de demodulação ortogonal, 52- Seção de desmapeamento, 53- Desintercalador, 54- Multiplexador, 55- Desintercalador de torção de coluna, 56- Seção de decodificação de LDPC, 300- Memória de armazenamento de dados de borda, 301- Seletor, 302- Seção de cálculo de nó de verificação, 303- Circuito de deslocamento cíclico, 304- Memória de armazenamento de dados de borda, 305- Seletor, 306- Memória de dados de recepção, 307- Seção de cálculo de nó de variável, 308- Circuito de deslocamento cíclico, 309- Seção de cálculo de palavra decodificada, 310- Seção de rearranjo de dados de recepção, 311- Seção de rearranjo de dados decodificados, 601- Bloco de processamento de codificação, 602- Bloco de armazenamento, 611- Porção de colocação de taxa de codificação, 612- Porção de leitura de tabela de valor de inicial, 613- Porção de produção de matriz de verificação de paridade, 614- Porção de leitura de bit de informação, 615- Porção de operação matemática de paridade de codificação, 616- Porção de controle, 701- Barramento, 702- CPU, 703- ROM, 704- RAM, 705- Disco rígido, 706- Seção de saída, 707- Seção de entrada, 708- Seção de

comunicação, 709- Unidade de disco, 710- Interface de entrada/saída, 711- Meio de gravação removível, 1001- Seção de substituição inversa, 1002- Memória, 1011- Desintercalador de paridade, 1021- Seção de decodificação de LDPC, 1101- Seção de aquisição, 1101- Seção de processamento de decodificação de linha de transmissão, 1103- Seção de processamento de decodificação de fonte de informação, 1111- Seção de saída, 1121- Seção de gravação.

### **Melhor Modo para Executar a Invenção**

[00196] Figura 7 mostra um exemplo de uma configuração de uma concretização de um sistema de transmissão ao qual a presente invenção é aplicada (o termo sistema significa um agregado lógico de uma pluralidade de aparelhos independente de se ou não o aparelho de componente individual está incluído no mesmo alojamento).

[00197] Se referindo à Figura 7, o sistema de transmissão inclui um aparelho de transmissão 11 e um aparelho de recepção 12.

[00198] O aparelho de transmissão 11 executa, por exemplo, transmissão (radiodifusão) (transferência) de um programa de radiodifusão de televisão. Quer dizer, o aparelho de transmissão 11, por exemplo, codifica dados de objeto que são um objeto de transmissão tais como dados de imagem, dados de som e assim sucessivamente como um programa de radiodifusão de televisão em um código de LDPC e transmite os dados resultantes, por exemplo, por um trajeto de comunicação 13 como um canal de satélite, ondas terrestres e rede de CATV.

[00199] O aparelho de recepção 12 é, por exemplo, um sintonizador, um receptor de televisão ou um STB (Conversor de TV) para receber um programa de radiodifusão de televisão ou PC (Computador Pessoal) para receber IPTV (Televisão de Protocolo de Internet), e recebe códigos de LDPC transmitidos a ele do aparelho de transmissão 11 por um trajeto de comunicação 13, decodifica os códigos de LDPC em dados de objeto e

produz os dados de objeto.

[00200] Aqui, foi conhecido que códigos de LDPC utilizados no sistema de transmissão na Figura 7 exibem uma capacidade muito alta em um trajeto de comunicação de AWGN (Ruído Gaussiano Branco Aditivo).

[00201] Porém, no trajeto de comunicação tais como ondas terrestres, erros de salva ou rasura às vezes ocorrem. Por exemplo, em um sistema de OFDM (Multiplexação por Divisão de Frequência Ortogonal), em um ambiente de multi-trajeto em que a D/U (Relação de Desejada para Indesejada) é 0 dB (potência de Indesejada = eco é igual à potência de Desejada = trajeto principal), a potência de um símbolo particular se torna zero (rasura) em resposta a um atraso de um eco (trajetos diferentes do trajeto principal).

[00202] Ademais, também em uma oscilação (trajeto de comunicação no qual um eco cujo atraso é zero e para qual uma frequência de Doppler (doppler) é aplicada é adicionado), em que a D/U é 0 dB, um caso em que a potência de um símbolo de OFDM inteiro a um ponto específico de tempo é reduzida a zero (rasura) pela frequência de Doppler ocorre.

[00203] Ademais, de uma situação de linhas por fios no lado de aparelho de recepção 12 de uma seção de recepção (não mostrada) tal como uma antena ou similar para receber um sinal do aparelho de transmissão 11 para o aparelho de recepção 12 ou de instabilidade da fonte de energia para o aparelho de recepção 12, erros de salva às vezes aparecem.

[00204] Enquanto isso, decodificação de códigos de LDPC, como operação matemática de nó de variável da expressão (1) em que adição de (valores de recepção  $u_{0i}$  de) bits de código de um código de LDPC como visto na Figura 5 acima descrita é executada em uma coluna da matriz de verificação de paridade  $H$  e conseqüentemente um nó de variável correspondendo a um bit de código do código de LDPC, se um erro ocorrer com o bit de código usado para a operação matemática de nó de variável,

então a precisão de uma mensagem a ser determinada cai.

Então, desde que, em decodificação do código de LDPC, a mensagem determinada no nó de variável conectando ao nó de verificação é usada para executar operação matemática de nó de verificação da expressão (7) no nó de verificação, se o número de nós de verificação onde (bits de código do código de LDPC correspondendo a) uma pluralidade de nós de variável conectados a isso exibirem um erro (incluindo rasura) ao mesmo tempo fica grande, então o desempenho da decodificação deteriora.

[00205] Por exemplo, se dois ou mais dos nós de variável conectados ao nó de verificação sofrerem de rasura ao mesmo tempo, então o nó de verificação retorna uma mensagem que a probabilidade que o valor pode ser 0 e a probabilidade que o valor pode ser 1 são iguais entre si para todos os nós de variável. Neste exemplo, aqueles nós de verificação aos quais a mensagem das probabilidades iguais não contribui a um ciclo de processamento de decodificação (um conjunto de operação matemática de nó de variável e operação matemática de nó de verificação), e como resultado, um número aumentado de vezes de repetição de processamento de decodificação é requerido. Conseqüentemente, o desempenho da decodificação deteriora. Ademais, o consumo de energia de um aparelho de recepção 12 que executa decodificação dos códigos de LDPC aumenta.

[00206] Por conseguinte, o sistema de transmissão mostrado na Figura 7 é configurado de modo que a tolerância a erros de rasura seja melhorada enquanto o desempenho em um trajeto de comunicação de AWGN é mantido.

[00207] Figura 8 mostra um exemplo de uma configuração do aparelho de transmissão 11 da Figura 7.

[00208] Se referindo à Figura 8, o aparelho de transmissão 11 inclui uma seção de codificação de LDPC 21, um intercalador de bit 22, uma seção de mapeamento 26 e uma seção de modulação ortogonal 27.

[00209] À seção de codificação de LDPC 21, dados de objeto são providos.

[00210] A seção de codificação de LDPC 21 executa codificação de LDPC dos dados de objeto providos a ela conforme uma matriz de verificação de paridade na qual uma matriz de paridade que é uma porção correspondendo a bits de paridade de um código de LDPC tem uma estrutura de escada e produz um código de LDPC em que os dados de objeto são bits de informação.

[00211] Em particular, a seção de codificação de LDPC 21 executa codificação de LDPC de codificar os dados de objeto em um código de LDPC prescrito, por exemplo, nos padrões de DVB-S.2 ou DVB-T.2 e produz um código de LDPC obtido como um resultado da codificação de LDPC.

[00212] Aqui, no padrão de DVB-T.2, é programado adotar os códigos de LDPC prescritos no padrão de DVB-S.2. O código de LDPC prescrito no padrão de DVB-S.2 é um código de IRA (Repetição Acumulação Irregular), e a matriz de paridade na matriz de verificação de paridade do código de LDPC tem uma estrutura de escada. A matriz de paridade e a estrutura de escada são descritas em seguida. Ademais, o código de IRA é descrito, por exemplo, em “Irregular Repeat-Accumulate Codes”, H. Jin., A. Khandekar, e R. J. McEliece, em de “Proceedings of 2nd International Symposium on Turbo codes and Related Topics”, p.1-8, setembro de 2000.

[00213] O código de LDPC produzido da seção de codificação de LDPC 21 é provido ao intercalador de bit 22.

[00214] O intercalador de bit 22 é um aparelho de processamento de dados para intercalar dados e inclui um intercalador de paridade 23, um intercalador de torção de coluna 24 e um desmultiplexador (DEMUX) 25.

[00215] O intercalador de paridade 23 executa intercalação de paridade de bits de intercalação de paridade do código de LDPC da seção de codificação de LDPC 21 a posições de outros bits de paridade e provê o

código de LDPC depois da intercalação de paridade ao intercalador de torção de coluna 24.

[00216] O intercalador de torção de coluna 24 executa intercalação de torção de coluna para o código de LDPC do intercalador de paridade 23 e provê o código de LDPC depois da intercalação de torção de coluna ao desmultiplexador 25.

[00217] Em particular, o código de LDPC é transmitido depois que dois ou mais bits de código disso são mapeados a pontos de sinal representando um símbolo de modulação ortogonal pela seção de mapeamento 26 descrita em seguida.

[00218] O intercalador de torção de coluna 24 executa, por exemplo, tal intercalação de torção de coluna como descrita em seguida como um processo de rearranjo de rearranjar bits de código do código de LDPC do intercalador de paridade 23 de modo que uma pluralidade de bits de código do código de LDPC correspondendo ao valor 1 incluído em uma linha arbitrária da matriz de verificação de paridade usada na seção de codificação de LDPC 21 não seja incluída em um símbolo.

[00219] O desmultiplexador 25 executa um processo de substituição de substituir as posições de dois ou mais bits de código do código de LDPC (que são para serem um símbolo) do intercalador de torção de coluna 24 para obter um código de LDPC cuja tolerância a AWGN é reforçada. Então, o desmultiplexador 25 provê dois ou mais bits de código de um código de LDPC obtido pelo processo de substituição como um símbolo para a seção de mapeamento 26.

[00220] A seção de mapeamento 26 mapeia o símbolo do desmultiplexador 25 a pontos de sinal determinados por um método de modulação de modulação ortogonal (modulação de multi-valor) executada pela seção de modulação ortogonal 27.

[00221] Em particular, a seção de mapeamento 26 mapeia o código de

LDPC do desmultiplexador 25 em um ponto de sinal determinado pelo sistema de modulação, em um plano IQ (constelação IQ) definido por um eixo I representativo de um componente I que está em fase com portadora e um eixo Q representativo de um componente Q que é ortogonal à onda portadora.

[00222] Aqui, como o método de modulação de modulação ortogonal executada pela seção de modulação ortogonal 27, métodos de modulação incluindo, por exemplo, um método de modulação definido nos padrões de DVB-T, quer dizer, por exemplo, QPSK (Chaveamento de Deslocamento de Fase em Quadratura), 16QAM (Modulação de Amplitude de Quadratura), 64QAM, 256QAM, 1024QAM, 4096QAM e assim sucessivamente estão disponíveis. Qual método de modulação deveria ser usado para modulação ortogonal a ser executada pela seção de modulação ortogonal 27 é fixado com antecedência, por exemplo, conforme uma operação do aparelho de transmissão 11 por um operador. É para ser notado que a seção de modulação ortogonal 27 pode executar alguma outra modulação ortogonal, por exemplo, 4PAM (Modulação de Amplitude de Pulso).

[00223] O símbolo mapeado a um ponto de sinal pela seção de mapeamento 26 é provido à seção de modulação ortogonal 27.

[00224] A seção de modulação ortogonal 27 executa modulação ortogonal de uma portadora conforme (o símbolo mapeado a) o ponto de sinal da seção de mapeamento 26 e transmite um sinal de modulação obtido pela modulação ortogonal pelo trajeto de comunicação 13 (Figura 7).

[00225] Agora, a figura 9 ilustra uma matriz de verificação de paridade H usada em codificação de LDPC pela seção de codificação de LDPC 21 da Figura 8.

[00226] A matriz de verificação de paridade H tem uma estrutura de LDGM (Matriz de Geração de Baixa Densidade) e pode ser representada por uma expressão  $H = [H_A | H_T]$  de uma matriz de informação  $H_A$  de uma porção

correspondendo a bits de informação e uma matriz de paridade  $H_T$  correspondendo a bits de paridade dentre bits de código do código de LDPC (matriz na qual elementos da matriz de informação  $H_A$  são elementos no lado esquerdo e elementos da matriz de paridade  $H_T$  são elementos no lado direito).

[00227] Aqui, o número de bit de bits de informação e o número de bit de bits de paridade dentre bits de código de um código de LDPC (uma palavra-código) é chamado comprimento de informação  $K$  e comprimento de paridade  $M$ , e o número de bit de bits de código de um código de LDPC é chamado comprimento de código  $N (= K + M)$ .

[00228] O comprimento de informação  $K$  e o comprimento de paridade  $M$  relativo a um código de LDPC de um certo comprimento de código  $N$  dependem da taxa de codificação. Enquanto isso, a matriz de verificação de paridade  $H$  é uma matriz cujas linhas  $\times$  colunas são  $M \times N$ . Então, a matriz de informação  $H_A$  é uma matriz  $M \times K$  e a matriz de paridade  $H_T$  é uma matriz  $M \times M$ .

[00229] Figura 10 ilustra a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H$  de um código de LDPC prescrito no padrão de DVB-S.2 (e DVB-T.2).

[00230] A matriz de paridade  $H_T$  da matriz de verificação de paridade  $H$  do código de LDPC prescrito no padrão de DVB-S.2 tem uma estrutura de escada em que elementos do valor 1 são arranjados como uma escada como visto na Figura 10. O peso de linha da matriz de paridade  $H_T$  é 1 com respeito à primeira linha, mas é 2 com respeito a todas as linhas restantes. Enquanto isso, o peso de coluna é 1 com respeito à última coluna, mas é 2 com respeito a todas as colunas restantes.

[00231] Como descrito acima, o código de LDPC da matriz de verificação de paridade  $H$  em que a matriz de paridade  $H_T$  tem uma estrutura de escada pode ser produzido usando prontamente a matriz de verificação de

paridade H.

[00232] Em particular, um código de LDPC (uma palavra-código) é representado por um vetor de linha  $c$  e um vetor de coluna obtidos transpondo o vetor de linha é representado por  $C^T$ . Ademais, uma porção de bits de informação de dentro o vetor de linha  $c$  que é um código de LDPC é representado por um vetor de linha  $A$  e uma porção de bits de paridade é representada por um vetor de linha  $T$ .

[00233] Aqui, neste exemplo, o vetor de linha  $c$  pode ser apresentado por uma expressão  $c = [A|T]$  do vetor de linha  $A$  como bits de informação e o vetor de linha  $T$  como bits de paridade (vetor de linha em que os elementos do vetor de linha  $A$  são elementos no lado esquerdo e os elementos do vetor de linha  $T$  são elementos no lado direito).

[00234] É necessário para a matriz de verificação de paridade  $H$  e o vetor de linha  $c = [A|T]$  como o código de LDPC satisfazer uma expressão  $Hc^T = 0$ , e em que a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H = [H_A|H_T]$  tem uma tal estrutura de escada como mostrada na Figura 10, o vetor de linha  $T$  como bits de paridade que forma o vetor de linha  $c = [A|T]$  que satisfaz a expressão  $Hc^T = 0$  podem ser determinados seqüencialmente fixando sucessivamente os elementos nas linhas começando com os elementos na primeira linha do vetor de coluna  $Hc^T$  na expressão  $Hc^T = 0$  a zero.

[00235] Figura 11 ilustra a matriz de verificação de paridade  $H$  de um código de LDPC e pesos de coluna definidos no padrão de DVB-S.2 (e DVB-T.2).

[00236] Em particular, a figura 11A ilustra a matriz de verificação de paridade  $H$  de um código de LDPC definido no padrão de DVB-S.2.

[00237] Com respeito a  $KX$  colunas da primeira coluna da matriz de verificação de paridade  $H$ , o peso de coluna é  $X$ ; com respeito a  $K3$  colunas sucessivas, o peso de coluna é 3; com respeito a  $M-1$  linhas sucessivas, o peso

de coluna é 2; e com respeito à última coluna, o peso de coluna é 1.

[00238] Aqui,  $KX + K3 + M - 1 + 1$  é igual ao comprimento de código N.

[00239] No padrão de DVB-S.2, a números de coluna KX, K3 e M (comprimento de paridade) como também o peso de coluna X são prescritos de tal maneira como visto na Figura 11B.

[00240] Em particular, a figura 11B ilustra os números de coluna KX, K3 e M como também o peso de coluna X considerando taxas de codificação diferentes de códigos de LDPC prescritos no padrão de DVB-S.2.

[00241] No padrão de DVB-S.2, códigos de LDPC dos comprimentos de código N de 64.800 bits e 16.200 bits são prescritos.

[00242] E como visto na Figura 11B, porque o código de LDPC cujo comprimento de código N é 64.800 bits, 11 taxas de codificação (taxas nominais)  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$ ,  $8/9$  e  $9/10$  são prescritas, e para o código de LDPC cujo comprimento de código N é 16.200 bits, 10 taxas de codificação  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$  e  $8/9$  são prescritas.

[00243] Relativo a códigos de LDPC, é conhecido que bits de código correspondendo a uma coluna da matriz de verificação de paridade H que tem um peso de coluna mais alto exibem uma taxa de erro mais baixa.

[00244] A matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e ilustrada na Figura 11 tem uma tendência que uma coluna mais próxima ao lado de cabeça (lado de esquerda) tem um peso de coluna mais alto. Por conseguinte, o código de LDPC correspondendo à matriz de verificação de paridade H tem uma tendência que um bit de código mais próximo à cabeça é mais alto em tolerância a um erro (tem uma tolerância mais alta a um erro) e um bit de código mais próximo à cauda é mais baixo em tolerância a um erro.

[00245] Figura 12 ilustra um arranjo de (pontos de sinal correspondendo a) 16 símbolos no plano IQ em que 16QAM é executado pela

seção de modulação ortogonal 27 da Figura 8.

[00246] Em particular, a figura 12A ilustra símbolos de 16QAM.

[00247] Em 16QAM, um símbolo representa 4 bits, e 16 ( $= 2^4$ ) símbolos existem. Então, os 16 símbolos estão dispostos de modo que eles formem uma forma quadrada de  $4 \times 4$  símbolos na direção I  $\times$  direção Q centrada na origem do plano IQ.

[00248] Agora, se o  $i+1$ -ésimo bit do bit mais significativo da carreira de bit representada por um símbolo for representado como bit  $y_i$ , então 4 bits representados por um símbolo de 16QAM podem ser representados como bits  $y_0, y_1, y_2$  e  $y_3$  em ordem começando com o bit mais significativo. Onde o método de modulação é 16QAM, 4 bits de código do código de LDPC são fixados (simbolizados) como um símbolo (valor de símbolo) dos 4 bits  $y_0$  a  $y_3$ .

[00249] Figura 12B indica limites de bit relativo aos 4 bits (em seguida, também é chamado bit de símbolo)  $y_0$  a  $y_3$  representado pelo símbolo do 16QAM.

[00250] Aqui, um limite de bit relativo a um bit de símbolo  $y_i$  (na Figura 12,  $i = 0, 1, 2, 3$ ) significa um limite entre um símbolo cujo bit  $y_i$  é 0 e outro símbolo cujos bit  $y_i$  é 1.

[00251] Como visto na Figura 12B, com respeito ao bit de símbolo mais significativo  $y_0$  dentre os 4 bits de símbolo  $y_0$  a  $y_3$  representados pelo símbolo de 16QAM, só um local do eixo Q no plano IQ faz um limite de bit, e com relação ao segundo bit de símbolo  $y_1$  (segundo do bit mais significativo), só um local do eixo I no plano IQ faz um limite de bit.

[00252] Ademais, com relação ao terceiro bit de símbolo  $y_2$ , cada um de dois locais entre a primeira e segunda colunas e entre a terceira e quarta colunas da esquerda dos  $4 \times 4$  símbolos faz um limite.

[00253] Além disso, com respeito ao quarto bit de símbolo  $y_3$ , cada um de dois locais entre a primeira e segunda linhas e entre a terceira e quarta

linhas dos  $4 \times 4$  símbolos faz um limite.

[00254] O bit de símbolo  $y_1$  representado por um símbolo é menos provável ficar errôneo e fica mais baixo em probabilidade de erro quando o número de símbolos espaçados longe de um limite de bit aumenta, mas é mais provável ficar errôneo e fica mais alto em probabilidade de erro quando o número de símbolos posicionados mais próximo a um limite de bit aumenta.

[00255] Se um bit que é menos provável ficar errôneo (é tolerante a um erro) for chamado “bit forte”, mas um bit que é mais provável ficar errôneo (é menos tolerante a um erro) for chamado “bit fraco”, então com respeito aos 4 bits de símbolo  $y_0$  a  $y_3$  representados por símbolos de 16QAM, o bit de símbolo mais significativo  $y_0$  e o segundo bit de símbolo  $y_1$  são bits fortes e o terceiro bit de símbolo  $y_2$  e o quarto bit de símbolo  $y_3$  são bits fracos.

[00256] Figuras 13 a 15 ilustram arranjos de (pontos de sinal correspondendo a) 64 símbolos no plano IQ, em que 64QAM é executado pela seção de modulação ortogonal 27 da Figura 8.

[00257] Em 64QAM, um símbolo representa 6 bits, e  $64 (= 2^6)$  símbolos existem. Então, os 64 símbolos são arranjados de modo que eles façam um quadrado de  $8 \times 8$  símbolos na direção I  $\times$  direção Q centrada na origem do plano de IQ.

[00258] Os bits de símbolo representados por um símbolo de 64QAM podem ser representados como bits  $y_0, y_1, y_2, y_3, y_4$  e  $y_5$  em ordem começando com o bit mais significativo. Em que o método de modulação é 64QAM, 6 bits de código do código de LDPC são fixados (simbolizados) como um símbolo dos 6 bits  $y_0$  a  $y_5$ .

[00259] Aqui, a figura 13 indica limites de bit relativos ao bit mais significativo  $y_0$  e ao segundo bit  $y_1$  dentre os bits de símbolo  $y_0$  a  $y_5$  de símbolos de 64QAM; Figura 14 indica limites de bit relativo ao terceiro bit de símbolo  $y_2$  e o quarto bit de símbolo  $y_3$ ; e Figura 15 indica limites de bit relativo ao quinto bit de símbolo  $y_4$  e o sexto bit de símbolo  $y_5$ .

[00260] Como visto na Figura 13, o número de limites de bit com respeito a cada um do bit de símbolo mais significativo  $y_0$  e do segundo bit de símbolo  $y_1$  é um. Enquanto isso, como visto na Figura 14, o número de limites de bit com respeito a cada um do terceiro bit de símbolo  $y_2$  e do quarto bit de símbolo  $y_3$  é dois, e como visto na Figura 15, o número de limites de bit com respeito a cada um do quinto bit de símbolo  $y_4$  e do sexto bit de símbolo  $y_5$  é quatro.

[00261] Por conseguinte, entre os 6 bits de símbolo  $y_0$  a  $y_5$  de símbolos de 64QAM, o bit de símbolo mais significativo  $y_0$  e o segundo bit de símbolo  $y_1$  são os bits mais fortes, e o terceiro bit de símbolo  $y_2$  e o quarto bit de símbolo  $y_3$  são os segundos bits mais fortes. Então, o quinto bit de símbolo  $y_4$  e o sexto bit de símbolo  $y_5$  são os bits mais fracos.

[00262] Da Figura 12 e ademais das Figuras 13 a 15, pode ser visto que, com respeito a bits de símbolos de modulação ortogonal, há uma tendência que um bit de alta ordem seja um bit forte e um bit de baixa ordem seja um bit fraco.

[00263] Aqui, como descrito anteriormente com referência à Figura 11, um código de LDPC produzido da seção de codificação de LDPC 21 (Figura 8) inclui bits de código que são tolerantes a erros e bits de código que são menos tolerantes a erros.

[00264] Enquanto isso, como descrito anteriormente com referência às Figuras 12 a 15, bits de símbolos de modulação ortogonal executada pela seção de modulação ortogonal 27 incluem bits fortes e bits fracos.

[00265] Por conseguinte, se um bit de código do código de LDPC que é baixo em tolerância a um erro for alocado para um bit de símbolo fraco de um símbolo de modulação ortogonal, então a tolerância a um erro cai como um todo.

[00266] Portanto, um intercalador foi proposto que intercala bits de código de um código de LDPC de modo que bits de código do código de

LDPC que sejam baixos em tolerância a um erro sejam alocados a bits fortes (bits de símbolo) de um símbolo de modulação ortogonal.

[00267] O desmultiplexador 25 da Figura 8 executa processamento do intercalador.

[00268] Figura 16 é uma vista ilustrando processamento do desmultiplexador 25 da Figura 8.

[00269] Em particular, a figura 16 mostra um exemplo de uma configuração funcional do desmultiplexador 25.

[00270] O desmultiplexador 25 inclui uma memória 31 e uma seção de substituição 32.

[00271] À memória 31, um código de LDPC da seção de codificação de LDPC é provido.

[00272] A memória 31 tem uma capacidade de armazenamento para armazenar  $mb$  bits na direção (horizontal) de uma linha e armazena  $N/(mb)$  bits na direção (vertical) de uma coluna. A memória 31 escreve bits de código do código de LDPC provido a ela na direção de coluna e lê os bits de código na direção de linha e então provê os bits de código lidos para a seção de substituição 32.

[00273] Além disso,  $m$  representa o número de bits de código de um código de LDPC a ser um símbolo, e  $b$  é um inteiro positivo predeterminado e é um múltiplo a ser usado para multiplicar  $m$  pelo inteiro. O multiplexador 25 converte (simboliza) os bits de código do código de LDPC em símbolos como descrito acima, e o múltiplo  $b$  representa o número de símbolos obtidos de um modo por simbolização de única vez pelo multiplexador 25.

[00274] Figura 16A mostra um exemplo de uma configuração do desmultiplexador 25 em que o sistema de modulação é 64QAM, e por conseguinte, o número de bits  $m$  de bits de código do código de LDPC a ser um símbolo é 6 bits.

[00275] Ademais, na Figura 16A, o múltiplo  $b$  é 1, e por conseguinte, a memória 31 tem uma capacidade de armazenamento de  $N/(6 \times 1) \times (6 \times 1)$  bits na direção de coluna  $\times$  direção de linha.

[00276] Aqui, uma região de armazenamento da memória 31 que estende na direção de coluna e inclui um bit na direção de linha é referida em seguida apropriadamente como coluna. Na Figura 16A, a memória 31 inclui seis ( $= 6 \times 1$ ) colunas.

[00277] O desmultiplexador 25 executa escrita dos bits de código do código de LDPC em uma direção descendente de acima de uma coluna que forma a memória 31 (em uma direção de coluna) começando com uma coluna lateral esquerda para uma coluna lateral direita.

[00278] Então, se a escrita dos bits de código terminar com o bit mais inferior na coluna mais à direita, então os bits de código são lidos e providos à seção de substituição 32 em uma unidade de 6 bits (mb bits) na direção de linha começando com a primeira linha de todas as colunas que formam a memória 31.

[00279] A seção de substituição 32 executa um processo de substituição de substituir a posição de bits de código de 6 bits da memória 31 e produz os 6 bits obtidos pela substituição como 6 bits de símbolo  $y_0, y_1, y_2, y_3, y_4$  e  $y_5$  representativos de um símbolo de 64QAM.

[00280] Em particular, enquanto mb bits de código (aqui, 6 bits) são lidos na direção de linha da memória 31, se o  $i$ -ésimo bit ( $i = 0, 1, \dots, mb-1$ ) do bit mais significativo dentre os mb bits de código lidos da memória 31 for representado por bit  $b_i$ , então a 6 bits de código lidos na direção de linha da memória 31 podem ser representados como bits  $b_0, b_1, b_2, b_3, b_4$  e  $b_5$  em ordem começando com o bit mais significativo.

[00281] Uma relação do peso de coluna descrito anteriormente com referência à Figura 11 conduz que o bit de código posicionado na direção do bit  $b_0$  é um bit de código alto em tolerância a um erro enquanto o bit de

código na direção do bit  $b_5$  é um bit de código baixo em tolerância a um erro.

[00282] A seção de substituição 32 executa um processo de substituição de substituir a posição dos 6 bits de código  $b_0$  a  $b_5$  da memória 31 de modo que um bit de código que seja baixo em tolerância a um erro dentre os 6 bits de código  $b_0$  a  $b_5$  da memória 31 possa ser alocado a um bit que é alto em tolerância dentre os bits de símbolo  $y_0$  a  $y_5$  de um símbolo de 64QAM.

[00283] Aqui, para um método de substituição para substituir os 6 bits de código  $b_0$  a  $b_5$  da memória 31 para ser alocado aos 6 bits de símbolo  $y_0$  a  $y_5$  representativos de um símbolo de 64QAM, vários sistemas foram propostos.

[00284] Figura 16B ilustra um primeiro método de substituição; Figura 16C ilustra um segundo método de substituição; e Figura 16D ilustra um terceiro método de substituição.

[00285] Na Figura 16B à Figura 16D (semelhantemente também na Figura 17 descrita em seguida), um segmento de linha interconectando os bits  $b_i$  e  $y_j$  significa que o bit de código  $b_i$  está alocado ao bit de símbolo  $y_j$  do símbolo (é substituído na posição do bit de símbolo  $y_j$ ).

[00286] Como o primeiro método de substituição, é proposto adotar um de três tipos de métodos de substituição na Figura 16B, e como o segundo método de substituição, é proposto adotar um de dois tipos de métodos de substituição na Figura 16C.

[00287] Como o terceiro método de substituição, é proposto selecionar e usar seis tipos de métodos de substituição na Figura 16D em ordem.

[00288] Figura 17 ilustra um exemplo de uma configuração do desmultiplexador 25 em um caso em que o método de modulação é 64QAM (por conseguinte, o número de bit  $m$  de bits de código de um código de LDPC mapeado a um símbolo é 6 semelhantemente como na Figura 16) e o múltiplo  $b$  é 2, e um quarto método de substituição.

[00289] Em que o múltiplo  $b$  é 2, a memória 31 tem uma capacidade de

armazenamento de  $N/(6 \times 2) \times (6 \times 2)$  bits na direção de coluna  $\times$  direção de linha e inclui 12 ( $= 6 \times 2$ ) colunas.

[00290] Figura 17A ilustra uma ordem de escrita de um código de LDPC na memória 31.

[00291] O desmultiplexador 25 executa escrita de bits de código de um código de LDPC em uma direção descendente de cima de uma coluna que forma a memória 31 (na direção de coluna) começando com uma coluna lateral esquerda para uma coluna lateral direita como descrito anteriormente com referência à Figura 16.

[00292] Então, se a escrita de bits de código terminar com o bit mais inferior na coluna mais à direita, então os bits de código são lidos e providos à seção de substituição 32 em uma unidade de 12 bits (mb bits) na direção de linha começando com a primeira linha de todas as colunas que formam a memória 31.

[00293] A seção de substituição 32 executa um processo de substituição de substituir a posição de 12 bits de código da memória 31 conforme o quarto método de substituição e produz os 12 bits obtidos pela substituição como 12 bits representativos de dois símbolos (b símbolos) de 64QAM, em particular, como 6 bits de símbolo  $y_0, y_1, y_2, y_3, y_4$  e  $y_5$  representativos de um símbolo de 64QAM e 6 bits de símbolo  $y_0, y_1, y_2, y_3, y_4$  e  $y_5$  representativos de um próximo símbolo.

[00294] Aqui, a figura 17B ilustra o quarto método de substituição do processo de substituição pela seção de substituição 32 da Figura 17A.

[00295] É para ser notado que, em que o múltiplo b é 2 (semelhantemente também em que o múltiplo b é igual a ou mais alto que 3), no processo de substituição, mb bits de código são alocados a mb bits de símbolo de b símbolos sucessivos. Na descrição seguinte incluindo descrição dada com referência à Figura 17, o  $i+1$ -ésimo bit do bit mais significativo dentre os mb bits de símbolo dos b símbolos sucessivos é representado como

bit (bit de símbolo)  $y_i$  para a conveniência de descrição.

[00296] Além disso, qual método de substituição é ótimo, isso é, qual método de substituição provê taxa de erro melhorada em um trajeto de comunicação de AWGN, difere depende da taxa de codificação, comprimento de código e método de modulação de código de LDPC e assim sucessivamente.

[00297] Agora, intercalação de paridade pelo intercalador de paridade 23 da Figura 8 é descrita com referência às Figuras 18 a 20.

[00298] Figura 18 mostra (parte de) um gráfico de Tanner da matriz de verificação de paridade do código de LDPC.

[00299] Se uma pluralidade de (bits de código correspondendo a) nós de variável conectando a um nó de verificação como dois nós de variável sofrerem de um erro tal como rasura ao mesmo tempo que mostrado na Figura 18, então o nó de verificação retorna uma mensagem de uma probabilidade igual representando que a probabilidade que o valor pode ser 0 e a probabilidade que o valor pode ser 1 são iguais entre si para todos os nós de variável conectando ao nó de verificação. Portanto, se uma pluralidade de nós de variável conectando ao mesmo nó de verificação for colocada em um estado de rasura ou similar ao mesmo tempo, então o desempenho em decodificação é deteriorado.

[00300] Incidentalmente, um código de LDPC saído da seção de codificação de LDPC 21 da Figura 8 e prescrito no padrão de DVB-S.2 é um código de IRA, e a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H$  tem uma estrutura de escada como mostrada na Figura 10.

[00301] Figura 19 ilustra uma matriz de paridade  $H_T$  tendo uma estrutura de escada e um gráfico de Tanner correspondendo à matriz de paridade  $H_T$ .

[00302] Em particular, a figura 19A ilustra uma matriz de paridade  $H_T$  tendo uma estrutura de escada e Figura 19B mostra um gráfico de Tanner

correspondendo à matriz de paridade  $H_T$  da Figura 19A.

[00303] Em que a matriz de paridade  $H_T$  tem uma estrutura de escada, no gráfico de Tanner da matriz de paridade  $H_T$ , nós de variável do código de LDPC correspondendo a uma coluna de um elemento da matriz de paridade  $H_T$  tendo o valor de 1 e cuja mensagem é determinada usando bits de código adjacentes (bits de paridade) são conectados ao mesmo nó de verificação.

[00304] Por conseguinte, se os bits de paridade adjacentes descritos acima forem colocados em um estado de erro por erros de salva, rasura ou similar, então desde que um nó de verificação conectando a uma pluralidade de nós de variável correspondendo aos vários bits de paridade que se tornaram um erro (nós de variável cujas mensagens são para serem determinadas usando bits de paridade) retorna uma mensagem de uma probabilidade igual representando que a probabilidade que o valor pode ser 0 e a probabilidade que o valor é 1 podem ser iguais entre si para os nós de variável conectando ao nó de verificação, o desempenho da decodificação deteriora. Então, onde o comprimento de salva (número de bits que são feitos um erro por um salva) é grande, o desempenho da decodificação deteriora ademais.

[00305] Portanto, a fim de prevenir a deterioração em desempenho de decodificação descrita acima, o intercalador de paridade 23 (Figura 8) executa intercalação de intercalar bits de paridade do código de LDPC da seção de codificação de LDPC 21 a posições de outros bits de paridade.

[00306] Figura 20 ilustra uma matriz de paridade  $H_T$  de uma matriz de verificação de paridade  $H$  correspondendo ao código de LDPC depois da intercalação de paridade executada pelo intercalador de paridade 23 da Figura 8.

[00307] Aqui, a matriz de informação  $H_A$  da matriz de verificação de paridade  $H$  correspondendo ao código de LDPC prescrito no padrão de DVB-S.2 e saído da seção de codificação de LDPC 21 tem uma estrutura cíclica.

[00308] A estrutura cíclica significa uma estrutura em que uma certa

coluna coincide com outra coluna em um estado operado ciclicamente (rotação) e inclui, por exemplo, uma estrutura em que, para todas P colunas, as posições do valor 1 nas linhas das P colunas coincidem com posições às quais a primeira das P colunas é deslocada ciclicamente na direção de coluna por um valor que aumenta em proporção a um valor q obtido dividindo o comprimento de paridade M. No seguinte, o número de P colunas em uma estrutura cíclica é referido em seguida apropriadamente para como um número de coluna de unidade da estrutura cíclica.

[00309] Como um código de LDPC prescrito no padrão de DVB-S.2 e saído da seção de codificação de LDPC 21, dois códigos de LDPC estão disponíveis incluindo aqueles cujo comprimento de código N é 64.800 bits e 16.200 bits como descrito anteriormente com referência à Figura 11.

[00310] Agora, se for prestada atenção ao código de LDPC cujo comprimento de código N é 64.800 bits dos dois códigos de LDPC diferentes cujo comprimento de código N é 64.800 bits e 16.200 bits, então onze taxas de codificação diferentes estão disponíveis como a taxa de codificação do código de LDPC cujo comprimento de código N é 64.800 bits como descrito anteriormente com referência à Figura 11.

[00311] Com respeito a códigos de LDPC cujo comprimento de código N é 64.800 bits e que têm as onze taxas de codificação diferentes, é prescrito no padrão de DVB-S.2 que o número de coluna P da estrutura cíclica é prescrito a 360, que é um de divisores do comprimento de paridade M, exceto 1 e M.

[00312] Ademais, com respeito a códigos de LDPC cujo comprimento de código N é 64.800 bits e que têm as onze taxas de codificação diferentes, o comprimento de paridade M tem um valor diferente de números primos e representado por uma expressão  $M = q \times P = q \times 360$  usando o valor q que é diferente dependendo da taxa de codificação. Por conseguinte, também o valor q é um dos divisores do comprimento de paridade M, exceto 1 e M

semelhantemente ao número de coluna  $P$  da estrutura cíclica e é obtido dividindo o comprimento de paridade  $M$  pelo número de coluna  $P$  da estrutura cíclica (o produto de  $P$  e  $q$  que são divisores do comprimento de paridade  $M$  é o comprimento de paridade  $M$ ).

[00313] Em que o comprimento de informação é representado por  $K$  e  $x$  um inteiro mais alto que 0, mas é mais baixo que  $P$  é representado por  $x$  enquanto um inteiro mais alto que 0, mas mais baixo que  $q$  é representado por  $y$ , o intercalador de paridade 23 intercala, como intercalação de paridade, o  $K+qx+y+1$ -ésimo bit de código dentre bits de paridade que são  $K+1$ -ésimo a  $K+M$ -ésimo ( $K + M = N$ ) bits do código de LDPC da seção de codificação de LDPC 21 à posição do  $K+Py+x+1$ -ésimo bit de código.

[00314] De acordo com tal intercalação de paridade, desde que os (bits de paridade correspondendo a) nós de variável conectando ao mesmo nó de verificação são espaçados por uma distância correspondendo ao número de coluna  $P$  da estrutura cíclica, aqui, por 360 bits, em que o comprimento de salva é menor que 360 bits, uma tal situação que uma pluralidade de nós de variável conectando ao mesmo nó de verificação é feita errônea ao mesmo tempo pode ser prevenida. Como resultado, a tolerância a um erro de salva pode ser melhorada.

[00315] É para ser notado que o código de LDPC depois da intercalação de paridade por qual o  $K+qx+y+1$ -ésimo bit de código é intercalado à posição do  $K+Py+x+1$ -ésimo bit de código coincide com o código de LDPC de uma matriz de verificação de paridade (em seguida também referida como matriz de verificação de paridade de conversão) obtida por substituição de coluna de substituir a  $K+qx+y+1$ -ésima coluna da matriz de verificação de paridade original  $H$  na  $K+Py+x+1$ -ésima coluna.

[00316] Ademais, na matriz de paridade da matriz de verificação de paridade de conversão, uma estrutura pseudo-cíclica cuja unidade é  $P$  colunas (na Figura 20, 360 colunas) aparece como vista na Figura 20.

[00317] Aqui, a estrutura pseudo-cíclica significa uma estrutura que tem uma porção tendo uma estrutura cíclica exceto parte disso. Em uma coluna de verificação de paridade de conversão obtida aplicando substituição de coluna correspondendo à intercalação de paridade à matriz de verificação de paridade do código de LDPC prescrito no padrão de DVB-S.2, uma porção de 360 linhas  $\times$  360 colunas (matriz de deslocamento descrita em seguida) a uma porção de canto direito está em falta de um elemento de 1 (que tem o valor de 0). Portanto, a matriz de verificação de paridade de conversão não tem uma estrutura cíclica (completa), mas tem uma estrutura pseudo-cíclica.

[00318] É para ser notado que a matriz de verificação de paridade de conversão da Figura 20 é uma matriz para qual também substituição de linhas (substituição de linha) para configurar a matriz de verificação de paridade de conversão de uma matriz de configuração descrita em seguida é aplicada à matriz de verificação de paridade original H além da substituição de coluna que corresponde à intercalação de paridade.

[00319] Agora, intercalação de torção de coluna como um processo de rearranjo pelo intercalador de torção de coluna 24 da Figura 8 é descrita com referência às Figuras 21 a 24.

[00320] No aparelho de transmissão 11 da Figura 8, dois ou mais dos bits de código do código de LDPC são transmitidos como um símbolo como descrito anteriormente a fim de melhorar a eficiência de utilização de frequências. Em particular, por exemplo, em que 2 bits dos bits de código são usados para formar um símbolo, por exemplo, QPSK é usado como o método de modulação, mas em que 4 bits dos bits de código são usados para formar um símbolo, por exemplo, 16QAM é usado como o método de modulação.

[00321] Onde dois ou mais dos bits de código são transmitidos como um símbolo desta maneira, se rasura ou similar ocorrer com um certo símbolo, o todo dos bits de código (alocados aos bits de símbolo) do símbolo se torna um erro (rasura).

[00322] Por conseguinte, a fim de abaixar a probabilidade que uma pluralidade de (bits de código correspondendo a) nós de variável conectando ao mesmo nó de verificação possam sofrer de rasura ao mesmo tempo para melhorar o desempenho em decodificação, é necessário evitar os nós de variável correspondendo a bits de código de um símbolo de conectarem ao mesmo nó de verificação.

[00323] Enquanto isso, na matriz de verificação de paridade  $H$  de um código de LDPC prescrito no padrão de DVB-S.2 e saído da seção de codificação de LDPC 21, a matriz de informação  $H_A$  tem uma estrutura cíclica e a matriz de paridade  $H_T$  tem uma estrutura de escada como descrito anteriormente. Então, em uma matriz de verificação de paridade de conversão que é uma matriz de verificação de paridade do código de LDPC depois de intercalação de paridade, uma estrutura cíclica (precisamente, uma estrutura pseudo-cíclica como descrito anteriormente) também aparece na matriz de paridade como descrito na Figura 20.

[00324] Figura 21 mostra uma matriz de verificação de paridade de conversão.

[00325] Em particular, a figura 21A ilustra uma matriz de verificação de paridade de conversão de uma matriz de verificação de paridade  $H$  que tem um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação ( $r$ ) de  $3/4$ .

[00326] Na Figura 21A, a posição de um elemento tendo o valor de 1 na matriz de verificação de paridade de conversão é indicada por um ponto ( $\cdot$ ).

[00327] Na Figura 21B, um processo executado pelo desmultiplexador 25 (Figura 8) para o código de LDPC da matriz de verificação de paridade de conversão da Figura 21A, quer dizer, o código de LDPC depois da intercalação de paridade.

[00328] Na Figura 21B, os bits de código do código de LDPC depois

da intercalação de paridade são escritos na direção de coluna em quatro colunas que formam a memória 31 do desmultiplexador 25 usando 16QAM como o método de modulação.

[00329] Os bits de código escritos na direção de coluna nas quatro colunas que formam a memória 31 são lidos na direção de linha em uma unidade de 4 bits que fazem um símbolo.

[00330] Neste exemplo, os 4 bits de código  $B_0$ ,  $B_1$ ,  $B_2$  e  $B_3$  que fazem um símbolo às vezes fazem bits de código correspondendo a 1 e incluídos em uma linha arbitrária da matriz de verificação de paridade depois da conversão da Figura 21A, e neste exemplo, nós de variável correspondendo aos bits de código  $B_0$ ,  $B_1$ ,  $B_2$  e  $B_3$  são conectados ao mesmo nó de verificação.

[00331] Por conseguinte, onde os 4 bits de código  $B_0$ ,  $B_1$ ,  $B_2$  e  $B_3$  de um símbolo se tornam bits de código correspondendo a 1 e incluídos em uma linha arbitrária da matriz de verificação de paridade de conversão, se rasura ocorrer com o símbolo, então o mesmo nó de verificação ao qual os nós de variável correspondendo aos bits de código  $B_0$ ,  $B_1$ ,  $B_2$  e  $B_3$  estão conectados não pode determinar uma mensagem apropriada. Como resultado, o desempenho em decodificação deteriora.

[00332] Também com respeito às taxas de codificação diferentes da taxa de codificação de 3/4, uma pluralidade de bits de código correspondendo a uma pluralidade de nós de variável conectando ao mesmo nó de verificação às vezes faz um símbolo de 16QAM semelhantemente.

[00333] Portanto, o intercalador de torção de coluna 24 executa intercalação de torção de coluna em que os bits de código do código de LDPC depois da intercalação de paridade do intercalador de paridade 23 são intercalados tal que uma pluralidade de bits de código correspondendo a 1 e incluídos em uma linha arbitrária da matriz de verificação de paridade de conversão não seja incluída a um símbolo.

[00334] Figura 22 é uma vista ilustrando a intercalação de torção de

coluna.

[00335] Em particular, a figura 22 ilustra a memória 31 (Figuras 16 e 17) do desmultiplexador 25.

[00336] A memória 31 tem uma capacidade de armazenamento para armazenar  $mb$  bits na direção de coluna (vertical) e armazena  $N/(mb)$  bits na direção de linha (horizontal) e inclui  $mb$  colunas como descrito na Figura 16. Então, o intercalador de torção de coluna 24 escreve os bits de código do código de LDPC na direção de coluna na memória 31 e controla a posição de começo de escrita quando os bits de código são lidos na direção de linha para executar intercalação de torção de coluna.

[00337] Em particular, o intercalador de torção de coluna 24 muda apropriadamente a posição de começo de escrita à qual escrita de bits de código é para ser começada para cada uma de uma pluralidade de colunas de forma que uma pluralidade de bits de código lidos na direção de linha e usados para fazer um símbolo não possam se tornar bits de código correspondendo a 1 e incluídos em uma linha arbitrária da matriz de verificação de paridade de conversão (rearranja os bits de código do código de LDPC tal que uma pluralidade de bits de código correspondendo a 1 e incluídos em uma linha arbitrária da matriz de verificação de paridade não possa ser incluída no mesmo símbolo).

[00338] Aqui, a figura 22 mostra um exemplo de uma configuração da memória 31 onde o método de modulação é 16QAM e além disso o múltiplo  $b$  descrito anteriormente com referência à Figura 16 é 1. Por conseguinte, o número de bit  $m$  de bits de código de um código de LDPC a ser um símbolo é 4 bits, e a memória 31 é formada de quatro ( $= mb$ ) colunas.

[00339] O intercalador de torção de coluna 24 (em vez do desmultiplexador 25 mostrado na Figura 16) executa escrita dos bits de código do código de LDPC em uma direção descendente (direção de coluna) de acima nas quatro colunas que formam a memória 31 começando com uma

coluna lateral esquerda para uma coluna lateral direita.

[00340] Então, quando a escrita de bits de código termina para a coluna mais à direita, o intercalador de torção de coluna 24 lê os bits de código em uma unidade de 4 bits (mb bits) na direção de linha começando com a primeira linha de todas as colunas que formam a memória 31 e produz os bits de código como um código de LDPC depois da intercalação de torção de coluna à seção de substituição 32 (Figuras 16 e 17) do desmultiplexador 25.

[00341] Porém, se o endereço da posição de cabeça (mais alto) de cada coluna for representado por 0 e os endereços das posições na direção de coluna forem representados por inteiros de uma ordem ascendente, então o intercalador de torção de coluna 24 fixa, para a coluna mais à esquerda, a posição de começo de escrita à posição cujo endereço é 0; fixa, para a segunda coluna (da esquerda), a posição de começo de escrita à posição cujo endereço é 2; fixa, para a terceira coluna, a posição de começo de escrita à posição cujo endereço é 4; e fixa, para a quarta coluna, a posição de começo de escrita à posição cujo endereço é 7.

[00342] É para ser notado que, com respeito às colunas às quais a posição de começo de escrita é qualquer outra posição que não a posição cujo endereço é 0, depois que os bits de código são escritos até a posição mais inferior, a posição de escrita retorna para o topo (posição cujo endereço é 0) e escrita abaixo a uma posição precedendo imediatamente à posição de começo de escrita é executada. Depois disso, escrita na próxima (direita) coluna é executada.

[00343] Executando tal intercalação de torção de coluna como descrito acima, uma tal situação que uma pluralidade de bits de código correspondendo a uma pluralidade de nós de variável conectando ao mesmo nó de verificação é feita um símbolo de 16QAM (incluído no mesmo símbolo) com respeito a códigos de LDPC de todas as taxas de codificação cujo comprimento de código N é 64.800 como prescrito no padrão de DVB-

S.2 pode ser prevenido, e como resultado, o desempenho em decodificação em um trajeto de comunicação que provê rasura pode ser melhorado.

[00344] Figura 23 ilustra o número de colunas da memória 31 necessária para intercalação de torção de coluna e o endereço da posição de começo de escrita para cada método de modulação com respeito a códigos de LDPC das onze taxas de codificação diferentes tendo o comprimento de código  $N$  de 64.800 como prescrito no padrão de DVB-S.2.

[00345] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, QPSK é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 2 bits, de acordo com a Figura 23, a memória 31 tem duas colunas para armazenar  $2 \times 1 (= mb)$  bits na direção de linha e armazena  $64.800/(2 \times 1)$  bits na direção de coluna.

[00346] Então, a posição de começo de escrita para a primeira das duas colunas da memória 31 é fixada à posição cujo endereço é 0, e a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2.

[00347] É para ser notado que o múltiplo  $b$  é 1, por exemplo, onde um do primeiro a terceiro métodos de substituição da Figura 16 é adotado como o método de substituição do processo de substituição do desmultiplexador 25 (Figura 8) ou em um caso igual.

[00348] Onde o múltiplo  $b$  é 2 e, além disso, desde que, por exemplo, QPSK é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 2 bits, de acordo com a Figura 23, a memória 31 tem quatro colunas para armazenar  $2 \times 2$  bits na direção de linha e armazena  $64.800/(2 \times 2)$  bits na direção de coluna.

[00349] Então, a posição de começo de escrita para a primeira das quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 4, e a posição de começo de escrita para a quarta coluna é

fixada à posição cujo endereço é 7.

[00350] É para ser notado que o múltiplo  $b$  é 2, por exemplo, em que quarto método de substituição da Figura 17 é adotado como o método de substituição do processo de substituição do desmultiplexador 25 (Figura 8).

[00351] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 16QAM é adotados como o método de modulação, o número de bit  $m$  de um símbolo é 4 bits, de acordo com a Figura 23, a memória 31 tem quatro colunas para armazenar  $4 \times 1$  bits na direção de linha e armazena  $64.800/(4 \times 1)$  bits na direção de coluna.

[00352] Então, a posição de começo de escrita para a primeira das quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 4, e a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 7.

[00353] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 16QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 4 bits, de acordo com a Figura 23, a memória 31 tem oito colunas para armazenar  $4 \times 2$  bits na direção de linha e armazena  $64.800/(4 \times 2)$  bits na direção de coluna.

[00354] Então, a posição de começo de escrita para a primeira das oito colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 7, e a

posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 7.

[00355] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 64QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 6 bits, de acordo com a Figura 23, a memória 31 tem seis colunas para armazenar  $6 \times 1$  bits na direção de linha e armazena  $64.800/(6 \times 1)$  bits na direção de coluna.

[00356] Então, a posição de começo de escrita para a primeira das seis colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 9 a posição de começo de escrita para a quinta coluna seja fixado à posição cujo endereço é 10, e a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 13.

[00357] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 64QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 6 bits, de acordo com a Figura 23, a memória 31 tem doze colunas para armazenar  $6 \times 2$  bits na direção de linha e armazena  $64.800/(6 \times 2)$  bits na direção de coluna.

[00358] Então, a posição de começo de escrita para a primeira das doze colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 4, a posição

de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 8, e a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 9.

[00359] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 256QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 8 bits, de acordo com a Figura 23, a memória 31 tem oito colunas para armazenar  $8 \times 1$  bits na direção de linha e armazena  $64.800/(8 \times 1)$  bits na direção de coluna.

[00360] Então, a posição de começo de escrita para a primeira das oito colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 7, e a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 7.

[00361] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 256QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 8 bits, de acordo com a Figura 23, a memória 31 tem dezesseis colunas para armazenar  $8 \times 2$  bits na direção de linha e armazena  $64.800/(8 \times 2)$  bits na direção de coluna.

[00362] Então, a posição de começo de escrita para a primeira das dezesseis colunas da memória 31 é fixada à posição cujo endereço é 0, a

posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 15, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 16, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 20, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 22, a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 22, a posição de começo de escrita para a décima terceira coluna é fixada à posição cujo endereço é 27, a posição de começo de escrita para a décima quarta coluna é fixada à posição cujo endereço é 27, a posição de começo de escrita para a décima quinta coluna é fixada à posição cujo endereço é 28, e a posição de começo de escrita para a décima sexta coluna é fixada à posição cujo endereço é 32.

[00363] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 1024QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 10 bits, de acordo com a Figura 23, a memória 31 tem dez colunas para armazenar  $10 \times 1$  bits na direção de linha e armazena  $64.800/(10 \times 1)$  bits na direção de coluna.

[00364] Então, a posição de começo de escrita para a primeira das dez colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 6, a posição de começo de escrita para a quarta coluna é fixada à

posição cujo endereço é 8, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 11, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 13, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 15, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 17, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 18, e a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 20.

[00365] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 1024QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 10 bits, de acordo com a Figura 23, a memória 31 tem vinte colunas para armazenar  $10 \times 2$  bits na direção de linha e armazena  $64.800/(10 \times 2)$  bits na direção de coluna.

[00366] Então, a posição de começo de escrita para a primeira das vinte colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 6, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 6, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 9, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 13, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 14, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 14, a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 16, a posição de começo de escrita para a décima terceira

coluna é fixada à posição cujo endereço é 21, a posição de começo de escrita para a décima quarta coluna é fixada à posição cujo endereço é 21, a posição de começo de escrita para a décima quinta coluna é fixada à posição cujo endereço é 23, a posição de começo de escrita para a décima sexta coluna é fixada à posição cujo endereço é 25, a posição de começo de escrita para a décima sétima coluna é fixada à posição cujo endereço é 25, a posição de começo de escrita para a décima oitava coluna é fixada à posição cujo endereço é 26, a posição de começo de escrita para a décima nona coluna é fixada à posição cujo endereço é 28, e a posição de começo de escrita para a vigésima coluna é fixada à posição cujo endereço é 30.

[00367] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 4096QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 12 bits, de acordo com a Figura 23, a memória 31 tem doze colunas para armazenar  $12 \times 1$  bits na direção de linha e armazena  $64.800/(12 \times 1)$  bits na direção de coluna.

[00368] Então, a posição de começo de escrita para a primeira das doze colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 8, e a posição de começo

de escrita para a décima segunda coluna é fixada à posição cujo endereço é 9.

[00369] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 4096QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 12 bits, de acordo com a Figura 23, a memória 31 tem vinte e quatro colunas para armazenar  $12 \times 2$  bits na direção de linha e armazena  $64.800/(12 \times 2)$  bits na direção de coluna.

[00370] Então, a posição de começo de escrita para a primeira das vinte e quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 8, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 8, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 8, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 8, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 12, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 13, a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 16, a posição de começo de escrita para a décima terceira coluna é fixada à posição cujo endereço é 17, a posição de começo de escrita para a décima quarta coluna é fixada à posição cujo endereço é 19, a posição de começo de escrita para a décima quinta coluna é fixada à posição cujo endereço é 21, a posição de começo de escrita para a décima sexta coluna é fixada à posição cujo endereço é 22, a posição de começo de escrita para a décima sétima coluna é fixada à posição cujo endereço é 23, a posição de começo de escrita para a décima oitava coluna é

fixada à posição cujo endereço é 26, a posição de começo de escrita para a décima nona coluna é fixada à posição cujo endereço é 37, a posição de começo de escrita para a vigésima coluna é fixada à posição cujo endereço é 39, a posição de começo de escrita para a vigésima primeira coluna é fixada à posição cujo endereço é 40, a posição de começo de escrita para a vigésima segunda coluna é fixada à posição cujo endereço é 41, a posição de começo de escrita para a vigésima terceira coluna é fixada à posição cujo endereço é 41, e a posição de começo de escrita para a vigésima quarta coluna é fixada à posição cujo endereço é 41.

[00371] Figura 24 indica o número de colunas da memória 31 necessária para intercalação de torção de coluna e o endereço da posição de começo de escrita para cada método de modulação com respeito aos códigos de LDPC das 10 taxas de codificação diferentes tendo o comprimento de código  $N$  de 16.200 como prescrito no padrão de DVB-S.2.

[00372] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, QPSK é adotado como o método de modulação, o número de bits  $m$  de um símbolo é 2 bits, de acordo com a Figura 24, a memória 31 tem duas colunas para armazenar  $2 \times 1$  bits na direção de linha e armazena  $16.200/(2 \times 1)$  bits na direção de coluna.

[00373] Então, a posição de começo de escrita para a primeira das duas colunas da memória 31 é fixada à posição cujo endereço é 0, e a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0.

[00374] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, QPSK é adotado como o método de modulação, o número de bits  $m$  de um símbolo é 2 bits, de acordo com a Figura 24, a memória 31 tem quatro colunas para armazenar  $2 \times 2$  bits na direção de linha e armazena  $16.200/(2 \times 2)$  bits na direção de coluna.

[00375] Então, a posição de começo de escrita para a primeira das quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição

de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 3, e a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 3.

[00376] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 16QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 4 bits, de acordo com a Figura 24, a memória 31 tem quatro colunas para armazenar  $4 \times 1$  bits na direção de linha e armazena  $16.200/(4 \times 1)$  bits na direção de coluna.

[00377] Então, a posição de começo de escrita para a primeira das quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 3, e a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 3.

[00378] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 16QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 4 bits, de acordo com a Figura 24, a memória 31 tem oito colunas para armazenar  $4 \times 2$  bits na direção de linha e armazena  $16.200/(4 \times 2)$  bits na direção de coluna.

[00379] Então, a posição de começo de escrita para a primeira das oito colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 20, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 20,

e a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 21.

[00380] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 64QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 6 bits, de acordo com a Figura 24, a memória 31 tem seis colunas para armazenar  $6 \times 1$  bits na direção de linha e armazena  $16.200/(6 \times 1)$  bits na direção de coluna.

[00381] Então, a posição de começo de escrita para a primeira das seis colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 3; a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 7, e a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 7.

[00382] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 64QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 6 bits, de acordo com a Figura 24, a memória 31 tem doze colunas para armazenar  $6 \times 2$  bits na direção de linha e armazena  $16.200/(6 \times 2)$  bits na direção de coluna.

[00383] Então, a posição de começo de escrita para a primeira das doze colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 3, a posição

de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 6, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 7, e a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 7.

[00384] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 256QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 8 bits, de acordo com a Figura 24, a memória 31 tem oito colunas para armazenar  $8 \times 1$  bits na direção de linha e armazena  $16.200/(8 \times 1)$  bits na direção de coluna.

[00385] Então, a posição de começo de escrita para a primeira das oito colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 20, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 20, e a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 21.

[00386] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 1024QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 10 bits, de acordo com a Figura 24, a memória 31 tem dez colunas para armazenar  $10 \times 1$  bits na direção de linha e armazena  $16.200/(10 \times 1)$  bits na direção de coluna.

[00387] Então, a posição de começo de escrita para a primeira das dez colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de

começo de escrita para a segunda coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 4, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 5, e a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 7.

[00388] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 1024QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 10 bits, de acordo com a Figura 24, a memória 31 tem vinte colunas para armazenar  $10 \times 2$  bits na direção de linha e armazena  $16.200/(10 \times 2)$  bits na direção de coluna.

[00389] Então, a posição de começo de escrita para a primeira das vinte colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita

para a décima primeira coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima terceira coluna é fixada à posição cujo endereço é 5, a posição de começo de escrita para a décima quarta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima quinta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima sexta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima sétima coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima oitava coluna é fixada à posição cujo endereço é 8, a posição de começo de escrita para a décima nona coluna é fixada à posição cujo endereço é 8, e a posição de começo de escrita para a vigésima coluna é fixada à posição cujo endereço é 10.

[00390] Onde o múltiplo  $b$  é 1 e além disso, desde que, por exemplo, 4096QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 12 bits, de acordo com a Figura 24, a memória 31 tem doze colunas para armazenar  $12 \times 1$  bits na direção de linha e armazena  $16.200/(12 \times 1)$  bits na direção de coluna.

[00391] Então, a posição de começo de escrita para a primeira das doze colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a nona coluna é fixada à posição cujo

endereço é 3, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 6, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 7, e a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 7.

[00392] Onde o múltiplo  $b$  é 2 e além disso, desde que, por exemplo, 4096QAM é adotado como o método de modulação, o número de bit  $m$  de um símbolo é 12 bits, de acordo com a Figura 24, a memória 31 tem vinte e quatro colunas para armazenar  $12 \times 2$  bits na direção de linha e armazena  $16.200/(12 \times 2)$  bits na direção de coluna.

[00393] Então, a posição de começo de escrita para a primeira das vinte e quatro colunas da memória 31 é fixada à posição cujo endereço é 0, a posição de começo de escrita para a segunda coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a terceira coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quarta coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a quinta coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a sexta coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a sétima coluna é fixada à posição cujo endereço é 0, a posição de começo de escrita para a oitava coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a nona coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a décima coluna é fixada à posição cujo endereço é 1, a posição de começo de escrita para a décima primeira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a décima segunda coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a décima terceira coluna é fixada à posição cujo endereço é 2, a posição de começo de escrita para a décima quarta coluna é fixada à posição cujo endereço é 3, a posição de começo de escrita para a décima quinta coluna é fixada à posição cujo endereço é 7, a posição de começo de escrita para a décima sexta coluna é

fixada à posição cujo endereço é 9, a posição de começo de escrita para a décima sétima coluna é fixada à posição cujo endereço é 9, a posição de começo de escrita para a décima oitava coluna é fixada à posição cujo endereço é 9, a posição de começo de escrita para a décima nona coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a vigésima coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a vigésima primeira coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a vigésima segunda coluna é fixada à posição cujo endereço é 10, a posição de começo de escrita para a vigésima terceira coluna é fixada à posição cujo endereço é 10, e a posição de começo de escrita para a vigésima quarta coluna é fixada à posição cujo endereço é 11.

[00394] Agora, um processo de transmissão executado pelo aparelho de transmissão 11 da Figura 8 é descrito com referência a um fluxograma da Figura 25.

[00395] A seção de codificação de LDPC 21 espera que dados de objeto sejam providos a ela e, na etapa S101, codifica os dados de objeto em códigos de LDPC e provê os códigos de LDPC ao intercalador de bit 22. Depois disso, o processamento avança à etapa S102.

[00396] Na etapa S102, o intercalador de bit 22 executa intercalação de bit para os códigos de LDPC da seção de codificação de LDPC 21 e provê à seção de mapeamento 26 um símbolo no qual os códigos de LDPC depois da intercalação são simbolizados. Depois disso, o processamento avança à etapa S103.

[00397] Em particular, na etapa S102, o intercalador de paridade 23 no intercalador de bit 22 executa intercalação de paridade para os códigos de LDPC da seção de codificação de LDPC 21 e provê os códigos de LDPC depois da intercalação de paridade ao intercalador de torção de coluna 24.

[00398] O intercalador de torção de coluna 24 executa intercalação de

torção de coluna para o código de LDPC do intercalador de paridade 23 e provê um resultado da intercalação de torção de coluna ao desmultiplexador 25.

[00399] O desmultiplexador 25 executa um processo de substituição de substituir os bits de código do código de LDPC depois da intercalação de torção de coluna pelo intercalador de torção de coluna 24 e convertendo os bits de código depois da substituição em bits de símbolo (bits representativos de símbolos) de símbolos.

[00400] Aqui, o processo de substituição pelo desmultiplexador 25 pode ser executado conforme o primeiro a quarto métodos de substituição descritos anteriormente com referência às Figuras 16 e 17 e além disso pode ser executado conforme uma regra de alocação. A regra de alocação é uma regra para alocar bits de código de um código de LDPC a bits de símbolo representativos de símbolos, e detalhes da regra de alocação são descritos em seguida.

[00401] Os símbolos obtidos pelo processo de substituição pelo desmultiplexador 25 são providos do desmultiplexador 25 para a seção de mapeamento 26.

[00402] Na etapa S103, a seção de mapeamento 26 mapeia o símbolo do desmultiplexador 25 a pontos de sinal definidos pelo método de modulação de modulação ortogonal executada pela seção de modulação ortogonal 27 e provê o símbolo mapeado à seção de modulação ortogonal 27. Então, o processamento avança à etapa S104.

[00403] Na etapa S104, a seção de modulação ortogonal 27 executa modulação ortogonal de uma portadora conforme os pontos de sinal da seção de mapeamento 26. Então, o processamento avança à etapa S105, à qual o sinal de modulação obtido como resultado da modulação ortogonal é transmitido, onde depois o processamento é terminado.

[00404] É para ser notado que o processo de transmissão da Figura 25

é executado através de canalização repetitivamente.

[00405] Executando a intercalação de paridade e a intercalação de torção de coluna como descrito acima, a tolerância a erros de rasura ou salva onde uma pluralidade de bits de código de um código de LDPC são transmitidos como um símbolo pode ser melhorada.

[00406] Aqui, enquanto, na Figura 8, o intercalador de paridade 23 que é um bloco executando intercalação de paridade e o intercalador de torção de coluna 24 que é um bloco executando intercalação de torção de coluna são configurados separadamente um do outro para a conveniência de descrição, o intercalador de paridade 23 e o intercalador de torção de coluna 24 podem ser configurados caso contrário integralmente entre si.

[00407] Em particular, ambas da intercalação de paridade e da intercalação de torção de coluna podem ser executadas por escrita e leitura bits de código na e de uma memória e pode ser representada por uma matriz para converter endereços (endereços de escrita) nos quais escrita de bits de código é para ser executada em endereços (endereços de leitura) de quais leitura de bits de código é para ser executada.

[00408] Por conseguinte, se uma matriz obtida multiplicando uma matriz representativa da intercalação de paridade e uma matriz representativa da intercalação de torção de coluna for determinada com antecedência, então se a matriz for usada para converter bits de código, então um resultado quando intercalação de paridade é executada e então códigos de LDPC depois da intercalação de paridade são intercalados por torção de coluna, pode ser obtido.

[00409] Ademais, além do intercalador de paridade 23 e do intercalador de torção de coluna 24, também o desmultiplexador 25 pode ser configurado integralmente.

[00410] Em particular, também o processo de substituição executado pelo desmultiplexador 25 pode ser representado por uma matriz para

converter um endereço de escrita da memória 31 para armazenar um código de LDPC em um endereço de leitura.

[00411] Por conseguinte, se uma matriz obtida por multiplicação de uma matriz representativa da intercalação de paridade, outra matriz representativa da intercalação de torção de coluna e uma matriz adicional representativa do processo de substituição for determinada com antecedência, então a intercalação de paridade, intercalação de torção de coluna e processo de substituição podem ser executados coletivamente pela matriz determinada.

[00412] É para ser notado que é possível executar só uma ou nenhuma da intercalação de paridade e da intercalação de torção de coluna.

[00413] Agora, uma simulação executada com respeito ao aparelho de transmissão 11 da Figura 8 para medir a taxa de erro (taxa de erro de bit) é descrita com referência às Figuras 26 a 28.

[00414] A simulação foi executada adotando um trajeto de comunicação que tem uma oscilação cuja D/U é 0 dB.

[00415] Figura 26 mostra um modelo do trajeto de comunicação adotado na simulação.

[00416] Em particular, a figura 26A mostra um modelo da oscilação adotado na simulação.

[00417] Enquanto isso, a figura 26B mostra um modelo de um trajeto de comunicação que tem a oscilação representada pelo modelo da Figura 26A.

[00418] É para ser notado que, na Figura 26B, H representa o modelo da oscilação da Figura 26A. Ademais, na Figura 26B, N representa ICI (Interferência Inter-Portadora), e na simulação, um valor esperado  $E[N^2]$  da potência foi aproximado por AWGN.

[00419] Figuras 27 e 28 ilustram relações entre a taxa de erro obtida pela simulação e a frequência de Doppler  $f_d$  da oscilação.

[00420] É para ser notado que a Figura 27 ilustra uma relação entre a taxa de erro e a frequência de Doppler  $f_d$  onde o método de modulação é

16QAM e a taxa de codificação ( $r$ ) é  $(3/4)$  e além disso o método de substituição é o primeiro método de substituição. Enquanto isso, a figura 28 ilustra a relação entre a taxa de erro e a frequência de Doppler  $f_d$  onde o método de modulação é 64QAM e a taxa de codificação ( $r$ ) é  $(5/6)$  e além disso o método de substituição é o primeiro método de substituição.

[00421] Ademais, nas Figuras 27 e 28, uma curva de linha grossa indica a relação entre a taxa de erro e o frequência de Doppler  $f_d$  onde toda a intercalação de paridade, intercalação de torção de coluna e processo de substituição foram executados, e uma curva de linha fina indica a relação entre a taxa de erro e a frequência de Doppler  $f_d$  onde só o processo de substituição dentre a intercalação de paridade, intercalação de torção de coluna e processo de substituição foi executado.

[00422] Em ambas as Figuras 27 e 28, pode ser reconhecido que a taxa de erro melhora (diminui) onde toda a intercalação de paridade, intercalação de torção de coluna e processo de substituição são executados em lugar de onde só o processo de substituição é executado.

[00423] Agora, a seção de codificação de LDPC 21 da Figura 8 é descrito além disso.

[00424] Como descrito se referindo à Figura 11, no padrão de DVB-S.2, codificação de LDPC dos dois comprimentos de código  $N$  diferentes de 64.800 bits e 16.200 bits são prescritos.

[00425] E, para o código de LDPC cujo comprimento de código  $N$  é 64.800 bits, as 11 taxas de codificação  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$ ,  $8/9$  e  $9/10$  são prescritas, e para o código de LDPC cujo comprimento de código  $N$  é 16.200 bits, as 10 taxas de codificação  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$  e  $8/9$  são prescritas (Figura 11B).

[00426] A seção de codificação de LDPC 21 executa codificação (codificação de correção de erros) em códigos de LDPC das taxas de codificação diferentes cujo comprimento de código  $N$  é 64.800 bits ou 16.200

bits conforme uma matriz de verificação de paridade H preparada para cada comprimento de código N e para cada taxa de codificação.

[00427] Figura 29 mostra um exemplo de uma configuração da seção de codificação de LDPC 21 da Figura 8.

[00428] A seção de codificação de LDPC 21 inclui um bloco de processamento de codificação 601 e um bloco de armazenamento 602.

[00429] O bloco de processamento de codificação 601 inclui uma porção de colocação de taxa de codificação 611, uma porção de leitura de tabela de valor inicial 612, uma porção de produção de matriz de verificação de paridade 613, uma porção de leitura de bit de informação 614, uma porção de operação matemática de paridade de codificação 615, e uma porção de controle 616, e executa codificação de LDPC de dados de objeto providos à seção de codificação de LDPC 21 e provê um código de LDPC obtido como resultado da codificação de LDPC ao intercalador de bit 22 (Figura 8).

[00430] Em particular, a porção de colocação de taxa de codificação 611 fixa um comprimento de código N e uma taxa de codificação para código de LDPC, por exemplo, com respeito a uma operação de um operador.

[00431] A porção de leitura de tabela de valor inicial 612 lê uma tabela de valor inicial de matriz de verificação de paridade descrita que corresponde ao comprimento de código N e à taxa de codificação fixada pela porção de colocação de taxa de codificação 611 do bloco de armazenamento 602.

[00432] A porção de produção de matriz de verificação de paridade 613 coloca, baseada na tabela de valor inicial de matriz de verificação de paridade lida pela porção de leitura de tabela de valor inicial 612, elementos do valor 1 de uma matriz de informação HA correspondendo a um comprimento de informação K (= comprimento de código N – comprimento de paridade M) correspondendo ao comprimento de código N e à taxa de codificação fixada pela porção de colocação de taxa de codificação 611 em um período de 360 colunas (número de coluna de unidade P da estrutura

cíclica) na direção de coluna para produzir uma matriz de verificação de paridade H, e armazena a matriz de verificação de paridade H no bloco de armazenamento 602.

[00433] A porção de leitura de bit de informação 614 lê (extrai) bits de informação para o comprimento de informação K dos dados de objeto providos à seção de codificação de LDPC 21.

[00434] A porção de operação matemática de paridade de codificação 615 lê a matriz de verificação de paridade H produzida pela porção de produção de matriz de verificação de paridade 613 do bloco de armazenamento 602 e calcula bits de paridade correspondendo aos bits de informação lidos pela porção de leitura de bit de informação 614 conforme uma expressão predeterminada para produzir uma palavra-código (código de LDPC).

[00435] A porção de controle 616 controla os blocos que compõem o bloco de processamento de codificação 601.

[00436] No bloco de armazenamento 602, uma pluralidade de tabelas de valor inicial de matriz de verificação de paridade e assim sucessivamente correspondendo individualmente às várias taxas de codificação ilustradas na Figura 11 com respeito aos individuais dos dois comprimentos de código N de 64.800 bits e 16.200 bits é armazenada. Ademais, o bloco de armazenamento 602 armazena temporariamente dados necessários para processamento do bloco de processamento de codificação 601.

[00437] Figura 30 é um fluxograma ilustrando um processo de recepção executado pelo aparelho de recepção 12 da Figura 29.

[00438] Na etapa S201, a porção de colocação de taxa de codificação 611 determina (fixa) um comprimento de código N e uma taxa de codificação r usada para executar codificação de LDPC.

[00439] Na etapa S202, a porção de leitura de tabela de valor inicial 612 lê do bloco de armazenamento 602 uma tabela de valor inicial de matriz

de verificação de paridade predeterminada correspondendo ao comprimento de código  $N$  e à taxa de codificação  $r$  determinada pela porção de colocação de taxa de codificação 611.

[00440] Na etapa S203, a porção de produção de matriz de verificação de paridade 613 determina (produz) uma matriz de verificação de paridade  $H$  para um código de LDPC tendo o comprimento de código  $N$  e a taxa de codificação  $r$  determinada pela porção de colocação de taxa de codificação 611 usando a tabela de valor inicial de matriz de verificação de paridade lida do bloco de armazenamento 602 pela porção de leitura de tabela de valor inicial 612, e provê a matriz de verificação de paridade  $H$  para o bloco de armazenamento 602 para ser armazenada.

[00441] Na etapa S204, a porção de leitura de bit de informação 614 lê bits de informação do comprimento de informação  $K (= N \times r)$  correspondendo ao comprimento de código  $N$  e à taxa de codificação  $r$  determinada pela porção de colocação de taxa de codificação 611 dentre os dados de objeto providos à seção de codificação de LDPC 21 e lê a matriz de verificação de paridade  $H$  determinada pela porção de produção de matriz de verificação de paridade 613 do bloco de armazenamento 602, e provê os bits de informação e a matriz de verificação de paridade  $H$  para a porção de operação matemática de paridade de codificação 615.

[00442] Na etapa S205, a porção de operação matemática de paridade de codificação 615 opera sucessivamente matematicamente um bit de paridade de uma palavra-código  $c$  que satisfaz uma expressão (8).

$$Hc^T = 0 \quad (8)$$

[00443] Na expressão (8),  $c$  indica um vetor de linha como a palavra-código (código de LDPC), e  $c^T$  indica inversão do vetor de linha  $c$ .

[00444] Aqui, como descrito acima, onde, de dentro do vetor de linha  $c$  como um código de LDPC (uma palavra-código), uma porção correspondendo aos bits de informação é representada por um vetor de linha

A e uma porção correspondendo aos bits de paridade é representada por um vetor de linha T, o vetor de linha c pode ser representado por uma expressão  $c = [A|T]$  do vetor de linha A como os bits de informação e o vetor de linha T como os bits de paridade.

[00445] É necessário para a matriz de verificação de paridade H e o vetor de linha  $c = [A|T]$  como um código de LDPC satisfazer a expressão  $Hc^T = 0$ , e onde a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H = [H_A|H_T]$  tem uma estrutura de escada mostrada na Figura 10, o vetor de linha T como bits de paridade que configuram o vetor de linha  $c = [A|T]$  que satisfaz a expressão  $Hc^T = 0$  podem ser determinados seqüencialmente fixando os elementos de cada linha a zero em ordem começando com os elementos na primeira linha do vetor de coluna  $Hc^T$  na expressão  $Hc^T = 0$ .

[00446] Se a porção de operação matemática de paridade de codificação 615 determinar um bit de paridade T para um bit de informação A, então produz uma palavra-código  $c = [A|T]$  representada pelo bit de informação A e o bit de paridade T como um resultado de codificação de LDPC do bit de informação A.

[00447] É para ser notado que a palavra-código c tem 64.800 bits ou 16.200 bits.

[00448] Depois disso, na etapa S206, a porção de controle 616 decide se ou não a codificação de LDPC deveria ser terminada. Se for decidido na etapa S206 que a codificação de LDPC não deveria ser terminada, isso é, por exemplo, se permanecem dados de objeto para serem codificados em LDPC, então o processamento retorna à etapa S201, e depois disso, os processos nas etapas S201 a S206 são repetidos.

[00449] Por outro lado, se for decidido na etapa S206 que a codificação de LDPC deveria ser terminada, isso é, por exemplo, se não permanecem nenhum dados de objeto a serem codificados em LDPC, a seção de codificação de LDPC 21 termina o processamento.

[00450] Como descrito acima, as tabelas de valor iniciais de matriz de verificação de paridade correspondendo aos comprimentos de código  $N$  e à taxa de codificação  $r$  são preparadas, e a seção de codificação de LDPC 21 executa codificação de LDPC para um comprimento de código predeterminado  $N$  e uma taxa de codificação predeterminada  $r$  usando uma matriz de verificação de paridade  $H$  produziu de uma tabela de valor inicial de matriz de verificação de paridade correspondendo ao comprimento de código predeterminado  $N$  e à taxa de codificação predeterminada  $r$ .

[00451] Cada tabela de valor inicial de matriz de verificação de paridade é uma tabela que representa a posição de elementos do valor 1 da matriz de informação  $H_A$  correspondendo ao comprimento de informação  $K$  correspondendo ao comprimento de código  $N$  e à taxa de codificação  $r$  do código de LDPC da matriz de verificação de paridade  $H$  (código de LDPC definido pela matriz de verificação de paridade  $H$ ) para todas as 360 linhas (número de coluna de unidade  $P$  da estrutura periódica), e é produzida com antecedência para uma matriz de verificação de paridade  $H$  para cada comprimento de código  $N$  e cada taxa de codificação  $r$ .

[00452] Figuras 31 a 58 ilustram algumas das tabelas de valor inicial de matriz de verificação de paridade prescritas no padrão de DVB-S.2.

[00453] Em particular, a figura 31 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação  $r$  de  $2/3$ .

[00454] Figuras 32 a 34 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação  $r$  de  $2/3$ .

[00455] É para ser notado que a Figura 33 é uma vista continuando da Figura 32 e Figura 34 é uma vista continuando da Figura 33.

[00456] Figura 35 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 3/4.

[00457] Figuras 36 a 39 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 3/4.

[00458] É para ser notado que a Figura 37 é uma vista continuando da Figura 36 e Figura 38 é uma vista continuando da Figura 37. Ademais, a figura 39 é uma vista continuando da Figura 38.

[00459] Figura 40 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 4/5.

[00460] Figuras 41 a 44 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 4/5.

[00461] É para ser notado que a Figura 42 é uma vista continuando da Figura 41 e Figura 43 é uma vista continuando da Figura 42. Ademais, a figura 44 é uma vista continuando da Figura 43.

[00462] Figura 45 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 5/6.

[00463] Figuras 46 a 49 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de

64.800 bits e uma taxa de codificação  $r$  de  $5/6$ .

[00464] É para ser notado que a Figura 47 é uma vista continuando da Figura 46 e Figura 48 é uma vista continuando da Figura 47. Ademais, a figura 49 é uma vista continuando da Figura 48.

[00465] Figura 50 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação  $r$  de  $8/9$ .

[00466] Figuras 51 a 54 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação  $r$  de  $8/9$ .

[00467] É para ser notado que a Figura 52 é uma vista continuando da Figura 51 e Figura 53 é uma vista continuando da Figura 52. Ademais, a figura 54 é uma vista continuando da Figura 53.

[00468] Figuras 55 a 58 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação  $r$  de  $9/10$ .

[00469] É para ser notado que a Figura 56 é uma vista continuando da Figura 55 e Figura 57 é uma vista continuando da Figura 56. Ademais, a figura 58 é uma vista continuando da Figura 57.

[00470] A porção de produção de matriz de verificação de paridade 613 (Figura 29) determina uma matriz de verificação de paridade  $H$  da maneira seguinte usando as tabelas de valor inicial de matriz de verificação de paridade.

[00471] Em particular, a figura 59 ilustra um método para determinar uma matriz de verificação de paridade  $H$  de uma tabela de valor inicial de matriz de verificação de paridade.

[00472] É para ser notado que a tabela de valor inicial de matriz de verificação de paridade da Figura 59 indica a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 2/3 mostrada na Figura 31.

[00473] Como descrito acima, a tabela de valor inicial de matriz de verificação de paridade é uma tabela que representa a posição de elementos do valor 1 de uma matriz de informação  $H_A$  (Figura 9) correspondendo ao comprimento de informação K correspondendo ao comprimento de código N e à taxa de codificação r do código de LDPC para todas as 360 colunas (para todo número de coluna de unidade P da estrutura cíclica), e na primeira linha da tabela de valor inicial de matriz de verificação de paridade, vários números de linha de elementos do valor 1 na  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade H (números de linha onde o número de linha da primeira linha da matriz de verificação de paridade H é 0) igual ao número de pesos de coluna que a  $1+360 \times (i-1)$ -ésima coluna tem.

[00474] Aqui, desde a matriz de paridade  $H_T$  (Figura 9) da matriz de verificação de paridade H correspondendo ao comprimento de paridade M é determinada como ilustrado na Figura 19, de acordo com a tabela de valor inicial de matriz de verificação de paridade, a matriz de informação  $H_A$  (Figura 9) da matriz de verificação de paridade H correspondendo ao comprimento de informação K é determinada.

[00475] O número de linha k+1 da tabela de valor inicial de matriz de verificação de paridade difere dependendo do comprimento de informação K.

[00476] O comprimento de informação K e o número de linha k+1 da tabela de valor inicial de matriz de verificação de paridade satisfazem uma relação dada por uma expressão (9).

$$K = (k + 1) \times 360 \quad (9)$$

[00477] Aqui, 360 na expressão (9) é o número de coluna de unidade P

da estrutura cíclica descrita se referindo à Figura 20.

[00478] Na tabela de valor inicial de matriz de verificação de paridade da Figura 59, 13 valores numéricos são listados na primeira a terceira linhas, e três valores numéricos são listados na quarta a  $k+1$ -ésima (na Figura 59, 30ª) linhas.

[00479] Por conseguinte, o número de pesos de coluna na matriz de verificação de paridade H determinada da tabela de valor inicial de matriz de verificação de paridade da Figura 59 é 13 na primeira a  $1+360 \times (3-1)-1$ -ésima linhas, mas é 3 entre a  $1+360 \times (3-1)$ -ésima a K-ésima linhas.

[00480] A primeira linha da tabela de valor inicial de matriz de verificação de paridade da Figura 59 inclui 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 e 2622, e isto indica que, na primeira coluna da matriz de verificação de paridade H, os elementos em linhas dos números de linha de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 e 2622 têm o valor 1 (e além disso os outros elementos têm o valor 0).

[00481] Enquanto isso, a segunda linha da tabela de valor inicial de matriz de verificação de paridade da Figura 59 inclui 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 e 3108, e isto indica que, na 361ª (=  $1+360 \times (2-1)$ -ésima) coluna da matriz de verificação de paridade H, os elementos em linhas dos números de linha de 1, 122, 1546, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 e 3108 têm o valor 1.

[00482] Como dado acima, a tabela de valor inicial de matriz de verificação de paridade representa a posição de elementos do valor 1 da matriz de informação  $H_A$  da matriz de verificação de paridade H para todas as 360 colunas.

[00483] Cada uma das colunas da matriz de verificação de paridade H diferente da  $1+360 \times (i-1)$ -ésima coluna, quer dizer, cada uma das colunas de  $2+360 \times (i-1)$ -ésima a  $360 \times i$ -ésima colunas, inclui elementos do valor de 1

obtidos deslocando ciclicamente os elementos do valor de 1 da  $1+360 \times (i-1)$ -ésima coluna que dependem da tabela de valor inicial de matriz de verificação de paridade periodicamente na direção descendente (na direção descendente da coluna) conforme o comprimento de paridade  $M$ .

[00484] Em particular, por exemplo, a  $2+360 \times (i-1)$ -ésima coluna é uma coluna obtida deslocando ciclicamente a  $1+360 \times (i-1)$ -ésima coluna na direção descendente por  $M/360 (= q)$ , e a próxima  $3+360 \times (i-1)$ -ésima é uma coluna obtida deslocando ciclicamente a  $1+360 \times (i-1)$ -ésima coluna na direção descendente por  $2 \times M/360 (= 2 \times q)$  e então deslocando ciclicamente a coluna deslocada ciclicamente ( $2+360 \times (i-1)$ -ésima coluna) na direção descendente por  $M/360 (= q)$ .

[00485] Agora, se for assumido que o valor de numeral na  $j$ -ésima coluna ( $j$ -ésima da esquerda) na  $i$ -ésima linha ( $i$ -ésima linha de acima) da tabela de valor inicial de matriz de verificação de paridade é representada por  $b_{i,j}$  e o número de linha do  $j$ -ésimo elemento do valor 1 na  $w$ -ésima coluna da matriz de verificação de paridade  $H$  é representado por  $H_{w,j}$ , então o número de linha  $H_{w,j}$  do elemento do valor 1 na  $w$ -ésima coluna que é uma coluna diferente da  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade  $H$  pode ser determinado conforme uma expressão (10).

$$H_{w,j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M\} \quad (10)$$

[00486] Aqui,  $\text{mod}(x,y)$  significa um resto quando  $x$  é dividido por  $y$ .

[00487] Enquanto isso,  $P$  é um número de unidade de colunas da estrutura cíclica descrita anteriormente e é, por exemplo, no padrão de DVB-S.2, como descrito acima, 360. Ademais,  $q$  é um valor  $M/360$  obtido dividindo o comprimento de paridade  $M$  pelo número de coluna de unidade  $P (= 360)$  da estrutura cíclica.

[00488] A porção de produção de matriz de verificação de paridade 613 (Figura 29) especifica o número de linha dos elementos do valor 1 entre a  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade  $H$  da tabela de

valor inicial de matriz de verificação de paridade.

[00489] Ademais, a porção de produção de matriz de verificação de paridade 613 (Figura 29) determina o número de linha  $H_{w-j}$  do elemento do valor 1 na  $w$ -ésima coluna que é uma coluna diferente da  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade  $H$  conforme a expressão (10) e produz uma matriz de verificação de paridade  $H$  na qual os elementos dos números de linha obtidos pelo antecedendo têm o valor 1.

[00490] Incidentalmente, é conhecido que o código de LDPC tendo uma taxa de codificação de  $2/3$  prescrita no padrão de DVB-S.2 é inferior (mais alto) no fundo de erro disso em comparação com os códigos de LDPC das outras taxas de codificação.

[00491] Aqui, um fenômeno (fenômeno de fundo de erro) que, quando a  $S/N$  ( $E_s/N_0$ ) fica mais alta, a queda da taxa de erro (BER) fica mais intensa e a taxa de erro pára sua queda ocorre, e a taxa de erro quando a queda pára é um fundo de erro.

[00492] Se o fundo de erro ficar mais alto, então geralmente a tolerância a erros no trajeto de comunicação 13 (Figura 7) cai, e portanto, é desejável tomar uma contramedida para melhorar a tolerância a erros.

[00493] Como uma contramedida para melhorar a tolerância a erros, por exemplo, um processo de substituição que é executado pelo desmultiplexador 25 (Figura 8) está disponível.

[00494] No processo de substituição, como um método de substituição para substituir bits de código de um código de LDPC, por exemplo, o primeiro a quarto métodos de substituição descritos anteriormente estão disponíveis. Porém, é exigido propor um método que tenha uma tolerância melhorada adicional a erros em comparação com métodos já propostos incluindo o primeiro a quarto métodos de substituição.

[00495] Assim, o desmultiplexador 25 (Figura 8) é configurado tal que possa executar um processo de substituição conforme uma regra de alocação

como descrito anteriormente com referência à Figura 25.

[00496] No seguinte, antes que um processo de substituição conforme uma regra de alocação seja descrito, um processo de substituição através de métodos de substituição (em seguida referido como métodos existentes) propostos já é descrito.

[00497] Um processo de substituição onde é assumido que o processo de substituição é executado conforme os métodos existentes pelo desmultiplexador 25 é descrito com referência às Figuras 60 e 61.

[00498] Figura 60 mostra um exemplo do processo de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $3/5$ .

[00499] Em particular, a figura 60A ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2.

[00500] Onde o método de modulação é 16QAM, 4 ( $= m$ ) bits dentre os bits de código são mapeados como um símbolo a alguns de 16 pontos de sinal prescritos por 16QAM.

[00501] Ademais, onde o comprimento de código  $N$  é 64.800 bits e o múltiplo  $b$  é 2, a memória 31 (Figura 16 e 17) do desmultiplexador 25 tem oito colunas para armazenar  $4 \times 2$  ( $= mb$ ) bits na direção de linha e armazena  $64.800/(4 \times 2)$  bits na direção de coluna.

[00502] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrita dos 64.800 bits de código (uma palavra-código) termina, os bits de código escritos na memória 31 são lidos em uma unidade de  $4 \times 2$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00503] A seção de substituição 32 substitui, por exemplo, os  $4 \times 2$  (= mb) bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6$  e  $b_7$  lidos da memória 31 tal que, como visto na Figura 60A, os  $4 \times 2$  (= mb) bits de código  $b_0$  a  $b_7$  sejam alocados a  $4 \times 2$  (= mb) bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6$  e  $y_7$  de dois (= b) símbolos sucessivos.

[00504] Em particular, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,

o bit de código  $b_1$  ao bit de símbolo  $y_1$ ,

o bit de código  $b_2$  ao bit de símbolo  $y_4$ ,

o bit de código  $b_3$  ao bit de símbolo  $y_2$ ,

o bit de código  $b_4$  ao bit de símbolo  $y_5$ ,

o bit de código  $b_5$  ao bit de símbolo  $y_3$ ,

o bit de código  $b_6$  ao bit de símbolo  $y_6$ , e

o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00505] Em particular, a figura 60B ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 64QAM e o múltiplo  $b$  é 2.

[00506] Onde o método de modulação é 64QAM, 6 (= m) bits dentre os bits de código são mapeados como um símbolo a alguns de 64 pontos de sinal prescritos por 64QAM.

[00507] Ademais, onde o comprimento de código  $N$  é 64.800 bits e o múltiplo  $b$  é 2, a memória 31 (Figura 16 e 17) do desmultiplexador 25 tem 12 colunas para armazenar  $6 \times 2$  (= mb) bits na direção de linha e armazena  $64.800/(6 \times 2)$  bits na direção de coluna.

[00508] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrita dos

64.800 bits de código (uma palavra-código) termina, os bits de código escritos na memória 31 são lidos em uma unidade de  $6 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00509] A seção de substituição 32 substitui, por exemplo, os  $6 \times 2 (= mb)$  bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$  e  $b_{11}$  lidos da memória 31 tal que, como visto na Figura 60B, os  $6 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{11}$  sejam alocados a  $6 \times 2 (= mb)$  bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$  e  $y_{11}$  de dois ( $= b$ ) símbolos sucessivos.

[00510] Em particular, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_4$ , e
- o bit de código  $b_{11}$  ao bit de símbolo  $y_0$ .

[00511] Em particular, a figura 60C ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 256QAM e o múltiplo  $b$  é 2.

[00512] Onde o método de modulação é 256QAM, 8 ( $= m$ ) bits dentre os bits de código são mapeados como um símbolo a alguns de 256 pontos de

sinal prescritos por 256QAM.

[00513] Ademais, onde o comprimento de código  $N$  é 64.800 bits e o múltiplo  $b$  é 2, a memória 31 (Figuras 16 e 17) do desmultiplexador 25 tem 16 colunas para armazenar  $8 \times 2 (= mb)$  bits na direção de linha e armazena  $64.800/(8 \times 2)$  bits na direção de coluna.

[00514] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrita dos 64.800 bits de código (uma palavra-código) termina, os bits de código escritos na memória 31 são lidos em uma unidade de  $8 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00515] A seção de substituição 32 substitui, por exemplo, os  $8 \times 2 (= mb)$  bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}, b_{12}, b_{13}, b_{14}$  e  $b_{15}$  lidos da memória 31 tal que, como visto na Figura 60C, os  $8 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{15}$  sejam alocados a  $8 \times 2 (= mb)$  bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}, y_{12}, y_{13}, y_{14}$  e  $y_{15}$  de dois ( $= b$ ) símbolos sucessivos.

[00516] Em particular, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_{13}$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_4$ ,

- o bit de código  $b_{11}$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_{12}$  ao bit de símbolo  $y_{12}$ ,
- o bit de código  $b_{13}$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_{14}$  ao bit de símbolo  $y_{14}$ , e
- o bit de código  $b_{15}$  ao bit de símbolo  $y_0$ .

[00517] Figura 61 mostra um exemplo do processo de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação de  $3/5$ .

[00518] Em particular, a figura 61A ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2.

[00519] Onde o método de modulação é 16QAM, 4 ( $= m$ ) bits dentre os bits de código são mapeados como um símbolo a alguns de 16 pontos de sinal prescritos por 16QAM.

[00520] Ademais, onde o comprimento de código  $N$  é 16.200 bits e o múltiplo  $b$  é 2, a memória 31 (Figuras 16 e 17) do desmultiplexador 25 tem 8 colunas para armazenar  $4 \times 2$  ( $= mb$ ) bits na direção de linha e armazena  $16.200/(4 \times 2)$  bits na direção de coluna.

[00521] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrevendo dos 16.200 bits de código (um palavra-código) fins, os bits de código escritos na memória 31 são lidos em uma unidade de  $4 \times 2$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00522] Por exemplo, a seção de substituição 32 substitui os  $4 \times 2$  ( $= mb$ ) bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6$  e  $b_7$  lidos da memória 31 tal que, como visto na Figura 61A, os  $4 \times 2$  ( $= mb$ ) bits de código  $b_0$  a  $b_7$  sejam

alocados a  $4 \times 2$  (= mb) bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6$  e  $y_7$  de dois (= b) símbolos sucessivos.

[00523] Em particular, a seção de substituição 32 executa substituição para alocar os bits de código  $b_0$  a  $b_7$  aos bits de símbolo  $y_0$  a  $y_7$  como no caso da Figura 60A descrita acima.

[00524] Em particular, a figura 61B ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código N de 16.200 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 64QAM e o múltiplo b é 2.

[00525] Onde o método de modulação é 64QAM, 6 (= m) bits dentre os bits de código são mapeados como um símbolo a alguns de 64 pontos de sinal prescritos por 64QAM.

[00526] Ademais, onde o comprimento de código N é 16.200 bits e o múltiplo b é 2, a memória 31 (Figuras 16 e 17) do desmultiplexador 25 tem 12 colunas para armazenar  $6 \times 2$  (= mb) bits na direção de linha e armazena  $16.200/(6 \times 2)$  bits na direção de coluna.

[00527] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrita dos 16.200 bits de código (uma palavra-código) termina, os bits de código escritos na memória 31 são lidos em uma unidade de  $6 \times 2$  (= mb) bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00528] A seção de substituição 32 substitui, por exemplo, os  $6 \times 2$  (= mb) bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$  e  $b_{11}$  lidos da memória 31 tal que, como visto na Figura 61B os  $6 \times 2$  (= mb) bits de código  $b_0$  a  $b_{11}$  sejam alocados a  $6 \times 2$  (= mb) bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$  e  $y_{11}$  de dois (= b) símbolos sucessivos.

[00529] Em particular, a seção de substituição 32 executa substituição para alocar os bits de código  $b_0$  a  $b_{11}$  aos bits de símbolo  $y_0$  a  $y_{11}$  como no

caso da Figura 60B descrita acima.

[00530] Em particular, a figura 61C ilustra um exemplo do método de substituição de um método existente onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação de  $3/5$  e além disso o método de modulação é 256QAM e o múltiplo  $b$  é 1.

[00531] Onde o método de modulação é 256QAM, 8 ( $= m$ ) bits dentre os bits de código são mapeados como um símbolo a alguns de 256 pontos de sinal prescritos por 256QAM.

[00532] Ademais, onde o comprimento de código  $N$  é 16.200 bits e o múltiplo  $b$  é 1, a memória 31 (Figuras 16 e 17) do desmultiplexador 25 tem 8 colunas para armazenar  $8 \times 1$  ( $= mb$ ) bits na direção de linha e armazena  $16.200/(8 \times 1)$  bits na direção de coluna.

[00533] No desmultiplexador 25, quando os bits de código do código de LDPC são escritos na direção de coluna da memória 31 e escrita dos 16.200 bits de código (uma palavra-código) termina, os bits de código escritos na memória 31 são lidos em uma unidade de  $8 \times 1$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32 (Figuras 16 e 17).

[00534] A seção de substituição 32 substitui, por exemplo, os  $8 \times 1$  ( $= mb$ ) bits de código  $b_0, b_1, b_2, b_3, b_4, b_5, b_6,$  e  $b_7$  lidos da memória 31 tal que, como visto na Figura 61C, os  $8 \times 1$  ( $= mb$ ) bits de código  $b_0$  a  $b_7$  sejam alocados a  $8 \times 1$  ( $= mb$ ) bits de símbolo  $y_0, y_1, y_2, y_3, y_4, y_5, y_6$  e  $y_7$  de ( $= b$ ) símbolos sucessivos.

[00535] Em particular, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_5$ ,

- o bit de código  $b_4$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_4$ , e
- o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00536] Agora, um processo de substituição conforme uma regra de alocação (em seguida também referida como processo de substituição conforme o novo método de substituição) é descrito.

[00537] Figuras 62 a 64 são vistas ilustrando o novo método de substituição.

[00538] No novo método de substituição, a seção de substituição 32 do desmultiplexador 25 executa substituição de  $m$  bits de código conforme uma regra de alocação determinada com antecedência.

[00539] A regra de alocação é uma regra para alocar bits de código de um código de LDPC a bits de símbolo. Na regra de alocação, um conjunto de grupo que é uma combinação de um grupo de bit de código de bits de código e um grupo de bit de símbolo de bits de símbolo para os quais os bits de código do grupo de bit de código são alocados e número de bit (em seguida também referido como número de bit de grupo) de bits de código e bits de símbolo do grupo de bit de código e o grupo de bit de símbolo do conjunto de grupo são prescritos.

[00540] Aqui, os bits de código são diferentes de probabilidade de erro entre eles e também os bits de símbolo são diferentes em de probabilidade de erro entre eles como descrito acima. O grupo de bit de código é um grupo no qual os bits de código são agrupados conforme a probabilidade de erro e o grupo de bit de símbolo é um grupo no qual os bits de símbolo são agrupados conforme a probabilidade de erro.

[00541] Figura 62 ilustra grupos de bit de código e grupos de bit de símbolo onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $2/3$  e

além disso o método de modulação é 256QAM e o múltiplo  $b$  é 2.

[00542] Neste exemplo,  $8 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{15}$  lidos da memória 31 podem ser agrupados em cinco grupos de bit de código  $Gb_1$ ,  $Gb_2$ ,  $Gb_3$ ,  $Gb_4$  e  $Gb_5$  como visto na Figura 62A conforme a diferença em probabilidade de erro.

[00543] Aqui, o grupo de bit de código  $Gb_i$  é um grupo no qual bits de código pertencendo ao grupo de bit de código  $Gb_i$  tem uma melhor (mais baixa) probabilidade de erro como o sufixo  $i$  disso tem um valor mais baixo.

[00544] Na Figura 62A, ao grupo de bit de código  $Gb_1$ , o bit de código  $b_0$  pertence; ao grupo de bit de código  $Gb_2$ , o bit de código  $b_1$  pertence; ao grupo de bit de código  $Gb_3$ , os bits de código  $b_2$  a  $b_9$  pertencem; ao grupo de bit de código  $Gb_4$ , o bit de código  $b_{10}$  pertence; e ao grupo de bit de código  $Gb_5$ , os bits de código  $b_{11}$  a  $b_{15}$  pertencem.

[00545] Onde o método de modulação é 256QAM e o múltiplo  $b$  é 2, os  $8 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{15}$  podem ser agrupados em quatro grupos de bit de símbolo  $Gy_1$ ,  $Gy_2$ ,  $Gy_3$  e  $Gy_4$  como visto na Figura 62B conforme a diferença em probabilidade de erro.

[00546] Aqui, o grupo de bit de símbolo  $Gy_i$  é um grupo no qual bits de símbolo pertencendo ao grupo de bit de símbolo  $Gy_i$  têm uma probabilidade de erro melhor como o sufixo  $i$  disso tem um valor mais baixo semelhantemente ao grupo de bit de código.

[00547] Na Figura 62B, ao grupo de bit de símbolo  $Gy_1$ , os bits de símbolo  $y_0$ ,  $y_1$ ,  $y_8$  e  $y_9$  pertencem; ao grupo de bit de símbolo  $Gy_2$ , os bits de símbolo  $y_2$ ,  $y_3$ ,  $y_{10}$  e  $y_{11}$  pertencem; ao grupo de bit de símbolo  $Gy_3$ , os bits de símbolo  $y_4$ ,  $y_5$ ,  $y_{12}$  e  $y_{13}$  pertencem; e ao grupo de bit de símbolo  $Gy_4$ , os bits de símbolo  $y_6$ ,  $y_7$ ,  $y_{14}$  e  $y_{15}$  pertencem.

[00548] Figura 63 ilustra uma regra de alocação onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $2/3$  e além disso o método de modulação é

256QAM e o múltiplo  $b$  é 2.

[00549] Na regra de alocação da Figura 63, a combinação do grupo de bit de código  $Gb_1$  e o grupo de bit de símbolo  $Gy_4$  está definida no primeiro da esquerda da Figura 63 como um conjunto de grupo. Ademais, o número de bit de grupo do conjunto de grupo é prescrito a 1 bit.

[00550] Na descrição seguinte, um conjunto de grupo e um número de bit de grupo do conjunto de grupo são chamados coletivamente informação de conjunto de grupo. Por exemplo, o conjunto de grupo do grupo de bit de código  $Gb_1$  e o grupo de bit de símbolo  $Gy_4$  e 1 bit que é o número de bit de grupo do conjunto de grupo são descritos como informação de conjunto de grupo ( $Gb_1, Gy_4, 1$ ).

[00551] Na regra de alocação da Figura 63, informação de conjunto de grupo ( $Gb_2, Gy_4, 1$ ), ( $Gb_3, Gy_1, 3$ ), ( $Gb_3, Gy_2, 1$ ), ( $Gb_3, Gy_3, 2$ ), ( $Gb_3, Gy_4, 2$ ), ( $Gb_4, Gy_3, 1$ ), ( $Gb_5, Gy_1, 1$ ), ( $Gb_5, Gy_2, 3$ ) e ( $Gb_5, Gy_3, 1$ ) é prescrita além da informação de conjunto de grupo ( $Gb_1, Gy_4, 1$ ).

[00552] Por exemplo, a informação de conjunto de grupo ( $Gb_1, Gy_4, 1$ ) significa que um bit de código pertencendo ao grupo de bit de código  $Gb_1$  está alocado a um bit de símbolo pertencendo ao grupo de bit de símbolo  $Gy_4$ .

[00553] Por conseguinte, de acordo com a regra de alocação da Figura 63, é prescrito que,

dependendo da informação de conjunto de grupo ( $Gb_1, Gy_4, 1$ ), um bit de código do grupo de bit de código  $Gb_1$  que é melhor em probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_4$  que é o quarto melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_2, Gy_4, 1$ ), um bit de código do grupo de bit de código  $Gb_2$  que é o segundo melhor em probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_4$  que é o quarto melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_3, Gy_1, 3$ ),

três bits de código do grupo de bit de código  $Gb_3$  que é o terceiro melhor em probabilidade de erro são alocados a três bits de símbolo do grupo de bit de símbolo  $Gy_1$  que é melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_3, Gy_2, 1$ ), um bit de código do grupo de bit de código  $Gb_3$  que é o terceiro melhor em probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_2$  que é o segundo melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_3, Gy_3, 2$ ), dois bits de código do grupo de bit de código  $Gb_3$  que é o terceiro melhor em probabilidade de erro é alocado a dois bits de símbolo do grupo de bit de símbolo  $Gy_3$  que é o terceiro melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_3, Gy_4, 2$ ), dois bits de código do grupo de bit de código  $Gb_3$  que é o terceiro melhor em probabilidade de erro é alocado a dois bits de símbolo do grupo de bit de símbolo  $Gy_4$  que é o quarto melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_4, Gy_3, 1$ ), um bit de código do grupo de bit de código  $Gb_4$  que é o quarto melhor em probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_3$  que é o terceiro melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_5, Gy_1, 1$ ), um bit de código do grupo de bit de código  $Gb_5$  que é o quinto melhor em probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_1$  que é melhor em probabilidade de erro, que

dependendo da informação de conjunto de grupo ( $Gb_5, Gy_2, 3$ ), três bits de código do grupo de bit de código  $Gb_5$  que é o quinto melhor em probabilidade de erro é alocado a três bits de símbolo do grupo de bit de símbolo  $Gy_2$  que é o segundo melhor em probabilidade de erro, e que

dependendo da informação de conjunto de grupo ( $Gb_5, Gy_3, 1$ ), um bit de código do grupo de bit de código  $Gb_5$  que é o quinto melhor em

probabilidade de erro é alocado a um bit de símbolo do grupo de bit de símbolo  $Gy_3$  que é o terceiro melhor em probabilidade de erro.

[00554] Como descrito acima, o grupo de bit de código é um grupo no qual bits de código são agrupados conforme a probabilidade de erro, e o grupo de bit de símbolo é um grupo no qual bits de símbolo são agrupados conforme a probabilidade de erro. Por conseguinte, também pode ser considerado que a regra de alocação prescreve uma combinação da probabilidade de erro de bits de código e a probabilidade de erro de bits de símbolo aos quais os bits de código são alocados.

[00555] Desta maneira, a regra de alocação que prescreve uma combinação da probabilidade de erro de bits de código e a probabilidade de erro de bits de símbolo aos quais os bits de código são alocados é determinada tal que a tolerância a erros (tolerância a ruído) seja feita melhor, por exemplo, por uma simulação em que a BER é medida ou similar.

[00556] É para ser notado que, até mesmo se o destino de alocação de um bit de código de um certo grupo de bit de código for mudado entre bits do mesmo grupo de bit de símbolo, a tolerância a erros não é (pouco) influenciada por esse meio.

[00557] Por conseguinte, a fim de melhorar a tolerância a erros, informação de conjunto de grupo que faz a BER (Taxa de Erro de Bit) incluindo o fundo de erro mais baixo, em particular, combinações (conjuntos de grupo) de grupos de bit de código de bits de código e grupos de bit de símbolo de bits de símbolo aos quais os bits de código do grupos de bit de código são para serem alocados e os números de bit (números de bit de grupo) dos bits de código dos grupos de bit de código e os grupos de bit de símbolo dos conjuntos de grupo e dos bits de símbolo, deveria ser definido como uma regra de alocação, e substituição dos bits de código deveria ser executada tal que os bits de código sejam alocados aos bits de símbolo conforme a regra de alocação.

[00558] Porém, um método de alocação particular com respeito a qual símbolo cada bit de código deveria ser alocado conforme a regra de alocação precisa ser determinado com antecedência entre o aparelho de transmissão 11 e o aparelho de recepção 12 (Figura 7).

[00559] Figura 64 ilustra um exemplo de substituição de bits de código conforme a regra de alocação da Figura 63.

[00560] Em particular, a figura 64A ilustra um primeiro exemplo de substituição de bits de código conforme a regra de alocação da Figura 63 onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $2/3$  e além disso o método de modulação é 256QAM e o múltiplo  $b$  é 2.

[00561] Onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $2/3$  e além disso o método de modulação é 256QAM e o múltiplo  $b$  é 2, no desmultiplexador 25, bits de código escritos na memória 31 para  $(64.800/(8 \times 2)) \times (8 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $8 \times 2$  (= mb) bits na direção de linha e são providos à seção de substituição 32 (Figuras 16 e 17).

[00562] A seção de substituição 32 substitui os  $8 \times 2$  (= mb) bits de código  $b_0$  a  $b_{15}$  lidos da memória 31 conforme a regra de alocação da Figura 63 tal que os  $8 \times 2$  (= mb) bits de código  $b_0$  a  $b_{15}$  sejam alocados, por exemplo, aos  $8 \times 2$  (= mb) bits de símbolo  $y_0$  a  $y_{15}$  de dois (= b) símbolos sucessivos como visto na Figura 64A.

[00563] Em particular, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_5$ ,

o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_{13}$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_{11}$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_9$ ,  
o bit de código  $b_8$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_{14}$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_{12}$ ,  
o bit de código  $b_{11}$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_{12}$  ao bit de símbolo  $y_0$ ,  
o bit de código  $b_{13}$  ao bit de símbolo  $y_{10}$ ,  
o bit de código  $b_{14}$  ao bit de símbolo  $y_4$ , e  
o bit de código  $b_{15}$  ao bit de símbolo  $y_2$ .

[00564] Figura 64B ilustra um segundo exemplo de substituição de bits de código conforme a regra de alocação da Figura 63 onde o código de LDPC é um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação de  $2/3$  e além disso o método de modulação é 256QAM e o múltiplo  $b$  é 2.

[00565] De acordo com a Figura 64B, a seção de substituição 32 executa substituição para alocar os  $8 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{15}$  lidos da memória 31 conforme a regra de alocação da Figura 63 de tal maneira a alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_{15}$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_{14}$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_5$ ,  
o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_4$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_1$ ,

o bit de código  $b_8$  ao bit de símbolo  $y_9$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_{12}$ ,  
o bit de código  $b_{11}$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_{12}$  ao bit de símbolo  $y_{13}$ ,  
o bit de código  $b_{13}$  ao bit de símbolo  $y_{10}$ ,  
o bit de código  $b_{14}$  ao bit de símbolo  $y_0$ , e  
o bit de código  $b_{15}$  ao bit de símbolo  $y_{11}$ .

[00566] Aqui, os métodos de alocação dos bits de código  $b_i$  para os bits de símbolo  $y_i$  ilustrados na Figura 64A e Figura 64B observam a regra de alocação da Figura 63 (siga a regra de alocação).

[00567] Figura 65 ilustra um resultado de uma simulação da BER (Taxa de Erro de Bit) em um caso em que um processo de substituição do novo sistema de substituição descrito anteriormente com referência às Figuras 62 a 64 é executado e em outro caso em que um processo de substituição descrito anteriormente com referência à Figura 60C dentre os métodos existentes é executado.

[00568] Em particular, a figura 65 ilustra a BER onde um código de LDPC que é prescrito no DVB-S.2 e tem um comprimento de código  $N$  de 64.800 e uma taxa de codificação de  $2/3$  é determinado como um objeto e além disso 256QAM é adotado como o método de modulação e 2 é adotado como o múltiplo  $b$ .

[00569] É para ser notado que, na Figura 65, o eixo de abscissa indica a  $E_s/N_0$  e o eixo de ordenada indica a BER. Ademais, uma marca redonda representa a BER onde um processo de substituição do novo método de substituição é executado, e um asterisco (marca de estrela) representa a BER onde um processo de substituição do método existente é executado.

[00570] Da Figura 65, pode ser reconhecido que, de acordo com o processo de substituição do novo método de substituição, o fundo de erro cai

significativamente em comparação com aquele do processo de substituição do método existente e a tolerância a erros é melhorada.

[00571] É para ser notado que, enquanto, na concretização presente, a seção de substituição 32 no desmultiplexador 25 executa o processo de substituição para bits de código lidos da memória 31 para a conveniência de descrição, o processo de substituição pode ser executado controlando a escrita ou leitura de bits de código na ou da memória 31.

[00572] Em particular, o processo de substituição pode ser executado, por exemplo, controlando o endereço (endereço de leitura) para ler um bit de código tal que leitura dos bits de código da memória 31 seja executada em ordem dos bits de código depois da substituição.

[00573] Agora, como uma contramedida para melhorar a tolerância a erros, um método de adotar um código de LDPC que abaixa o fundo de erro está disponível além do método que adota um processo de substituição do método de substituição que abaixa o fundo de erro.

[00574] Assim, a seção de codificação de LDPC 21 (Figura 8) pode executar codificação de um código de LDPC tendo um comprimento de código  $N$  de 64.800 bits e uma taxa de codificação  $r$  de  $2/3$  em um código de LDPC de um desempenho alto adotando uma tabela de valor inicial de matriz de verificação de paridade que é diferente das tabelas de valor inicial de matriz de verificação de paridade prescritas no padrão de DVB-S.2 e de qual uma matriz de verificação de paridade apropriada  $H$  é determinada e usando uma matriz de verificação de paridade determinada da tabela de valor inicial de matriz de verificação de paridade.

[00575] Aqui, a matriz de verificação de paridade apropriada  $H$  é uma matriz de verificação de paridade que satisfaz uma condição predeterminada para fazer a BER (Taxa de Erro de Bit) mais baixa quando um sinal de modulação de um código de LDPC obtido de uma matriz de verificação de paridade é transmitido a uma baixa  $E_s/N_0$  (relação de potência de sinal para

potência de ruído por um símbolo) ou  $E_b/N_0$  (relação de potência de sinal para potência de ruído por um bit). Ademais, o código de LDPC de um desempenho alto é um código de LDPC obtido de uma matriz de verificação de paridade apropriada.

[00576] A matriz de verificação de paridade apropriada que  $H$  pode ser determinada, por exemplo, executando uma simulação da BER quando um sinal de modulação de um código de LDPC obtido de várias matrizes de verificação de paridade que satisfazem uma condição predeterminada é transmitido a uma baixa  $E_s/N_0$ .

[00577] A condição predeterminada que a matriz de verificação de paridade apropriada  $H$  deveria satisfazer é, por exemplo, que o resultado de uma análise obtida por um método de análise de um desempenho de um código chamado que evolução de densidade seja bom, que a matriz de verificação de paridade  $H$  não inclua uma malha de elementos do valor 1 chamado ciclo 4, que a matriz de verificação de paridade  $H$  não inclua o ciclo 6, e assim sucessivamente.

[00578] Aqui, a evolução de densidade e incorporação da mesma são descritas, por exemplo, em S. Y. Chung, G. D. Forney, T., J. Richardson e R. Urbanke, "On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", "IEEE Communications Letters", VOL. 5, No. 2, fevereiro de 2001.

[00579] Por exemplo, se o valor de variância de ruído for aumentado gradualmente de zero em um canal de AWGN, então embora o valor esperado da probabilidade de erro de um código de LDPC seja zero primeiro, fica diferente de zero se o valor de variância de ruído ficar mais alto que um certo valor de limiar (limiar).

[00580] De acordo com a evolução de densidade, o valor esperado da probabilidade de erro do mesmo fica diferente de zero. Comparando o valor de limiar do valor de variância (em seguida chamado valor de limiar de

desempenho) de ruído, pode ser determinado se ou não o desempenho do código de LDPC (adequação da matriz de verificação de paridade) é bom. Aqui, como o valor de limiar de desempenho, a  $E_b/N_0$  quando a BER começa a cair (diminuição).

[00581] Se um valor de limiar de desempenho, obtido por análise através de evolução de densidade, relativo a um código de LDPC que está definido no padrão de DVB-S.2 e tem um comprimento de código  $N$  de 64.800 e uma taxa de codificação  $r$  de  $2/3$  (tal código de LDPC é referido em seguida também como código de padrão) é representado por  $V$ , então na simulação, um código de LDPC (matriz de verificação de paridade) que tem um comprimento de código  $N$  de 64.800 e uma taxa de codificação  $r$  de  $2/3$  e exibe um valor de limiar de desempenho mais baixo que  $V+\Delta$  obtido adicionando uma margem predeterminada  $\Delta$  a  $V$  foi selecionado como o código de LDPC tendo um bom desempenho.

[00582] Figuras 66 a 68 ilustram uma tabela de valor inicial de matriz de verificação de paridade para um de códigos de LDPC cuja  $E_b/N_0$  como o valor de limiar de desempenho é mais baixo que  $V+\Delta$  (código de LDPC tendo um comprimento de código  $N$  de 64.800 e uma taxa de codificação  $r$  de  $2/3$ ).

[00583] É para ser notado que a Figura 67 é uma vista continuando à Figura 66, e Figura 68 é uma vista continuando à Figura 67.

[00584] Em uma matriz de verificação de paridade  $H$  determinada da tabela de valor inicial de matriz de verificação de paridade das Figuras 66 a 68, nem o ciclo 4 nem o ciclo 6 existem.

[00585] Figura 69 ilustra um resultado da simulação da BER relativa a um código de LDPC de uma matriz de verificação de paridade  $H$  determinada da tabela de valor inicial de matriz de verificação de paridade das Figuras 66 a 68 (tal código de LDPC é referido em seguida também como código proposto).

[00586] Em particular, a figura 69 ilustra, onde o método de

modulação é 256QAM, a BER com respeito à  $E_s/N_0$  do código padrão (na figura, a BER é indicada por uma marca redonda) e a BER para a  $E_s/N_0$  do código proposto (na figura, a BER é indicada por uma marca quadrada).

[00587] Da Figura 69, pode ser reconhecido que o código proposto é melhor em desempenho do que o código padrão e que particularmente o fundo de erro é melhorado significativamente.

[00588] É para ser notado que a condição predeterminada que a matriz de verificação de paridade apropriada  $H$  deveria satisfazer pode ser determinada apropriadamente de um tal ponto de vista como encarecimento do desempenho de decodificação de um código de LDPC, facilitação (simplificação) de um processo de decodificação de um código de LDPC, e assim sucessivamente.

[00589] Figura 70 é um diagrama de bloco mostrando um exemplo de uma configuração do aparelho de recepção 12 da Figura 7.

[00590] Se referindo à Figura 70, o aparelho de recepção 12 é um aparelho de processamento de dados para receber um sinal de modulação do aparelho de transmissão 11 (Figura 7) e inclui um dessecção de modulação ortogonal 51, uma seção de desmapeamento 52, um desintercalador 53 e uma seção de decodificação de LDPC 56.

[00591] A seção de demodulação ortogonal 51 recebe um sinal de modulação do aparelho de transmissão 11 e executa demodulação ortogonal, e então provê símbolos obtidos como resultado da demodulação ortogonal (valores nos eixos I e Q) para a seção de desmapeamento 52.

[00592] A seção de desmapeamento 52 executa desmapeamento de converter os pontos de sinal da seção de demodulação ortogonal 51 para codificar bits de um código de LDPC a serem símbolos simbolizados e provê os bits de código para o desintercalador 53.

[00593] O desintercalador 53 inclui um multiplexador (MUX) 54 e um desintercalador de torção de coluna 55 e executa desintercalação dos símbolos

dos bits de símbolo da seção de desmapeamento 52.

[00594] Em particular, o multiplexador 54 executa um processo de substituição inversa (processo inverso ao processo de substituição) correspondendo ao processo de substituição executado pelo desmultiplexador 25 da Figura 8 para os símbolos dos bits de símbolo da seção de desmapeamento 52, quer dizer, um processo de substituição inversa de retornar as posições dos bits de código (bits de símbolo) dos códigos de LDPC substituídos pelo processo de substituição às posições originais. Então, o multiplexador 54 provê um código de LDPC obtido como resultado do processo de substituição inversa ao desintercalador de torção de coluna 55.

[00595] O desintercalador de torção de coluna 55 executa desintercalação de torção de coluna (processo inverso à intercalação de torção de coluna) correspondendo à intercalação de torção de coluna como o processo de rearranjo executado pelo intercalador de torção de coluna 24 da Figura 8, quer dizer, por exemplo, desintercalação de torção de coluna como um processo de rearranjo inverso de retornar o arranjo dos bits de código do código de LDPC tendo um arranjo mudado pela intercalação de torção de coluna como o processo de rearranjo ao arranjo original, para o código de LDPC do multiplexador 54.

[00596] Em particular, o desintercalador de torção de coluna 55 executa desintercalação de torção de coluna escrevendo os bits de código do código de LDPC e lendo os bits de código escritos da memória para desintercalação, a memória sendo configurada semelhantemente à memória 31 mostrada na Figura 22 e assim sucessivamente.

[00597] É para ser notado que, no desintercalador de torção de coluna 55, escrita dos bits de código é executada na direção de linha da memória para desintercalação usando endereços lidos ao ler os códigos da memória 31 como endereços de escrita. Enquanto isso, leitura dos bits de código é executada na direção de coluna da memória para desintercalação usando os

endereços de escrita na escrita dos bits de código na memória 31 como endereços de leitura.

[00598] Os códigos de LDPC obtidos como resultado da intercalação de torção de coluna são providos do desintercalador de torção de coluna 55 para a seção de decodificação de LDPC 56.

[00599] Aqui, enquanto o código de LDPC provido da seção de mapeamento 52 para o desintercalador 53 foi obtido pela intercalação de paridade, intercalação de torção de coluna e processo de substituição executados nesta ordem para esse fim, o desintercalador 53 executa só um processo de substituição inversa correspondendo ao processo de substituição e desintercalação de torção de coluna correspondendo à intercalação de torção de coluna. Por conseguinte, desintercalação de paridade correspondendo à intercalação de paridade (processo inverso à intercalação de paridade), quer dizer, a desintercalação de paridade retornando o arranjo dos bits de código dos códigos de LDPC cujo arranjo foi variado pela intercalação de paridade, para o arranjo original, não é executada.

[00600] Por conseguinte, o código de LDPC para qual o processo de substituição inversão e a desintercalação de torção de coluna foram executados, mas a desintercalação de paridade não foi executada é provido do (desintercalador de torção de coluna 55 do) desintercalador 53 para a seção de decodificação de LDPC 56.

[00601] A seção de decodificação de LDPC 56 executa decodificação de LDPC do código de LDPC do desintercalador 53 usando uma matriz de verificação de paridade de conversão, obtida executando pelo menos substituição de coluna correspondendo à intercalação de paridade para a matriz de verificação de paridade H usada para a codificação de LDPC pela seção de codificação de LDPC 21 da Figura 8, e produz dados obtidos como resultado da decodificação de LDPC como um resultado de decodificação dos dados de objeto.

[00602] Figura 71 é um fluxograma ilustrando um processo de recepção executado pelo aparelho de recepção 12 da Figura 70.

[00603] A seção de demodulação ortogonal 51 recebe um sinal de modulação do aparelho de transmissão 11 na etapa S111. Então, o processamento avança à etapa S112, à qual a seção de demodulação ortogonal 51 executa demodulação ortogonal do sinal de modulação. A seção de demodulação ortogonal 51 provê pontos de sinal obtidos como resultado da demodulação ortogonal à seção de mapeamento 52, onde depois o processamento avança da etapa S112 à etapa S113.

[00604] Na etapa S113, a seção de desmapeamento 52 executa desmapeamento de converter os pontos de sinal da seção de demodulação ortogonal 51 em símbolos e provê os bits de código ao desintercalador 53, onde depois o processamento avança à etapa S114.

[00605] Na etapa S114, o desintercalador 53 executa desintercalação dos símbolos dos bits de símbolo da seção de mapeamento 52, onde depois o processamento avança à etapa S115.

[00606] Em particular, na etapa S114, o multiplexador 54 no desintercalador 53 executa um processo de substituição inversa para os símbolos dos bits de símbolo da seção de mapeamento 52 e provê código de LDPC obtido como resultado do processo de substituição inversa ao desintercalador de torção de coluna 55.

[00607] O desintercalador de torção de coluna 55 executa desintercalação de torção de coluna para o código de LDPC do multiplexador 54 e provê um código de LDPC obtido como resultado da desintercalação de torção de coluna à seção de decodificação de LDPC 56.

[00608] Na etapa S115, a seção de decodificação de LDPC 56 executa decodificação de LDPC do código de LDPC do desintercalador de torção de coluna 55 usando uma matriz de verificação de paridade de conversão obtida executando pelo menos substituição de coluna correspondendo à intercalação

de paridade para a matriz de verificação de paridade H usada para a codificação de LDPC pela seção de codificação de LDPC 21 da Figura 8, e produz dados obtidos pela decodificação de LDPC como um resultado de decodificação dos dados de objeto. Depois disso, o processamento é terminado.

[00609] É para ser notado que o processo de recepção da Figura 71 é executado repetitivamente.

[00610] Também na Figura 70, o multiplexador 54 para executar o processo de substituição inversa e o desintercalador de torção de coluna 55 para executar a desintercalação de torção de coluna são configurados separadamente um ao outro para a conveniência de descrição semelhantemente como no caso da Figura 8. Porém, o multiplexador 54 e o desintercalador de torção de coluna 55 podem ser configurados integralmente entre si.

[00611] Ademais, onde o aparelho de transmissão 11 da Figura 8 não executa a intercalação de torção de coluna, não há nenhuma necessidade para prover o desintercalador de torção de coluna 55 no aparelho de recepção 12 da Figura 70.

[00612] Agora, a decodificação de LDPC executada pela seção de decodificação de LDPC 56 da Figura 70 é descrita ademais.

[00613] A seção de decodificação de LDPC 56 da Figura 70 executa decodificação de LDPC de um código de LDPC, para qual o processo de substituição inversa e a desintercalação de torção de coluna foram executados, mas a desintercalação de paridade não foi executada, do desintercalador de torção de coluna 55 como descrito acima usando uma matriz de verificação de paridade de conversão obtida executando pelo menos substituição de coluna correspondendo à intercalação de paridade para a matriz de verificação de paridade H usada para a codificação de LDPC pela seção de codificação de LDPC 21 da Figura 8.

[00614] Aqui, decodificação de LDPC pode suprimir a frequência de operação dentro de uma gama suficientemente implementável enquanto suprimindo a escala de circuito executando a decodificação de LDPC usando a matriz de verificação de paridade de conversão foi proposto anteriormente (se refira, por exemplo, à Patente Japonesa Aberta No. 2004-343170).

[00615] Assim, a decodificação de LDPC proposta anteriormente que usa uma matriz de verificação de paridade de conversão é descrita primeiro com referência às Figuras 72 a 75.

[00616] Figura 72 mostra um exemplo da matriz de verificação de paridade H de um código de LDPC cujo comprimento de código N é 90 e taxa de codificação é 2/3.

[00617] É para ser notado que, na Figura 72, 0 é representado por um período (·) (isto se aplica semelhantemente também às Figuras 73 e 74 descritas em seguida).

[00618] Na matriz de verificação de paridade H da Figura 72, a matriz de paridade tem uma estrutura de escada.

[00619] Figura 73 ilustra uma matriz de verificação de paridade H' obtida aplicando substituição de linha de uma expressão (11) e substituição de coluna de uma expressão (12) para a matriz de verificação de paridade H da Figura 72.

$$\text{Substituição de linha: } 6s+t+1^{\text{a}} \text{ linha} \rightarrow 5t+s+1^{\text{a}} \text{ linha} \quad (11)$$

$$\text{Substituição de coluna: } 6x+y+61^{\text{a}} \text{ coluna} \rightarrow 5y+x+61^{\text{a}} \text{ coluna} \quad (12)$$

[00620] Porém, nas expressões (11) e (12), s, t, x e y são inteiros dentro das gamas de  $0 \leq s < 5$ ,  $0 \leq t < 6$ ,  $0 \leq x < 5$  e  $0 \leq y < 6$ , respectivamente.

[00621] De acordo com a substituição de linha da expressão (11), a substituição é executada de tal maneira que a 1<sup>a</sup>, 7<sup>a</sup>, 13<sup>a</sup>, 19<sup>a</sup> e 25<sup>a</sup> linhas cada uma cujo número indica um resto de 1 onde é dividido por 6 seja substituída a 1<sup>a</sup>, 2<sup>a</sup>, 3<sup>a</sup>, 4<sup>a</sup> e 5<sup>a</sup> linhas, e a 2<sup>a</sup>, 8<sup>a</sup>, 14<sup>a</sup>, 20<sup>a</sup> e 26<sup>a</sup> linhas cada uma cuja número indica um resto de 2 onde é dividido por 6 seja substituída a 6<sup>a</sup>, 7<sup>a</sup>, 8<sup>a</sup>, 9<sup>a</sup> e 10<sup>a</sup>

linhas.

[00622] Por outro lado, de acordo com a substituição de coluna da expressão (12), a substituição é executada para a 61<sup>a</sup> e colunas sucessivas (matriz de paridade) tal que a 61<sup>a</sup>, 67<sup>a</sup>, 73<sup>a</sup>, 79<sup>a</sup> e 85<sup>a</sup> colunas cada um de cujo número indica um resto de 1 onde é dividido por 6 seja substituída a 61<sup>a</sup>, 62<sup>a</sup>, 63<sup>a</sup>, 64<sup>a</sup> e 65<sup>a</sup> colunas, e a 62<sup>a</sup>, 68<sup>a</sup>, 74<sup>a</sup>, 80<sup>a</sup> e 86<sup>a</sup> colunas cada um de cujo número indica um resto de 2 onde é dividido por 6 seja substituída a 66<sup>a</sup>, 67<sup>a</sup>, 68<sup>a</sup>, 69<sup>a</sup> e 70<sup>a</sup> colunas.

[00623] Uma matriz obtida executando substituição das linhas e das colunas para a matriz de verificação de paridade H da Figura 72 é uma matriz de verificação de paridade H' da Figura 73.

[00624] Aqui, até mesmo se a substituição de linha da matriz de verificação de paridade H for executada, isto não tem uma influência no arranjo dos bits de código do código de LDPC.

[00625] Enquanto isso, a substituição de coluna da expressão (12) corresponde à intercalação de paridade quando o comprimento de informação K, o número de coluna de unidade P da estrutura cíclica e o divisor q (= M/P) do comprimento de paridade M (aqui, 30) na intercalação de paridade de intercalar o K+qx+y+1-ésimo bit de código à posição do K+Py+x+1-ésimo bit de código é fixado a 60, 5 e 6, respectivamente.

[00626] Se a matriz de verificação de paridade H' (em seguida referida apropriadamente como matriz de verificação de paridade de substituição) da Figura 73 for multiplicada por um resultado de substituição mesmo como aquele da expressão (12) para o código de LDPC da matriz de verificação de paridade H (em seguida referida apropriadamente como matriz de verificação de paridade original), então da Figura 72, o vetor 0 é produzido. Em particular, onde um vetor de linha obtido aplicando a substituição de coluna da expressão (12) para o vetor de linha c como o código de LDPC (uma palavra-código) da matriz de verificação de paridade original H é

representado por  $c'$ , desde que  $Hc^T$  se torna o vetor 0 na base da característica da matriz de verificação de paridade, também  $H'c'^T$  se torna naturalmente o vetor 0.

[00627] Do antecedente, a matriz de verificação de paridade de conversão  $H'$  da Figura 73 se torna a matriz de verificação de paridade de um código de LDPC  $c'$  obtido executando a substituição de coluna da expressão (12) para o código de LDPC  $c$  da matriz de verificação de paridade original  $H$ .

[00628] Por conseguinte, executando a substituição de coluna da expressão (12) para o código de LDPC  $c$  da matriz de verificação de paridade original  $H$ , decodificando (decodificação de LDPC) o código de LDPC  $c'$  depois da substituição de coluna usando a matriz de verificação de paridade  $H'$  da Figura 73 e então executando substituição inversa à substituição de coluna da expressão (12) para resultado de decodificação, um resultado de decodificação semelhante àquele obtido onde o código de LDPC da matriz de verificação de paridade original  $H$  é decodificado usando a matriz de verificação de paridade  $H$  pode ser obtido.

[00629] Figura 74 mostra a matriz de verificação de paridade de conversão  $H'$  da Figura 73, em que um espaço é provido entre unidades de  $5 \times 5$  matrizes.

[00630] Na Figura 74, a matriz de verificação de paridade de conversão  $H'$  é representada por uma combinação de uma matriz unitária de  $5 \times 5$  elementos, outra matriz (em seguida referida apropriadamente como matriz quase unitária) que corresponde à matriz unitária cujo elemento ou elementos de 1 são mudados em um elemento ou elementos de 0, uma matriz adicional (em seguida referida apropriadamente como matriz de deslocamento) que corresponde à matriz unitária ou matriz quase unitária depois que é deslocada ciclicamente (deslocamento cíclico), uma matriz ainda adicional (em seguida referida apropriadamente como matriz de soma) de duas ou mais da matriz

unitária, matriz quase unitária e matriz de deslocamento, e uma matriz 0 de  $5 \times 5$  elementos.

[00631] Pode ser considerado que a matriz de verificação de paridade de conversão  $H'$  da Figura 74 é composta de uma matriz unitária, uma matriz quase unitária, uma matriz de deslocamento, uma matriz de soma e uma matriz 0 de  $5 \times 5$  elementos. Para esse fim, as matrizes de  $5 \times 5$  elementos que compõem a matriz de verificação de paridade de conversão  $H'$  são chamadas em seguida matrizes de componente.

[00632] Para decodificação de um código de LDPC representado por uma matriz de verificação de paridade representada por uma matriz de  $P \times P$  componentes, uma arquitetura que executa operação matemática de nó de verificação e operação matemática de nó de variável simultaneamente para  $P$  nós de verificação e  $P$  nós de variável pode ser usada.

[00633] Figura 75 é um diagrama de bloco mostrando um exemplo de uma configuração de um aparelho de decodificação que executa tal decodificação já descrita.

[00634] Em particular, a figura 75 mostra um exemplo de uma configuração de um aparelho de decodificação que executa decodificação de códigos de LDPC da matriz de verificação de paridade original  $H$  da Figura 72 usando a matriz de verificação de paridade de conversão  $H'$  da Figura 74 obtida executando pelo menos a substituição de coluna da expressão (12).

[00635] O aparelho de decodificação da Figura 75 inclui uma memória de armazenamento de dados de borda 300 incluindo seis FIFOs  $300_1$  a  $300_6$ , um seletor 301 para selecionar os FIFOs  $300_1$  a  $300_6$ , uma seção de verificação de cálculo de nó 302, dois circuitos de deslocamento cíclico 303 e 308, uma memória de armazenamento de dados de borda 304 incluindo 18 FIFOs  $304_1$  a  $304_{18}$ , um seletor 305 para selecionar os FIFOs  $304_1$  a  $304_{18}$ , uma memória de dados de recepção 306 para armazenar informação de recepção, uma seção de cálculo de nó de variável 307, uma seção de cálculo

de palavra decodificada 309, uma seção de rearranjo de dados de recepção 310, e uma seção de rearranjo de dados decodificados 311.

[00636] Primeiro, um método de armazenamento de dados nas memórias de armazenamento de dados de borda 300 e 304 é descrito.

[00637] A memória de armazenamento de dados de borda 300 inclui os seis FIFOs 300<sub>1</sub> a 300<sub>6</sub> o número de qual é igual a um quociente quando o número de linha 30 da matriz de verificação de paridade de conversão H' da Figura 74 é dividido pelo número de linha 5 das matrizes de componente. Cada um dos FIFOs 300<sub>y</sub> (y = 1, 2, ..., 6) tem uma pluralidade de estágios de regiões de armazenamento tal que mensagens correspondendo a cinco bordas cujo número é igual ao número de linhas e o número de colunas das matrizes de componente possam ser lidas ou escritas ao mesmo tempo nas regiões de armazenamento de cada estágio. Ademais, o número de estágios das regiões de armazenamento de cada FIFO 300<sub>y</sub> é nove, que é o número máximo de 1s (peso de Hamming) na direção de linha da matriz de verificação de paridade de conversão da Figura 74.

[00638] No FIFO 300<sub>1</sub>, dados (mensagens v<sub>i</sub> de nós de variável) correspondendo às posições do valor 1 entre a primeira a quintas linhas da matriz de verificação de paridade de conversão H' da Figura 74 são armazenados em uma forma fechada na direção horizontal nas linhas individuais (na forma em que 0 é ignorado). Em particular, se um elemento na j-ésima linha i-ésima coluna for representado como (j, i), então nas regiões de armazenamento no primeiro estágio do FIFO 300<sub>1</sub>, dados correspondendo às posições do valor 1 da matriz unitária de 5 × 5 elementos de (1, 1) a (5, 5) da matriz de verificação de paridade de conversão H' são armazenados. Nas regiões de armazenamento no segundo estágio, dados correspondendo às posições do valor 1 de uma matriz de deslocamento de (1, 21) a (5, 25) da matriz de verificação de paridade de conversão H' (uma matriz de deslocamento obtida deslocando ciclicamente a matriz unitária de 5 × 5

elementos por três na direção à direita). Também nas regiões de armazenamento no terceiro a oitavo estágios, dados são armazenados em uma relação associada com a matriz de verificação de paridade de conversão  $H'$ . Então, nas regiões de armazenamento no nono estágio, dados correspondendo às posições do valor de uma matriz de deslocamento de (1, 86) a (5, 90) da matriz de verificação de paridade de conversão  $H'$  (uma matriz de deslocamento obtida substituindo o valor 1 entre a primeira linha da matriz unitária de  $5 \times 5$  elementos com o valor 0 e então deslocando ciclicamente a matriz unitária depois da substituição por um na direção à esquerda) são armazenados.

[00639] No FIFO  $300_2$ , dados correspondendo às posições do valor 1 da sexta a décima linhas da matriz de verificação de paridade de conversão  $H'$  da Figura 74 são armazenados. Em particular, na região de armazenamento no primeiro estágio do FIFO  $300_2$ , dados correspondendo às posições do valor 1 de uma primeira matriz de deslocamento da qual forma uma matriz de soma (6, 1) a (10, 5) da matriz de verificação de paridade de conversão  $H'$  (uma matriz de soma que é a soma de uma primeira matriz de deslocamento obtida deslocando ciclicamente a matriz unitária de  $5 \times 5$  elementos por um na direção à direita e uma segunda matriz de deslocamento obtida deslocando ciclicamente a matriz unitária de  $5 \times 5$  elementos por dois na direção à direita) são armazenados. Ademais, na região de armazenamento no segundo estágio, dados correspondendo às posições do valor 1 da segunda matriz de deslocamento que forma a matriz de soma (6, 1) a (10, 5) da matriz de verificação de paridade de conversão  $H'$  são armazenados.

[00640] Em particular, com respeito a uma matriz de componente cujo peso é 2 ou mais, onde a matriz de componente é representada na forma da soma de várias dentre uma matriz unitária de  $P \times P$  elementos tendo o peso 1, uma matriz quase unitária correspondendo à matriz unitária cujo um ou mais elementos tendo o valor 1 são substituídos com 0 e uma matriz de

deslocamento obtida deslocando ciclicamente a matriz unitária ou a matriz quase unitária, dados correspondendo às posições do valor 1 da matriz unitária, matriz quase unitária ou matriz de deslocamento cujo peso é 1 (mensagens correspondendo a bordas que pertencem à matriz unitária, matriz quase unitária ou matriz de deslocamento) são armazenados no mesmo endereço (mesmo FIFO dentre os FIFOs 300<sub>1</sub> a 300<sub>6</sub>).

[00641] Também nas regiões de armazenamento no terceiro a nono estágios, dados são armazenados em uma relação associada com a matriz de verificação de paridade de conversão H'.

[00642] Também os FIFOs 300<sub>3</sub> a 300<sub>6</sub> armazenam dados em uma relação associada com a matriz de verificação de paridade de conversão H'.

[00643] A memória de armazenamento de dados de borda 304 inclui 18 FIFOs 304<sub>1</sub> a 304<sub>18</sub>, o número de qual é igual ao quociente quando o número de coluna 90 da matriz de verificação de paridade de conversão H' é dividido pelo número de coluna 5 da matriz de componente. Cada memória de armazenamento de dados de borda 304<sub>x</sub> (x = 1, 2, ..., 18) inclui uma pluralidade de estágios de regiões de armazenamento, e mensagens correspondendo a cinco bordas, o número de qual é igual ao número de linhas e o número de colunas da matriz de verificação de paridade de conversão H' pode ser lido ou escrito nas regiões de armazenamento de cada estágio ao mesmo tempo.

[00644] No FIFO 304<sub>1</sub>, dados correspondendo às posições do valor 1 da primeira a quinta colunas da matriz de verificação de paridade de conversão H' da Figura 74 (mensagens u<sub>j</sub> dos nós de verificação) são armazenados em uma forma fechada na direção vertical nas colunas individuais (na forma em que 0 é ignorado). Em particular, nas regiões de armazenamento no primeiro estágio do FIFO 304<sub>1</sub>, dados correspondendo às posições do valor 1 da matriz unitária de 5 × 5 elementos de (1, 1) a (5, 5) da matriz de verificação de paridade de conversão H' são armazenados. Nas

regiões de armazenamento no segundo estágio, dados correspondendo às posições do valor de uma primeira matriz de deslocamento que forma uma matriz de soma (6, 1) a (10, 5) da matriz de verificação de paridade vertical  $H'$  (uma matriz de soma que é a soma de uma primeira matriz de deslocamento obtida deslocando ciclicamente a matriz unitária de  $5 \times 5$  elementos por um à direita e uma segunda matriz de deslocamento obtida deslocando ciclicamente a matriz unitária de  $5 \times 5$  elementos por dois à direita) são armazenados. Ademais, nas regiões de armazenamento no terceiro estágio, dados correspondendo às posições do valor 1 da segunda matriz de deslocamento que forma a matriz de soma (6, 1) a (10, 5) da matriz de verificação de paridade vertical  $H'$ .

[00645] Em particular, com respeito a uma matriz de componente cujo peso é 2 ou mais, onde a matriz de componente é representada na forma da soma de várias dentre uma matriz unitária de  $P \times P$  elementos tendo o peso 1, uma matriz quase unitária correspondendo à matriz unitária cujo um ou mais elementos tendo o valor 1 são substituídos com 0 e uma matriz de deslocamento obtida deslocando ciclicamente a matriz unitária ou a matriz quase unitária, dados correspondendo às posições do valor 1 da matriz unitária, matriz quase unitária ou matriz de deslocamento cujo peso é 1 (mensagens correspondendo a bordas que pertencem à matriz unitária, matriz quase unitária ou matriz de deslocamento) são armazenados no mesmo endereço (mesmo FIFO dentre os FIFOs 304<sub>1</sub> a 304<sub>18</sub>).

[00646] Também com respeito às regiões de armazenamento no quarto e quinto estágios, dados são armazenados em uma relação associada com a matriz de verificação de paridade de conversão  $H'$ . O número de estágios das regiões de armazenamento do FIFO 304<sub>1</sub> é 5, que é um número máximo do número de 1s (peso de Hamming) na direção de linha na primeira a quinta colunas da matriz de verificação de paridade de conversão  $H'$ .

[00647] Também os FIFOs 304<sub>2</sub> e 304<sub>3</sub> armazenam dados em uma

relação associada com a matriz de verificação de paridade de conversão H' semelhantemente, e cada comprimento (número de estágio) dos FIFOs 304<sub>2</sub> e 304<sub>3</sub> é 5. Também os FIFOs 304<sub>4</sub> a 304<sub>12</sub> armazenam dados em uma relação associada com a matriz de verificação de paridade de conversão H' semelhantemente, e cada comprimento do FIFOs 304<sub>4</sub> a 304<sub>12</sub> é 3. Também os FIFOs 304<sub>13</sub> a 304<sub>18</sub> armazenam dados em uma relação associada com a matriz de verificação de paridade de conversão H' semelhantemente, e cada comprimento dos FIFOs 304<sub>13</sub> a 304<sub>18</sub> é 2.

[00648] Agora, operação do aparelho de decodificação da Figura 75 é descrita.

[00649] A memória de armazenamento de dados de borda 300 inclui os seis FIFOs 300<sub>1</sub> a 300<sub>6</sub>, e FIFOs nos quais dados serão armazenados são selecionados dentre os FIFOs 300<sub>1</sub> a 300<sub>6</sub> conforme informação (IDados de Matriz) D312 representando à qual linha da matriz de verificação de paridade de conversão H' cinco mensagens D311 providas do circuito de deslocamento cíclico 308 no estágio precedente pertencem. Então, as cinco mensagens D311 são armazenadas coletivamente e em ordem nos FIFOs selecionados. Ademais, quando dados são para serem lidos, a memória de armazenamento de dados de borda 300 lê cinco mensagens D300<sub>1</sub> em ordem do FIFO 300<sub>1</sub> e provê as cinco mensagens D300<sub>1</sub> para o seletor 301 no estágio sucessivo. Depois que a leitura das mensagens do FIFO 300<sub>1</sub> termina, a memória de armazenamento de dados de borda 300 lê as mensagens em ordem também dos FIFOs 300<sub>2</sub> a 300<sub>6</sub> e provê as mensagens lidas para o seletor 301.

[00650] O seletor 301 seleciona as cinco mensagens daquele FIFO de qual dados são atualmente lidos dentre os FIFOs 300<sub>1</sub> a 300<sub>6</sub> conforme um sinal selecionado D301 e provê as cinco mensagens como mensagens D302 para a seção de cálculo de nó de verificação 302.

[00651] A seção de cálculo de nó de verificação 302 inclui cinco calculadores de nó de verificação 302<sub>1</sub> a 302<sub>5</sub> e executa a operação

matemática de nó de verificação conforme a expressão (7) usando as mensagens D302 (D302<sub>1</sub> a D302<sub>5</sub>) (mensagens  $v_i$  da expressão (7)) providas a ela pelo seletor 301. Então, a seção de cálculo de nó de verificação 302 provê cinco mensagens D303 (D303<sub>1</sub> para D303<sub>5</sub>) (mensagens  $u_j$  da expressão (7)) obtidas como resultado da operação matemática de nó de verificação para o circuito de deslocamento cíclico 303.

[00652] O circuito de deslocamento cíclico 303 desloca ciclicamente as cinco mensagens D303<sub>1</sub> a 303<sub>5</sub> determinadas pela seção de cálculo de nó de verificação 302 baseado em informação (Dados de Matriz) D305 considerando por qual número de matrizes de unidade originais as bordas correspondentes estão deslocadas ciclicamente na matriz de verificação de paridade de conversão H', e provê um resultado do deslocamento cíclico como uma mensagem D304 para a memória de armazenamento de dados de borda 304.

[00653] A memória de armazenamento de dados de borda 304 inclui 18 FIFOs 304<sub>1</sub> a 304<sub>18</sub>. A memória de armazenamento de dados de borda 304 seleciona um FIFO no qual dados serão armazenados dentre os FIFOs 304<sub>1</sub> a 304<sub>18</sub> conforme a informação D305 considerando à qual linha da matriz de verificação de paridade de conversão H' as cinco mensagens D304 providas do circuito de deslocamento cíclico 303 no estágio precedente pertencem e armazena coletivamente as cinco mensagens D304 em ordem no FIFO selecionado. Por outro lado, quando dados são para serem lidos, a memória de armazenamento de dados de borda 304 lê cinco mensagens D306<sub>1</sub> em ordem do FIFO 304<sub>1</sub> e provê as mensagens D306<sub>1</sub> para o seletor 305 no estágio sucessivo. Depois que a leitura de dados do FIFO 304<sub>1</sub> termina, a memória de armazenamento de dados de borda 304 lê mensagens em ordem também dos FIFOs 304<sub>2</sub> a 304<sub>18</sub> e provê as mensagens para o seletor 305.

[00654] O seletor 305 seleciona as cinco mensagens do FIFO do qual dados são atualmente lidos dentre os FIFOs 304<sub>1</sub> a 304<sub>18</sub> conforme um sinal

selecionado D307 e provê as mensagens selecionadas como mensagens D308 para a seção de cálculo de nó de variável 307 e a seção de cálculo de palavra decodificada 309.

[00655] Por outro lado, a seção de rearranjo de dados de recepção 310 executa a substituição de coluna da expressão (12) para rearranjar um código de LDPC D313 recebido por um trajeto de comunicação e provê o código de LDPC rearranjado D313 como dados de recepção D314 para a memória de dados de recepção 306. A memória de dados de recepção 306 calcula e armazena uma LLR de recepção (relação de probabilidade logarítmica) dos dados de recepção D314 providos a ela da seção de rearranjo de dados de recepção 310 e coleta e provê todas as cinco das LLRs de recepção como valores de recepção D309 à seção de cálculo de nó de variável 307 e à seção de cálculo de palavra decodificada 309.

[00656] A seção de cálculo de nó de variável 307 inclui cinco calculadores de nó de variável 307<sub>1</sub> a 307<sub>5</sub> e executa operação matemática de nó de variável conforme a expressão (1) usando as mensagens D308 (308<sub>1</sub> a 308<sub>5</sub>) (mensagens  $u_j$  da expressão (1)) providas a ela pelo seletor 305 e os cinco valores de recepção D309 (valores de recepção  $u_{O_i}$  da expressão (1)) providos a ela da memória de dados de recepção 306. Então, a seção de cálculo de nó de variável 307 provê mensagens D310 (D301<sub>1</sub> para D310<sub>5</sub>) (mensagens  $v_i$  da expressão (1)) obtidas como resultado da operação matemática ao circuito de deslocamento cíclico 308.

[00657] O circuito de deslocamento cíclico 308 desloca ciclicamente mensagens D310<sub>1</sub> a D310<sub>5</sub> calculadas pela seção de cálculo de nó de variável 307 baseado em informação considerando por qual número de matrizes de unidade originais a borda correspondente está deslocada ciclicamente na matriz de verificação de paridade de conversão  $H'$ , e provê um resultado do deslocamento cíclico como uma mensagem D311 para a memória de armazenamento de dados de borda 300.

[00658] Executando a seqüência de operações descrita acima, decodificação em um ciclo de um código de LDPC pode ser executada. No aparelho de decodificação da Figura 75, depois que um código de LDPC é decodificado por um número predeterminado de vezes, um resultado de decodificação final é determinado pela seção de cálculo de palavra decodificada 309 e a seção de rearranjo de dados decodificados 311 e então produzido.

[00659] Em particular, a seção de cálculo de palavra decodificada 309 inclui cinco calculadores de palavra decodificada  $309_1$  a  $309_5$  e atua como um estágio final em uma pluralidade de ciclos de decodificação para calcular um resultado de decodificação (palavra decodificada) conforme a expressão (5) usando as cinco mensagens D308 ( $D308_1$  a  $D308_5$ ) (mensagens  $u_j$  da expressão (5)) produzidas do seletor 305 e os cinco valores de recepção D309 (valores de recepção  $u_{0i}$  da expressão (5)) produzidos da memória de dados de recepção 306. Então, a seção de cálculo de palavra decodificada 309 provê dados decodificados D315 obtidos como resultado do cálculo à seção de rearranjo de dados decodificados 311.

[00660] A seção de rearranjo de dados decodificados 311 executa substituição inversa à substituição de coluna da expressão (12) para os dados decodificados D315 providos a ela da seção de cálculo de palavra decodificada 309 para rearranjar a ordem dos dados decodificados D315 e produz os dados decodificados rearranjados D315 como um resultado de decodificação D316.

[00661] Como descrito acima, aplicando uma ou ambas de substituição de linha e substituição de coluna a uma matriz de verificação de paridade (matriz de verificação de paridade original) para converter a matriz de verificação de paridade em uma matriz de verificação de paridade (matriz de verificação de paridade de conversão) que pode ser representada por uma combinação de uma matriz unitária de  $P \times P$  elementos, uma matriz quase

unitária correspondendo à matriz unitária cujo elemento ou elementos de 1 são mudados em um elemento ou elementos de 0, uma matriz de deslocamento correspondendo à matriz unitária ou matriz quase unitária depois que é deslocada ciclicamente, uma matriz de soma de duas ou mais da matriz unitária, matriz quase unitária e matriz de deslocamento, e uma matriz 0 de  $P \times P$  elementos como descrito acima, fica possível adotar para decodificação de código de LDPC uma arquitetura que executa operação matemática de nó de verificação e operação matemática de nó de variável simultaneamente para  $P$  nós de verificação e  $P$  nós de variável. Conseqüentemente, executando a operação matemática de nó simultaneamente para  $P$  nós, é possível suprimir a freqüência de operação dentro de uma gama implementável para executar decodificação de LDPC.

[00662] A seção de decodificação de LDPC 56 que compõe o aparelho de recepção 12 da Figura 70 executa operação matemática de nó de verificação e operação matemática de nó de variável simultaneamente para  $P$  nós de verificação e  $P$  nós de variável para executar decodificação de LDPC semelhantemente ao aparelho de decodificação da Figura 75.

[00663] Em particular, é assumido agora para simplificar descrição que a matriz de verificação de paridade de um código de LDPC produzido da seção de codificação de LDPC 21 que compõe o aparelho de transmissão 11 da Figura 8 é, por exemplo, a matriz de verificação de paridade  $H$ , em que a matriz de paridade tem uma estrutura de escada mostrada na Figura 72. Neste exemplo, o intercalador de paridade 23 do aparelho de transmissão 11 executa intercalação de paridade para intercalar o  $K+qx+y+1$ -ésimo bit de código à posição do  $K+Py+x+1$ -ésimo bit de código com o comprimento de informação  $K$  fixado a 60, com o número de coluna de unidade  $P$  da estrutura cíclica fixado a 5 e com o divisor  $q (= M/P)$  do comprimento de paridade  $M$  a 6.

[00664] Desde que esta intercalação de paridade corresponde à

substituição de coluna da expressão (12), a seção de decodificação de LDPC 56 não precisa executar a substituição de coluna da expressão (12).

[00665] Portanto, no aparelho de recepção 12 da Figura 70, um código de LDPC para o qual desintercalação de paridade não foi executada, isso é, um código de LDPC em um estado em que a substituição de coluna da expressão (12) é executada, é provido do desintercalador de torção de coluna 55 para a seção de decodificação de LDPC 56 como descrito acima. A seção de decodificação de LDPC 56 executa processando semelhante àquele do aparelho de decodificação da Figura 75, exceto que a substituição de coluna da expressão (12) não é executada.

[00666] Em particular, a figura 76 mostra um exemplo de uma configuração da seção de decodificação de LDPC 56 da Figura 70.

[00667] Se referindo à Figura 76, a seção de decodificação de LDPC 56 é configurada semelhantemente àquela do aparelho de decodificação da Figura 75, exceto que a seção de rearranjo de dados de recepção 310 da Figura 75 não é provida e executa processando semelhante àquele do aparelho de decodificação da Figura 75, exceto que a substituição de coluna da expressão (12) não é executada. Portanto, descrição da seção de decodificação de LDPC 56 é omitida aqui.

[00668] Desde que a seção de decodificação de LDPC 56 pode ser configurada sem incluir a seção de rearranjo de dados de recepção 310 como descrito acima, pode ser reduzida em escala em comparação com o aparelho de decodificação da Figura 75.

[00669] É para ser notado que, enquanto, nas Figuras 72 a 76, é assumido que o comprimento de código  $N$  do código de LDPC é 90; o comprimento de informação  $K$  é 60; o número de coluna de unidade  $P$  (número de linha e número de coluna de uma matriz de componente) da estrutura cíclica é 5; e o divisor  $q$  ( $= M/P$ ) do comprimento de paridade  $M$  é 6, para descrição simplificada, o comprimento de código  $N$ , comprimento de

informação  $K$ , número de coluna de unidade  $P$  da estrutura cíclica e o divisor  $q$  ( $= M/P$ ) não estão limitados individualmente aos valores específicos dados acima.

[00670] Em particular, enquanto a seção de codificação de LDPC 21 no aparelho de transmissão 11 da Figura 8 produz um código de LDPC em que, por exemplo, o comprimento de código  $N$  é 64.800 ou 16.200, o comprimento de informação  $K$  é  $N-Pq$  ( $= N-M$ ), o número de coluna de unidade  $P$  da estrutura cíclica é 360 e o divisor  $q$  é  $M/P$ , a seção de decodificação de LDPC 56 da Figura 76 também pode ser aplicada onde decodificação de LDPC é executada, executando a operação matemática de nó de verificação e a operação matemática de nó de variável simultaneamente para  $P$  nós de verificação e  $P$  nós de variável com respeito a um tal código de LDPC como já descrito.

[00671] Enquanto a série de processos descritos acima pode ser executada através de hardware, ela pode ser executada caso contrário através de software. Onde a série de processos é executada através de software, um programa que interpreta o software é instalado em um computador para uso universal ou similar.

[00672] Figura 77 mostra um exemplo de uma configuração de uma concretização de um computador no qual um programa para executar a série de processos descritos anteriormente é instalado.

[00673] O programa pode ser gravado com antecedência em um disco rígido 705 ou em uma ROM 703 como um meio de gravação embutido no computador.

[00674] Ou, o programa pode ser armazenado (gravado) temporariamente ou permanentemente no ou em um meio de gravação removível 711 tal como um disco flexível, um CD-ROM (Memória Só de Leitura de Disco Compacto), um disco MO (Magneto Óptico), um DVD (Disco Versátil Digital), um disco magnético ou uma memória de

semicondutor. Tal meio de gravação removível 711 como já descrito pode ser provido como denominado software de pacote.

[00675] É para ser notado que o programa não só pode ser instalado de um tal meio de gravação removível 711 como descrito acima no computador, mas também pode ser instalado no disco rígido 705 embutido no computador, onde é transferido a ele e recebido por uma seção de comunicação 708. Neste exemplo, o programa pode ser transferido ao computador através de comunicação sem fios de um local de carregamento por um satélite artificial, para radiodifusão de satélite digital ou transferido ao computador através de comunicação por fios por uma rede tal como uma LAN (Rede Local) ou a Internet.

[00676] O computador tem uma CPU (Unidade de Processamento Central) 702 embutida nele. Uma interface de entrada/saída 7410 está conectada à CPU 702 em um barramento 701, e se uma instrução for introduzida à CPU 702 pela interface de entrada/saída 710 quando uma seção de entrada 707 configurada de um teclado, um mouse, um microfone e assim sucessivamente é operada por um usuário ou em um caso similar, a CPU 702 executa o programa armazenado na ROM (Memória Só de Leitura) 703. Ou, a CPU 702 carrega um programa armazenado no disco rígido 705, um programa transferido de um satélite ou uma rede, recebido pela seção de comunicação 708 e instalado no disco rígido 705 ou um programa lido do meio de gravação removível 711 carregado em uma unidade de disco 709 e instalado no disco rígido 705 em uma RAM (Memória de Acesso Aleatório) 704 e executa o programa. Conseqüentemente, a CPU 702 executa processamento conforme o fluxograma descrito anteriormente ou processamento executado pela configuração do diagrama de bloco descrito anteriormente. Então, a CPU 702 produz um resultado do processamento de uma seção de saída 706 configurada de um LCD (Mostrador de Cristal Líquido), um alto-falante e assim sucessivamente e transmite o resultado de

processamento da seção de comunicação 708 pela interface de entrada/saída 710 ou grava o resultado de processamento no disco rígido 705 como a ocasião exige.

[00677] Aqui, na especificação presente, etapas de processamento que descrevem o programa para fazer o computador executar vários processos não precisam necessariamente ser processadas em uma série de tempo conforme a ordem descrita como um fluxograma, mas incluem aqueles processos a serem executados em paralelo ou individualmente (por exemplo, processos paralelos ou processos por um objeto).

[00678] Ademais, o programa pode ser processado por um único computador ou pode ser processado através de processamento distribuído por uma pluralidade de computadores. Ademais, o programa pode ser transferido e ser executado por um computador em um lugar remoto.

[00679] Agora, um processo para codificação de LDPC pela seção de codificação de LDPC 21 do aparelho de transmissão 11 é descrito ademais.

[00680] Por exemplo, no padrão de DVB-S.2, codificação de LDPC dos dois comprimentos de código diferentes N de 64.800 bits e 16.200 bits é prescrita.

[00681] E, para o código de LDPC cujo comprimento de código N é 64.800 bits, as 11 taxas de codificação  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$ ,  $8/9$  e  $9/10$  são prescritas, e para o código de LDPC cujo comprimento de código N é 16.200 bits, as 10 taxas de codificação  $1/4$ ,  $1/3$ ,  $2/5$ ,  $1/2$ ,  $3/5$ ,  $2/3$ ,  $3/4$ ,  $4/5$ ,  $5/6$  e  $8/9$  são prescritas.

[00682] A seção de codificação de LDPC 21 executa codificação (codificação de correção de erros) em códigos de LDPC das taxas de codificação diferentes cujo comprimento de código N é 64.800 bits ou 16.200 bits conforme uma matriz de verificação de paridade H preparada para cada comprimento de código N e para cada taxa de codificação.

[00683] Em particular, a seção de codificação de LDPC 21 armazena

uma tabela de valor inicial de matriz de verificação de paridade descrita em seguida para produzir uma matriz de verificação de paridade  $H$  para cada comprimento de código  $N$  e para cada taxa de codificação.

[00684] Aqui, no padrão de DVB-S.2, códigos de LDPC dos dois comprimentos de código diferentes  $N$  de 64.800 bits e 16.200 bits são prescritos como descrito anteriormente, e as 11 taxas de codificação diferentes são prescritas para o código de LDPC cujo comprimento de código  $N$  é 64.800 bits e as 10 taxas de codificação diferentes são prescritas para o código de LDPC cujo comprimento de código  $N$  é 16.200 bits.

[00685] Por conseguinte, onde o aparelho de transmissão 11 é um aparelho que executa processamento conforme o padrão de DVB-S.2, tabelas de valor inicial de matriz de verificação de paridade correspondendo individualmente às 11 taxas de codificação diferentes para o código de LDPC cujo comprimento de código  $N$  é 64.800 bits e tabelas de valor inicial de matriz de verificação de paridade correspondendo individualmente às 10 taxas de codificação diferentes para o código de LDPC cujo comprimento de código  $N$  é 16.200 bits são armazenadas na seção de codificação de LDPC 21.

[00686] A seção de codificação de LDPC 21 fixa um comprimento de código  $N$  e uma taxa de codificação  $r$  para códigos de LDPC, por exemplo, em resposta a uma operação de um operador. O comprimento de código  $N$  e a taxa de codificação  $r$  fixada pela seção de codificação de LDPC 21 são referidas em seguida apropriadamente como comprimento de código de conjunto  $N$  e taxa de codificação de conjunto  $r$ , respectivamente.

[00687] A seção de codificação de LDPC 21 coloca, baseado nas tabelas de valor inicial de matriz de verificação de paridade correspondendo ao comprimento de código de conjunto  $N$  e à taxa de codificação de conjunto  $r$ , elementos do valor 1 de uma matriz de informação  $H_A$  correspondendo a um comprimento de informação  $K$  ( $= Nr =$  comprimento de código  $N -$  comprimento de paridade  $M$ ) correspondendo ao comprimento de código de

conjunto  $N$  e à taxa de codificação de conjunto  $r$  em um período de 360 colunas (número de coluna de unidade  $P$  da estrutura cíclica) na direção de coluna para produzir uma matriz de verificação de paridade  $H$ .

[00688] Então, a seção de codificação de LDPC 21 extrai bits de informação para o comprimento de informação  $K$  de dados de objeto que são um objeto de transmissão tais como dados de imagem ou dados de som providos do aparelho de transmissão 11. Ademais, a seção de codificação de LDPC 21 calcula bits de paridade correspondendo aos bits de informação baseado na matriz de verificação de paridade  $H$  para produzir uma palavra-código (código de LDPC) para um comprimento de código.

[00689] Em outras palavras, a seção de codificação de LDPC 21 executa sucessivamente operação matemática de um bit de paridade da palavra-código  $c$  que satisfaz a expressão seguinte.

$$Hc^T = 0$$

[00690] Aqui, na expressão acima,  $c$  indica um vetor de linha como a palavra-código (código de LDPC), e  $c^T$  indica inversão do vetor de linha  $c$ .

[00691] Onde, de dentro do vetor de linha  $c$  como um código de LDPC (uma palavra-código), uma porção correspondendo aos bits de informação é representada por um vetor de linha  $A$  e uma porção correspondendo aos bits de paridade é representada por um vetor de linha  $T$ , o vetor de linha  $c$  pode ser representado por uma expressão  $c = [A|T]$  do vetor de linha  $A$  como os bits de informação e o vetor de linha  $T$  como os bits de paridade.

[00692] Enquanto isso, a matriz de verificação de paridade  $H$  pode ser representada, da matriz de informação codificam  $H_A$  desses dos bits de código do código de LDPC correspondendo aos bits de informação e à matriz de paridade  $H_T$  desses dos bits de código do código de LDPC correspondendo aos bits de paridade por uma expressão  $H = [H_A|H_T]$  (matriz em que os elementos da matriz de informação  $H_A$  são elementos no lado esquerdo e os elementos da matriz de paridade  $H_T$  são elementos no lado direito).

[00693] Ademais, por exemplo, no padrão de DVB-S.2, a matriz de verificação de paridade  $H_T$  da matriz de verificação de paridade  $H = [H_A|H_T]$  tem uma estrutura de escada.

[00694] É necessário para a matriz de verificação de paridade  $H$  e o vetor de linha  $c = [A|T]$  como um código de LDPC satisfazer a expressão  $Hc^T = 0$ , e onde a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H = [H_A|H_T]$  tem uma estrutura de escada, o vetor de linha  $T$  como bits de paridade que configuram o vetor de linha  $c = [A|T]$  que satisfaz a expressão  $Hc^T = 0$  podem ser determinados seqüencialmente fixando os elementos de cada linha a zero em ordem começando com os elementos na primeira linha do vetor de coluna  $Hc^T$  na expressão  $Hc^T = 0$ .

[00695] Se a seção de codificação de LDPC 21 determinar um bit de paridade  $T$  para um bit de informação  $A$ , então produz uma palavra-código  $c = [A|T]$  representada pelo bit de informação  $A$  e pelo bit de paridade  $T$  como um resultado de codificação de LDPC do bit de informação  $A$ .

[00696] Como descrito acima, a seção de codificação de LDPC 21 armazena as tabelas de valor inicial de matriz de verificação de paridade correspondendo aos comprimentos de código  $N$  e à taxa de codificação  $r$  com antecedência nela e executa codificação de LDPC do comprimento de código de conjunto  $N$  e a taxa de codificação de conjunto  $r$  usando uma matriz de verificação de paridade  $H$  produzida das tabelas de valor inicial de matriz de verificação de paridade correspondendo ao comprimento de código de conjunto  $N$  e à taxa de codificação de conjunto  $r$ .

[00697] Cada tabela de valor inicial de matriz de verificação de paridade é uma tabela que representa a posição de elementos do valor 1 da matriz de informação  $H_A$  correspondendo ao comprimento de informação  $K$  correspondendo ao comprimento de código  $N$  e à taxa de codificação  $r$  do código de LDPC da matriz de verificação de paridade  $H$  (código de LDPC definido pela matriz de verificação de paridade  $H$ ) para todas as 360 linhas

(número de coluna de unidade P da estrutura periódica), e é produzido com antecedência para uma matriz de verificação de paridade H para cada comprimento de código N e cada taxa de codificação r.

[00698] Figuras 78 a 123 ilustram as tabelas de valor inicial de matriz de verificação de paridade para produzir várias matrizes de verificação de paridade H incluindo tabelas de valor inicial de matriz de verificação de paridade prescritas no padrão de DVB-S.2.

[00699] Em particular, a figura 78 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de  $2/3$ .

[00700] Figuras 79 a 81 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de  $2/3$ .

[00701] É para ser notado que a Figura 80 é uma vista continuando da Figura 79 e Figura 81 é uma vista continuando da Figura 80.

[00702] Figura 82 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de  $3/4$ .

[00703] Figuras 83 a 86 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de  $3/4$ .

[00704] É para ser notado que a Figura 84 é uma vista continuando da Figura 83 e Figura 85 é uma vista continuando da Figura 84. Ademais, a figura 86 é uma vista continuando da Figura 85.

[00705] Figura 87 mostra a tabela de valor inicial de matriz de

verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 4/5.

[00706] Figuras 88 a 91 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 4/5.

[00707] É para ser notado que a Figura 89 é uma vista continuando da Figura 88 e Figura 90 é uma vista continuando da Figura 89. Ademais, a figura 91 é uma vista continuando da Figura 90.

[00708] Figura 92 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 5/6.

[00709] Figuras 93 a 96 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 5/6.

[00710] É para ser notado que a figura 94 é uma vista continuando da Figura 93 e Figura 95 é uma vista continuando da Figura 94. Ademais, a figura 96 é uma vista continuando da Figura 95.

[00711] Figura 97 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 8/9.

[00712] Figuras 98 a 101 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 8/9.

[00713] É para ser notado que a Figura 99 é uma vista continuando da Figura 98 e Figura 100 é uma vista continuando da Figura 99. Ademais, a figura 101 é uma vista continuando da Figura 100.

[00714] Figuras 102 a 105 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 9/10.

[00715] É para ser notado que a Figura 103 é uma vista continuando da Figura 102 e Figura 104 é uma vista continuando da Figura 103. Ademais, a figura 105 é uma vista continuando da Figura 104.

[00716] Figuras 106 e 107 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 1/4.

[00717] É para ser notado que a Figura 107 é uma vista continuando da Figura 106.

[00718] Figuras 108 e 109 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 1/3.

[00719] É para ser notado que a Figura 109 é uma vista continuando da Figura 108.

[00720] Figuras 110 e 111 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 2/5.

[00721] É para ser notado que a Figura 111 é uma vista continuando da Figura 110.

[00722] Figuras 112 a 114 mostram a tabela de valor inicial de matriz

de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 1/2.

[00723] É para ser notado que a Figura 113 é uma vista continuando da Figura 112 e Figura 114 é uma vista continuando da Figura 113.

[00724] Figuras 115 a 117 mostram a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 64.800 bits e uma taxa de codificação r de 3/5.

[00725] É para ser notado que a Figura 116 é uma vista continuando da Figura 115 e Figura 117 é uma vista continuando da Figura 116.

[00726] Figura 118 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 1/4.

[00727] Figura 119 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 1/3.

[00728] Figura 120 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 2/5.

[00729] Figura 121 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H prescrita no padrão de DVB-S.2 e tendo um comprimento de código N de 16.200 bits e uma taxa de codificação r de 1/2.

[00730] Figura 122 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade H

prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação  $r$  de  $3/5$ .

[00731] Figura 123 mostra a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação  $r$  de  $3/5$ , que pode ser usada em lugar da tabela de valor inicial de matriz de verificação de paridade da Figura 122.

[00732] A seção de codificação de LDPC 21 do aparelho de transmissão 11 determina uma matriz de verificação de paridade  $H$  da maneira seguinte usando a matriz de verificação de paridade tabelas de valor inicial.

[00733] Em particular, a figura 124 ilustra um método para determinar uma matriz de verificação de paridade  $H$  de uma tabela de valor inicial de matriz de verificação de paridade.

[00734] É para ser notado que a tabela de valor inicial de matriz de verificação de paridade da Figura 124 indica a tabela de valor inicial de matriz de verificação de paridade para uma matriz de verificação de paridade  $H$  prescrita no padrão de DVB-S.2 e tendo um comprimento de código  $N$  de 16.200 bits e uma taxa de codificação  $r$  de  $2/3$  mostrada na Figura 178.

[00735] Como descrito acima, a tabela de valor inicial de matriz de verificação de paridade é uma tabela que representa a posição de elementos do valor 1 de uma matriz de informação  $H_A$  correspondendo ao comprimento de informação  $K$  correspondendo ao comprimento de código  $N$  e à taxa de codificação  $r$  do código de LDPC para todas as 360 colunas (para todo número de coluna de unidade  $P$  da estrutura cíclica), e na primeira linha da tabela de valor inicial de matriz de verificação de paridade, vários números de linha de elementos do valor 1 entre a  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade  $H$  (números de linha onde o número de linha da primeira linha da matriz de verificação de paridade  $H$  é 0) igual ao número de

pesos de coluna que a  $1+360 \times (i-1)$ -ésima coluna tem.

[00736] Aqui, é assumido que a matriz de paridade  $H_T$  da matriz de verificação de paridade  $H$  correspondendo ao comprimento de paridade  $M$  tem uma estrutura de escada e é determinada com antecedência. De acordo com a tabela de valor inicial de matriz de verificação de paridade, a matriz de informação  $H_A$  correspondendo ao comprimento de informação  $K$  de dentro da matriz de verificação de paridade  $H$  é determinada.

[00737] O número de linha  $k+1$  da tabela de valor inicial de matriz de verificação de paridade difere dependendo do comprimento de informação  $K$ .

[00738] O comprimento de informação  $K$  e a número de linha  $k+1$  da matriz de verificação de paridade tabela de valor inicial satisfazem uma relação dada pela expressão seguinte.

$$K = (k + 1) \times 360$$

[00739] Aqui, 360 na expressão acima é o número de coluna de unidade  $P$  da estrutura cíclica.

[00740] Na tabela de valor inicial de matriz de verificação de paridade da Figura 124, 13 valores numéricos são listados na primeira a terceira linhas, e três valores numéricos são listados na quarta a  $k+1$ -ésima (na Figura 124, 30ª) linhas.

[00741] Por conseguinte, o número de pesos de coluna na matriz de verificação de paridade  $H$  determinada da tabela de valor inicial de matriz de verificação de paridade da Figura 124 é 13 na primeira a  $1+360 \times (3-1)-1$ -ésima linhas, mas é 3 entre a  $1+360 \times (3-1)$ -ésima a  $K$ -ésima linhas.

[00742] A primeira linha da tabela de valor inicial de matriz de verificação de paridade da Figura 124 inclui 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 e 2622, e isto indica que, na primeira coluna da matriz de verificação de paridade  $H$ , os elementos em linhas dos números de linha de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 e 2622 têm o valor 1 (e além disso os outros elementos têm

o valor 0).

[00743] Enquanto isso, a segunda linha da tabela de valor inicial de matriz de verificação de paridade da Figura 124 inclui 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 e 3108, e isto indica que, na  $361^{\text{a}}$  ( $= 1+360 \times (2-1)$ -ésima) coluna da matriz de verificação de paridade H, os elementos em linhas dos números de linha de 1, 122, 1546, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 e 3108 têm o valor 1.

[00744] Como determinado acima, a tabela de valor inicial de matriz de verificação de paridade representa a posição de elementos do valor 1 da matriz de informação  $H_A$  da matriz de verificação de paridade H para todas as 360 colunas.

[00745] Cada uma das colunas da matriz de verificação de paridade H diferente de a  $1+360 \times (i-1)$ -ésima coluna, quer dizer, cada uma das  $2+360 \times (i-1)$ -ésima coluna a  $360 \times i$ -ésima coluna, inclui elementos do valor de 1 obtidos deslocando ciclicamente os elementos do valor de 1 da  $1+360 \times (i-1)$ -ésima coluna dependendo da tabela de valor inicial de matriz de verificação de paridade periodicamente na direção descendente (na direção descendente da coluna) conforme o comprimento de paridade M.

[00746] Em particular, por exemplo, a  $2+360 \times (i-1)$ -ésima coluna é uma coluna obtida deslocando ciclicamente a  $1+360 \times (i-1)$ -ésima coluna na direção descendente por  $M/360 (= q)$ , e a próxima  $3+360 \times (i-1)$ -ésima coluna é uma obtida deslocando ciclicamente a  $1+360 \times (i-1)$ -ésima coluna na direção descendente por  $2 \times M/360 (= 2 \times q)$  e então deslocando ciclicamente a coluna deslocada ciclicamente ( $2+360 \times (i-1)$ -ésima coluna) na direção descendente por  $M/360 (= q)$ .

[00747] Agora, se for assumido que o valor de numeral na j-ésima coluna (j-ésima da esquerda) na i-ésima linha (i-ésima linha de acima) da tabela de valor inicial de matriz de verificação de paridade é representada por  $b_{i,j}$  e o número de linha do j-ésimo elemento do valor 1 na w-ésima coluna da

matriz de verificação de paridade H é representado por  $H_{w,j}$ , então o número de linha  $H_{w,j}$  do elemento do valor 1 na w-ésima coluna que é uma coluna diferente de a  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade H pode ser determinado conforme a expressão seguinte.

$$H_{w,j} = \text{mod}\{h_{i,j} + \text{mod}((w-1),P) \times q, M\}$$

[00748] Aqui,  $\text{mod}(x,y)$  significa um resto quando x é dividido por y.

[00749] Enquanto isso, P é um número de unidade de colunas da estrutura cíclica descrita anteriormente e é, por exemplo, no padrão de DVB-S.2, 360. Ademais, q é um valor  $M/360$  obtido dividindo o comprimento de paridade M pelo número de colunas de unidade P (= 360) da estrutura cíclica.

[00750] A seção de codificação de LDPC 21 especifica o número de linha dos elementos do valor 1 entre a  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade H da tabela de valor inicial de matriz de verificação de paridade.

[00751] Ademais, a seção de codificação de LDPC 21 determina o número de linha  $H_{w,j}$  do elemento do valor 1 na w-ésima coluna que é uma coluna diferente de a  $1+360 \times (i-1)$ -ésima coluna da matriz de verificação de paridade H e produz uma matriz de verificação de paridade H na qual os elementos dos números de linha obtidos pelo antecedente tem o valor 1.

[00752] Agora, variações do método de substituição de bits de código de um código de LDPC no processo de substituição pela seção de substituição 32 do desmultiplexador 25 no aparelho de transmissão 11, quer dizer, do padrão de alocação (em seguida chamado padrão de alocação de bit) de bits de código de um código de LDPC e bits de símbolo representativos de um símbolo, são descritas.

[00753] No desmultiplexador 25, os bits de código do código de LDPC são escritos na direção de coluna da memória 31 que armazena  $(N/(mb)) \times (mb)$  bits na direção de coluna  $\times$  direção de linha. Depois disso, os bits de código são lidos em uma unidade de mb bits na direção de linha. Ademais, no

desmultiplexador 25, a seção de substituição 32 substitui os  $mb$  bits de código lidos na direção de linha da memória 31 e determina os bits de código depois da substituição como  $mb$  bits de símbolo de  $b$  símbolos (sucessivos).

[00754] Em particular, a seção de substituição 32 determina o  $i+1$ -ésimo bit do bit mais significativo dos  $mb$  bits de código lidos na direção de linha da memória 31 como o bit de código  $b_i$  e determina o  $i+1$ -ésimo bit do bit mais significativo dos  $mb$  bits de símbolo dos  $b$  símbolos (sucessivos) como o bit de símbolo  $y_i$ , e então substitui os  $mb$  bits de código  $b_0$  a  $b_{mb-1}$  conforme um padrão de alocação de bit predeterminado.

[00755] Figura 125 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e além disso o método de modulação é 4096QAM e o múltiplo  $b$  é 1.

[00756] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e além disso o método de modulação é 4096QAM e o múltiplo  $b$  é 1, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(12 \times 1)) \times (12 \times 1)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $12 \times 1$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32.

[00757] A seção de substituição 32 substitui  $12 \times 1$  ( $= mb$ ) bits de código  $b_0$  a  $b_{11}$  tal que os  $12 \times 1$  ( $= mb$ ) bits de código  $b_0$  a  $b_{11}$  a serem lidos da memória 31 possam ser alocados aos  $12 \times 1$  ( $= mb$ ) bits de símbolo  $y_0$  a  $y_{11}$  de um ( $= b$ ) símbolo como visto na Figura 125.

[00758] Em particular, de acordo com a Figura 125, a seção de substituição 32 executa, com respeito a ambos um código de LDPC tendo a taxa de codificação de  $5/6$  e um código de LDPC tendo a taxa de codificação de  $9/10$  dentre códigos de LDPC tendo o comprimento de código  $N$  de 64.800 bits, substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_0$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_4$  ao bit de símbolo  $y_4$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_5$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_8$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_{10}$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_{11}$ , e  
o bit de código  $b_{11}$  ao bit de símbolo  $y_9$ .

[00759] Figura 226 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e além disso o método de modulação é 4096QAM e o múltiplo  $b$  é 2.

[00760] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e além disso o método de modulação é 4096QAM e o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(12 \times 2)) \times (12 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $12 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00761] A seção de substituição 32 substitui  $12 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{23}$  tal que os  $12 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{23}$  a serem lidos da memória 31 possam ser alocados aos  $12 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{23}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 126.

[00762] Em particular, de acordo com a Figura 126, a seção de substituição 32 executa, com respeito a ambos um código de LDPC tendo a

taxa de codificação de 5/6 e um código de LDPC tendo a taxa de codificação de 9/10 dentre códigos de LDPC tendo o comprimento de código N de 64.800 bits, substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_0$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_{12}$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_{14}$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_{16}$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_{18}$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_{20}$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_{22}$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_{20}$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_{12}$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_{18}$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_{13}$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_{16}$ ,
- o bit de código  $b_{11}$  ao bit de símbolo  $y_{17}$ ,
- o bit de código  $b_{13}$  ao bit de símbolo  $y_{14}$ ,
- o bit de código  $b_{15}$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_{17}$  ao bit de símbolo  $y_{19}$ ,
- o bit de código  $b_{19}$  ao bit de símbolo  $y_{22}$ ,
- o bit de código  $b_{21}$  ao bit de símbolo  $y_{23}$ , e
- o bit de código  $b_{23}$  ao bit de símbolo  $y_{21}$ .

[00763] Aqui, o padrão de alocação de bit da Figura 126 utiliza o padrão de alocação de bit da Figura 125 em que o múltiplo  $b$  é 1 sem qualquer

modificação. Em particular, na Figura 126, a alocação dos bits de código  $b_0, b_2, \dots, b_{22}$  para os bits de símbolo  $y_i$  e a alocação do  $b_1, b_3, \dots, b_{23}$  para os bits de símbolo  $y_i$  são semelhantes à alocação dos bits de código  $b_0$  a  $b_{11}$  para os bits de símbolo  $y_1$  da Figura 125.

[00764] Figura 127 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 1024QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/4, 5/6$  ou  $8/9$  e além disso o múltiplo  $b$  é 2 e também onde o método de modulação é 1024QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cujo comprimento de codificação é  $3/4, 5/6$  ou  $9/10$  e além disso o múltiplo  $b$  é 2.

[00765] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/4, 5/6$  ou  $8/9$  e o método de modulação é 1024QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(10 \times 2)) \times (10 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $10 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00766] Por outro lado, onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/4, 5/6$  ou  $9/10$  e o método de modulação é 1024QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(10 \times 2)) \times (10 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $10 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00767] A seção de substituição 32 substitui  $10 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{19}$  tal que os  $10 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{19}$  a serem lidos da memória 31 possam ser alocados aos  $10 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{19}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 127.

[00768] Em particular, de acordo com a Figura 127, a seção de substituição 32 executa, com respeito a todos os códigos de LDPC tendo a taxa de codificação de  $3/4$ , código de LDPC tendo a taxa de codificação de  $5/6$  e código de LDPC tendo uma taxa de codificação adicional de  $8/9$  dentre códigos de LDPC tendo o comprimento de código de 16.200 bits como também código de LDPC tendo a taxa de codificação de  $3/4$ , código de LDPC tendo a taxa de codificação de  $5/6$  e código de LDPC tendo uma taxa de codificação adicional de  $9/10$  dentre códigos de LDPC tendo outro comprimento de código N de 64.800, substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_{19}$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_{17}$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_{14}$ ,
- o bit de código  $b_{11}$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_{12}$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_{13}$  ao bit de símbolo  $y_{18}$ ,
- o bit de código  $b_{14}$  ao bit de símbolo  $y_{16}$ ,
- o bit de código  $b_{15}$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_{16}$  ao bit de símbolo  $y_0$ ,
- o bit de código  $b_{17}$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_{18}$  ao bit de símbolo  $y_{13}$ , e
- o bit de código  $b_{19}$  ao bit de símbolo  $y_{12}$ .

[00769] Figura 128 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 4096QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $5/6$  ou  $8/9$  e além disso o múltiplo  $b$  é 2 e também onde o método de modulação é 4096QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e além disso o múltiplo  $b$  é 2.

[00770] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $5/6$  ou  $8/9$  e o método de modulação é 4096QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(12 \times 2)) \times (12 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $12 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00771] Por outro lado, onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $5/6$  ou  $9/10$  e o método de modulação é 4096QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(12 \times 2)) \times (12 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $12 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00772] A seção de substituição 32 substitui  $12 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{23}$  tal que os  $12 \times 2 (= mb)$  bits a serem lidos da memória 31 possam ser alocados aos  $12 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{23}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 128.

[00773] Em particular, de acordo com a Figura 128, a seção de substituição 32 executa, com respeito a todos os códigos de LDPC tendo a taxa de codificação de  $5/6$  e código de LDPC tendo a taxa de codificação de  $8/9$  dentre códigos de LDPC tendo o comprimento de código de 16.200 bits

como também código de LDPC tendo a taxa de codificação de 5/6 e código de LDPC tendo a taxa de codificação de 9/10 dentre códigos de LDPC tendo outro comprimento de código N de 64.800, substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_{19}$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_{21}$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_{16}$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_{23}$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_{18}$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_{14}$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_{22}$ ,
- o bit de código  $b_{11}$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_{12}$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_{13}$  ao bit de símbolo  $y_{17}$ ,
- o bit de código  $b_{14}$  ao bit de símbolo  $y_{13}$ ,
- o bit de código  $b_{15}$  ao bit de símbolo  $y_{20}$ ,
- o bit de código  $b_{16}$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_{17}$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_{18}$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_{19}$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_{20}$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_{21}$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_{22}$  ao bit de símbolo  $y_{12}$ , e
- o bit de código  $y_{23}$  ao bit de símbolo  $y_0$ .

[00774] De acordo com os padrões de alocação de bit mostrados nas Figuras 125 a 128, o mesmo padrão de alocação de bit pode ser adotado para

uma pluralidade de tipos de códigos de LDPC, e além disso, a tolerância a erros pode ser fixada a um desempenho desejado com respeito a todos os vários tipos de códigos de LDPC.

[00775] Em particular, as figuras 129 a 132 ilustram resultados de simulações da BER (Taxa de Erro de Bit) onde um processo de substituição é executado conforme os padrões de alocação de bit das Figuras 125 a 128.

[00776] É para ser notado que, nas Figuras 129 a 132, o eixo de abscissa representa  $E_s/N_0$  (relação de potência de sinal para potência de ruído por um símbolo) e o eixo de ordenada representa a BER.

[00777] Ademais, uma curva de linha sólida representa a BER onde um processo de substituição é executado e uma linha tracejada longa e curta representa a BER onde um processo de substituição não é executada.

[00778] Figura 129 ilustra a BER onde um processo de substituição conforme o padrão de alocação de bit da Figura 125 é executado para códigos de LDPC cujo comprimento de código  $N$  é 64.800 e cuja taxa de codificação é 5/6 e 9/10 adotando 4096QAM como o método de modulação e fixando o múltiplo  $b$  a 1.

[00779] Figura 130 ilustra a BER onde um processo de substituição conforme o padrão de alocação de bit da Figura 126 é executado para códigos de LDPC cujo comprimento de código  $N$  é 64.800 e cuja taxa de codificação é 5/6 e 9/10 adotando 4096QAM como o método de modulação e fixando o múltiplo  $b$  a 2.

[00780] É para ser notado que, nas Figuras 129 e 130, um gráfico tendo uma marca triangular aplicada a ele representa a BER relativa ao código de LDPC tendo a taxa de codificação de 5/6, e um gráfico tendo um asterisco aplicado a ele representa a BER relativa ao código de LDPC tendo a taxa de codificação de 9/10.

[00781] Figura 131 ilustra a BER onde um processo de substituição conforme o padrão de alocação de bit da Figura 127 é executado para códigos

de LDPC cujo comprimento de código N é 16.200 e cuja taxa de codificação é  $3/4$ ,  $5/6$  e  $8/9$  e para códigos de LDPC cujo comprimento de código N é 64.800 e cuja taxa de codificação é  $3/4$ ,  $5/6$  e  $9/10$  adotando 1024QAM como o método de modulação e fixando o múltiplo b a 2.

[00782] É para ser notado que, na Figura 131, um gráfico tendo um asterisco aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de  $9/10$ , e um gráfico tendo uma marca triangular dirigida para cima aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de  $5/6$ . Ademais, um gráfico tendo uma marca quadrada aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de  $3/4$ .

[00783] Ademais, na Figura 131, um gráfico tendo uma marca redonda aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de  $8/9$ , e um gráfico tendo uma marca triangular dirigida para baixo aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de  $5/6$ . Ademais, um gráfico tendo uma marca mais aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de  $3/4$ .

[00784] Figura 132 ilustra a BER onde um processo de substituição conforme o padrão de alocação de bit da Figura 128 é executado para códigos de LDPC cujo comprimento de código N é 16.200 e cuja taxa de codificação é  $5/6$  e  $8/9$  e para códigos de LDPC cujo comprimento de código N é 64.800 e cuja taxa de codificação é  $5/6$  e  $9/10$  adotando 4096QAM como o método de modulação e fixando o múltiplo b a 2.

[00785] É para ser notado que, na Figura 132, um gráfico tendo um asterisco aplicado a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de  $9/10$ , e um

gráfico tendo uma marca triangular dirigida para cima aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de 5/6.

[00786] Ademais, na Figura 132, um gráfico tendo uma marca redonda aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de 8/9, e um gráfico tendo uma marca triangular dirigida para baixo aplicada a ele representa a BER relativa ao código de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de 5/6.

[00787] De acordo com as Figuras 129 a 132, o mesmo padrão de alocação de bit pode ser adotado com respeito a uma pluralidade de tipos de códigos de LDPC. Além disso, a tolerância a erros pode ser fixada a um desempenho desejado com respeito a todos os vários tipos de códigos de LDPC.

[00788] Em particular, onde padrão de alocação de bit para uso exclusivo é adotado para cada um de uma pluralidade de tipos de códigos de LDPC tendo comprimentos de código diferentes e taxas de codificação diferentes, a tolerância a um erro pode ser elevada a um desempenho muito alto. Porém, é necessário mudar o padrão de alocação de bit para cada um de uma pluralidade de tipos de códigos de LDPC.

[00789] Por outro lado, de acordo com o bit padrões de alocação das Figuras 125 a 128, o mesmo padrão de alocação de bit pode ser adotado para uma pluralidade de tipos de códigos de LDPC tendo comprimentos de código diferentes e taxas de codificação diferentes, e a necessidade para mudar o padrão de alocação de bit para cada de uma pluralidade de tipos de códigos de LDPC como em um caso em que padrão de alocação de bit para uso exclusivo é adotado para cada um de uma pluralidade de tipos de códigos de LDPC é eliminada.

[00790] Ademais, de acordo com os padrões de alocação de bit das

Figuras 125 a 128, a tolerância a erros pode ser elevada a um desempenho alto embora seja um pouco mais baixa do que onde padrão de alocação de bit para uso exclusivo é adotado para cada um de uma pluralidade de tipos de códigos de LDPC.

[00791] Em particular, por exemplo, onde o método de modulação é 4096QAM, o mesmo padrão de alocação de bit nas Figuras 125 ou 126 pode ser usado para todos os códigos de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de 5/6 e 9/10. Até mesmo onde o mesmo padrão de alocação de bit é adotado desta maneira, a tolerância a erros pode ser elevada a um desempenho alto.

[00792] Ademais, por exemplo, onde o método de modulação é 1024QAM, o mesmo padrão de alocação de bit da Figura 127 pode ser adotado para todos os códigos de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de 3/4, 5/6 e 8/9 e os códigos de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de 3/4, 5/6 e 9/10. Então, até mesmo se o mesmo padrão de alocação de bit for adotado desta maneira, a tolerância a erros pode ser elevada a um desempenho alto.

[00793] Enquanto isso, por exemplo, onde o método de modulação é 4096QAM, o mesmo padrão de alocação de bit da Figura 128 pode ser adotado para todos os códigos de LDPC tendo o comprimento de código N de 16.200 e a taxa de codificação de 5/6 e 8/9 e os códigos de LDPC tendo o comprimento de código N de 64.800 e a taxa de codificação de 5/6 e 9/10. Então, até mesmo se o mesmo padrão de alocação de bit for adotado desta maneira, a tolerância a erros pode ser elevada a um desempenho alto.

[00794] Variações do padrão de alocação de bit é descrito ademais.

[00795] Figura 133 ilustra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é que qualquer código de LDPC tendo o comprimento de código N de 16.200 ou 64.800 bits e uma das taxas de codificação para o código de LDPC definido por uma matriz de

verificação de paridade H produzida, por exemplo, de qualquer das tabelas de valor inicial de matriz de verificação de paridade mostradas nas Figuras 78 a 123 diferente de a taxa de codificação de 3/5 e além disso o método de modulação é QPSK e o múltiplo b é 1.

[00796] Onde o código de LDPC é um código de LDPC tendo o comprimento de código N de 16.200 ou 64.800 bits e tem a taxa de codificação diferente de 3/5 e além disso o método de modulação é QPSK e o múltiplo b é 1, o desmultiplexador 25 lê bits de código escritos na memória 31 para armazenar  $(N/(2 \times 1)) \times (2 \times 1)$  bits na direção de coluna  $\times$  direção de linha em uma unidade de  $2 \times 1$  (= mb) bits na direção de linha e provê os bits de código lidos para a seção de substituição 32.

[00797] A seção de substituição 32 substitui os  $2 \times 1$  (= mb) bits de código  $b_0$  e  $b_1$  lidos da memória 31 de tal maneira que os  $2 \times 1$  (= mb) bits de código  $b_0$  e  $b_1$  sejam alocados aos  $2 \times 1$  (= mb) bits de símbolo  $y_0$  e  $y_1$  de um (= b) símbolo como visto na Figura 133.

[00798] Em particular, de acordo com a Figura 133, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_0$ , e

o bit de código  $b_1$  ao bit de símbolo  $y_1$ .

[00799] É para ser notado que, também neste exemplo, é possível considerar que substituição não é executada e os bits de código  $b_0$  e  $b_1$  são determinados como eles são como os bits de símbolo  $y_0$  e  $y_1$ , respectivamente.

[00800] Figura 134 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC tendo o comprimento de código N de 16.200 ou 64.800 bits e tem a taxa de codificação diferente de 3/5 e além disso o método de modulação é 16QAM e o múltiplo b é 2.

[00801] Onde o código de LDPC é um código de LDPC que tem o comprimento de código N de 16.200 ou 64.800 bits e tem a taxa de

codificação diferente de  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2, o desmultiplexador 25 lê os bits de código escritos na memória 31 para armazenar  $(N/(4 \times 2)) \times (4 \times 2)$  bits na direção de coluna  $\times$  direção de linha em uma unidade de  $4 \times 2 (= mb)$  bits na direção de linha e provê os bits de código lidos para a seção de substituição 32.

[00802] A seção de substituição 32 substitui os  $4 \times 2 (= mb)$  bits de código  $b_0$  a  $b_7$  lidos da memória 31 de tal maneira que os  $4 \times 2 (= mb)$  bits de código sejam alocados aos  $4 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_7$  de dois ( $= b$ ) símbolos sucessivos como visto na Figura 134.

[00803] Em particular, de acordo com a Figura 134, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_6$ , e
- o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00804] Figura 135 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 64QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 ou 64.800 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e além disso o múltiplo  $b$  é 2.

[00805] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 ou 64.800 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e o método de modulação é 64QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(N/(6 \times 2)) \times (6 \times 2)$  bits na direção de coluna  $\times$  direção de

linha são lidos em uma unidade de  $6 \times 2$  (= mb) bits na direção de linha e providos à seção de substituição 32.

[00806] A seção de substituição 32 substitui os  $6 \times 2$  (= mb) bits de código  $b_0$  a  $b_{11}$  lidos da memória 31 tal que os  $6 \times 2$  (= mb) bits de código  $b_0$  a  $b_{11}$  possam ser alocados aos  $6 \times 2$  (= mb) bits de símbolo  $y_0$  a  $y_{11}$  de dois (= b) símbolos sucessivos como visto na Figura 135.

[00807] Em particular, de acordo com a Figura 135, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_4$ , e
- o bit de código  $b_{11}$  ao bit de símbolo  $y_0$ .

[00808] Figura 136 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 256QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e além disso o múltiplo  $b$  é 2.

[00809] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e o método de modulação é 256QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para

armazenar  $(64.800/(8 \times 2)) \times (8 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $8 \times 2$  (= mb) bits na direção de linha e providos à seção de substituição 32.

[00810] A seção de substituição 32 substitui os  $8 \times 2$  (= mb) bits de código  $b_0$  a  $b_{15}$  lidos da memória 31 tal que os  $8 \times 2$  (= mb) bits de código  $b_0$  a  $b_{15}$  possam ser alocados ao  $8 \times 2$  (= mb) bits de símbolo  $y_0$  a  $y_{15}$  de dois (= b) símbolos sucessivos como visto na Figura 136.

[00811] Em particular, de acordo com a Figura 136, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_{15}$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_{13}$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_8$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_{11}$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,
- o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_8$  ao bit de símbolo  $y_{10}$ ,
- o bit de código  $b_9$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_{10}$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_{11}$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_{12}$  ao bit de símbolo  $y_{12}$ ,
- o bit de código  $b_{13}$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_{14}$  ao bit de símbolo  $y_{14}$ , e
- o bit de código  $b_{15}$  ao bit de símbolo  $y_0$ .

[00812] Figura 137 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 256QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e além disso o múltiplo  $b$

é 1.

[00813] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e o método de modulação é 256QAM e além disso o múltiplo  $b$  é 1, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(8 \times 1)) \times (8 \times 1)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $8 \times 1$  (= mb) bits na direção de linha e providos à seção de substituição 32.

[00814] A seção de substituição 32 substitui os  $8 \times 1$  (= mb) bits de código  $b_0$  a  $b_7$  lidos da memória 31 tal que os  $8 \times 1$  (= mb) bits de código  $b_0$  a  $b_7$  possam ser alocados aos  $8 \times 1$  (= mb) bits de símbolo  $y_0$  a  $y_7$  de um (= b) símbolo como visto na Figura 137.

[00815] Em particular, de acordo com a Figura 137, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_3$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_6$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_4$ , e
- o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00816] Figura 138 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 ou 64.800 bits e cuja taxa de codificação é qualquer diferente de  $3/5$  e além disso o método de modulação é QPSK e o múltiplo  $b$  é 1.

[00817] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 ou 64.800 bits e cuja taxa de codificação é

qualquer diferente de  $3/5$  e além disso o método de modulação é QPSK e o múltiplo  $b$  é 1, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(N/(2 \times 1)) \times (2 \times 1)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $2 \times 1$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32.

[00818] A seção de substituição 32 substitui os  $2 \times 1$  ( $= mb$ ) bits de código  $b_0$  e  $b_1$  lidos da memória 31 tal que os  $2 \times 1$  ( $= mb$ ) bits de código  $b_0$  e  $b_1$  possam ser alocados aos  $2 \times 1$  ( $= mb$ ) bits de símbolo  $y_0$  e  $y_1$  de um ( $= b$ ) símbolo como visto na Figura 138.

[00819] Em particular, de acordo com a Figura 138, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_0$ , e

o bit de código  $b_1$  ao bit de símbolo  $y_2$ .

[00820] É para ser notado que, também neste exemplo, é possível considerar que substituição não é executada e os bits de código  $b_0$  e  $b_1$  são determinados como eles são como os bits de símbolo  $y_0$  e  $y_1$ , respectivamente.

[00821] Figura 139 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2.

[00822] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(4 \times 2)) \times (4 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $4 \times 2$  ( $= mb$ ) bits na direção de linha e providos à seção de substituição 32.

[00823] A seção de substituição 32 substitui os  $4 \times 2$  ( $= mb$ ) bits de código  $b_0$  a  $b_7$  lidos da memória 31 tal que os  $4 \times 2$  ( $= mb$ ) bits de código  $b_0$  a

$b_7$  possam ser alocados aos  $4 \times 2$  (= mb) bits de símbolo  $y_0$  a  $y_7$  de dois (= b) símbolos sucessivos como visto na Figura 139.

[00824] Em particular, de acordo com a Figura 139, a seção de substituição 32 executa substituição para alocar:

- o bit de código  $b_0$  ao bit de símbolo  $y_0$ ,
- o bit de código  $b_1$  ao bit de símbolo  $y_5$ ,
- o bit de código  $b_2$  ao bit de símbolo  $y_1$ ,
- o bit de código  $b_3$  ao bit de símbolo  $y_2$ ,
- o bit de código  $b_4$  ao bit de símbolo  $y_4$ ,
- o bit de código  $b_5$  ao bit de símbolo  $y_7$ ,
- o bit de código  $b_6$  ao bit de símbolo  $y_3$ , e
- o bit de código  $b_7$  ao bit de símbolo  $y_6$ .

[00825] Figura 140 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2.

[00826] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e além disso o método de modulação é 16QAM e o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(4 \times 2)) \times (4 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $4 \times 2$  (= mb) bits na direção de linha e providos à seção de substituição 32.

[00827] A seção de substituição 32 substitui os  $4 \times 2$  (= mb) bits de código  $b_0$  a  $b_7$  lidos da memória 31 tal que os  $4 \times 2$  (= mb) bits de código  $b_0$  a  $b_7$  possam ser alocados aos  $4 \times 2$  (= mb) bits de símbolo  $y_0$  a  $y_7$  de dois (= b) símbolos sucessivos como visto na Figura 240.

[00828] Em particular, de acordo com a Figura 140, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_4$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_4$  ao bit de símbolo  $y_5$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_6$ , e  
o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00829] Figura 141 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 64QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e além disso o múltiplo  $b$  é 2.

[00830] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e o método de modulação é 64QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(6 \times 2)) \times (6 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $6 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00831] A seção de substituição 32 substitui os  $6 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{11}$  lidos da memória 31 tal que os  $6 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{11}$  possam ser alocados aos  $6 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{11}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 141.

[00832] Em particular, de acordo com a Figura 141, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_9$ ,

o bit de código  $b_4$  ao bit de símbolo  $y_0$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_8$  ao bit de símbolo  $y_4$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_{11}$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_5$ , e  
o bit de código  $b_{11}$  ao bit de símbolo  $y_{10}$ .

[00833] Figura 142 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 64QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e além disso o múltiplo  $b$  é 2.

[00834] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e o método de modulação é 64QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(6 \times 2)) \times (6 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $6 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00835] A seção de substituição 32 substitui os  $6 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{11}$  lidos da memória 31 tal que os  $6 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{11}$  possam ser alocados aos  $6 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{11}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 142.

[00836] Em particular, de acordo com a Figura 142, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_{11}$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_{10}$ ,

o bit de código  $b_4$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_9$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_5$ ,  
o bit de código  $b_8$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_4$ , e  
o bit de código  $b_{11}$  ao bit de símbolo  $y_0$ .

[00837] Figura 143 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 256QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e além disso o múltiplo  $b$  é 2.

[00838] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 64.800 bits e cuja taxa de codificação é  $3/5$  e o método de modulação é 256QAM e além disso o múltiplo  $b$  é 2, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(64.800/(8 \times 2)) \times (8 \times 2)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $8 \times 2 (= mb)$  bits na direção de linha e providos à seção de substituição 32.

[00839] A seção de substituição 32 substitui os  $8 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{15}$  lidos da memória 31 tal que os  $8 \times 2 (= mb)$  bits de código  $b_0$  a  $b_{15}$  possam ser alocados aos  $8 \times 2 (= mb)$  bits de símbolo  $y_0$  a  $y_{15}$  de dois  $(= b)$  símbolos sucessivos como visto na Figura 143.

[00840] Em particular, de acordo com a Figura 143, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_{11}$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_4$ ,

o bit de código  $b_4$  ao bit de símbolo  $y_0$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_9$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_7$  ao bit de símbolo  $y_8$ ,  
o bit de código  $b_8$  ao bit de símbolo  $y_{10}$ ,  
o bit de código  $b_9$  ao bit de símbolo  $y_{13}$ ,  
o bit de código  $b_{10}$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_{11}$  ao bit de símbolo  $y_{14}$ ,  
o bit de código  $b_{12}$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_{13}$  ao bit de símbolo  $y_{15}$ ,  
o bit de código  $b_{14}$  ao bit de símbolo  $y_5$ , e  
o bit de código  $b_{15}$  ao bit de símbolo  $y_{12}$ .

[00841] Figura 144 mostra um exemplo de padrão de alocação de bit que pode ser adotado onde o método de modulação é 256QAM e o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e além disso o múltiplo  $b$  é 1.

[00842] Onde o código de LDPC é um código de LDPC cujo comprimento de código  $N$  é 16.200 bits e cuja taxa de codificação é  $3/5$  e o método de modulação é 256QAM e além disso o múltiplo  $b$  é 1, no desmultiplexador 25, os bits de código escritos na memória 31 para armazenar  $(16.200/(8 \times 1)) \times (8 \times 1)$  bits na direção de coluna  $\times$  direção de linha são lidos em uma unidade de  $8 \times 1$  (= mb) bits na direção de linha e providos à seção de substituição 32.

[00843] A seção de substituição 32 substitui os  $8 \times 1$  (= mb) bits de código  $b_0$  a  $b_7$  lidos da memória 31 tal que os  $8 \times 1$  (= mb) bits de código  $b_0$  a  $b_7$  possam ser alocados aos  $8 \times 1$  (= mb) bits de símbolo  $y_0$  a  $y_7$  de um (= b) símbolo como visto na Figura 144.

[00844] Em particular, de acordo com a Figura 144, a seção de substituição 32 executa substituição para alocar:

o bit de código  $b_0$  ao bit de símbolo  $y_7$ ,  
o bit de código  $b_1$  ao bit de símbolo  $y_3$ ,  
o bit de código  $b_2$  ao bit de símbolo  $y_1$ ,  
o bit de código  $b_3$  ao bit de símbolo  $y_5$ ,  
o bit de código  $b_4$  ao bit de símbolo  $y_2$ ,  
o bit de código  $b_5$  ao bit de símbolo  $y_6$ ,  
o bit de código  $b_6$  ao bit de símbolo  $y_4$ , e  
o bit de código  $b_7$  ao bit de símbolo  $y_0$ .

[00845] Agora, o desintercalador 53 que compõe o aparelho de recepção 12 é descrito.

[00846] Figura 145 é uma vista ilustrando processamento do multiplexador 54 que compõe o desintercalador 53.

[00847] Em particular, a figura 145A mostra um exemplo de uma configuração funcional do multiplexador 54.

[00848] O multiplexador 54 é composto de uma seção de substituição inversa 1001 e uma memória 1002.

[00849] O multiplexador 54 determina bits de símbolo de símbolos providos da seção de mapeamento 52 no estágio precedente como um objeto de processamento disso e executa um processo de substituição inversa correspondendo ao processo de substituição executado pelo desmultiplexador 25 do aparelho de transmissão 11 (processo inverso ao processo de substituição), quer dizer, um processo de substituição inversa de retornar as posições dos bits de código (bits de símbolo) do código de LDPC substituído pelo processo de substituição. Então, o multiplexador 54 provê um código de LDPC obtido como resultado do processo de substituição inversa ao desintercalador de torção de coluna 55 no estágio sucessivo.

[00850] Em particular, no multiplexador 54,  $m_b$  bits de símbolo  $y_0, y_1, \dots, y_{m_b-1}$  são providos de  $b$  símbolos em uma unidade de  $b$  símbolos (sucessivos) para a seção de substituição inversa 1001.

[00851] A seção de substituição inversa 1001 executa substituição inversa de retornar o arranjo dos  $mb$  bits de símbolo de  $y_0$  a  $y_{mb-1}$  para o arranjo original dos  $mb$  bits de código de  $b_0, b_1, \dots, b_{mb-1}$  (arranjo dos bits de código  $b_0$  a  $b_{mb-1}$  antes que a substituição pela seção de substituição 32 que compõe o desmultiplexador 25 no lado de aparelho de transmissão 11 seja executada). A seção de substituição inversa 1001 produz bits de código  $b_0$  a  $b_{mb-1}$  obtidos como resultado da substituição inversa.

[00852] A memória 1002 tem uma capacidade de armazenamento de armazenar  $mb$  bits na direção de linha (horizontal) e armazenar  $N/(mb)$  bits na direção de coluna (vertical) semelhantemente para a memória 31 que compõe o desmultiplexador 25 do lado de aparelho de transmissão 11. Em outras palavras, a seção de substituição inversa 1001 é configurada de  $mb$  colunas cada uma das quais armazena  $N/(mb)$  bits.

[00853] Porém, na memória 1002, escrita dos bits de código de códigos de LDPC produzidos da seção de substituição inversa 1001 é executada em uma direção na qual leitura de bits de código da memória 31 do desmultiplexador 25 do aparelho de transmissão 11 é executada, e leitura de bits de código escritos na memória 1002 é executada em uma direção na qual escrita de bits de código na memória 31 é executada.

[00854] Em particular, o multiplexador 54 do aparelho de recepção 12 executa sucessivamente escrita de bits de código de um código de LDPC produzido da seção de substituição inversa 1001 em uma unidade de  $mb$  bits na direção de linha começando com a primeira linha da memória 1002 para uma mais baixa como visto na Figura 145A.

[00855] Então, quando a escrita de bits de código para um comprimento de código termina, o multiplexador 54 lê os bits de código na direção de coluna da memória 1002 e provê os bits de código para o desintercalador de torção de coluna 55 no estágio sucessivo.

[00856] Aqui, a figura 145B é uma vista ilustrando leitura dos bits de

código da memória 1002.

[00857] O multiplexador 54 executa leitura de bits de código de um código de LDPC em uma direção descendente (direção de coluna) de acima de uma coluna que compõe a memória 1002 começando com uma coluna mais à esquerda para uma coluna lateral direita.

[00858] Agora, processamento do desintercalador de torção de coluna 55 que compõe o desintercalador 53 do aparelho de recepção 12 é descrito com referência à Figura 146.

[00859] Figura 146 mostra um exemplo de uma configuração da memória 1002 do multiplexador 54.

[00860] A memória 1002 tem uma capacidade de armazenamento para armazenar  $mb$  bits na direção de coluna (vertical) e armazenar  $N/(mb)$  bits na direção de linha (horizontal) e é composto de  $mb$  colunas.

[00861] O desintercalador de torção de coluna 55 escreve bits de código de um código de LDPC na direção de linha na memória 1002 e controla a posição à qual leitura é começada quando os bits de código são lidos na direção de coluna para executar desintercalação de torção de coluna.

[00862] Em particular, o desintercalador de torção de coluna 55 executa um processo de rearranjo inverso de mudar apropriadamente a posição de começo de leitura à qual leitura de bits de código com respeito a cada uma de uma pluralidade de colunas é para ser começado para retornar o arranjo de bits de código rearranjado pela intercalação de torção de coluna ao arranjo original.

[00863] Aqui, a figura 146 mostra um exemplo de uma configuração da memória 1002 onde o método de modulação é 16QAM e o múltiplo  $b$  é 1. Por conseguinte, o número de bit  $m$  de um símbolo é 4 bits, e a memória 1002 inclui quatro ( $= mb$ ) colunas.

[00864] O desintercalador de torção de coluna 55 executa (em lugar do multiplexador 54), escrita de bits de código de um código de LDPC produzido

da seção de substituição 1001 na direção de linha sucessivamente na memória 1002 começando com a primeira linha para uma linha mais inferior.

[00865] Então, se escrita de bits de código para um comprimento de código terminar, então o desintercalador de torção de coluna 55 executa leitura de bits de código na direção descendente (direção de coluna) de um topo da memória 1002 começando com uma coluna mais à esquerda para uma coluna lateral direita.

[00866] Porém, o desintercalador de torção de coluna 55 executa leitura dos bits de código da memória 1002 determinando a posição de começo de escrita na escrita dos bits de código pelo intercalador de torção de coluna 24 no lado de aparelho de transmissão 11 para uma posição de começo de leitura dos bits de código.

[00867] Em particular, se o endereço da posição do topo de cada coluna for determinado como 0 e o endereço de cada posição na direção de coluna for representado por um inteiro dado em uma ordem ascendente, então onde o método de modulação é 16QAM e o múltiplo  $b$  é 1, o desintercalador de torção de coluna 55 fixa a posição de começo de leitura para a coluna mais à esquerda para a posição cujo endereço é 0, fixa a posição de começo de leitura para a segunda coluna (da esquerda) para a posição cujo endereço é 2, fixa a posição de começo de leitura para a terceira coluna para a posição cujo endereço é 4, e fixa a posição de começo de leitura para a quarta coluna para a posição cujo endereço é 7.

[00868] É para ser notado que, com respeito a cada uma dessas colunas cuja posição de começo de leitura tem um endereço diferente de 0, leitura de bits de código é executada tal que, depois que tal leitura é executada até a posição mais inferior, a posição de leitura é retornada ao topo (posição cujo endereço é 0) da coluna e a leitura é executada para baixo à posição precedendo imediatamente à posição de começo de leitura. Então, depois disso, leitura é executada da próxima (direita) coluna.

[00869] Executando tal intercalação de torção de coluna como descrito acima, o arranjo dos bits de código rearranjado pela intercalação de torção de coluna é retornado ao arranjo original.

[00870] Figura 147 é um diagrama de bloco mostrando outro exemplo da configuração do aparelho de recepção 12.

[00871] Se referindo à Figura 147, o aparelho de recepção 12 é um aparelho de processamento de dados que recebe um sinal de modulação do aparelho de transmissão 11 e inclui uma seção de modulação ortogonal 51, uma seção de mapeamento 52, um desintercalador 53 e uma seção de decodificação de LDPC 1021.

[00872] A seção de modulação ortogonal 51 recebe um sinal de modulação do aparelho de transmissão 11, executa demodulação ortogonal e provê símbolos (valores nas direções de eixo I e Q) obtidos como resultado da demodulação ortogonal à seção de mapeamento 52.

[00873] A seção de desmapeamento 52 executa desmapeamento de converter os símbolos da seção de modulação ortogonal 51 em bits de código de um código de LDPC e provê os bits de código ao desintercalador 53.

[00874] O desintercalador 53 inclui um multiplexador (MUX) 54, um desintercalador de torção de coluna 55 e um desintercalador de paridade 1011 e executa desintercalação dos bits de código do código de LDPC da seção de mapeamento 52.

[00875] Em particular, o multiplexador 54 determina um código de LDPC da seção de mapeamento 52 como um objeto de processamento disso e executa um processo de substituição inversa correspondendo ao processo de substituição executado pelo desmultiplexador 25 do aparelho de transmissão 11 (processo inverso ao processo de substituição), quer dizer, um processo de substituição inversa de retornar as posições dos bits de código substituídos pelo processo de substituição às posições originais. Então, o multiplexador 54 provê um código de LDPC obtido como resultado do processo de substituição

inversa ao desintercalador de torção de coluna 55.

[00876] O desintercalador de torção de coluna 55 determina o código de LDPC do multiplexador 54 como um objeto de processamento e executa desintercalação de torção de coluna correspondendo à intercalação de torção de coluna como um processo de rearranjo executado pelo intercalador de torção de coluna 24 do aparelho de transmissão 11.

[00877] O código de LDPC obtido como resultado do desintercalação de torção de coluna é provido do desintercalador de torção de coluna 55 para o desintercalador de paridade 1011.

[00878] O desintercalador de paridade 1011 determina os bits de código depois de desintercalação de torção de coluna pelo desintercalador de torção de coluna 55 como um objeto de processamento disso e executa desintercalação de paridade correspondendo à intercalação de paridade executada pelo intercalador de paridade 23 do aparelho de transmissão 11 (processo inverso à intercalação de paridade), quer dizer, desintercalação de paridade de retornar o arranjo dos bits de código do código de LDPC cujo arranjo foi mudado pela intercalação de paridade ao arranjo original.

[00879] O código de LDPC obtido como resultado do desintercalação de paridade é provido do desintercalador de paridade 1011 para a seção de decodificação de LDPC 1021.

[00880] Por conseguinte, no aparelho de recepção 12 da Figura 147, o código de LDPC para qual o processo de substituição inversa, desintercalação de torção de coluna e desintercalação de paridade foram executados, quer dizer, um código de LDPC obtido por codificação de LDPC conforme a matriz de verificação de paridade H, é provido à seção de decodificação de LDPC 1021.

[00881] A seção de decodificação de LDPC 1021 executa decodificação de LDPC do código de LDPC do desintercalador 53 usando a própria matriz de verificação de paridade H usada para codificação de LDPC

pela seção de codificação de LDPC 21 do aparelho de transmissão 11 ou uma matriz de verificação de paridade de conversão obtida executando pelo menos conversão de coluna correspondendo à intercalação de paridade para a matriz de verificação de paridade H. Então, a seção de decodificação de LDPC 1021 produz dados obtidos pela decodificação de LDPC como um resultado de decodificação dos dados de objeto.

[00882] Aqui, no aparelho de recepção 12 da Figura 147, desde que um código de LDPC obtido por codificação de LDPC conforme a matriz de verificação de paridade H é provido do (desintercalador de paridade 1011 de) desintercalador 53 para a seção de decodificação de LDPC 1021, onde a decodificação de LDPC do código de LDPC é executada usando a própria matriz de verificação de paridade H usada para a codificação de LDPC pela seção de codificação de LDPC 21 do aparelho de transmissão 11, a seção de decodificação de LDPC 1021 pode ser configurada, por exemplo, de um aparelho de decodificação que executa decodificação de LDPC conforme um método de decodificação serial completo em que operação matemática de mensagens (mensagens de verificação de nó e mensagens de nó de variável) é executada para um por um nó ou outro aparelho de decodificação em que decodificação de LDPC é executada conforme um método de decodificação paralelo completo em que operação matemática de mensagens é executada simultaneamente (em paralelo) para todos os nós.

[00883] Ademais, onde decodificação de LDPC de um código de LDPC é executada usando uma matriz de verificação de paridade de conversão obtida executando pelo menos substituição de coluna correspondendo à intercalação de paridade para a matriz de verificação de paridade H usada na codificação de LDPC pela seção de codificação de LDPC 21 do aparelho de transmissão 11, a seção de decodificação de LDPC 1021 pode ser confirmada de um aparelho de decodificação de uma arquitetura que executa a operação matemática de nó de verificação e a

operação matemática de nó de variável simultaneamente para P (ou um divisor de P diferente de 1) nós de verificação e P nós de variável e que tem uma seção de rearranjo de dados de recepção 310 para executar substituição de coluna semelhante à substituição de coluna para obter uma matriz de verificação de paridade de conversão para o código de LDPC para rearranjar os bits de código dos códigos de LDPC.

[00884] É para ser notado que, enquanto, na Figura 147, o multiplexador 54 para executar o processo de substituição inversa, desintercalador de torção de coluna 55 para executar a desintercalação de torção de coluna e desintercalador de paridade 1011 para executar a desintercalação de paridade são configurados separadamente um do outro para a conveniência de descrição, dois ou mais do multiplexador 54, desintercalador de torção de coluna 55 e desintercalador de paridade 1011 podem ser configurados integralmente semelhantemente ao intercalador de paridade 23, intercalador de torção de coluna 24 e desmultiplexador 25 do aparelho de transmissão 11.

[00885] Figura 148 é um diagrama de bloco mostrando um primeiro exemplo de uma configuração de um sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

[00886] Se referindo à Figura 148, o sistema de recepção inclui uma seção de aquisição 1101, uma seção de processamento de decodificação de linha de transmissão 1102 e uma seção de processamento de decodificação de fonte de informação 1103.

[00887] A seção de aquisição 1101 adquire um sinal incluindo um código de LDPC obtido pelo menos codificando por LDPC dados de objeto como dados de imagem e dados de música de um programa por uma linha de transmissão como, por exemplo, radiodifusão digital terrestre, radiodifusão digital de satélite, uma rede de CATV, a Internet ou alguma outra rede. Então, a seção de aquisição 1101 provê o sinal adquirido para a seção de

processamento de decodificação de linha de transmissão 1102.

[00888] Aqui, onde o sinal adquirido pela seção de aquisição 1101 é radiodifundido, por exemplo, de uma estação de radiodifusão por ondas terrestres, ondas de satélite, uma CATV (Televisão a Cabo) ou similar, a seção de aquisição 1101 é configurada de um sintonizador, um STB (Conversor de TV) ou similar. Por outro lado, onde o sinal adquirido pela seção de aquisição 1101 é transmitido em um estado de multidifusão como na IPTV (Televisão de Protocolo de Internet), por exemplo, de um servidor da web, a seção de aquisição 11 é configurada de uma I/F de rede (Interface) tal como, por exemplo, uma NIC (Placa de Interface de Rede).

[00889] A seção de processamento de decodificação de linha de transmissão 1102 executa um processo de decodificação de linha de transmissão incluindo pelo menos um processo para corrigir erros produzidos na linha de transmissão para o sinal adquirido pela linha de transmissão pela seção de aquisição 1101, e provê um sinal obtido como resultado do processo de decodificação de linha de transmissão à seção de processamento de decodificação de fonte de informação 1103.

[00890] Em particular, o sinal adquirido pela linha de transmissão pela seção de aquisição 1101 é um sinal obtido executando pelo menos codificação de correção de erros para corrigir erros produzidos na linha de transmissão, e para tal um sinal como já descrito, a seção de processamento de decodificação de linha de transmissão 1102 executa um processo de decodificação de linha de transmissão tal como, por exemplo, um processo de correção de erros.

[00891] Aqui, como a codificação de correção de erros, por exemplo, codificação de LDPC, codificação de Reed-Solomon e assim sucessivamente estão disponíveis. Aqui, como a codificação de correção de erros, pelo menos codificação de LDPC é executada.

[00892] Ademais, o processo de decodificação de linha de transmissão às vezes inclui demodulação de um sinal de modulação e assim

sucessivamente.

[00893] A seção de processamento de decodificação de fonte de informação 1103 executa um processo de decodificação de fonte de informação incluindo pelo menos um processo para descomprimir informação comprimida em informação original para o sinal ao qual o processo de decodificação de linha de transmissão foi executado.

[00894] Em particular, o sinal adquirido pela linha de transmissão pela seção de aquisição 1101 às vezes foi processado por codificação de compressão para comprimir informação para reduzir a quantidade de dados tais como imagens, som e assim sucessivamente como informação. Neste exemplo, a seção de processamento de decodificação de fonte de informação 1103 executa um processo de decodificação de fonte de informação como um processo (processo de descompressão) para descomprimir a informação comprimida em informação original para um sinal ao qual o processo de decodificação de linha de transmissão foi executado.

[00895] É para ser notado que, onde o sinal adquirido pela linha de transmissão pela seção de aquisição 1101 não foi executada codificação de compressão, a seção de processamento de decodificação de fonte de informação 1103 não executa o processo de descomprimir a informação comprimida na informação original.

[00896] Aqui, como o processo de descompressão, por exemplo, decodificação de MPEG e assim sucessivamente estão disponíveis. Ademais, o processo de decodificação de linha de transmissão às vezes inclui desembaralhamento além do processo de descompressão.

[00897] No sistema de recepção configurado de tal maneira como descrito acima, a seção de aquisição 1101 recebe um sinal obtido executando codificação de compressão como codificação de MPEG para dados de, por exemplo, imagens, som e assim sucessivamente e executa codificação de correção de erros como codificação de LDPC para a ademais codificar por

compressão dados por uma linha de transmissão. O sinal é provido à seção de processamento de decodificação de linha de transmissão 1102.

[00898] Na seção de processamento de decodificação de linha de transmissão 1102, processos semelhantes àqueles executados, por exemplo, pela seção de modulação ortogonal 51, seção de mapeamento 52, desintercalador 53 e seção de decodificação de LDPC 56 (ou seção de decodificação de LDPC 1021) são executados como o processo de decodificação de linha de transmissão para o sinal da seção de aquisição 1101. Então, um sinal obtido como resultado do processo de decodificação de linha de transmissão é provido à seção de processamento de decodificação de fonte de informação 1103.

[00899] Na seção de processamento de decodificação de fonte de informação 1103, um processo de decodificação de fonte de informação tal como decodificação de MPEG é executado para o sinal da seção de processamento de decodificação de linha de transmissão 1102, e uma imagem ou som obtido como resultado do processo de decodificação de informação é produzido.

[00900] Tal sistema de recepção da Figura 148 como descrito acima pode ser aplicado, por exemplo, a um sintonizador de televisão para receber radiodifusão de televisão como radiodifusão digital e assim sucessivamente.

[00901] É para ser notado que é possível configurar a seção de aquisição 1101, seção de processamento de decodificação de linha de transmissão 1102 e seção de processamento de decodificação de fonte de informação 1103 cada uma como um aparelho independente (hardware (IC (Circuito Integrado) ou similar) ou um módulo de software).

[00902] Ademais, com respeito à seção de aquisição 1101, seção de processamento de decodificação de linha de transmissão 1102 e seção de processamento de decodificação de fonte de informação 1103, um conjunto da seção de aquisição 1101 e seção de processamento de decodificação de

linha de transmissão 1102, outro conjunto da seção de processamento de decodificação de linha de transmissão 1102 e seção de processamento de decodificação de fonte de informação 1103 ou um conjunto adicional da seção de aquisição 1101, seção de processamento de decodificação de linha de transmissão 1102 e seção de processamento de decodificação de fonte de informação 1103 podem ser configurados como um único aparelho independente.

[00903] Figura 149 é um diagrama de bloco mostrando um segundo exemplo da configuração do sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

[00904] É para ser notado que, na Figura 149, elementos correspondendo àqueles na Figura 148 são denotados por mesmos numerais de referência, e descrição deles é omitida apropriadamente na descrição seguinte.

[00905] O sistema de recepção da Figura 149 é comum àquele da Figura 148 visto que inclui uma seção de aquisição 1101, uma seção de processamento de decodificação de linha de transmissão 1102 e uma seção de processamento de decodificação de fonte de informação 1103, mas é diferente daquele da Figura 148 visto que inclui uma seção de saída 1111.

[00906] A seção de saída 1111 é, por exemplo, um aparelho de exibição para exibir uma imagem ou um alto-falante para produzir som e produz uma imagem, um som ou similar como um sinal produzido da seção de processamento de decodificação de fonte de informação 1103. Em outras palavras, a seção de saída 1111 exibe uma imagem ou produz som.

[00907] Tal sistema de recepção da Figura 149 como descrito acima pode ser aplicado, por exemplo, a uma TV (receptor de televisão) para receber uma radiodifusão de televisão tal como uma radiodifusão digital, um receptor de rádio para receber uma radiodifusão de rádio e assim sucessivamente.

[00908] É para ser notado que, onde o sinal adquirido pela seção de

aquisição 1101 não está em uma forma em que codificação de compressão não é aplicada, um sinal produzido da linha de transmissão é provido da seção de processamento de decodificação 1102 à seção de saída 1111.

[00909] Figura 150 é um diagrama de bloco mostrando um terceiro exemplo da configuração do sistema de recepção que pode ser aplicado ao aparelho de recepção 12.

[00910] É para ser notado que, na Figura 150, elementos correspondentes àqueles da Figura 148 são denotados por mesmos numerais de referência, e na descrição seguinte, descrição deles é omitida apropriadamente.

[00911] O sistema de recepção da Figura 150 é comum àquele da Figura 148 visto que inclui uma seção de aquisição 1101 e uma seção de processamento de decodificação de linha de transmissão 1102.

[00912] Porém, o sistema de recepção da Figura 150 é diferente daquele da Figura 148 visto que não inclui a seção de processamento de decodificação de fonte de informação 1103, mas inclui recentemente uma seção de gravação 1121.

[00913] A seção de gravação 1121 grava (armazena) um sinal (por exemplo, um pacote de TS de um TS de MPEG) produzido da seção de processamento de decodificação de linha de transmissão 1102 no ou em um meio de gravação (armazenamento) tal como um disco óptico, um disco rígido (disco magnético) ou uma memória flash.

[00914] Tal sistema de recepção da Figura 150 como descrito acima pode ser aplicado a um gravador para gravar uma radiodifusão de televisão ou similar.

[00915] É para ser notado que, na Figura 150, o sistema de recepção pode incluir a seção de processamento de decodificação de fonte de informação 1103 tal que um sinal depois que um processo de decodificação de fonte de informação foi executado pela seção de processamento de

decodificação de fonte de informação 1103, quer dizer, uma imagem ou som obtido decodificando, seja gravado pela seção de gravação 1121.

[00916] Deveria ser entendido por aqueles qualificados na arte que várias modificações, combinações, sub-combinações e alterações podem ocorrer, dependendo de exigências de projeto e outros fatores até onde eles estão dentro da extensão das reivindicações anexas ou dos equivalentes delas.

## REIVINDICAÇÕES

1. Aparelho de codificação (11) para executar codificação por um código de LDPC (Verificação de Paridade de Baixa Densidade), caracterizado pelo fato de compreender:

meio de codificação (21) para executar codificação por um código de LDPC de bits de informação em palavra-código LDPC que tem um comprimento de código, N, de 64.800 bits, um comprimento de paridade, M, de 21.600 bits e uma taxa de codificação de 2/3;

em que a codificação por código de LDPC é executada de acordo com uma matriz MxN de verificação de paridade do código de LDPC, a matriz MxN de verificação de paridade inclui uma dimensão de matriz de paridade MxM e uma matriz de informação de dimensão MxK, com K=43.200 bits, onde a matriz de paridade corresponde a bits de paridade do código LDPC e tem uma estrutura em escada;

a matriz de informação sendo representada por uma tabela de valor inicial da matriz de verificação de paridade, que mostra em sua i-ésima linha,  $1 \leq i \leq 120$ , as posições de elementos de valor 1 na  $(1+360(i-1))$ -ésima coluna da matriz de informação, e em que baseado em cada  $(1+360(i-1))$ -ésima coluna,  $1 \leq i \leq 120$ , as colunas de  $(2+360(i-1))$  a  $(360i)$  da matriz de informação são determinadas por deslocar ciclicamente a coluna precedente na direção descendente por  $M/360$ ;

a tabela de valor inicial de matriz de verificação de paridade sendo formada de

```

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739
17407 21039
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737
19245 21272 21379
127 860 5001 5633 8644 9282 12690 14644 17553 19511
19681 20954 21002

```

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985  
15710 20236 20393  
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434  
16727 19884 21325  
706 3220 8568 10896 12486 13663 16398 16599 19475 19781  
20625 20961 21335  
4257 10449 12406 14561 16049 16522 17214 18029 18033  
18802 19062 19526 20748  
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024  
14486 16860  
777 5906 7403 8550 8717 8770 11436 12846 13629 14755  
15688 16392 16419  
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072  
17516 19344 19938  
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437  
17791 20614 21025  
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733  
18140 18729 20920  
856 1690 12787  
6532 7357 9151  
4210 16615 18152  
11494 14036 17470  
2474 10291 10323  
1778 6973 10739  
4347 9570 18748  
2189 11942 20666  
3868 7526 17706  
8780 14796 18268  
160 16232 17399

1285 2003 18922  
4658 17331 20361  
2765 4862 5875  
4565 5521 8759  
3484 7305 15829  
5024 17730 17879  
7031 12346 15024  
179 6365 11352  
2490 3143 5098  
2643 3101 21259  
4315 4724 13130  
594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776  
5246 10398 18597  
3083 4944 21021  
13726 18495 19921  
6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046

5862 10134 11498  
5923 9580 15060  
1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781  
10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761  
350 11659 18342  
5961 14803 16123  
2113 9163 13443  
2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153

13464 14787 14975

799 1107 3789

3571 8176 10165

5433 13446 15481

3351 6767 12840

8950 8974 11650

1430 4250 21332

6283 10628 15050

8632 14404 16916

6509 10702 16278

15900 16395 17995

8031 18420 19733

3747 4634 17087

4453 6297 16262

2792 3513 17031

14846 20893 21563

17220 20436 21337

275 4107 10497

3536 7520 10027

14089 14943 19455

1965 3931 21104

2439 11565 17932

154 15279 21414

10017 11269 16546

7169 10161 16928

10284 16791 20655

36 3175 8475

2605 16269 19290

8947 9178 15420

5687 9156 12408  
8096 9738 14711  
4935 8093 19266  
2667 10062 15972  
6389 11318 14417  
8800 18137 18434  
5824 5927 15314  
6056 13168 15179  
3284 13138 18919  
13115 17259 17332.

2. Método de codificação para um aparelho de codificação que executa codificação por um código de LDPC (Verificação de Paridade de Baixa Densidade), caracterizado pelo fato de compreender:

codificar por um código de LDPC bits de informação em palavra-código LDPC que tem um comprimento de código,  $N$ , de 64.800 bits, um comprimento de paridade,  $M$ , de 21.600 bits e uma taxa de codificação de  $2/3$ ;

em que a codificação por código de LDPC é executada de acordo com uma matriz  $M \times N$  de verificação de paridade do código de LDPC, a matriz  $M \times N$  de verificação de paridade inclui uma dimensão de matriz de paridade  $M \times M$  e uma matriz de informação de dimensão  $M \times K$ , com  $K=43.200$  bits, onde a matriz de paridade corresponde a bits de paridade do código LDPC e tem uma estrutura em escada;

a matriz de informação sendo representada por uma tabela de valor inicial da matriz de verificação de paridade, que mostra em sua  $i$ -ésima linha,  $1 \leq i \leq 120$ , as posições de elementos de valor 1 na  $(1+360(i-1))$ -ésima coluna da matriz de informação, e em que baseado em cada  $(1+360(i-1))$ -ésima coluna,  $1 \leq i \leq 120$ , as colunas de  $(2+360(i-1))$  a  $(360i)$  da matriz de informação são determinadas por deslocar ciclicamente a coluna precedente

na direção descendente por M/360;

a tabela de valor inicial de matriz de verificação de paridade  
sendo formada de

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739  
17407 21039

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737  
19245 21272 21379

127 860 5001 5633 8644 9282 12690 14644 17553 19511  
19681 20954 21002

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985  
15710 20236 20393

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434  
16727 19884 21325

706 3220 8568 10896 12486 13663 16398 16599 19475 19781  
20625 20961 21335

4257 10449 12406 14561 16049 16522 17214 18029 18033  
18802 19062 19526 20748

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024  
14486 16860

777 5906 7403 8550 8717 8770 11436 12846 13629 14755  
15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072  
17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437  
17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733  
18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152  
11494 14036 17470  
2474 10291 10323  
1778 6973 10739  
4347 9570 18748  
2189 11942 20666  
3868 7526 17706  
8780 14796 18268  
160 16232 17399  
1285 2003 18922  
4658 17331 20361  
2765 4862 5875  
4565 5521 8759  
3484 7305 15829  
5024 17730 17879  
7031 12346 15024  
179 6365 11352  
2490 3143 5098  
2643 3101 21259  
4315 4724 13130  
594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776

5246 10398 18597  
3083 4944 21021  
13726 18495 19921  
6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046  
5862 10134 11498  
5923 9580 15060  
1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781  
10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761

350 11659 18342  
5961 14803 16123  
2113 9163 13443  
2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153  
13464 14787 14975  
799 1107 3789  
3571 8176 10165  
5433 13446 15481  
3351 6767 12840  
8950 8974 11650  
1430 4250 21332  
6283 10628 15050  
8632 14404 16916  
6509 10702 16278  
15900 16395 17995  
8031 18420 19733  
3747 4634 17087  
4453 6297 16262  
2792 3513 17031  
14846 20893 21563  
17220 20436 21337  
275 4107 10497  
3536 7520 10027  
14089 14943 19455

1965 3931 21104  
2439 11565 17932  
154 15279 21414  
10017 11269 16546  
7169 10161 16928  
10284 16791 20655  
36 3175 8475  
2605 16269 19290  
8947 9178 15420  
5687 9156 12408  
8096 9738 14711  
4935 8093 19266  
2667 10062 15972  
6389 11318 14417  
8800 18137 18434  
5824 5927 15314  
6056 13168 15179  
3284 13138 18919  
13115 17259 17332.

3. Aparelho de decodificação (12) para executar decodificação por um código de LDPC (Verificação de Paridade de Baixa Densidade), caracterizado pelo fato de compreender:

meio de decodificação (1021) para executar codificação por um código de LDPC de bits de informação em palavra-código LDPC que tem um comprimento de código,  $N$ , de 64.800 bits, um comprimento de paridade,  $M$ , de 21.600 bits e uma taxa de codificação de  $2/3$ ;

em que a palavra-código de LDPC foi formada de acordo com uma matriz  $M \times N$  de verificação de paridade do código de LDPC, a matriz  $M \times N$  de verificação de paridade inclui uma dimensão de matriz de paridade

$M \times M$  e uma matriz de informação de dimensão  $M \times K$ , com  $K=43.200$  bits, onde a matriz de paridade corresponde a bits de paridade do código LDPC e tem uma estrutura em escada;

a matriz de informação sendo representada por uma tabela de valor inicial da matriz de verificação de paridade, que mostra em sua  $i$ -ésima linha,  $1 \leq i \leq 120$ , as posições de elementos de valor 1 na  $(1+360(i-1))$ -ésima coluna da matriz de informação, e em que baseado em cada  $(1+360(i-1))$ -ésima coluna,  $1 \leq i \leq 120$ , as colunas de  $(2+360(i-1))$  a  $(360i)$  da matriz de informação são determinadas por deslocar ciclicamente a coluna precedente na direção descendente por  $M/360$ ;

a tabela de valor inicial de matriz de verificação de paridade sendo formada de

317	2255	2324	2723	3538	3576	6194	6700	9101	10057	12739
17407	21039									
1958	2007	3294	4394	12762	14505	14593	14692	16522	17737	
19245	21272	21379								
127	860	5001	5633	8644	9282	12690	14644	17553	19511	
19681	20954	21002								
2514	2822	5781	6297	8063	9469	9551	11407	11837	12985	
15710	20236	20393								
1565	3106	4659	4926	6495	6872	7343	8720	15785	16434	
16727	19884	21325								
706	3220	8568	10896	12486	13663	16398	16599	19475	19781	
20625	20961	21335								
4257	10449	12406	14561	16049	16522	17214	18029	18033		
18802	19062	19526	20748							
412	433	558	2614	2978	4157	6584	9320	11683	11819	13024
14486	16860									
777	5906	7403	8550	8717	8770	11436	12846	13629	14755	

15688 16392 16419

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072

17516 19344 19938

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437

17791 20614 21025

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733

18140 18729 20920

856 1690 12787

6532 7357 9151

4210 16615 18152

11494 14036 17470

2474 10291 10323

1778 6973 10739

4347 9570 18748

2189 11942 20666

3868 7526 17706

8780 14796 18268

160 16232 17399

1285 2003 18922

4658 17331 20361

2765 4862 5875

4565 5521 8759

3484 7305 15829

5024 17730 17879

7031 12346 15024

179 6365 11352

2490 3143 5098

2643 3101 21259

4315 4724 13130

594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776  
5246 10398 18597  
3083 4944 21021  
13726 18495 19921  
6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046  
5862 10134 11498  
5923 9580 15060  
1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781

10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761  
350 11659 18342  
5961 14803 16123  
2113 9163 13443  
2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153  
13464 14787 14975  
799 1107 3789  
3571 8176 10165  
5433 13446 15481  
3351 6767 12840  
8950 8974 11650  
1430 4250 21332  
6283 10628 15050  
8632 14404 16916  
6509 10702 16278  
15900 16395 17995

8031 18420 19733  
3747 4634 17087  
4453 6297 16262  
2792 3513 17031  
14846 20893 21563  
17220 20436 21337  
275 4107 10497  
3536 7520 10027  
14089 14943 19455  
1965 3931 21104  
2439 11565 17932  
154 15279 21414  
10017 11269 16546  
7169 10161 16928  
10284 16791 20655  
36 3175 8475  
2605 16269 19290  
8947 9178 15420  
5687 9156 12408  
8096 9738 14711  
4935 8093 19266  
2667 10062 15972  
6389 11318 14417  
8800 18137 18434  
5824 5927 15314  
6056 13168 15179  
3284 13138 18919  
13115 17259 17332.

4. Aparelho de decodificação (12), de acordo com a

reivindicação 3, caracterizado pelo fato de compreender meios de substituição reversa para alocar símbolos de bits de símbolos recebidos correspondendo a pontos de sinal em um plano I-Q de 256 QAM para bits de código de Verificação de Paridade de Baixa Densidade, LDPC;

o meio de decodificação sendo adaptado para decodificar os bits de código da palavra-código de LDPC alocada pelo meio de substituição inversa;

em que, quando  $mb$  bits de código são lidos na direção de linha a partir de uma unidade de armazenamento para armazenar  $mb$  bits em uma direção de linha e  $N/mb$  bits em uma direção de coluna, os bits de código da palavra-código de LDPC tendo sido escritos na direção de coluna para a unidade de armazenamento, são transmitidos como símbolos  $b$   $m$ -bit, e  $m=8$  e  $b=2$ ;

o meio de substituição inversa sendo adaptado para alocar os  $mb$  bits de símbolo  $y_j$  dos  $b$  símbolos para  $mb$  bits de código  $b_i$  alocando:

- o bit  $y_7$  ao bit  $b_0$ ,
- o bit  $y_2$  ao bit  $b_1$ ,
- o bit  $y_9$  ao bit  $b_2$ ,
- o bit  $y_0$  ao bit  $b_3$ ,
- o bit  $y_4$  ao bit  $b_4$ ,
- o bit  $y_6$  ao bit  $b_5$ ,
- o bit  $y_{13}$  ao bit  $b_6$ ,
- o bit  $y_3$  ao bit  $b_7$ ,
- o bit  $y_{14}$  ao bit  $b_8$ ,
- o bit  $y_{10}$  ao bit  $b_9$ ,
- o bit  $y_{15}$  ao bit  $b_{10}$ ,
- o bit  $y_5$  ao bit  $b_{11}$ ,
- o bit  $y_8$  ao bit  $b_{12}$ ,
- o bit  $y_{12}$  ao bit  $b_{13}$ ,

o bit  $y_{11}$  ao bit  $b_{14}$ ,

o bit  $y_1$  ao bit  $b_{15}$ ;

e o  $i$ -ésimo bit do bit mais significativo dos bits de código  $m_b$  é representado como bit  $b_i$  e o  $j$ -ésimo bit do bit mais significativo dos bits de símbolo  $m_b$  de dois símbolos é representado como bit  $y_j'$ .

5. Aparelho de decodificação (12), de acordo com a reivindicação 3 ou 4, caracterizado pelo fato de que o aparelho de decodificação é um receptor de televisão.

6. Método de decodificação para um aparelho de decodificação (12) que executa decodificação de um código de LDPC (Verificação de Paridade de Baixa Densidade), caracterizado pelo fato de compreender:

decodificar por um código de LDPC em bits de informação, a palavra-código de LDPC que tem um comprimento de código,  $N$ , de 64.800 bits, um comprimento de paridade,  $M$ , de 21.600 bits e uma taxa de codificação de  $2/3$ ;

em que a palavra-código de LDPC foi formada de acordo com uma matriz  $M \times N$  de verificação de paridade do código de LDPC, a matriz  $M \times N$  de verificação de paridade inclui uma dimensão de matriz de paridade  $M \times M$  e uma matriz de informação de dimensão  $M \times K$ , com  $K=43.200$  bits, onde a matriz de paridade corresponde a bits de paridade do código LDPC e tem uma estrutura em escada;

a matriz de informação sendo representada por uma tabela de valor inicial da matriz de verificação de paridade, que mostra em sua  $i$ -ésima linha,  $1 \leq i \leq 120$ , as posições de elementos de valor 1 na  $(1+360(i-1))$ -ésima coluna da matriz de informação, e em que baseado em cada  $(1+360(i-1))$ -ésima coluna,  $1 \leq i \leq 120$ , as colunas de  $(2+360(i-1))$  a  $(360i)$  da matriz de informação são determinadas por deslocar ciclicamente a coluna precedente na direção descendente por  $M/360$ ;

a tabela de valor inicial de matriz de verificação de paridade sendo formada de

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739  
17407 21039  
1958 2007 3294 4394 12762 14505 14593 14692 16522 17737  
19245 21272 21379  
127 860 5001 5633 8644 9282 12690 14644 17553 19511  
19681 20954 21002  
2514 2822 5781 6297 8063 9469 9551 11407 11837 12985  
15710 20236 20393  
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434  
16727 19884 21325  
706 3220 8568 10896 12486 13663 16398 16599 19475 19781  
20625 20961 21335  
4257 10449 12406 14561 16049 16522 17214 18029 18033  
18802 19062 19526 20748  
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024  
14486 16860  
777 5906 7403 8550 8717 8770 11436 12846 13629 14755  
15688 16392 16419  
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072  
17516 19344 19938  
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437  
17791 20614 21025  
1085 2434 5816 7151 8050 9422 10884 12728 15353 17733  
18140 18729 20920  
856 1690 12787  
6532 7357 9151  
4210 16615 18152  
11494 14036 17470  
2474 10291 10323

1778 6973 10739  
4347 9570 18748  
2189 11942 20666  
3868 7526 17706  
8780 14796 18268  
160 16232 17399  
1285 2003 18922  
4658 17331 20361  
2765 4862 5875  
4565 5521 8759  
3484 7305 15829  
5024 17730 17879  
7031 12346 15024  
179 6365 11352  
2490 3143 5098  
2643 3101 21259  
4315 4724 13130  
594 17365 18322  
5983 8597 9627  
10837 15102 20876  
10448 20418 21478  
3848 12029 15228  
708 5652 13146  
5998 7534 16117  
2098 13201 18317  
9186 14548 17776  
5246 10398 18597  
3083 4944 21021  
13726 18495 19921

6736 10811 17545  
10084 12411 14432  
1064 13555 17033  
679 9878 13547  
3422 9910 20194  
3640 3701 10046  
5862 10134 11498  
5923 9580 15060  
1073 3012 16427  
5527 20113 20883  
7058 12924 15151  
9764 12230 17375  
772 7711 12723  
555 13816 15376  
10574 11268 17932  
15442 17266 20482  
390 3371 8781  
10512 12216 17180  
4309 14068 15783  
3971 11673 20009  
9259 14270 17199  
2947 5852 20101  
3965 9722 15363  
1429 5689 16771  
6101 6849 12781  
3676 9347 18761  
350 11659 18342  
5961 14803 16123  
2113 9163 13443

2155 9808 12885  
2861 7988 11031  
7309 9220 20745  
6834 8742 11977  
2133 12908 14704  
10170 13809 18153  
13464 14787 14975  
799 1107 3789  
3571 8176 10165  
5433 13446 15481  
3351 6767 12840  
8950 8974 11650  
1430 4250 21332  
6283 10628 15050  
8632 14404 16916  
6509 10702 16278  
15900 16395 17995  
8031 18420 19733  
3747 4634 17087  
4453 6297 16262  
2792 3513 17031  
14846 20893 21563  
17220 20436 21337  
275 4107 10497  
3536 7520 10027  
14089 14943 19455  
1965 3931 21104  
2439 11565 17932  
154 15279 21414

10017 11269 16546  
7169 10161 16928  
10284 16791 20655  
36 3175 8475  
2605 16269 19290  
8947 9178 15420  
5687 9156 12408  
8096 9738 14711  
4935 8093 19266  
2667 10062 15972  
6389 11318 14417  
8800 18137 18434  
5824 5927 15314  
6056 13168 15179  
3284 13138 18919  
13115 17259 17332.

7. Método de decodificação, de acordo com a reivindicação 6, caracterizado pelo fato de que compreende uma etapa de substituição reversa para alocar símbolos de bits de símbolos recebidos correspondendo a pontos de sinal em um plano I-Q de 256 QAM para bits de código de Verificação de Paridade de Baixa Densidade, LDPC;

a etapa de decodificação incluindo decodificar os bits de código da palavra-código de LDPC alocada pelo meio de substituição inversa;

em que, quando mb bits de código são lidos na direção de linha a partir de uma unidade de armazenamento para armazenar mb bits em uma direção de linha e N/mb bits em uma direção de coluna, os bits de código da palavra-código de LDPC tendo sido escritos na direção de coluna para a unidade de armazenamento, são transmitidos como símbolos b m-bit, e  $m=8$  e  $b=2$ ;

o meio de substituição inversa sendo adaptado para alocar os  $m_b$  bits de símbolo  $y_j$  dos  $b$  símbolos para  $m_b$  bits de código  $b_i$  alocando:

- o bit  $y_7$  ao bit  $b_0$ ,
- o bit  $y_2$  ao bit  $b_1$ ,
- o bit  $y_9$  ao bit  $b_2$ ,
- o bit  $y_0$  ao bit  $b_3$ ,
- o bit  $y_4$  ao bit  $b_4$ ,
- o bit  $y_6$  ao bit  $b_5$ ,
- o bit  $y_{13}$  ao bit  $b_6$ ,
- o bit  $y_3$  ao bit  $b_7$ ,
- o bit  $y_{14}$  ao bit  $b_8$ ,
- o bit  $y_{10}$  ao bit  $b_9$ ,
- o bit  $y_{15}$  ao bit  $b_{10}$ ,
- o bit  $y_5$  ao bit  $b_{11}$ ,
- o bit  $y_8$  ao bit  $b_{12}$ ,
- o bit  $y_{12}$  ao bit  $b_{13}$ ,
- o bit  $y_{11}$  ao bit  $b_{14}$ ,
- o bit  $y_1$  ao bit  $b_{15}$ ;

e o  $i$ -ésimo bit do bit mais significativo dos bits de código  $m_b$  é representado como bit  $b_i$  e o  $j$ -ésimo bit do bit mais significativo dos bits de símbolo  $m_b$  de dois símbolos é representado como bit  $y_j$ '.

8. Método de decodificação, de acordo com a reivindicação 6 ou 7, caracterizado pelo fato de que o aparelho de decodificação é um receptor de televisão.

FIG. 1

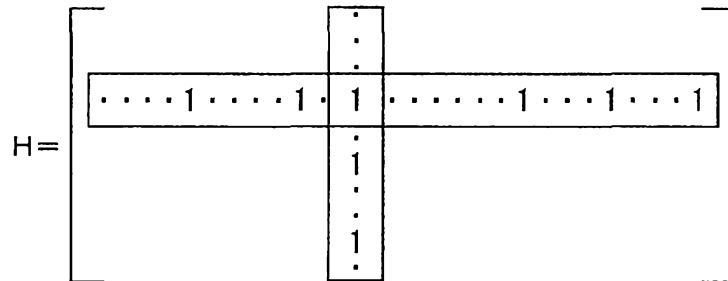


FIG. 2

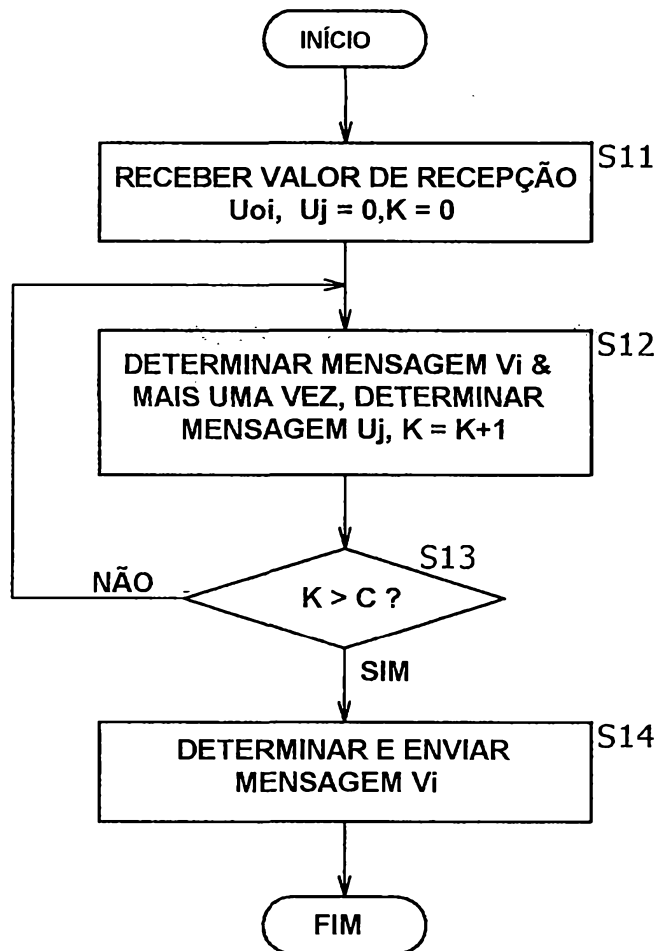


FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4

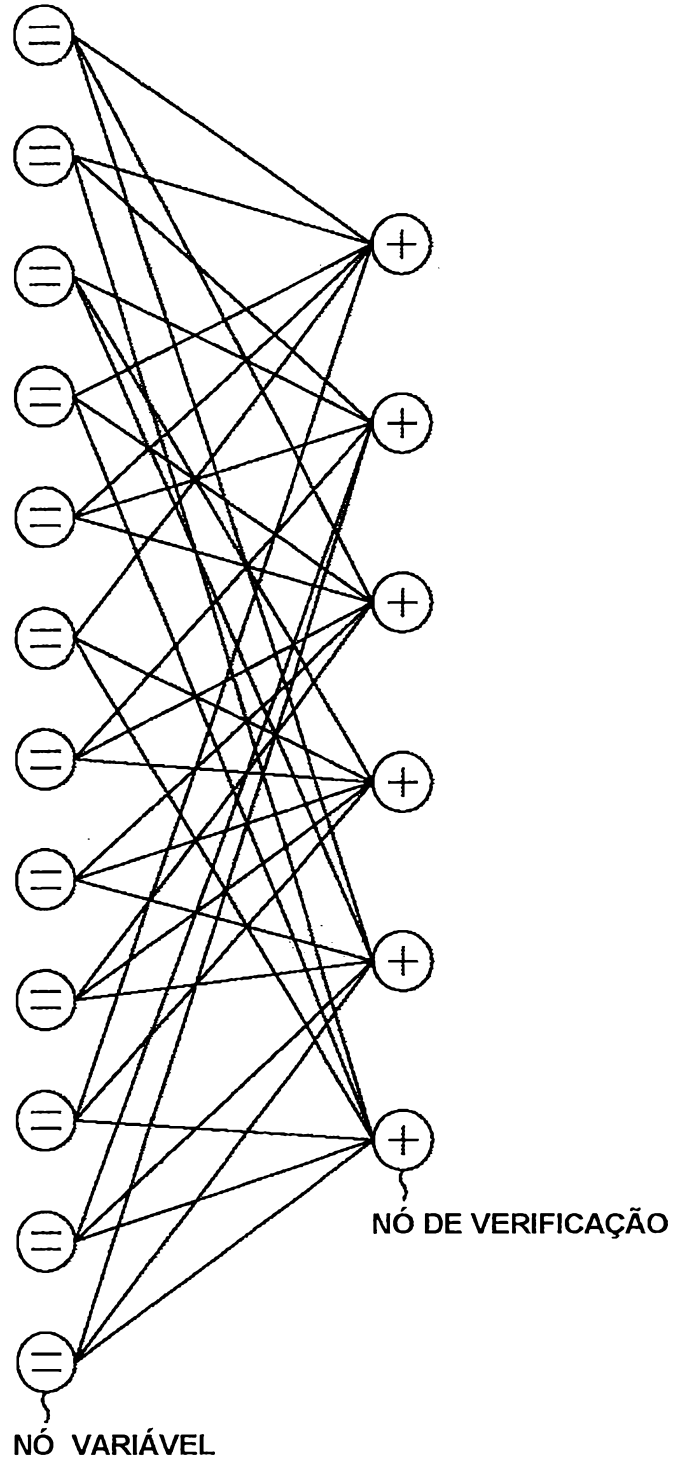


FIG. 5

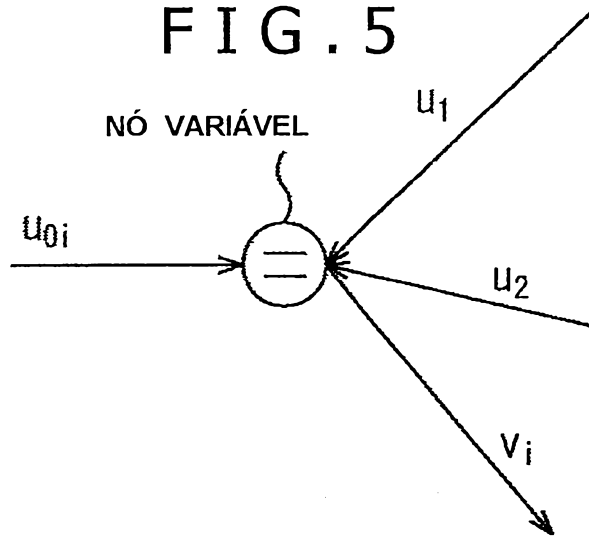


FIG. 6

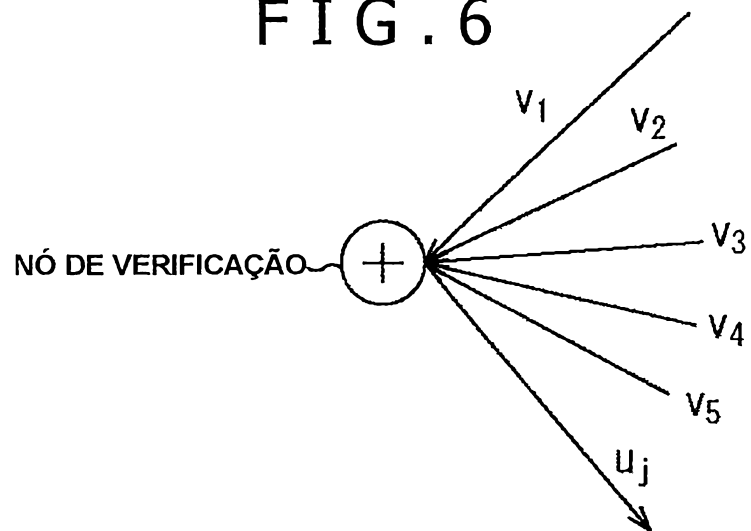


FIG. 7

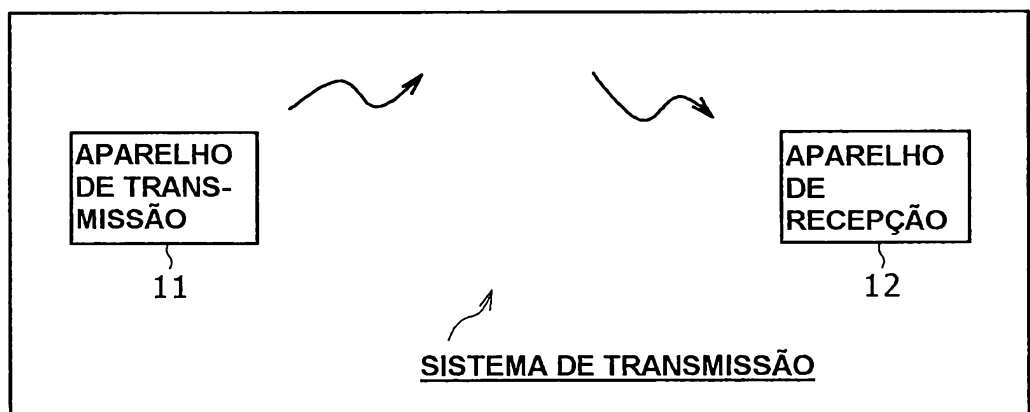
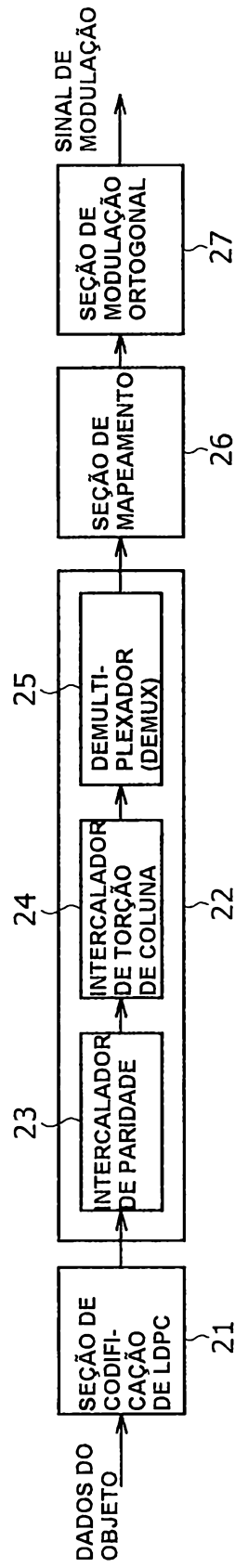


FIG. 8



11

FIG. 9

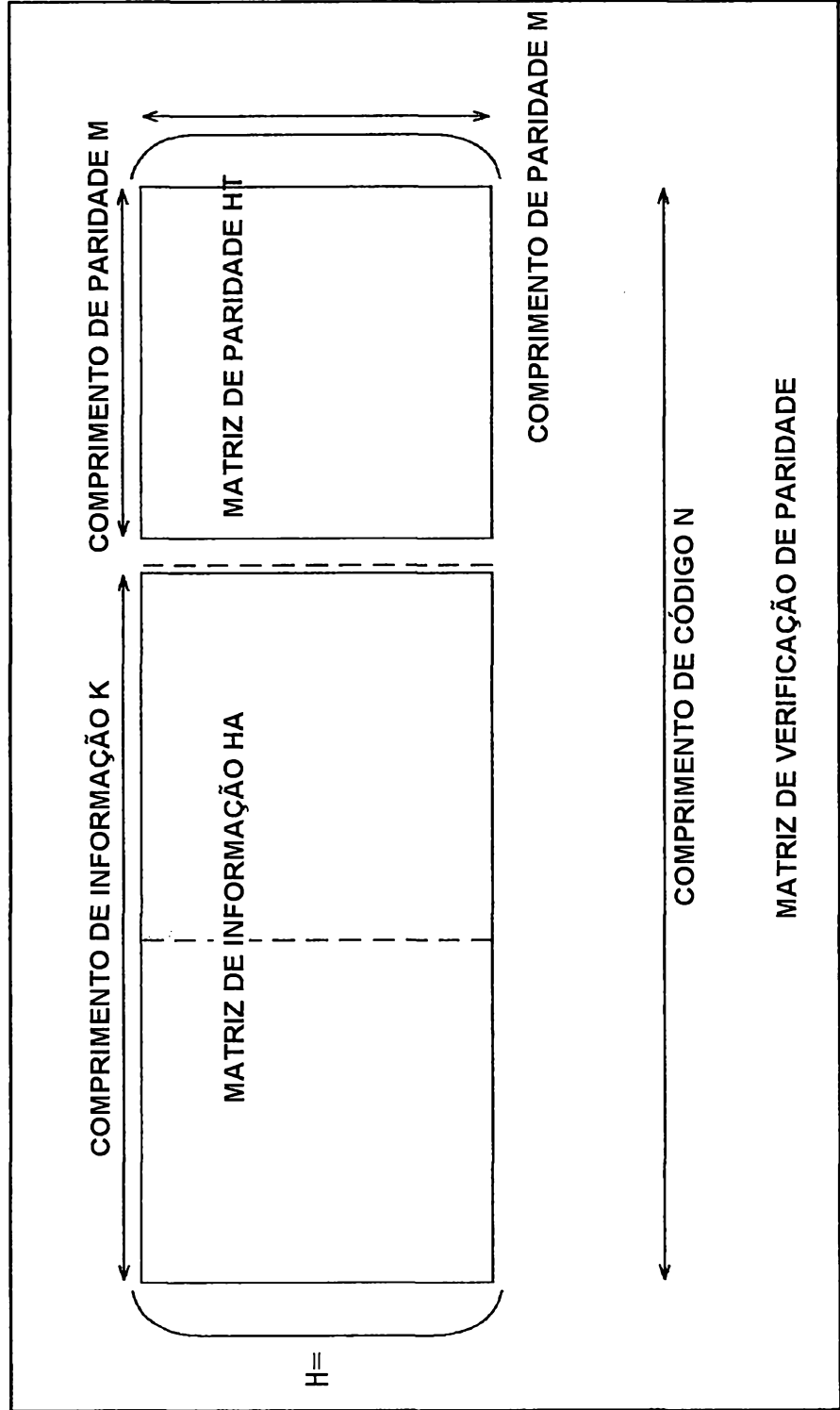


FIG. 10

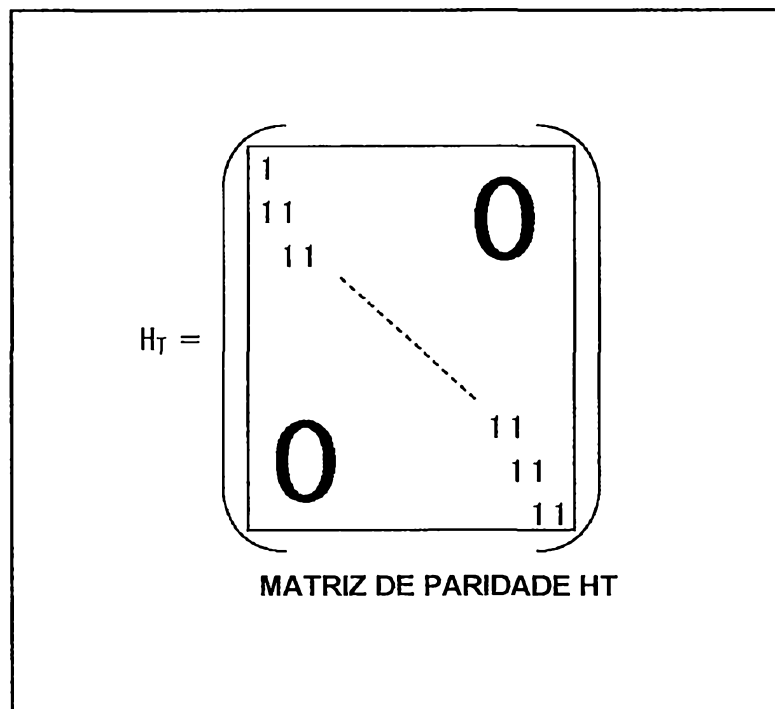


FIG. 11

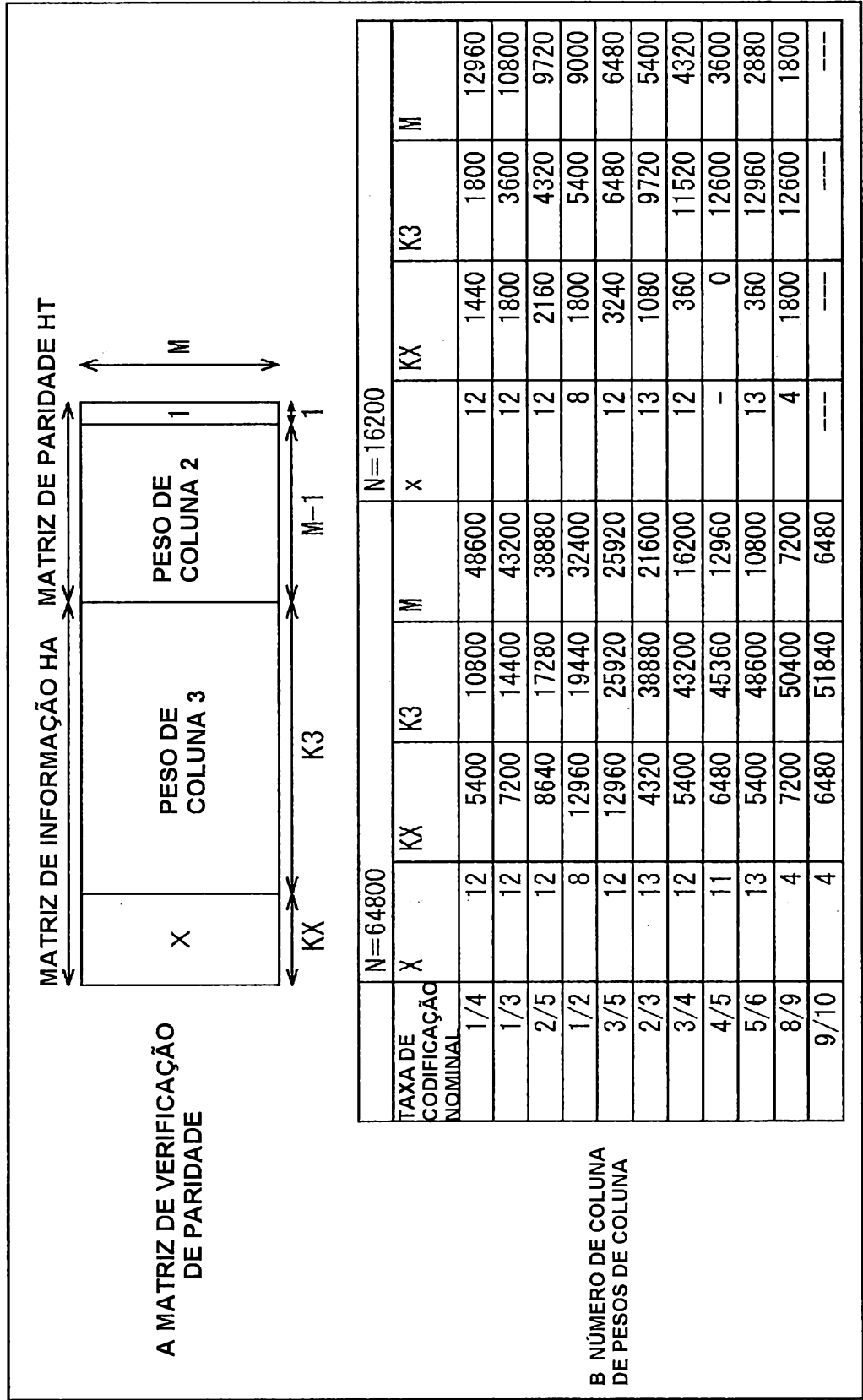




FIG. 13

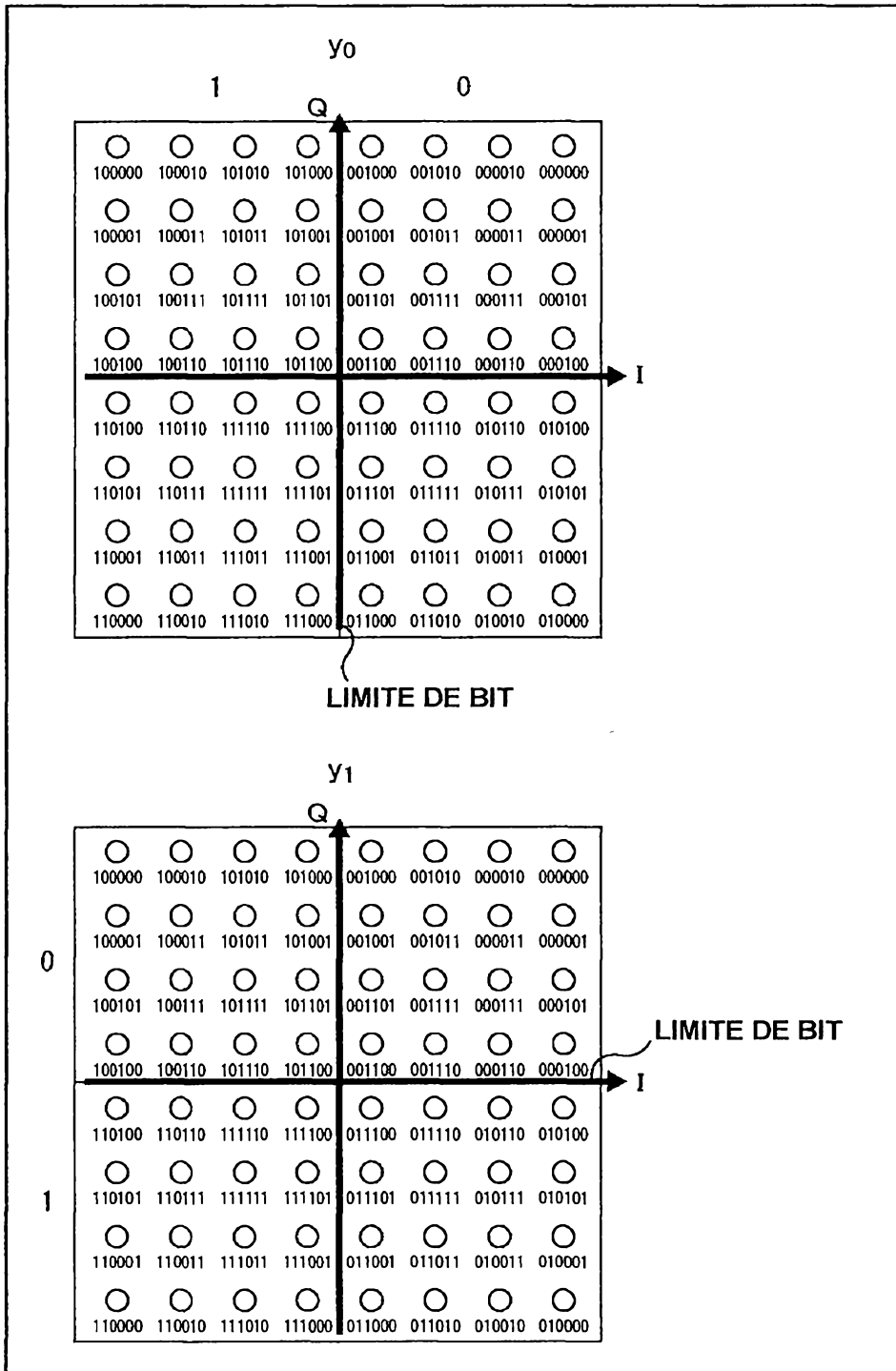


FIG. 14

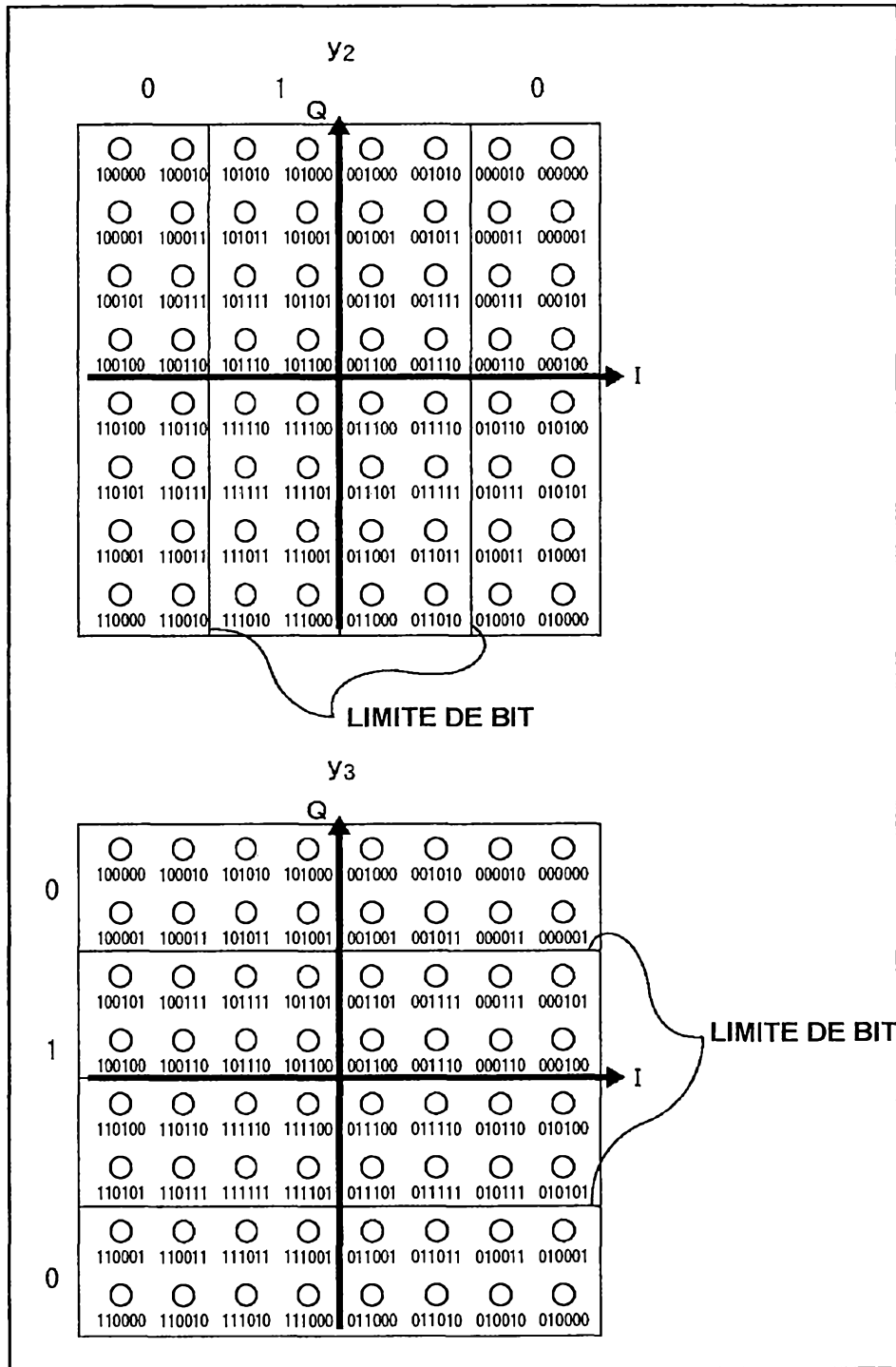


FIG. 15

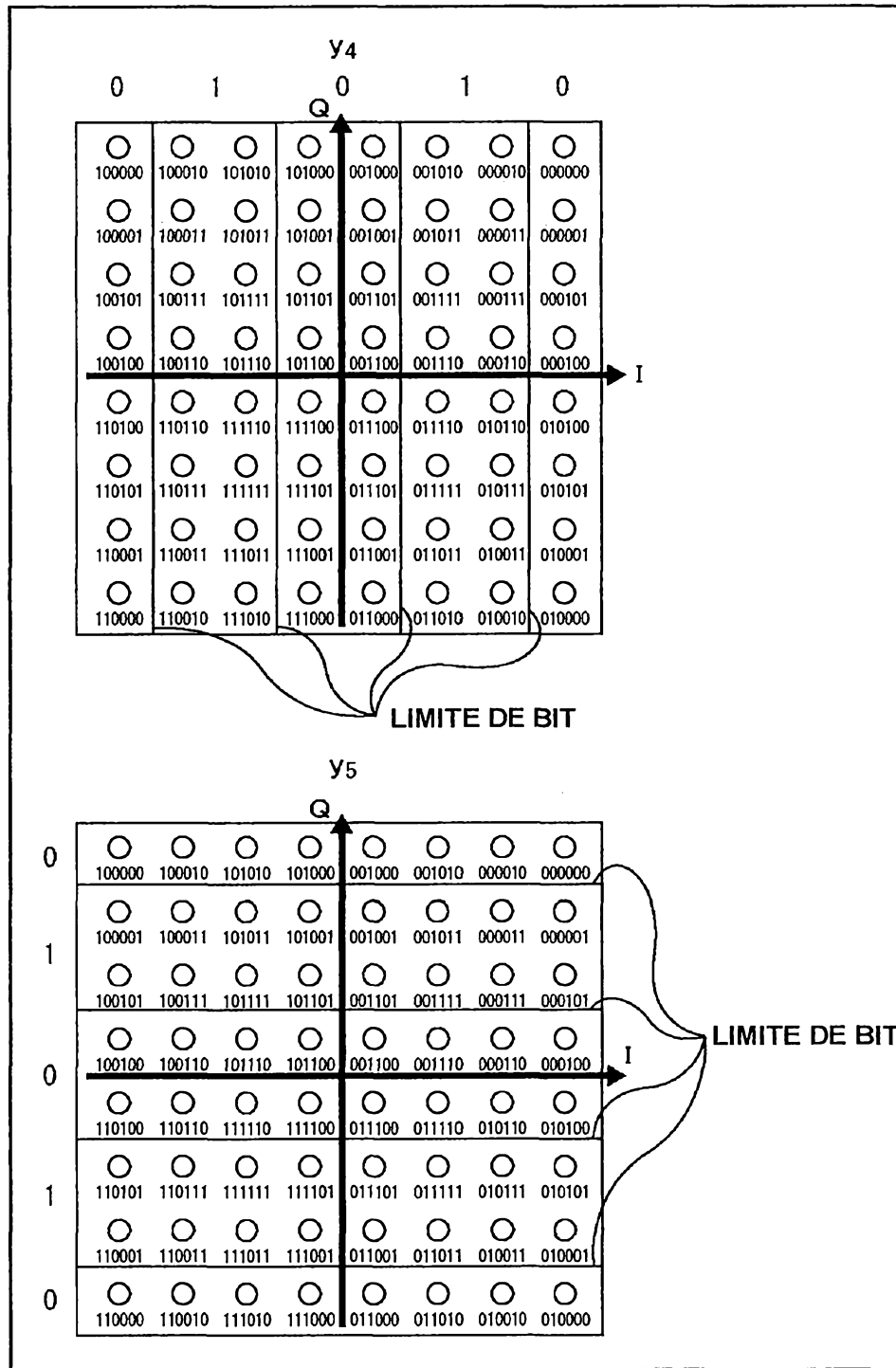
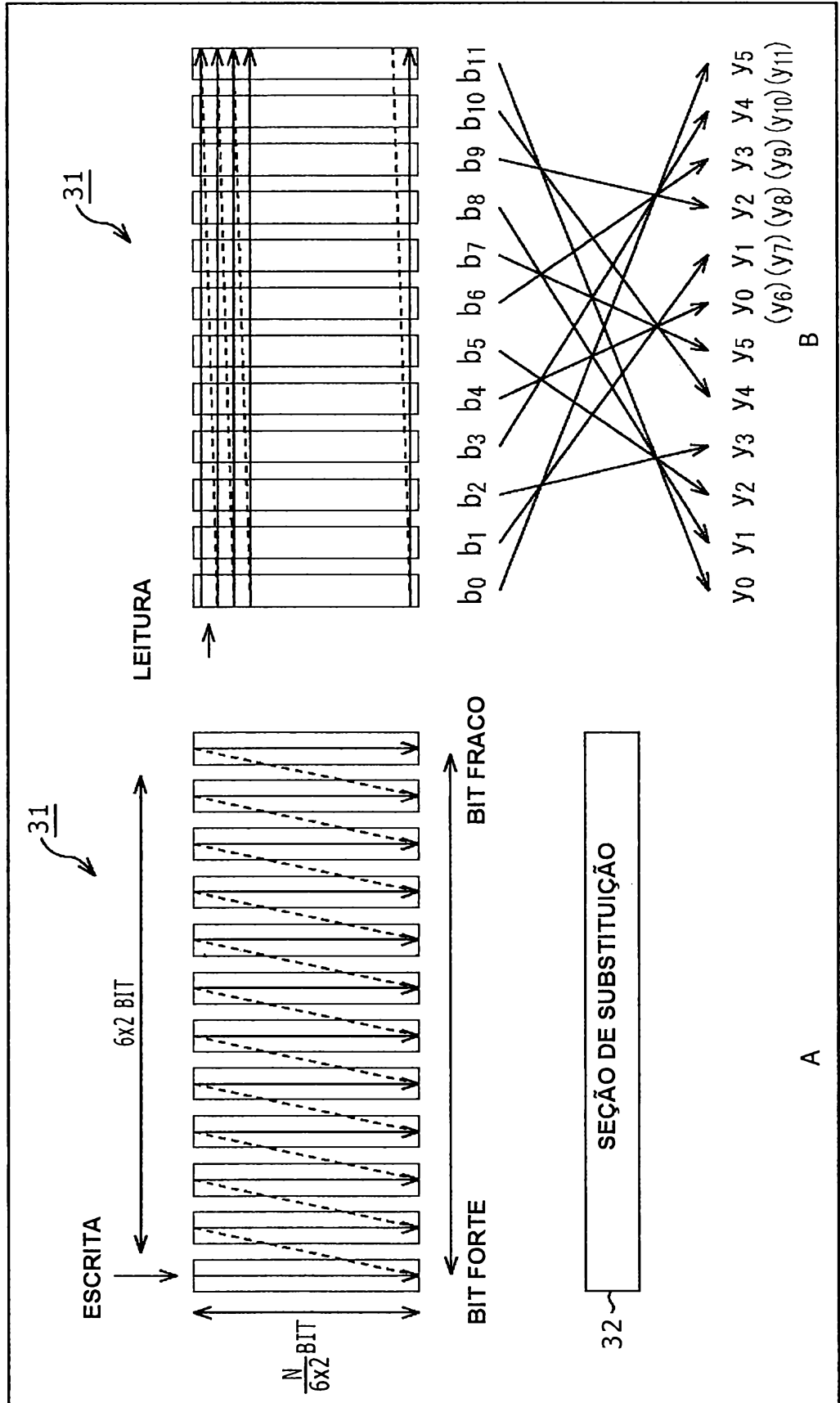




FIG. 17



A

B

FIG. 18

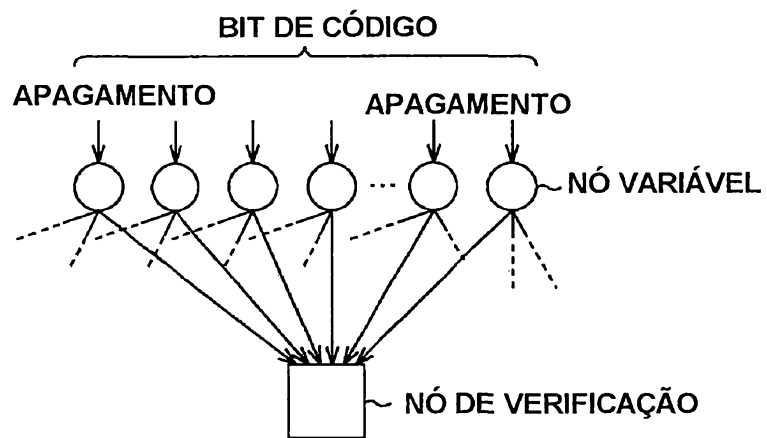


FIG. 19

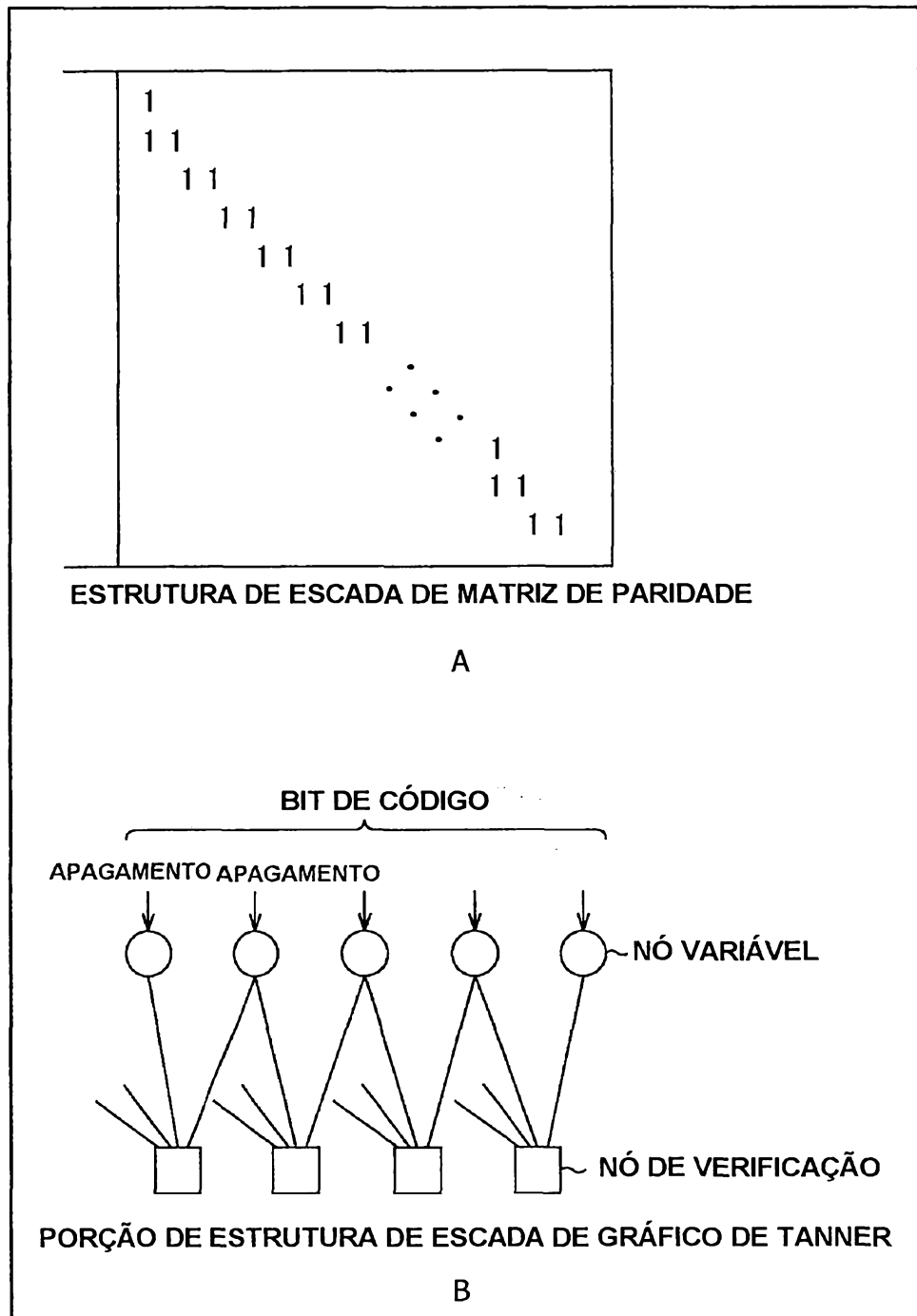


FIG. 20

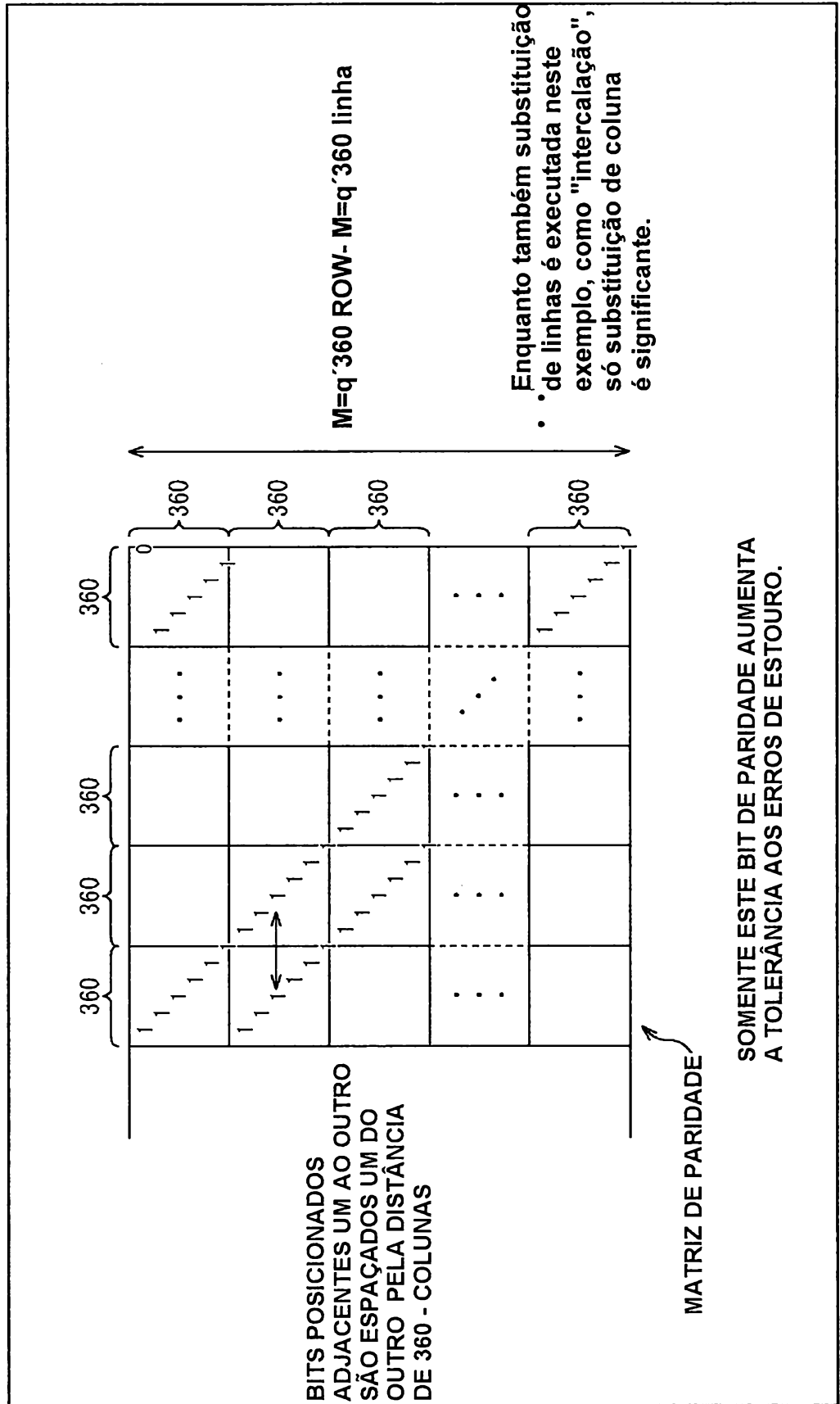


FIG. 21

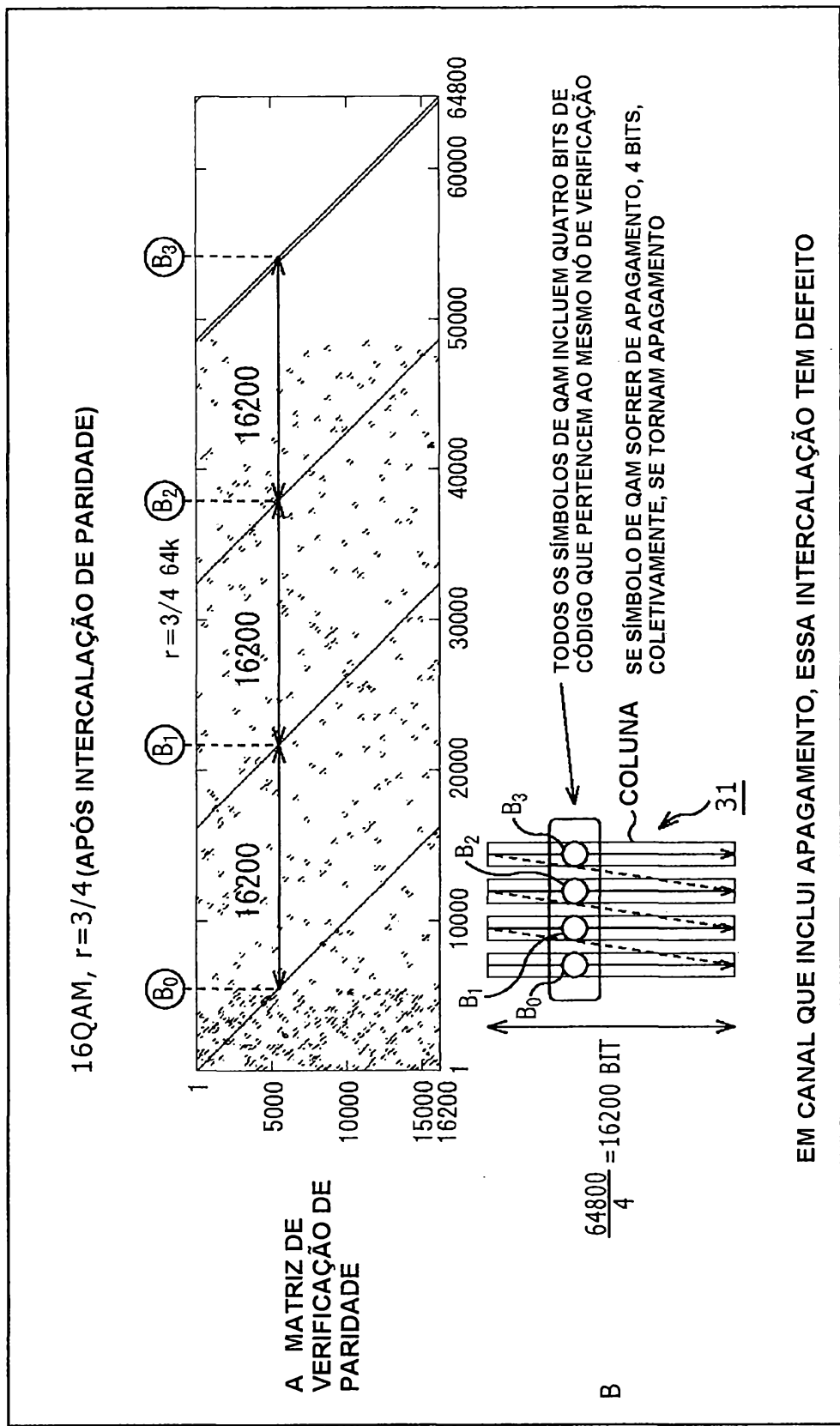


FIG. 22

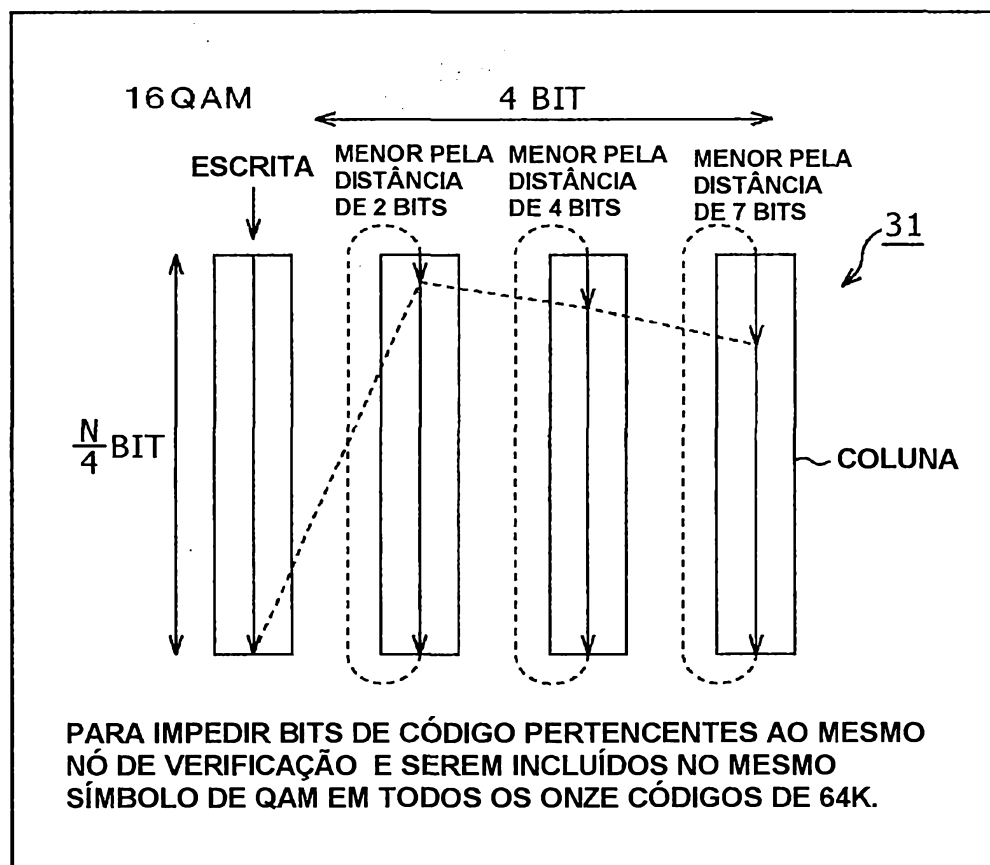


FIG. 23

		POSIÇÃO DE INÍCIO DE ESCRITA EM MB COLUNAS																								
Número de Coluna de Memória Requerido (mb)	PRIMEIRO A TERCEIRO MÉTODOS DE SUBSTITUIÇÃO	QUARTO MÉTODO DE SUBSTITUIÇÃO	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	2																						
4	16QAM	QPSK	0	2	4	7																				
6	64QAM		0	2	5	9	10	13																		
8	256QAM	16QAM	0	0	2	4	4	5	7	7																
10	1024QAM		0	3	6	8	11	13	15	17	18	20														
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9												
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32								
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30				
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

FIG. 24

Número de Coluna de Memória Requerido	PRIMEIRO A TERCEIRO MÉTODOS DE SUBSTITUIÇÃO	QUARTO MÉTODO DE SUBSTITUIÇÃO	POSIÇÃO DE INÍCIO DE ESCRITA EM MB COLUNAS																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	2	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	0	1	1	1	2	2	3	7	9	9	9	10	10	10	10	10	11

FIG. 25

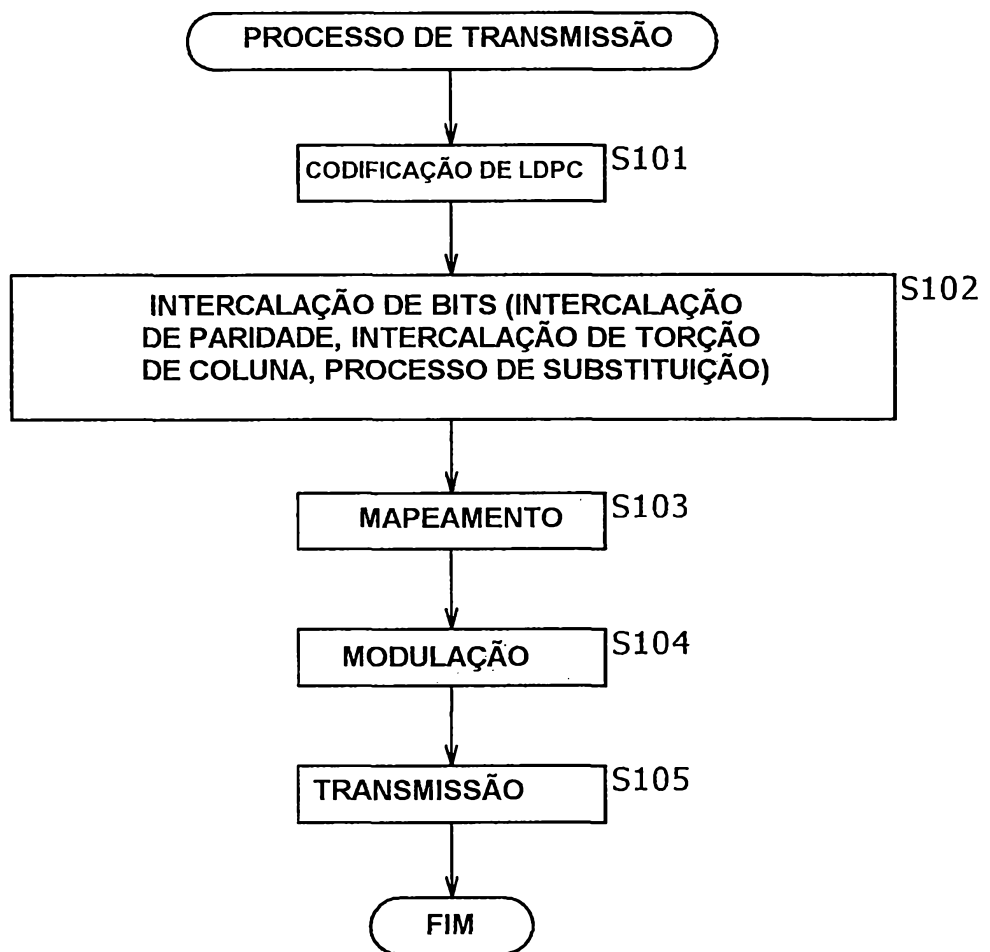


FIG. 26

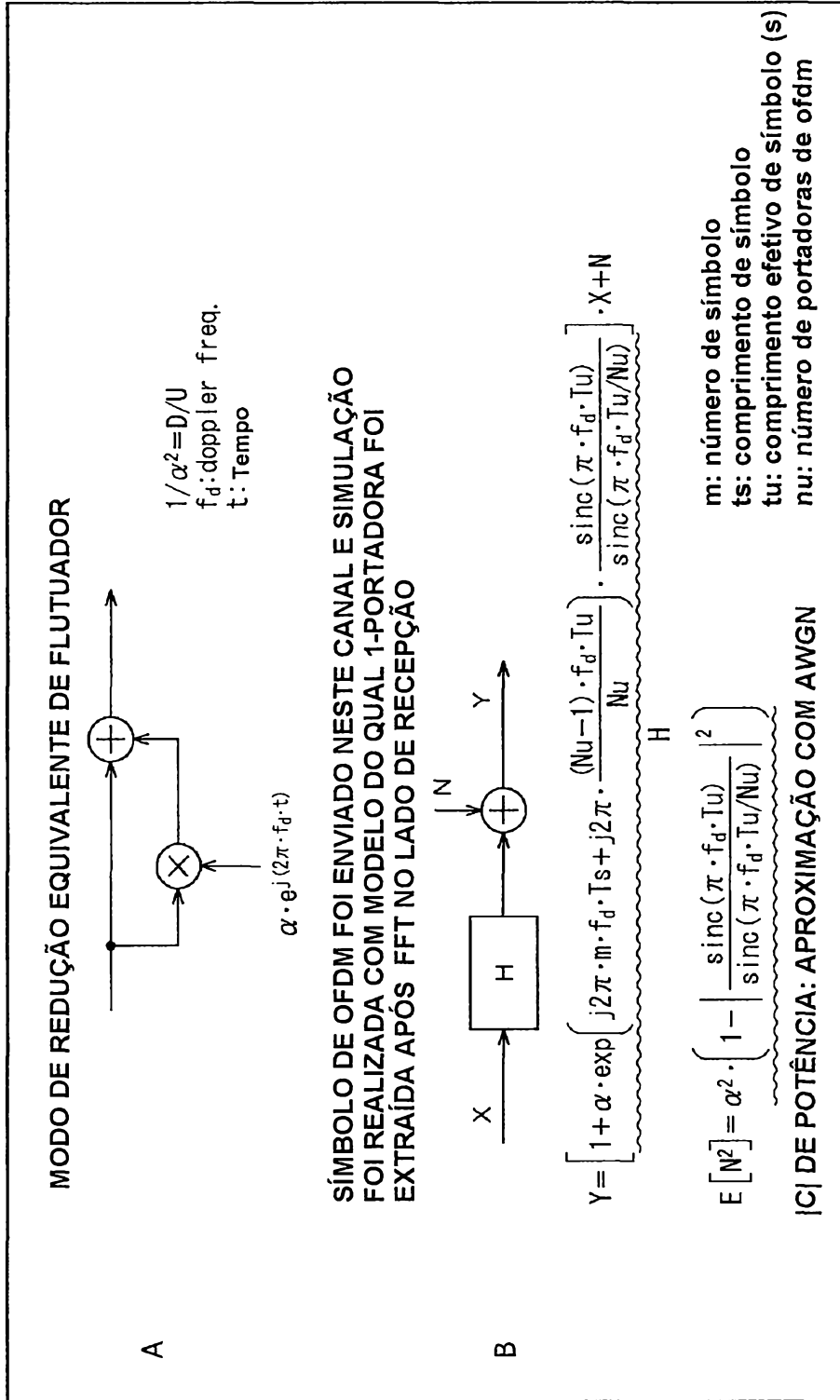


FIG. 27

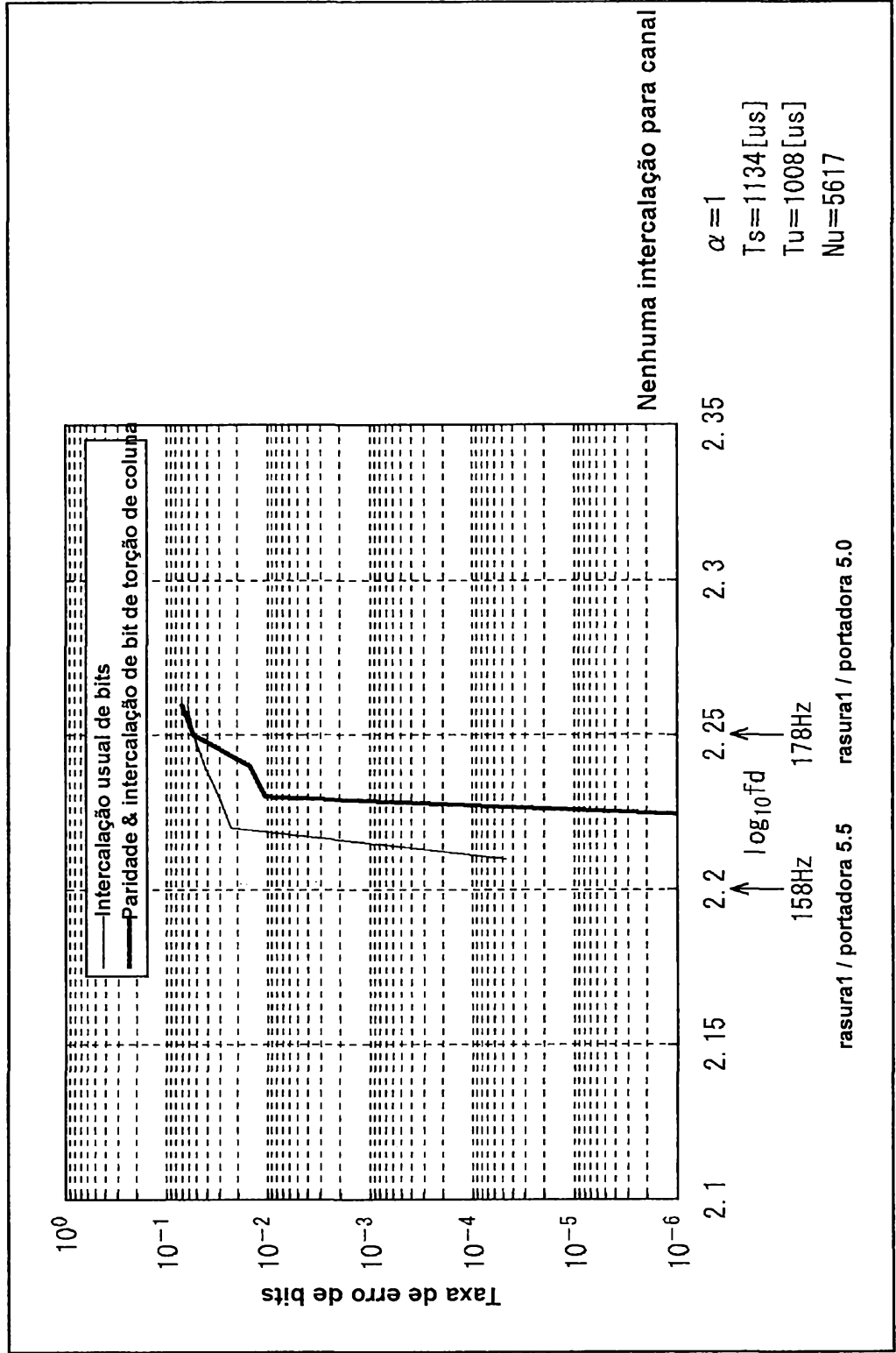


FIG. 28

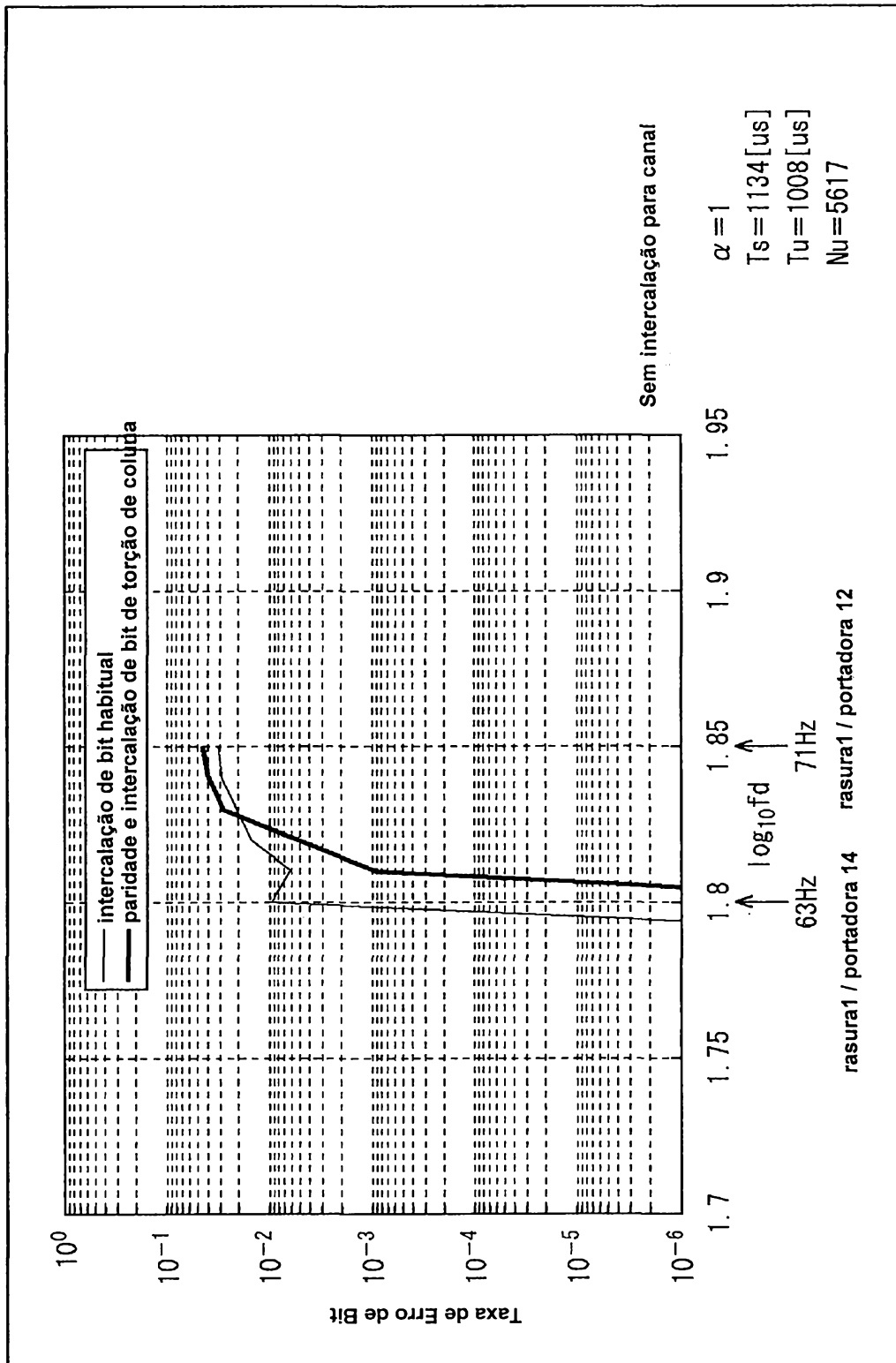


FIG. 29

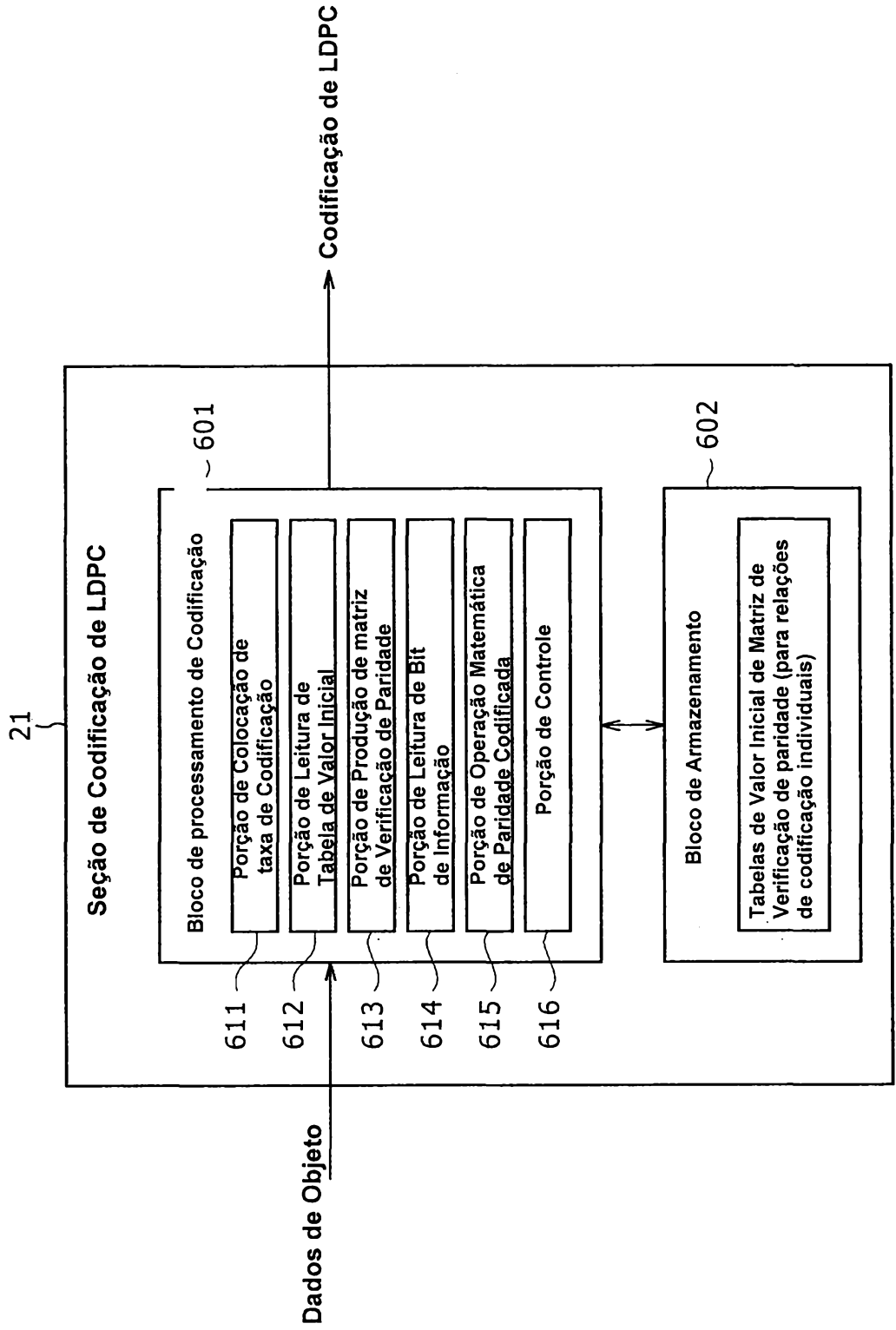
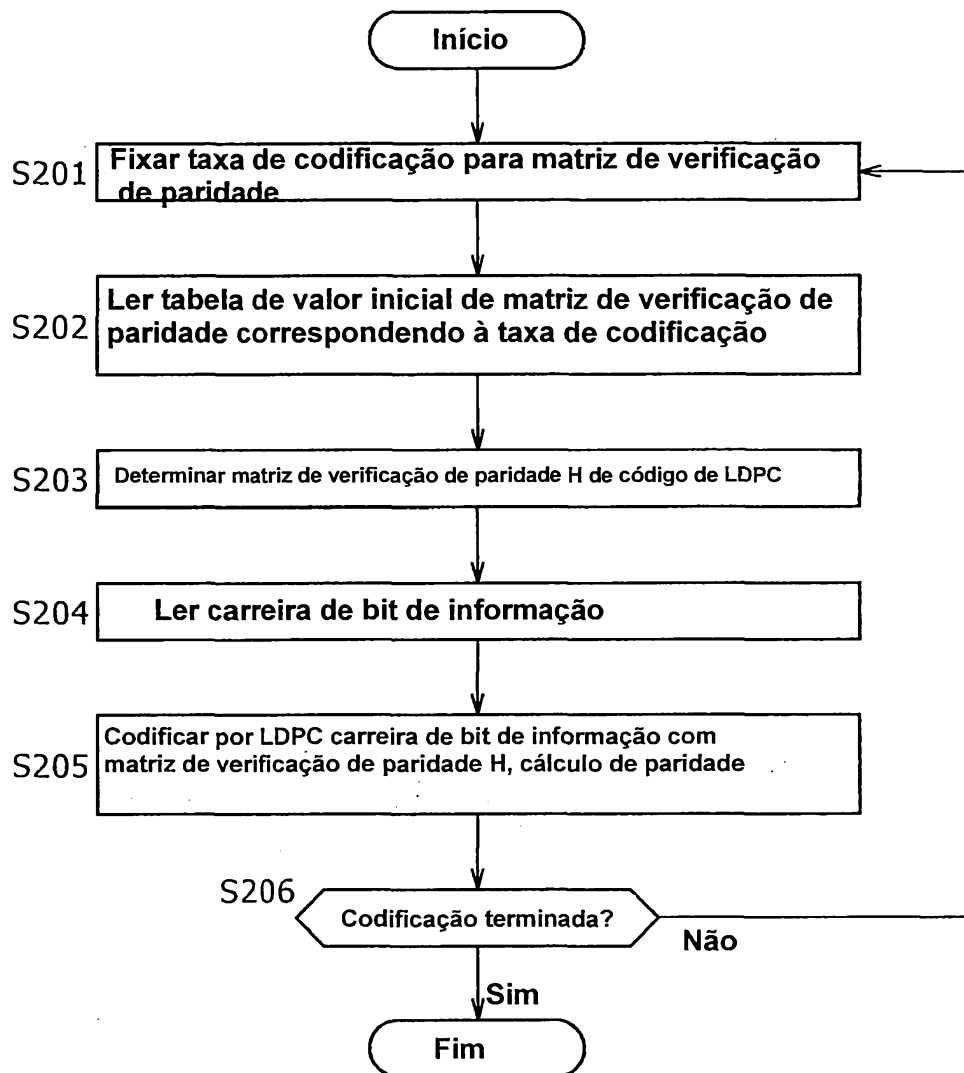


FIG. 30



## FIG. 31

r2/3 16K												
0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
2	259	3399	929	2650	864	3996	3833	107	5287	164	3125	2350
3	342	3529										
4	4198	2147										
5	1880	4836										
6	3864	4910										
7	243	1542										
8	3011	1436										
9	2167	2512										
10	4606	1003										
11	2835	705										
12	3426	2365										
13	3848	2474										
14	1360	1743										
0	163	2536										
1	2583	1180										
2	1542	509										
3	4418	1005										
4	5212	5117										
5	2155	2922										
6	347	2696										
7	226	4296										
8	1560	487										
9	3926	1640										
10	149	2928										
11	2364	563										
12	635	688										
13	231	1684										
14	1129	3894										

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{2}{3}$ ,  $N = 16200$

## FIG. 32

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{2}{3}$ ,  $N = 64800$

r2/3 64K	
0	10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1	17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2	17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3	19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4	4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5	9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6	486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7	20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8	3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9	19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10	4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11	14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12	13800 14161
13	2948 9647
14	14693 16027
15	20506 11082
16	1143 9020
17	13501 4014
18	1548 2190
19	12216 21556
20	2095 19897
21	4189 7958
22	15940 10048
23	515 12614
24	8501 8450
25	17595 16784
26	5913 8495
27	16394 10423
28	7409 6981
29	6678 15939
30	20344 12987
31	2510 14588
32	17918 6655
33	6703 19451
34	496 4217
35	7290 5766
36	10521 8925
37	20379 11905
38	4090 5838
39	19082 17040

## FIG. 33

40	20233	12352
41	19365	19546
42	6249	19030
43	11037	19193
44	19760	11772
45	19644	7428
46	16076	3521
47	11779	21062
48	13062	9682
49	8934	5217
50	11087	3319
51	18892	4356
52	7894	3898
53	5963	4360
54	7346	11726
55	5182	5609
56	2412	17295
57	9845	20494
58	6687	1864
59	20564	5216
0	18226	17207
1	9380	8266
2	7073	3065
3	18252	13437
4	9161	15642
5	10714	10153
6	11585	9078
7	5359	9418
8	9024	9515
9	1206	16354
10	14994	1102
11	9375	20796
12	15964	6027
13	14789	6452
14	8002	18591
15	14742	14089
16	253	3045
17	1274	19286
18	14777	2044
19	13920	9900
20	452	7374

## FIG. 34

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

## FIG. 35

r3/4 16K

3	3198	478	4207	1481	1009	2616	1924	3437	554	683	1801
4	2681	2135									
5	3107	4027									
6	2637	3373									
7	3830	3449									
8	4129	2060									
9	4184	2742									
10	3946	1070									
11	2239	984									
0	1458	3031									
1	3003	1328									
2	1137	1716									
3	132	3725									
4	1817	638									
5	1774	3447									
6	3632	1257									
7	542	3694									
8	1015	1945									
9	1948	412									
10	995	2238									
11	4141	1907									
0	2480	3079									
1	3021	1088									
2	713	1379									
3	997	3903									
4	2323	3361									
5	1110	986									
6	2532	142									
7	1690	2405									
8	1298	1881									
9	615	174									
10	1648	3112									
11	1415	2808									

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{3}{4}$ , N=16200

## FIG. 36

Tabela de Valor Inicial de Matriz de Verificação de Paridade =  $\frac{3}{4}$ , N=64800

r3/4	64K
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2	7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6	4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7	4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8	6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9	3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11	1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13	8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14	14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15	3149 11981
16	13416 6906
17	13098 13352
18	2009 14460
19	7207 4314
20	3312 3945
21	4418 6248
22	2669 13975
23	7571 9023
24	14172 2967
25	7271 7138
26	6135 13670
27	7490 14559
28	8657 2466
29	8599 12834
30	3470 3152
31	13917 4365
32	6024 13730
33	10973 14182
34	2464 13167
35	5281 15049
36	1103 1849
37	2058 1069
38	9654 6095
39	14311 7667

## FIG. 37

40	15617	8146
41	4588	11218
42	13660	6243
43	8578	7874
44	11741	2686
0	1022	1264
1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138
8	5053	6470
9	12687	14932
10	15458	1763
11	8121	1721
12	12431	549
13	4129	7091
14	1426	8415
15	9783	7604
16	6295	11329
17	1409	12061
18	8065	9087
19	2918	8438
20	1293	14115
21	3922	13851
22	3851	4000
23	5865	1768
24	2655	14957
25	5565	6332
26	4303	12631
27	11653	12236
28	16025	7632
29	4655	14128
30	9584	13123
31	13987	9597
32	15409	12110
33	8754	15490
34	7416	15325
35	2909	15549

## FIG. 38

36	2995	8257
37	9406	4791
38	11111	4854
39	2812	8521
40	8476	14717
41	7820	15360
42	1179	7939
43	2357	8678
44	7703	6216
0	3477	7067
1	3931	13845
2	7675	12899
3	1754	8187
4	7785	1400
5	9213	5891
6	2494	7703
7	2576	7902
8	4821	15682
9	10426	11935
10	1810	904
11	11332	9264
12	11312	3570
13	14916	2650
14	7679	7842
15	6089	13084
16	3938	2751
17	8509	4648
18	12204	8917
19	5749	12443
20	12613	4431
21	1344	4014
22	8488	13850
23	1730	14896
24	14942	7126
25	14983	8863
26	6578	8564
27	4947	396
28	297	12805
29	13878	6692
30	11857	11186
31	14395	11493

# FIG. 39

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

## FIG. 40

r4/5	16K
5	896 1565
6	2493 184
7	212 3210
8	727 1339
9	3428 612
0	2663 1947
1	230 2695
2	2025 2794
3	3039 283
4	862 2889
5	376 2110
6	2034 2286
7	951 2068
8	3108 3542
9	307 1421
0	2272 1197
1	1800 3280
2	331 2308
3	465 2552
4	1038 2479
5	1383 343
6	94 236
7	2619 121
8	1497 2774
9	2116 1855
0	722 1584
1	2767 1881
2	2701 1610
3	3283 1732
4	168 1099
5	3074 243
6	3460 945
7	2049 1746
8	566 1427
9	3545 1168

Tabela de Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{4}{5}$ ,  $N = 16200$

## FIG. 41

Tabela de Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{4}{5}$ ,  $N = 64800$

r4/5 64K	s
0	149 11212 5575 6360 12559 8108 8505 408 10026 12828
1	5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2	8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3	2699 4304 8350 712 2841 3250 4731 10105 517 7516
4	12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5	6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6	11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7	4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8	8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9	3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10	1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11	11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12	7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13	4418 1467 2490 5841 817 11453 533 11217 11962 5251
14	1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15	11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16	6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17	12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18	10155 4210
19	1010 10483
20	8900 10250
21	10243 12278
22	7070 4397
23	12271 3887
24	11980 6836
25	9514 4356
26	7137 10281
27	11881 2526
28	1969 11477
29	3044 10921
30	2236 8724
31	9104 6340
32	7342 8582
33	11675 10405
34	6467 12775
35	3186 12198
0	9621 11445
1	7486 5611
2	4319 4879
3	2196 344

## FIG. 42

4	7527	6650
5	10693	2440
6	6755	2706
7	5144	5998
8	11043	8033
9	4846	4435
10	4157	9228
11	12270	6562
12	11954	7592
13	7420	2592
14	8810	9636
15	689	5430
16	920	1304
17	1253	11934
18	9559	6016
19	312	7589
20	4439	4197
21	4002	9555
22	12232	7779
23	1494	8782
24	10749	3969
25	4368	3479
26	6316	5342
27	2455	3493
28	12157	7405
29	6598	11495
30	11805	4455
31	9625	2090
32	4731	2321
33	3578	2608
34	8504	1849
35	4027	1151
0	5647	4935
1	4219	1870
2	10968	8054
3	6970	5447
4	3217	5638
5	8972	669
6	5618	12472
7	1457	1280
8	8868	3883

## FIG. 43

9	8866	1224
10	8371	5972
11	266	4405
12	3706	3244
13	6039	5844
14	7200	3283
15	1502	11282
16	12318	2202
17	4523	965
18	9587	7011
19	2552	2051
20	12045	10306
21	11070	5104
22	6627	6906
23	9889	2121
24	829	9701
25	2201	1819
26	6689	12925
27	2139	8757
28	12004	5948
29	8704	3191
30	8171	10933
31	6297	7116
32	616	7146
33	5142	9761
34	10377	8138
35	7616	5811
0	7285	9863
1	7764	10867
2	12343	9019
3	4414	8331
4	3464	642
5	6960	2039
6	786	3021
7	710	2086
8	7423	5601
9	8120	4885
10	12385	11990
11	9739	10034
12	424	10162
13	1347	7597

# FIG. 44

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

## FIG. 45

r5/6	16K
3	2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4	2447 1926
5	414 1224
6	2114 842
7	212 573
0	2383 2112
1	2286 2348
2	545 819
3	1264 143
4	1701 2258
5	964 166
6	114 2413
7	2243 81
0	1245 1581
1	775 169
2	1696 1104
3	1914 2831
4	532 1450
5	91 974
6	497 2228
7	2326 1579
0	2482 256
1	1117 1261
2	1257 1658
3	1478 1225
4	2511 980
5	2320 2675
6	435 1278
7	228 503
0	1885 2369
1	57 483
2	838 1050
3	1231 1990
4	1738 68
5	2392 951
6	163 645
7	2644 1704

Tabela de Valor Inicial de Matriz de Verificação de Paridade =  $\frac{5}{6}$ , N=16200



## FIG. 47

10	2640	5087
11	858	3473
12	5582	5683
13	9523	916
14	4107	1559
15	4506	3491
16	8191	4182
17	10192	6157
18	5668	3305
19	3449	1540
20	4766	2697
21	4069	6675
22	1117	1016
23	5619	3085
24	8483	8400
25	8255	394
26	6338	5042
27	6174	5119
28	7203	1989
29	1781	5174
0	1464	3559
1	3376	4214
2	7238	67
3	10595	8831
4	1221	6513
5	5300	4652
6	1429	9749
7	7878	5131
8	4435	10284
9	6331	5507
10	6662	4941
11	9614	10238
12	8400	8025
13	9156	5630
14	7067	8878
15	9027	3415
16	1690	3866
17	2854	8469
18	6206	630
19	363	5453
20	4125	7008

## FIG. 48

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

## FIG. 49

2	10070	2359
3	3667	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

## FIG. 50

Tabela de Valor Inicial de Matriz de Verificação de Paridade =  $\frac{8}{9}$ , N=16200

r8/9	16K		
0	1558	712	805
1	1450	873	1337
2	1741	1129	1184
3	294	806	1566
4	482	605	923
0	926	1578	
1	777	1374	
2	608	151	
3	1195	210	
4	1484	692	
0	427	488	
1	828	1124	
2	874	1366	
3	1500	835	
4	1496	502	
0	1006	1701	
1	1155	97	
2	657	1403	
3	1453	624	
4	429	1495	
0	809	385	
1	367	151	
2	1323	202	
3	960	318	
4	1451	1039	
0	1098	1722	
1	1015	1428	
2	1261	1564	
3	544	1190	
4	1472	1246	
0	508	630	
1	421	1704	
2	284	898	
3	392	577	
4	1155	556	
0	631	1000	
1	732	1368	
2	1328	329	
3	1515	506	
4	1104	1172	

## FIG. 51

Tabela de Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{8}{9}$ ,  $N = 64800$

r8/9 64K	s		
0	6235	2848	3222
1	5800	3492	5348
2	2757	927	90
3	6961	4516	4739
4	1172	3237	6264
5	1927	2425	3683
6	3714	6309	2495
7	3070	6342	7154
8	2428	613	3761
9	2906	264	5927
10	1716	1950	4273
11	4613	6179	3491
12	4865	3286	6005
13	1343	5923	3529
14	4589	4035	2132
15	1579	3920	6737
16	1644	1191	5998
17	1482	2381	4620
18	6791	6014	6596
19	2738	5918	3786
0	5156	6166	
1	1504	4356	
2	130	1904	
3	6027	3187	
4	6718	759	
5	6240	2870	
6	2343	1311	
7	1039	5465	
8	6617	2513	
9	1588	5222	
10	6561	535	
11	4765	2054	
12	5966	6892	
13	1969	3869	
14	3571	2420	
15	4632	981	
16	3215	4163	
17	973	3117	
18	3802	6198	
19	3794	3948	

## FIG. 52

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

# FIG. 53

1 3557 3224  
2 3028 583  
3 3258 440  
4 6226 6655  
5 4895 1094  
6 1481 6847  
7 4433 1932  
8 2107 1649  
9 2119 2065  
10 4003 6388  
11 6720 3622  
12 3694 4521  
13 1164 7050  
14 1965 3613  
15 4331 66  
16 2970 1796  
17 4652 3218  
18 1762 4777  
19 5736 1399  
0 970 2572  
1 2062 6599  
2 4597 4870  
3 1228 6913  
4 4159 1037  
5 2916 2362  
6 395 1226  
7 6911 4548  
8 4618 2241  
9 4120 4280  
10 5825 474  
11 2154 5558  
12 3793 5471  
13 5707 1595  
14 1403 325  
15 6601 5183  
16 6369 4569  
17 4846 896  
18 7092 6184  
19 6764 7127  
0 6358 1951  
1 3117 6960

## FIG. 54

2	2710	7062
3	1133	3604
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

## FIG. 55

Tabela de Valor Inicial de Matriz de Verificação de Paridade =  $\frac{9}{10}$ , N=64800

r9/10 64K

0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

## FIG. 56

4	3404	3552
5	2876	5515
6	516	1719
7	765	3631
8	5059	1441
9	5629	598
10	5405	473
11	4724	5210
12	155	1832
13	1689	2229
14	449	1164
15	2308	3088
16	1122	669
17	2268	5758
0	5878	2609
1	782	3359
2	1231	4231
3	4225	2052
4	4286	3517
5	5531	3184
6	1935	4560
7	1174	131
8	3115	956
9	3129	1088
10	5238	4440
11	5722	4280
12	3540	375
13	191	2782
14	906	4432
15	3225	1111
16	6296	2583
17	1457	903
0	855	4475
1	4097	3970
2	4433	4361
3	5198	541
4	1146	4426
5	3202	2902
6	2724	525
7	1083	4124
8	2326	6003

## FIG. 57

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

## FIG. 58

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

FIG. 59

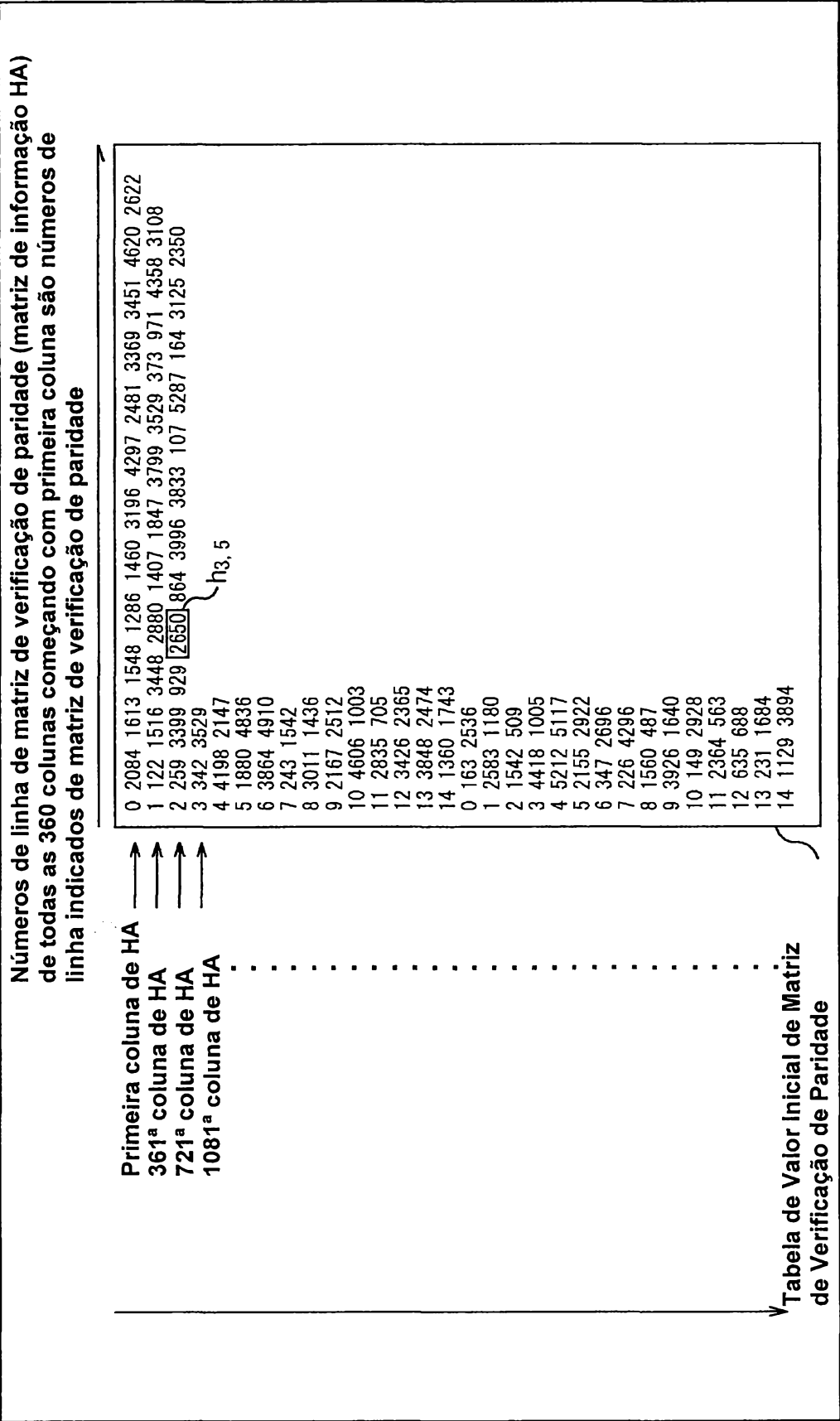


FIG. 60

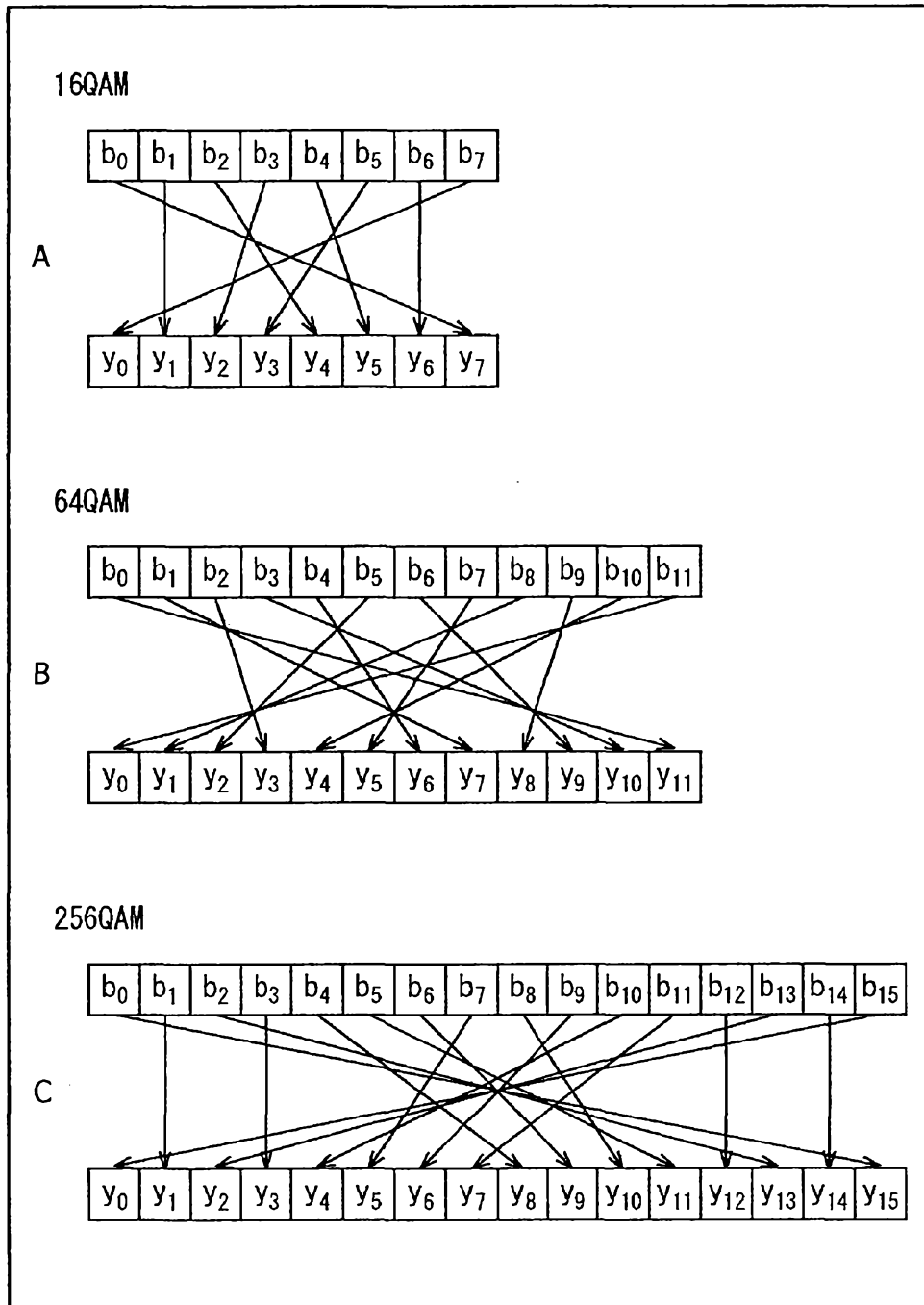


FIG. 61

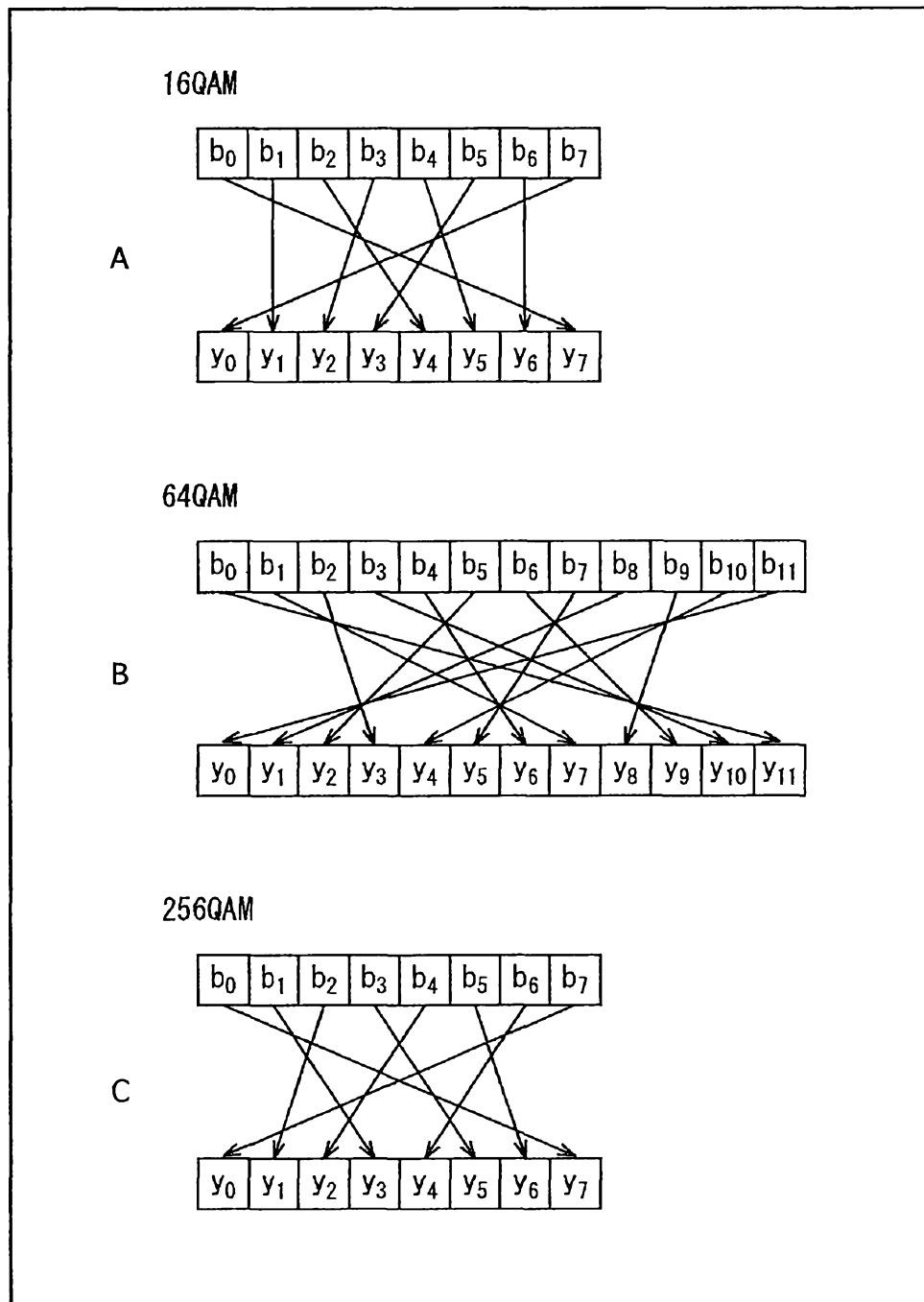




FIG. 63

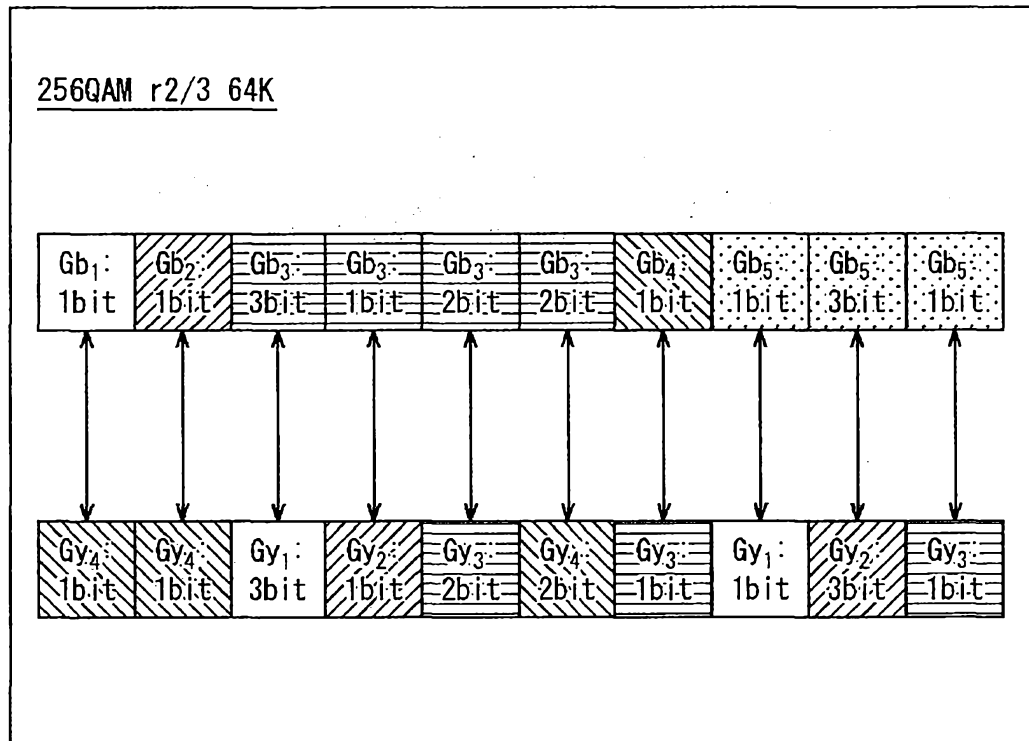


FIG. 64

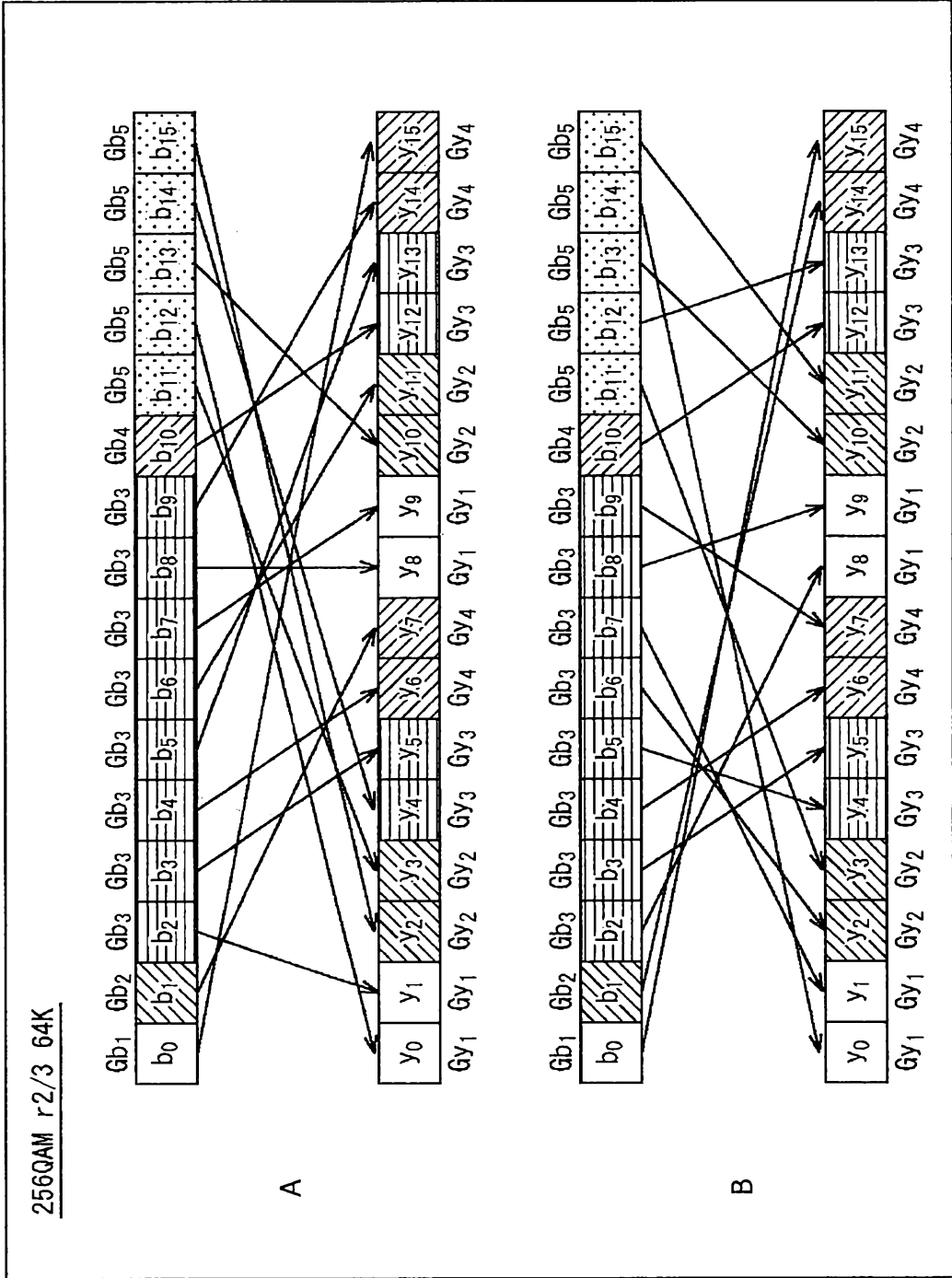
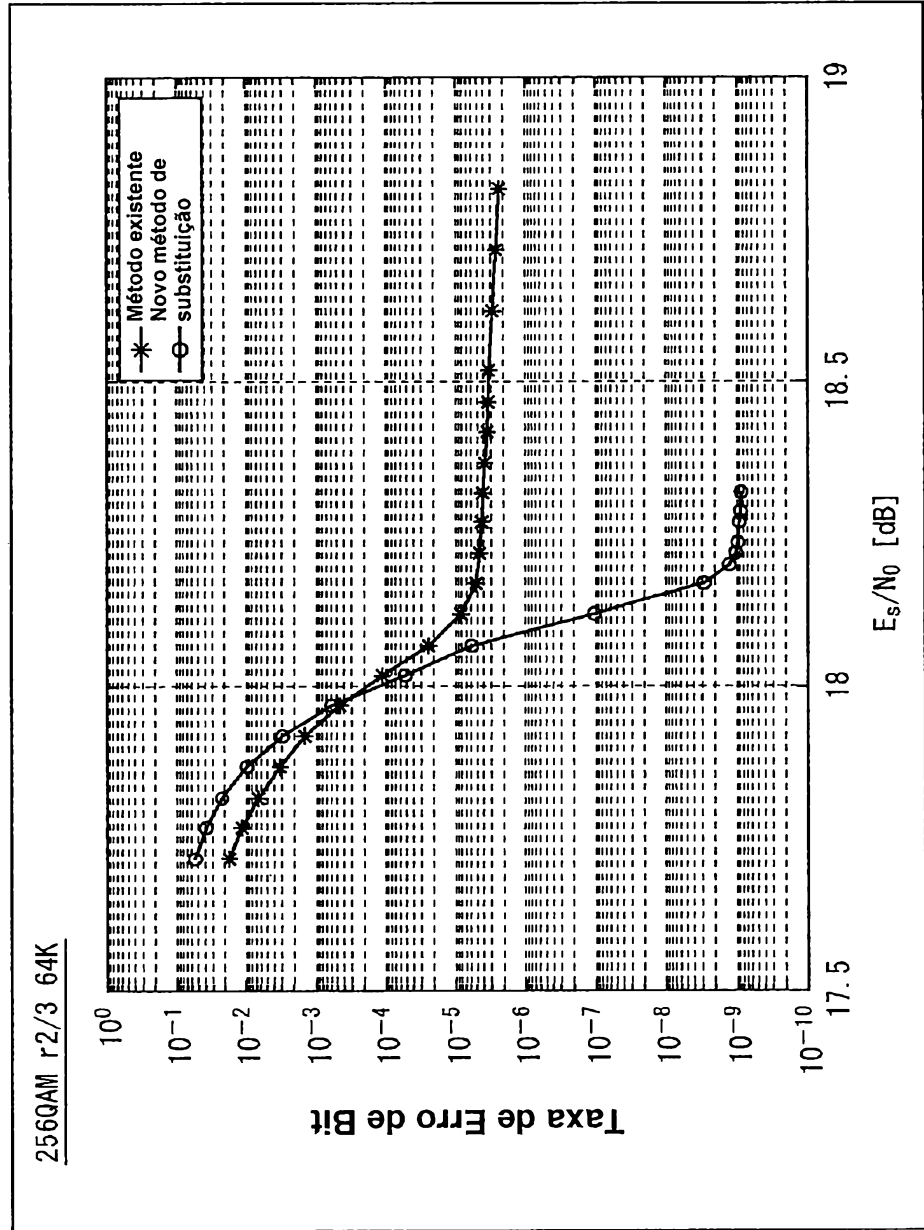


FIG. 65





## FIG. 67

3083	4944	21021
13726	18495	19921
6736	10811	17545
10084	12411	14432
1064	13555	17033
679	9878	13547
3422	9910	20194
3640	3701	10046
5862	10134	11498
5923	9580	15060
1073	3012	16427
5527	20113	20883
7058	12924	15151
9764	12230	17375
772	7711	12723
555	13816	15376
10574	11268	17932
15442	17266	20482
390	3371	8781
10512	12216	17180
4309	14068	15783
3971	11673	20009
9259	14270	17199
2947	5852	20101
3965	9722	15363
1429	5689	16771
6101	6849	12781
3676	9347	18761
350	11659	18342
5961	14803	16123
2113	9163	13443
2155	9808	12885
2861	7988	11031
7309	9220	20745
6834	8742	11977
2133	12908	14704
10170	13809	18153
13464	14787	14975
799	1107	3789
3571	8176	10165
5433	13446	15481
3351	6767	12840
8950	8974	11650
1430	4250	21332

## FIG. 68

6283	10628	15050
8632	14404	16916
6509	10702	16278
15900	16395	17995
8031	18420	19733
3747	4634	17087
4453	6297	16262
2792	3513	17031
14846	20893	21563
17220	20436	21337
275	4107	10497
3536	7520	10027
14089	14943	19455
1965	3931	21104
2439	11565	17932
154	15279	21414
10017	11269	16546
7169	10161	16928
10284	16791	20655
36	3175	8475
2605	16269	19290
8947	9178	15420
5687	9156	12408
8096	9738	14711
4935	8093	19266
2667	10062	15972
6389	11318	14417
8800	18137	18434
5824	5927	15314
6056	13168	15179
3284	13138	18919
13115	17259	17332

FIG. 69

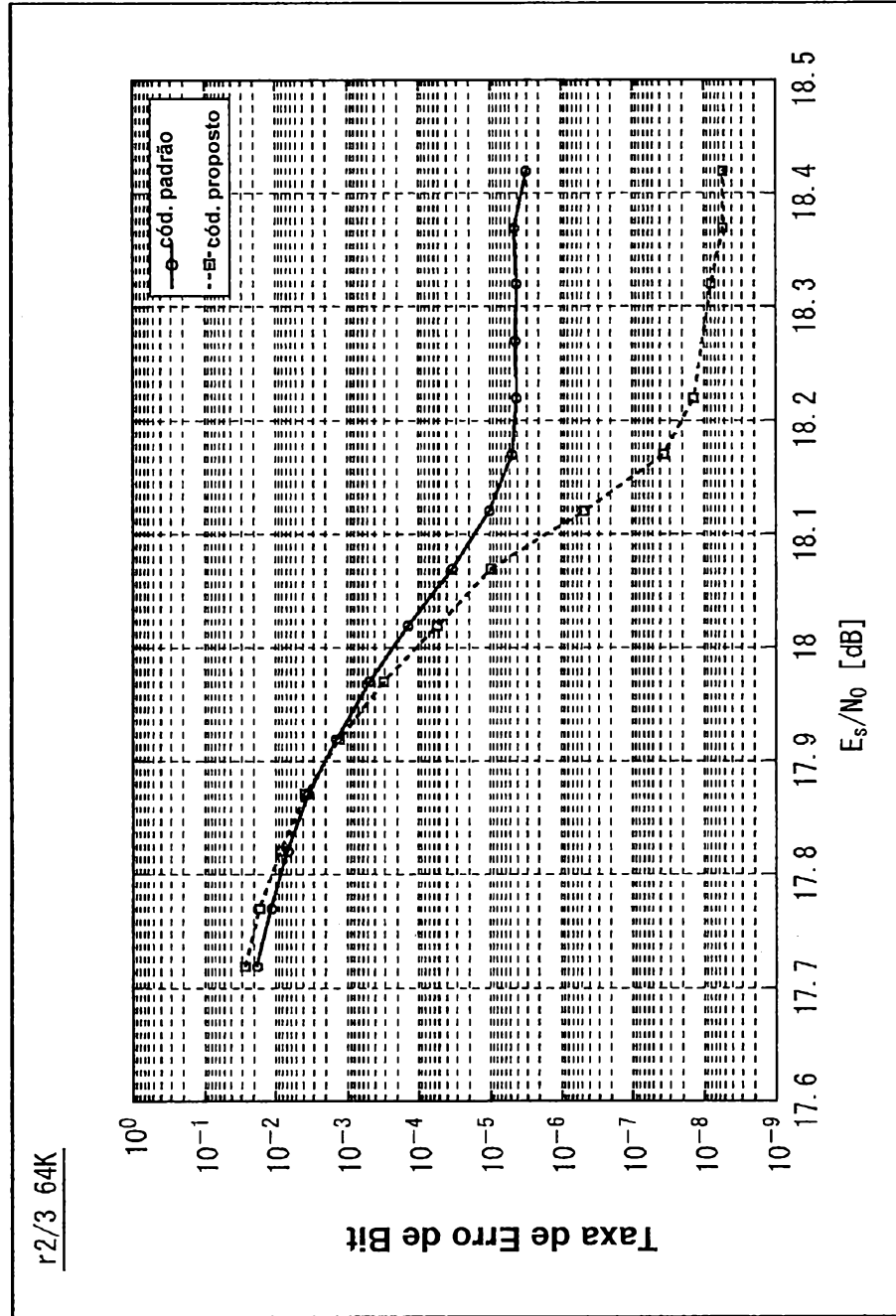


FIG. 70

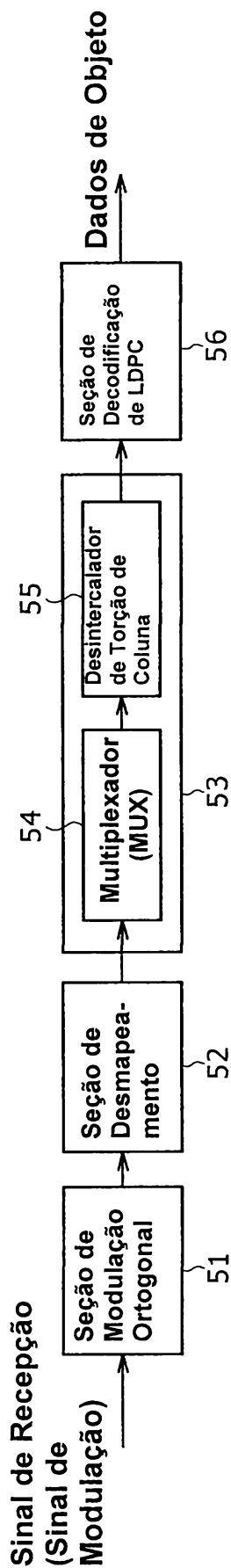


FIG. 71

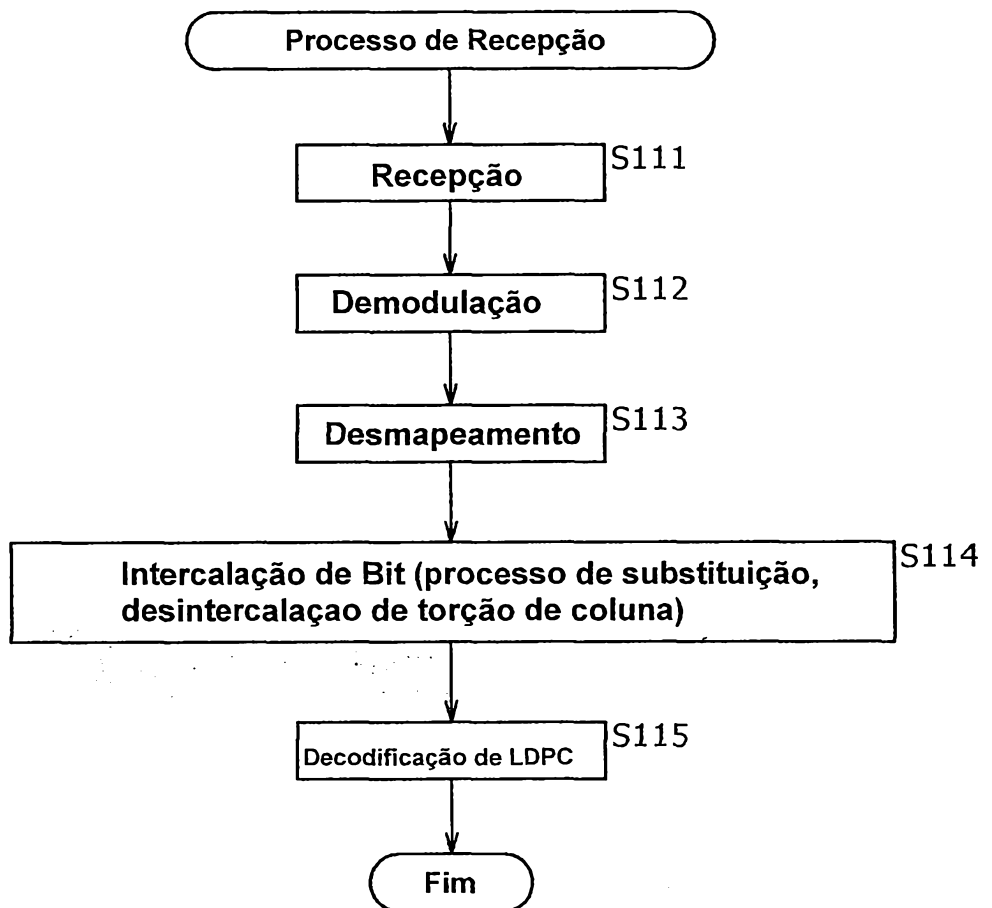


FIG. 72

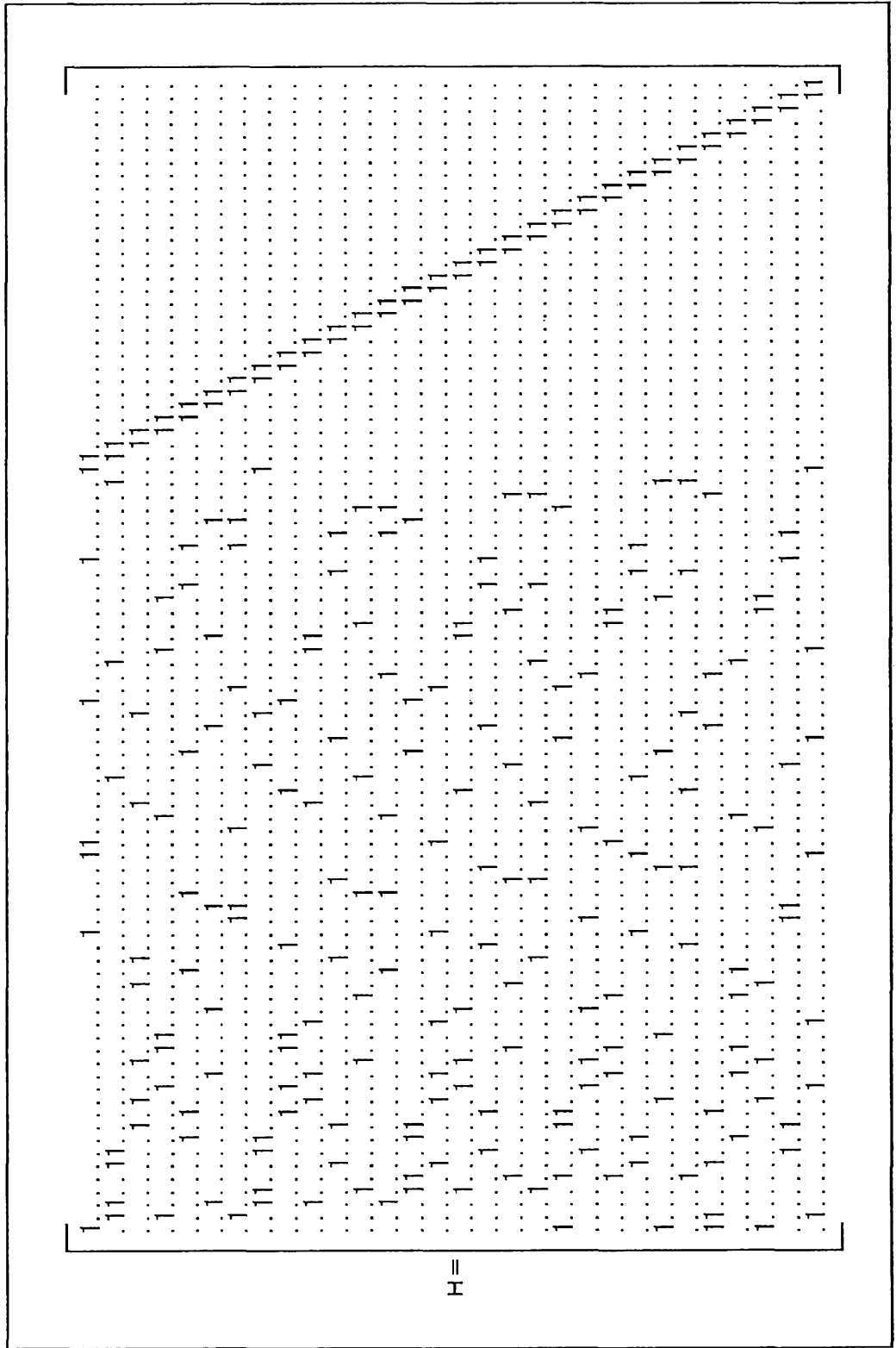


FIG. 73

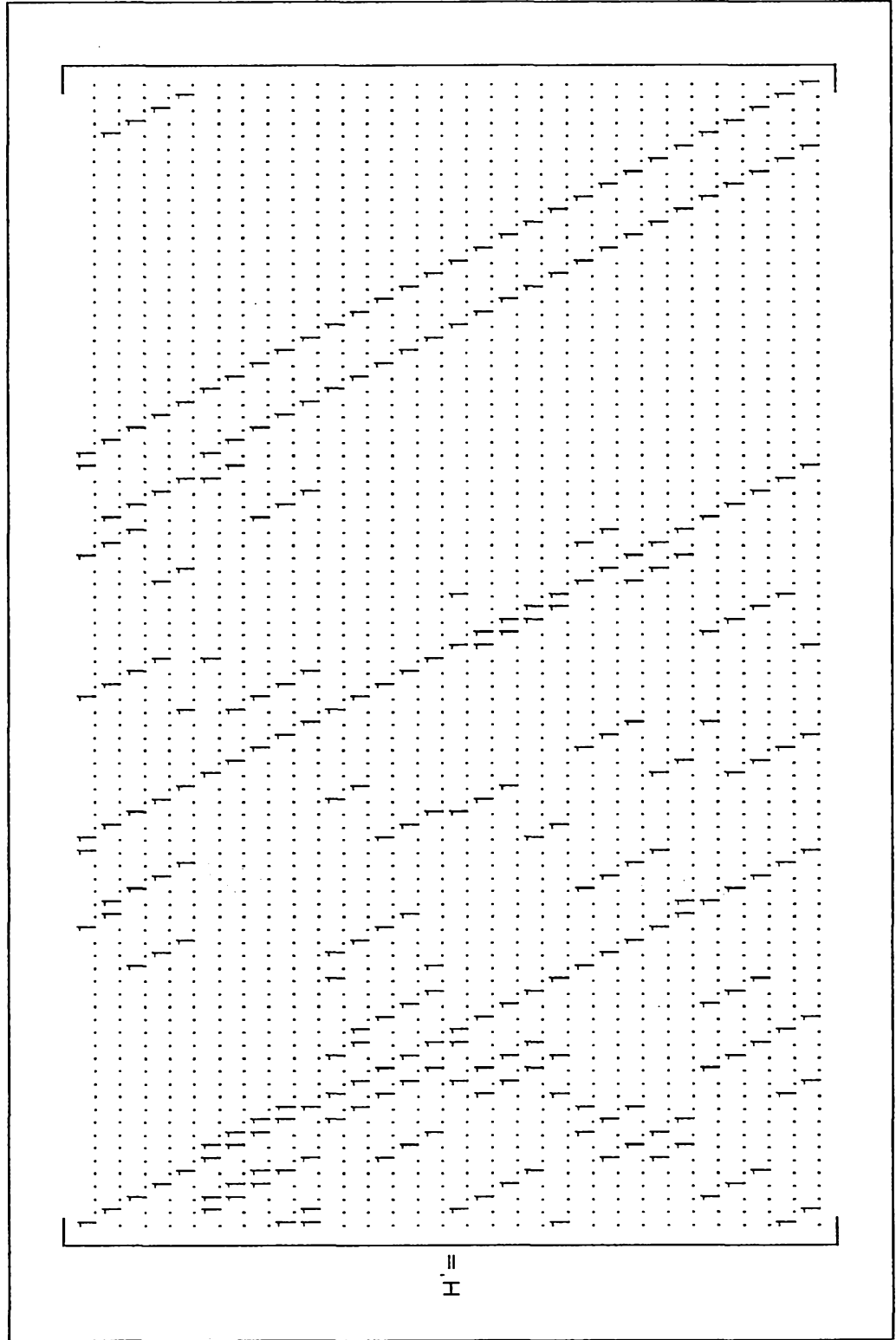




FIG. 75

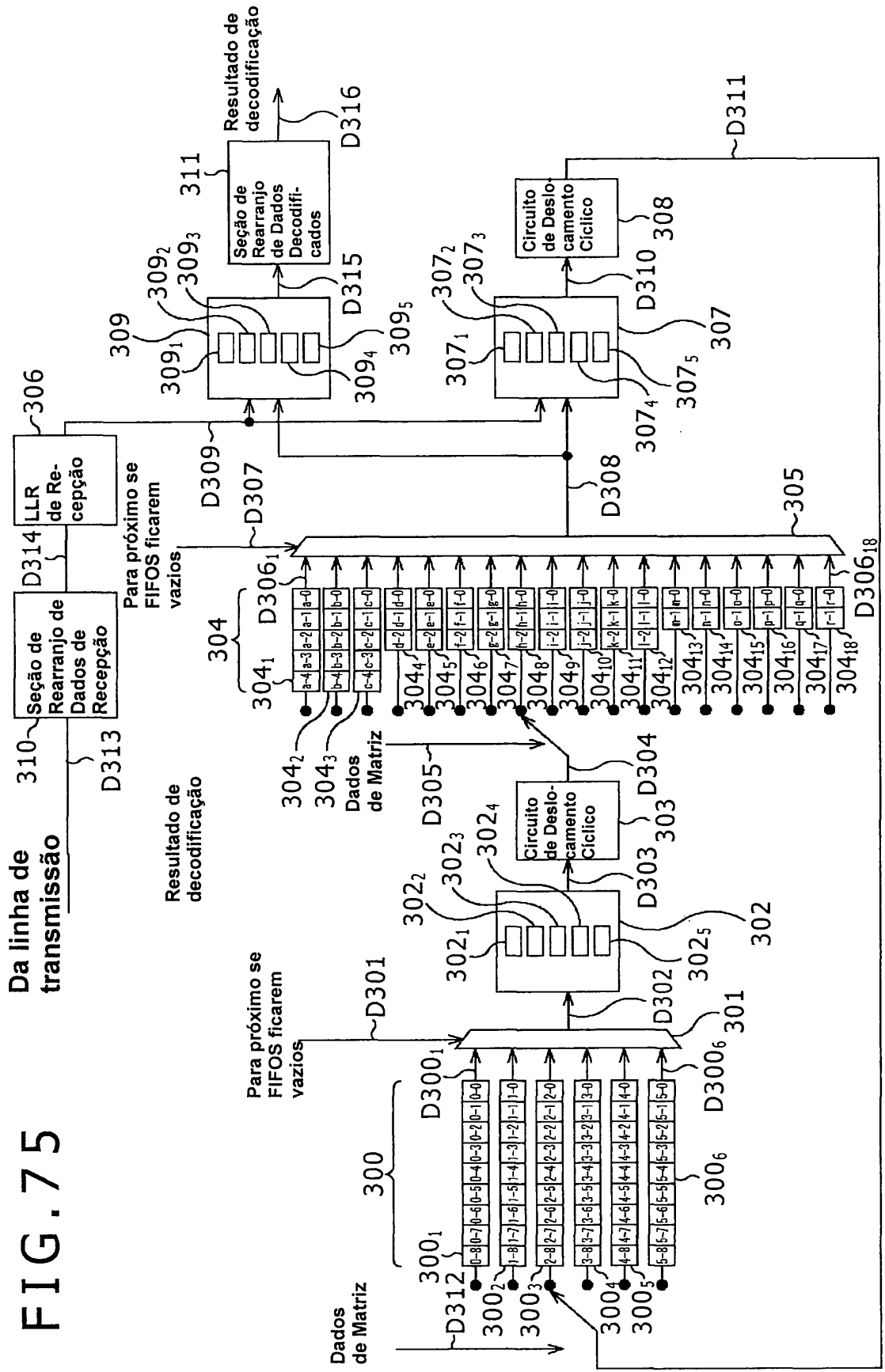


FIG. 76

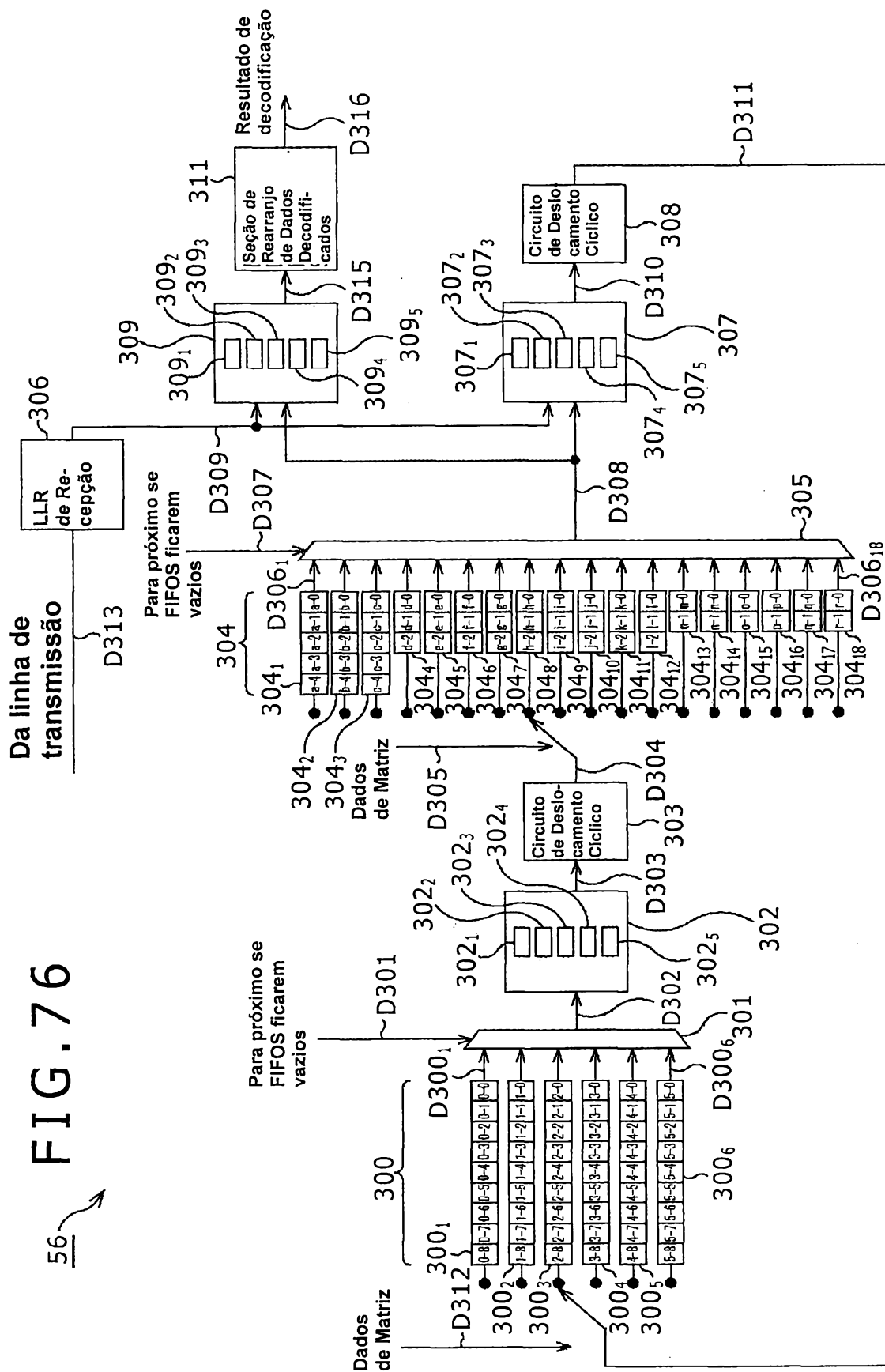
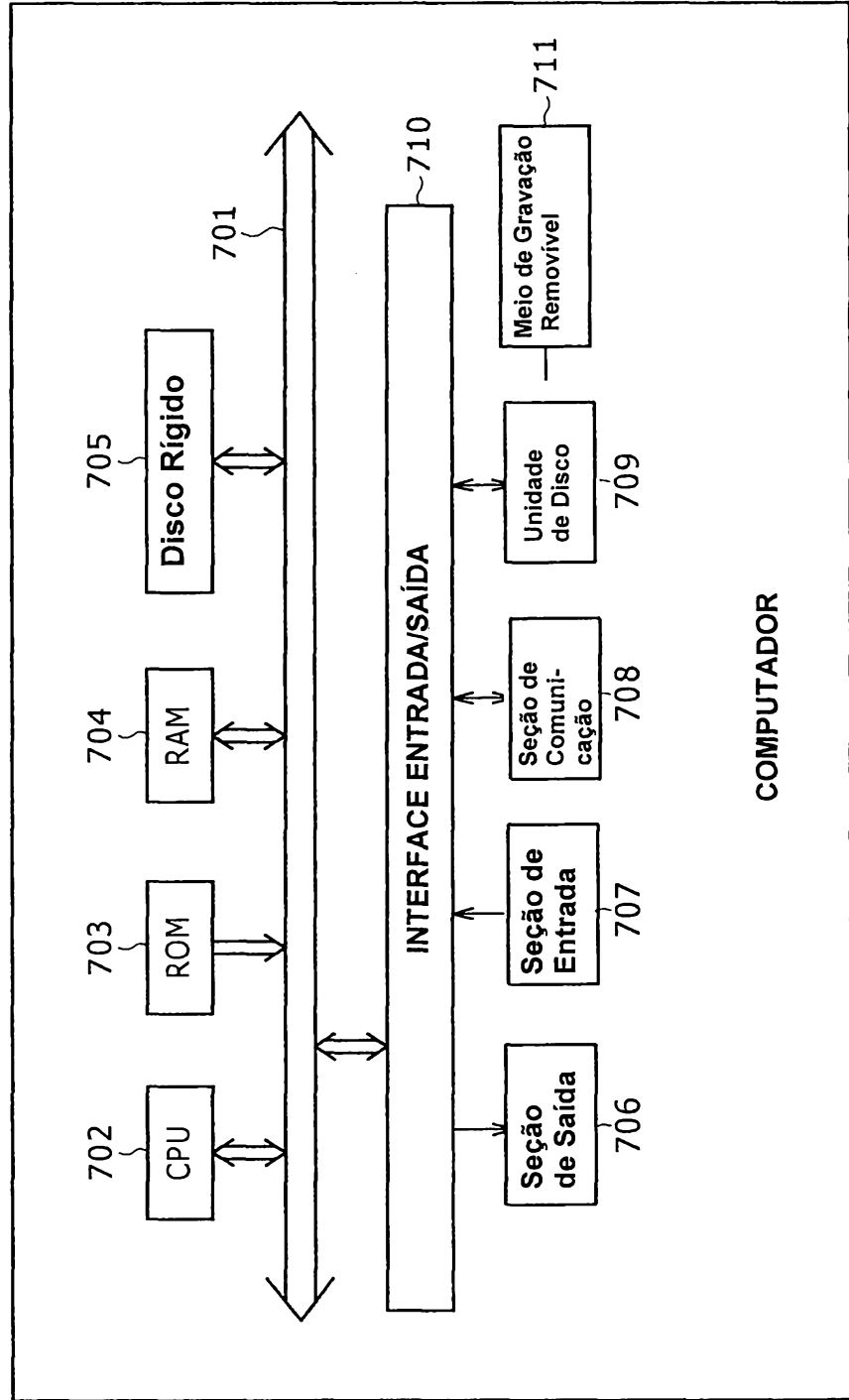


FIG. 77



COMPUTADOR

## FIG. 78

— r $\frac{2}{3}$  16K —

0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
2	259	3399	929	2650	864	3996	3833	107	5287	164	3125	2350
3	342	3529										
4	4198	2147										
5	1880	4836										
6	3864	4910										
7	243	1542										
8	3011	1436										
9	2167	2512										
10	4606	1003										
11	2835	705										
12	3426	2365										
13	3848	2474										
14	1360	1743										
0	163	2536										
1	2583	1180										
2	1542	509										
3	4418	1005										
4	5212	5117										
5	2155	2922										
6	347	2696										
7	226	4296										
8	1560	487										
9	3926	1640										
10	149	2928										
11	2364	563										
12	635	688										
13	231	1684										
14	1129	3894										

Valor Inicial de Matriz de Verificação de Paridade

$$r = \frac{2}{3}, N = 16200$$



## FIG. 80

40	20233	12352
41	19365	19546
42	6249	19030
43	11037	19193
44	19760	11772
45	19644	7428
46	16076	3521
47	11779	21062
48	13062	9682
49	8934	5217
50	11087	3319
51	18892	4356
52	7894	3898
53	5963	4360
54	7346	11726
55	5182	5609
56	2412	17295
57	9845	20494
58	6687	1864
59	20564	5216
0	18226	17207
1	9380	8266
2	7073	3065
3	18252	13437
4	9161	15642
5	10714	10153
6	11585	9078
7	5359	9418
8	9024	9515
9	1206	16354
10	14994	1102
11	9375	20796
12	15964	6027
13	14789	6452
14	8002	18591
15	14742	14089
16	253	3045
17	1274	19286
18	14777	2044
19	13920	9900
20	452	7374

## FIG. 81

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

## FIG. 82

— r3/4 16K —

3	3198	478	4207	1481	1009	2616	1924	3437	554	683	1801
4	2681	2135									
5	3107	4027									
6	2637	3373									
7	3830	3449									
8	4129	2060									
9	4184	2742									
10	3946	1070									
11	2239	984									
0	1458	3031									
1	3003	1328									
2	1137	1716									
3	132	3725									
4	1817	638									
5	1774	3447									
6	3632	1257									
7	542	3694									
8	1015	1945									
9	1948	412									
10	995	2238									
11	4141	1907									
0	2480	3079									
1	3021	1088									
2	713	1379									
3	997	3903									
4	2323	3361									
5	1110	986									
6	2532	142									
7	1690	2405									
8	1298	1881									
9	615	174									
10	1648	3112									
11	1415	2808									

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{3}{4}$ , N=16200

## FIG. 83

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{3}{4}$ ,  $N = 64800$

r3/4	64K	s
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374	
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417	
2	7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444	
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866	
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870	
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358	
6	4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651	
7	4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406	
8	6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563	
9	3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652	
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238	
11	1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619	
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469	
13	8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622	
14	14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758	
15	3149 11981	
16	13416 6906	
17	13098 13352	
18	2009 14460	
19	7207 4314	
20	3312 3945	
21	4418 6248	
22	2669 13975	
23	7571 9023	
24	14172 2967	
25	7271 7138	
26	6135 13670	
27	7490 14559	
28	8657 2466	
29	8599 12834	
30	3470 3152	
31	13917 4365	
32	6024 13730	
33	10973 14182	
34	2464 13167	
35	5281 15049	
36	1103 1849	
37	2058 1069	
38	9654 6095	
39	14311 7667	

## FIG. 84

40	15617	8146
41	4588	11218
42	13660	6243
43	8578	7874
44	11741	2686
0	1022	1264
1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138
8	5053	6470
9	12687	14932
10	15458	1763
11	8121	1721
12	12431	549
13	4129	7091
14	1426	8415
15	9783	7604
16	6295	11329
17	1409	12061
18	8065	9087
19	2918	8438
20	1293	14115
21	3922	13851
22	3851	4000
23	5865	1768
24	2655	14957
25	5565	6332
26	4303	12631
27	11653	12236
28	16025	7632
29	4655	14128
30	9584	13123
31	13987	9597
32	15409	12110
33	8754	15490
34	7416	15325
35	2909	15549

## FIG. 85

36 2995 8257  
37 9406 4791  
38 11111 4854  
39 2812 8521  
40 8476 14717  
41 7820 15360  
42 1179 7939  
43 2357 8678  
44 7703 6216  
0 3477 7067  
1 3931 13845  
2 7675 12899  
3 1754 8187  
4 7785 1400  
5 9213 5891  
6 2494 7703  
7 2576 7902  
8 4821 15682  
9 10426 11935  
10 1810 904  
11 11332 9264  
12 11312 3570  
13 14916 2650  
14 7679 7842  
15 6089 13084  
16 3938 2751  
17 8509 4648  
18 12204 8917  
19 5749 12443  
20 12613 4431  
21 1344 4014  
22 8488 13850  
23 1730 14896  
24 14942 7126  
25 14983 8863  
26 6578 8564  
27 4947 396  
28 297 12805  
29 13878 6692  
30 11857 11186  
31 14395 11493

# FIG. 86

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

## FIG. 87

r4/5	16K
5	896 1565
6	2493 184
7	212 3210
8	727 1339
9	3428 612
0	2663 1947
1	230 2695
2	2025 2794
3	3039 283
4	862 2889
5	376 2110
6	2034 2286
7	951 2068
8	3108 3542
9	307 1421
0	2272 1197
1	1800 3280
2	331 2308
3	465 2552
4	1038 2479
5	1383 343
6	94 236
7	2619 121
8	1497 2774
9	2116 1855
0	722 1584
1	2767 1881
2	2701 1610
3	3283 1732
4	168 1099
5	3074 243
6	3460 945
7	2049 1746
8	566 1427
9	3545 1168

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{4}{5}$ , N=16200

## FIG. 88

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{4}{5}$ ,  $N = 64800$

r4/5 64K	s
0	149 11212 5575 6360 12559 8108 8505 408 10026 12828
1	5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2	8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3	2699 4304 8350 712 2841 3250 4731 10105 517 7516
4	12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5	6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6	11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7	4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8	8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9	3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10	1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11	11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12	7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13	4418 1467 2490 5841 817 11453 533 11217 11962 5251
14	1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15	11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16	6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17	12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18	10155 4210
19	1010 10483
20	8900 10250
21	10243 12278
22	7070 4397
23	12271 3887
24	11980 6836
25	9514 4356
26	7137 10281
27	11881 2526
28	1969 11477
29	3044 10921
30	2236 8724
31	9104 6340
32	7342 8582
33	11675 10405
34	6467 12775
35	3186 12198
0	9621 11445
1	7486 5611
2	4319 4879
3	2196 344

## FIG. 89

4	7527	6650
5	10693	2440
6	6755	2706
7	5144	5998
8	11043	8033
9	4846	4435
10	4157	9228
11	12270	6562
12	11954	7592
13	7420	2592
14	8810	9636
15	689	5430
16	920	1304
17	1253	11934
18	9559	6016
19	312	7589
20	4439	4197
21	4002	9555
22	12232	7779
23	1494	8782
24	10749	3969
25	4368	3479
26	6316	5342
27	2455	3493
28	12157	7405
29	6598	11495
30	11805	4455
31	9625	2090
32	4731	2321
33	3578	2608
34	8504	1849
35	4027	1151
0	5647	4935
1	4219	1870
2	10968	8054
3	6970	5447
4	3217	5638
5	8972	669
6	5618	12472
7	1457	1280
8	8868	3883

## FIG. 90

9 8866 1224  
10 8371 5972  
11 266 4405  
12 3706 3244  
13 6039 5844  
14 7200 3283  
15 1502 11282  
16 12318 2202  
17 4523 965  
18 9587 7011  
19 2552 2051  
20 12045 10306  
21 11070 5104  
22 6627 6906  
23 9889 2121  
24 829 9701  
25 2201 1819  
26 6689 12925  
27 2139 8757  
28 12004 5948  
29 8704 3191  
30 8171 10933  
31 6297 7116  
32 616 7146  
33 5142 9761  
34 10377 8138  
35 7616 5811  
0 7285 9863  
1 7764 10867  
2 12343 9019  
3 4414 8331  
4 3464 642  
5 6960 2039  
6 786 3021  
7 710 2086  
8 7423 5601  
9 8120 4885  
10 12385 11990  
11 9739 10034  
12 424 10162  
13 1347 7597

# FIG. 91

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

## FIG.92

r5/6 16K												
3	2409	499	1481	908	559	716	1270	333	2508	2264	1702	2805
4	2447	1926										
5	414	1224										
6	2114	842										
7	212	573										
0	2383	2112										
1	2286	2348										
2	545	819										
3	1264	143										
4	1701	2258										
5	964	166										
6	114	2413										
7	2243	81										
0	1245	1581										
1	775	169										
2	1696	1104										
3	1914	2831										
4	532	1450										
5	91	974										
6	497	2228										
7	2326	1579										
0	2482	256										
1	1117	1261										
2	1257	1658										
3	1478	1225										
4	2511	980										
5	2320	2675										
6	435	1278										
7	228	503										
0	1885	2369										
1	57	483										
2	838	1050										
3	1231	1990										
4	1738	68										
5	2392	951										
6	163	645										
7	2644	1704										

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{5}{6}$ , N=16200



## FIG. 94

10	2640	5087
11	858	3473
12	5582	5683
13	9523	916
14	4107	1559
15	4506	3491
16	8191	4182
17	10192	6157
18	5668	3305
19	3449	1540
20	4766	2697
21	4069	6675
22	1117	1016
23	5619	3085
24	8483	8400
25	8255	394
26	6338	5042
27	6174	5119
28	7203	1989
29	1781	5174
0	1464	3559
1	3376	4214
2	7238	67
3	10595	8831
4	1221	6513
5	5300	4652
6	1429	9749
7	7878	5131
8	4435	10284
9	6331	5507
10	6662	4941
11	9614	10238
12	8400	8025
13	9156	5630
14	7067	8878
15	9027	3415
16	1690	3866
17	2854	8469
18	6206	630
19	363	5453
20	4125	7008

## FIG. 95

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

## FIG. 96

2	10070	2359
3	3667	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

## FIG. 97

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{8}{9}$ ,  $N = 16200$ 

r8/9	16K		
0	1558	712	805
1	1450	873	1337
2	1741	1129	1184
3	294	806	1566
4	482	605	923
0	926	1578	
1	777	1374	
2	608	151	
3	1195	210	
4	1484	692	
0	427	488	
1	828	1124	
2	874	1366	
3	1500	835	
4	1496	502	
0	1006	1701	
1	1155	97	
2	657	1403	
3	1453	624	
4	429	1495	
0	809	385	
1	367	151	
2	1323	202	
3	960	318	
4	1451	1039	
0	1098	1722	
1	1015	1428	
2	1261	1564	
3	544	1190	
4	1472	1246	
0	508	630	
1	421	1704	
2	284	898	
3	392	577	
4	1155	556	
0	631	1000	
1	732	1368	
2	1328	329	
3	1515	506	
4	1104	1172	

## FIG. 98

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{8}{9}$ , N=64800

r8/9 64K

0	6235	2848	3222
1	5800	3492	5348
2	2757	927	90
3	6961	4516	4739
4	1172	3237	6264
5	1927	2425	3683
6	3714	6309	2495
7	3070	6342	7154
8	2428	613	3761
9	2906	264	5927
10	1716	1950	4273
11	4613	6179	3491
12	4865	3286	6005
13	1343	5923	3529
14	4589	4035	2132
15	1579	3920	6737
16	1644	1191	5998
17	1482	2381	4620
18	6791	6014	6596
19	2738	5918	3786
0	5156	6166	
1	1504	4356	
2	130	1904	
3	6027	3187	
4	6718	759	
5	6240	2870	
6	2343	1311	
7	1039	5465	
8	6617	2513	
9	1588	5222	
10	6561	535	
11	4765	2054	
12	5966	6892	
13	1969	3869	
14	3571	2420	
15	4632	981	
16	3215	4163	
17	973	3117	
18	3802	6198	
19	3794	3948	

## FIG. 99

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

## FIG. 100

1	3557	3224
2	3028	583
3	3258	440
4	6226	6655
5	4895	1094
6	1481	6847
7	4433	1932
8	2107	1649
9	2119	2065
10	4003	6388
11	6720	3622
12	3694	4521
13	1164	7050
14	1965	3613
15	4331	66
16	2970	1796
17	4652	3218
18	1762	4777
19	5736	1399
0	970	2572
1	2062	6599
2	4597	4870
3	1228	6913
4	4159	1037
5	2916	2362
6	395	1226
7	6911	4548
8	4618	2241
9	4120	4280
10	5825	474
11	2154	5558
12	3793	5471
13	5707	1595
14	1403	325
15	6601	5183
16	6369	4569
17	4846	896
18	7092	6184
19	6764	7127
0	6358	1951
1	3117	6960

## FIG. 101

2	2710	7062
3	1133	3604
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

## FIG. 102

Valor Inicial de Matriz de Verificação de Paridade  $r = \frac{9}{10}$ ,  $N = 64800$

r9/10 64K

0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

## FIG. 103

4	3404	3552
5	2876	5515
6	516	1719
7	765	3631
8	5059	1441
9	5629	598
10	5405	473
11	4724	5210
12	155	1832
13	1689	2229
14	449	1164
15	2308	3088
16	1122	669
17	2268	5758
0	5878	2609
1	782	3359
2	1231	4231
3	4225	2052
4	4286	3517
5	5531	3184
6	1935	4560
7	1174	131
8	3115	956
9	3129	1088
10	5238	4440
11	5722	4280
12	3540	375
13	191	2782
14	906	4432
15	3225	1111
16	6296	2583
17	1457	903
0	855	4475
1	4097	3970
2	4433	4361
3	5198	541
4	1146	4426
5	3202	2902
6	2724	525
7	1083	4124
8	2326	6003

## FIG. 104

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

## FIG. 105

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

## FIG. 106

r1/4 64K

23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088  
16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692  
1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105  
22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009  
8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021  
40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823  
15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308  
10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940  
6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392  
22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739  
8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225  
18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354  
16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992  
15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541  
42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553  
22152 24261 8297  
19347 9978 27802  
34991 6354 33561  
29782 30875 29523  
9278 48512 14349  
38061 4165 43878  
8548 33172 34410  
22535 28811 23950  
20439 4027 24186  
38618 8187 30947  
35538 43880 21459  
7091 45616 15063  
5505 9315 21908  
36046 32914 11836  
7304 39782 33721  
16905 29962 12980  
11171 23709 22460  
34541 9937 44500  
14035 47316 8815  
15057 45482 24461  
30518 36877 879  
7583 13364 24332  
448 27056 4682  
12083 31378 21670  
1159 18031 2221  
17028 38715 9350  
17343 24530 29574

FIG. 107

46128	31039	32818
20373	36967	18345
46685	20622	32806

## FIG. 108

r1/3 64K

34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120  
11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910  
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894  
29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980  
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870  
40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863  
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138  
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787  
11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451  
34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966  
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486  
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279  
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843  
5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563  
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010  
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715  
1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383  
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085  
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764  
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048  
39948 28229 24899  
17408 14274 38993  
38774 15968 28459  
41404 27249 27425  
41229 6082 43114  
13957 4979 40654  
3093 3438 34992  
34082 6172 28760  
42210 34141 41021  
14705 17783 10134  
41755 39884 22773  
14615 15593 1642  
29111 37061 39860  
9579 33552 633  
12951 21137 39608  
38244 27361 29417  
2939 10172 36479  
29094 5357 19224  
9562 24436 28637

# FIG. 109

40177	2326	13504
6834	21583	42516
40651	42810	25709
31557	32138	38142
18624	41867	39296
37560	14295	16245
6821	21679	31570
25339	25083	22081
8047	697	35268
9884	17073	19995
26848	35245	8390
18658	16134	14807
12201	32944	5035
25236	1216	38986
42994	24782	8681
28321	4932	34249
4107	29382	32124
22157	2624	14468
38788	27081	7936
4368	26148	10578
25353	4122	39751

## FIG. 110

r2/5 64K  
31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008  
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553  
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885  
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759  
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869  
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356  
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067  
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232  
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385  
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596  
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378  
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483  
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591  
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835  
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841  
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432  
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464  
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037  
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515  
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602  
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175  
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114  
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477  
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685  
17287 27292 19033  
25796 31795 12152  
12184 35088 31226  
38263 33386 24892  
23114 37995 29796  
34336 10551 36245  
35407 175 7203  
14654 38201 22605  
28404 6595 1018  
19932 3524 29305  
31749 20247 8128  
18026 36357 26735  
7543 29767 13588  
13333 25965 8463  
14504 36796 19710  
4528 25299 7318  
35091 25550 14798

# FIG. 111

7824	215	1248
30848	5362	17291
28932	30249	27073
13062	2103	16206
7129	32062	19612
9512	21936	38833
35849	33754	23450
18705	28656	18111
22749	27456	32187
28229	31684	30160
15293	8483	28002
14880	13334	12584
28646	2558	19687
6259	4499	26336
11952	28386	8405
10609	961	7582
10423	13191	26818
15922	36654	21450
10492	1532	1205
30551	36482	22153
5156	11330	34243
28616	35369	13322
8962	1485	21186
23541	17445	35561
33133	11593	19895
33917	7863	33651
20063	28331	10702
13195	21107	21859
4364	31137	4804
5585	2037	4830
30672	16927	14800

## FIG. 112

r1/2 64K

54	9318	14392	27561	26909	10219	2534	8597
55	7263	4635	2530	28130	3033	23830	3651
56	24731	23583	26036	17299	5750	792	9169
57	5811	26154	18653	11551	15447	13685	16264
58	12610	11347	28768	2792	3174	29371	12997
59	16789	16018	21449	6165	21202	15850	3186
60	31016	21449	17618	6213	12166	8334	18212
61	22836	14213	11327	5896	718	11727	9308
62	2091	24941	29966	23634	9013	15587	5444
63	22207	3983	16904	28534	21415	27524	25912
64	25687	4501	22193	14665	14798	16158	5491
65	4520	17094	23397	4264	22370	16941	21526
66	10490	6182	32370	9597	30841	25954	2762
67	22120	22865	29870	15147	13668	14955	19235
68	6689	18408	18346	9918	25746	5443	20645
69	29982	12529	13858	4746	30370	10023	24828
70	1262	28032	29888	13063	24033	21951	7863
71	6594	29642	31451	14831	9509	9335	31552
72	1358	6454	16633	20354	24598	624	5265
73	19529	295	18011	3080	13364	8032	15323
74	11981	1510	7960	21462	9129	11370	25741
75	9276	29656	4543	30699	20646	21921	28050
76	15975	25634	5520	31119	13715	21949	19605
77	18688	4608	31755	30165	13103	10706	29224
78	21514	23117	12245	26035	31656	25631	30699
79	9674	24966	31285	29908	17042	24588	31857
80	21856	27777	29919	27000	14897	11409	7122
81	29773	23310	263	4877	28622	20545	22092
82	15605	5651	21864	3967	14419	22757	15896
83	30145	1759	10139	29223	26086	10556	5098
84	18815	16575	2936	24457	26738	6030	505
85	30326	22298	27562	20131	26390	6247	24791
86	928	29246	21246	12400	15311	32309	18608
87	20314	6025	26689	16302	2296	3244	19613
88	6237	11943	22851	15642	23857	15112	20947
89	26403	25168	19038	18384	8882	12719	7093
0	14567	24965					
1	3908	100					
2	10279	240					

## FIG. 113

3	24102	764
4	12383	4173
5	13861	15918
6	21327	1046
7	5288	14579
8	28158	8069
9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996

# FIG. 114

46	979	25024
47	4554	21896
48	7989	21777
49	4972	20661
50	6612	2730
51	12742	4418
52	29194	595
53	19267	20113

## FIG. 115

r3/5 64K

22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179  
 25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463  
 11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069  
 16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766  
 16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620  
 5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243  
 18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802  
 8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826  
 21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206  
 22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777  
 1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791  
 6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004  
 19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837  
 756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944  
 9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019  
 7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128  
 3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670  
 15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157  
 24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365  
 3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804  
 16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490  
 1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360  
 25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040  
 377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108  
 13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125  
 20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552  
 18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033  
 4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797  
 10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318  
 21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358  
 6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442  
 7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691  
 20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244  
 8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649  
 16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749  
 3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036  
 0 18539 18661  
 1 10502 3002  
 2 9368 10761

## FIG. 116

3	12299	7828
4	15048	13362
5	18444	24640
6	20775	19175
7	18970	10971
8	5329	19982
9	11296	18655
10	15046	20659
11	7300	22140
12	22029	14477
13	11129	742
14	13254	13813
15	19234	13273
16	6079	21122
17	22782	5828
18	19775	4247
19	1660	19413
20	4403	3649
21	13371	25851
22	22770	21784
23	10757	14131
24	16071	21617
25	6393	3725
26	597	19968
27	5743	8084
28	6770	9548
29	4285	17542
30	13568	22599
31	1786	4617
32	23238	11648
33	19627	2030
34	13601	13458
35	13740	17328
36	25012	13944
37	22513	6687
38	4934	12587
39	21197	5133
40	22705	6938
41	7534	24633
42	24400	12797
43	21911	25712
44	12039	1140
45	24306	1021





# FIG. 121

r1/2 16K

20	712	2386	6354	4061	1062	5045	5158
21	2543	5748	4822	2348	3089	6328	5876
22	926	5701	269	3693	2438	3190	3507
23	2802	4520	3577	5324	1091	4667	4449
24	5140	2003	1263	4742	6497	1185	6202
0	4046	6934					
1	2855	66					
2	6694	212					
3	3439	1158					
4	3850	4422					
5	5924	290					
6	1467	4049					
7	7820	2242					
8	4606	3080					
9	4633	7877					
10	3884	6868					
11	8935	4996					
12	3028	764					
13	5988	1057					
14	7411	3450					





FIG. 124

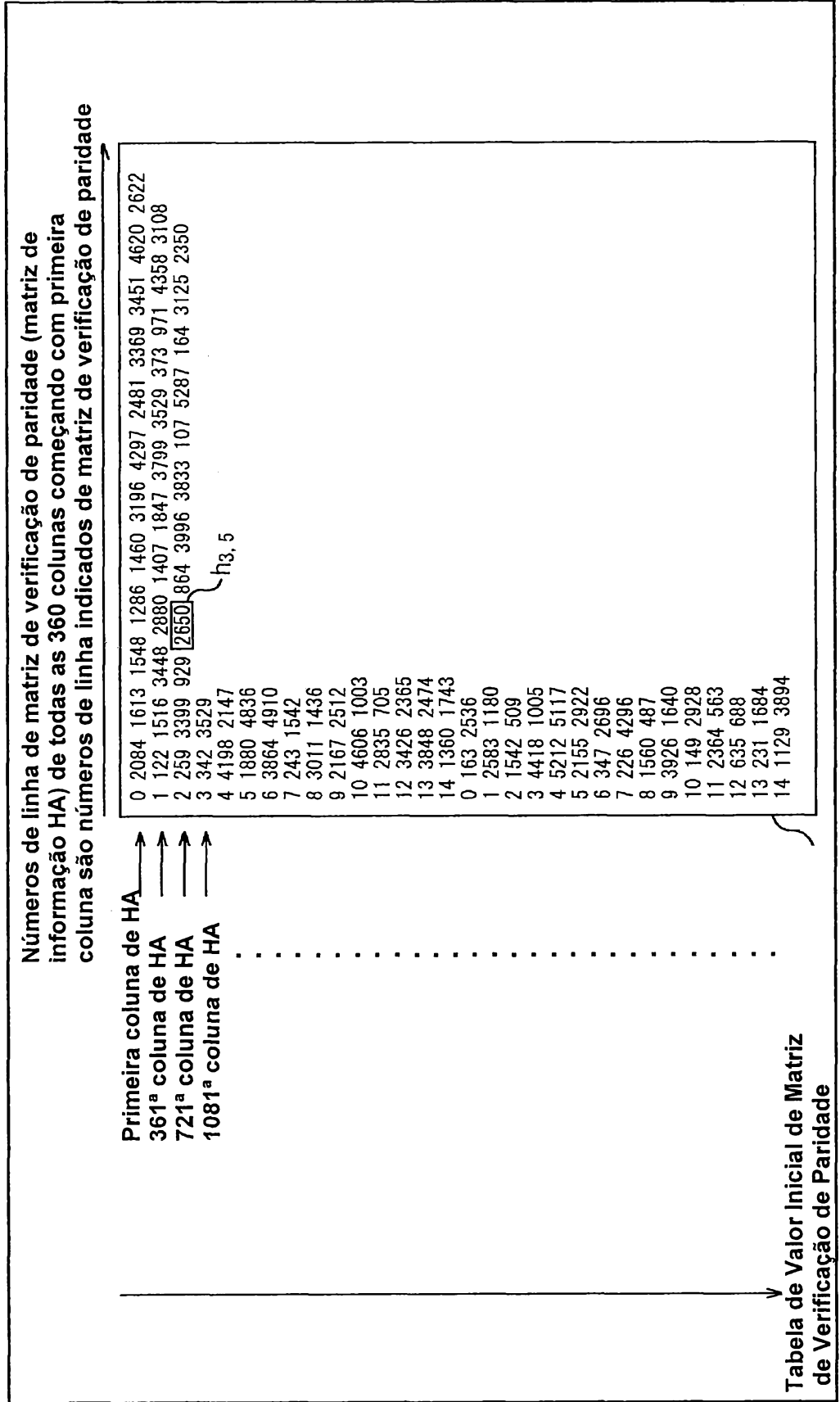


FIG. 125

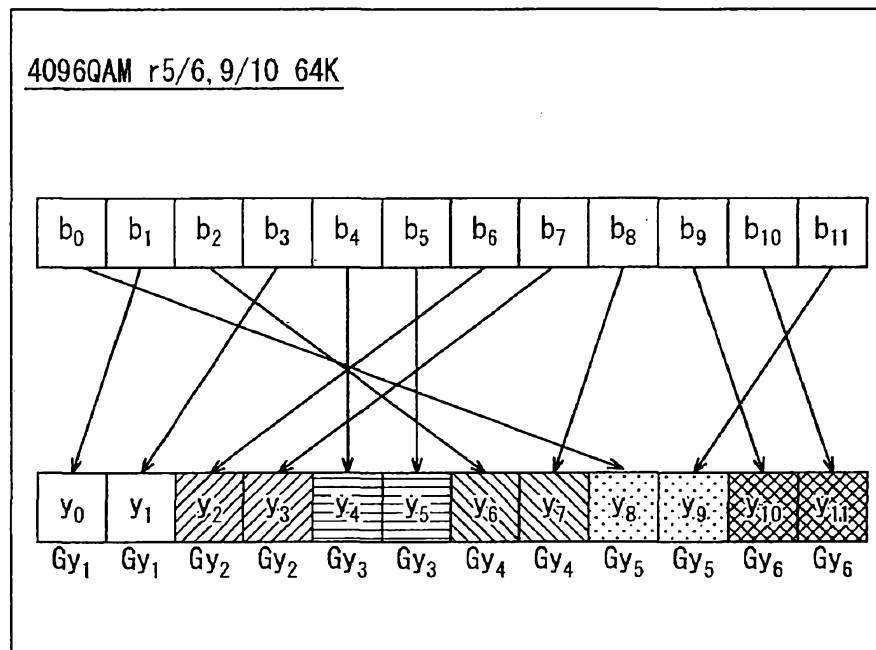




FIG. 127

1024QAM r3/4, 5/6, 8/9 16K r3/4, 5/6, 9/10 64K

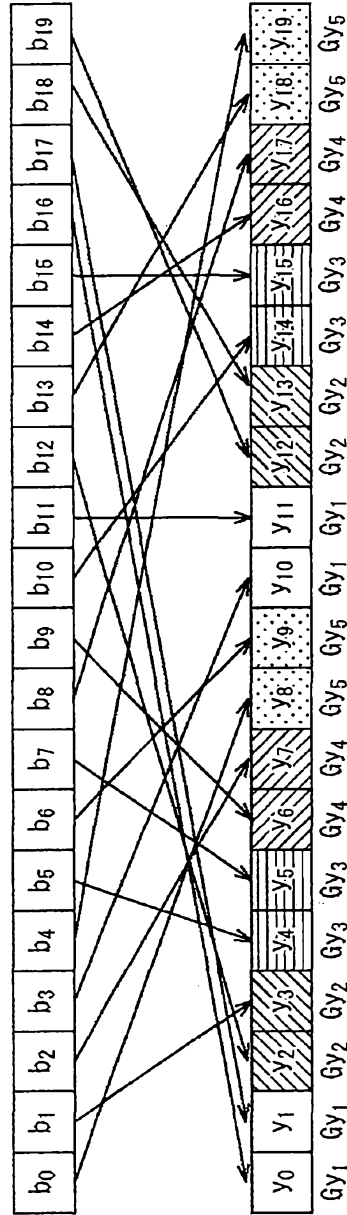


FIG. 128

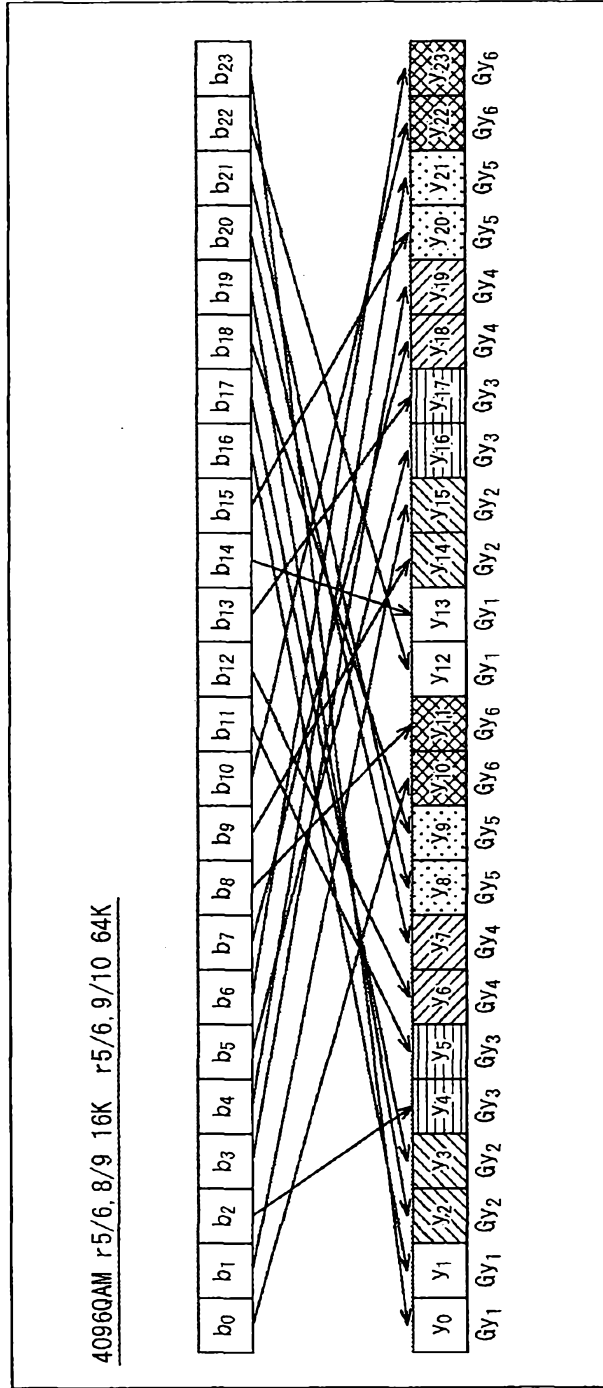


FIG. 129

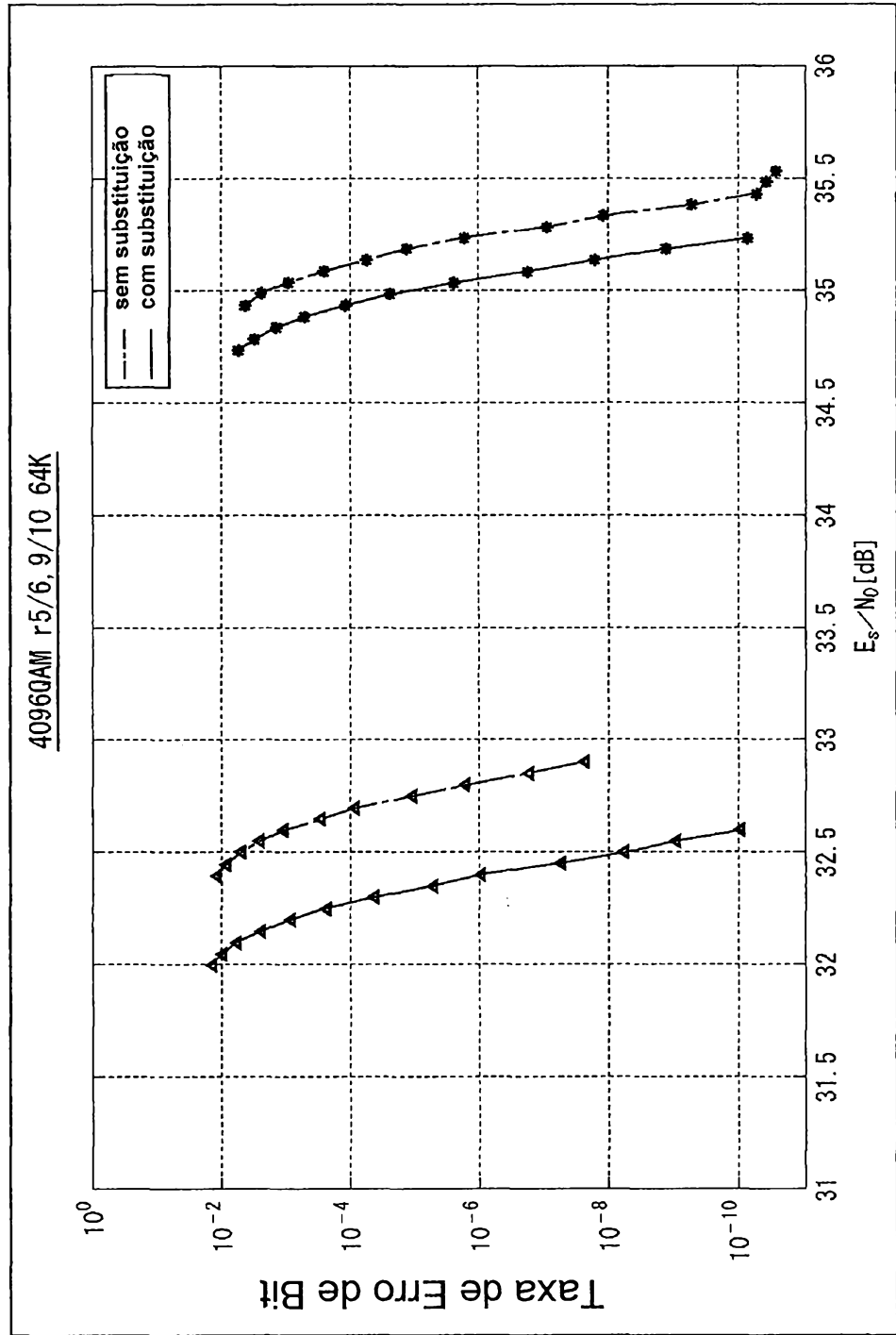


FIG. 130

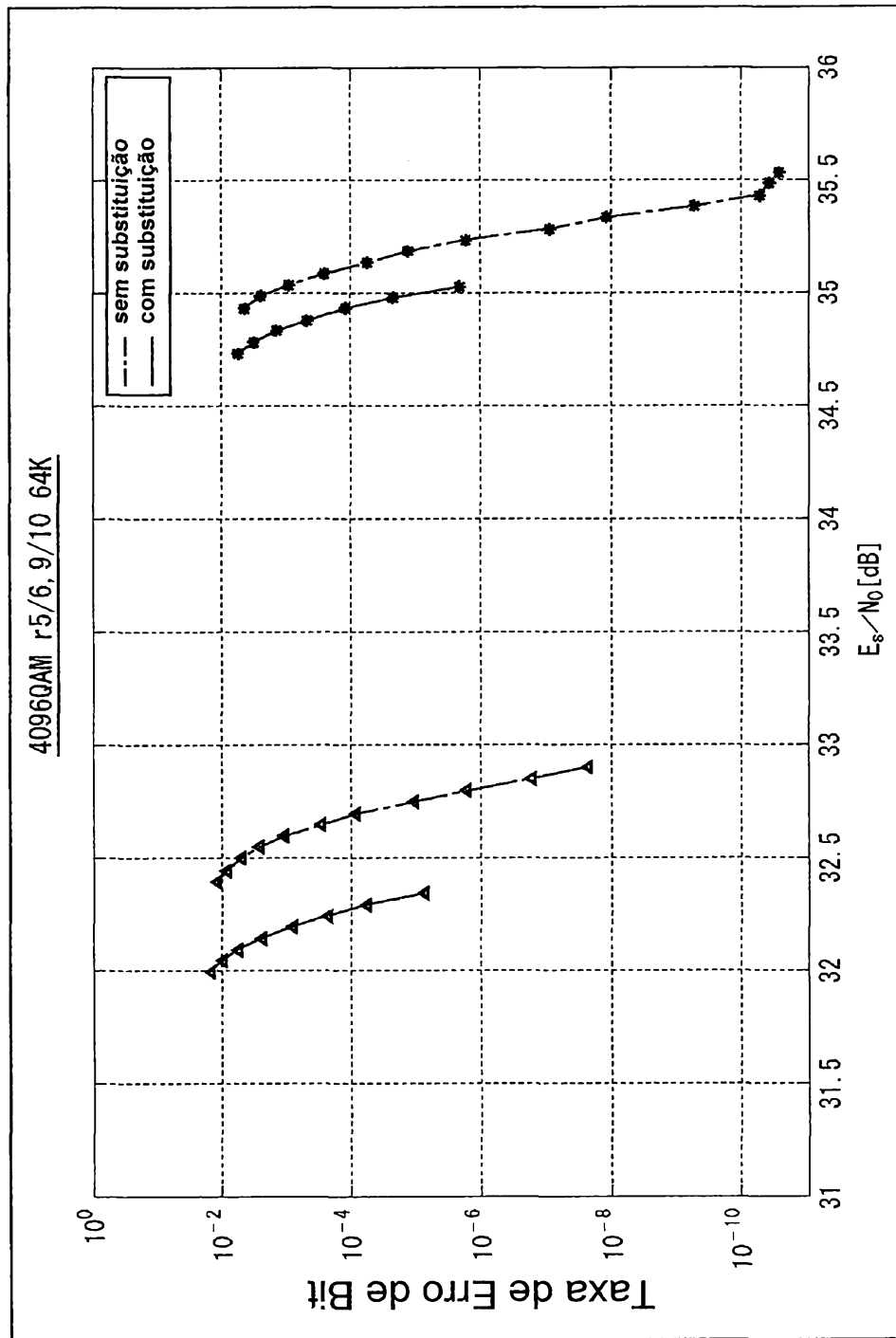


FIG. 131

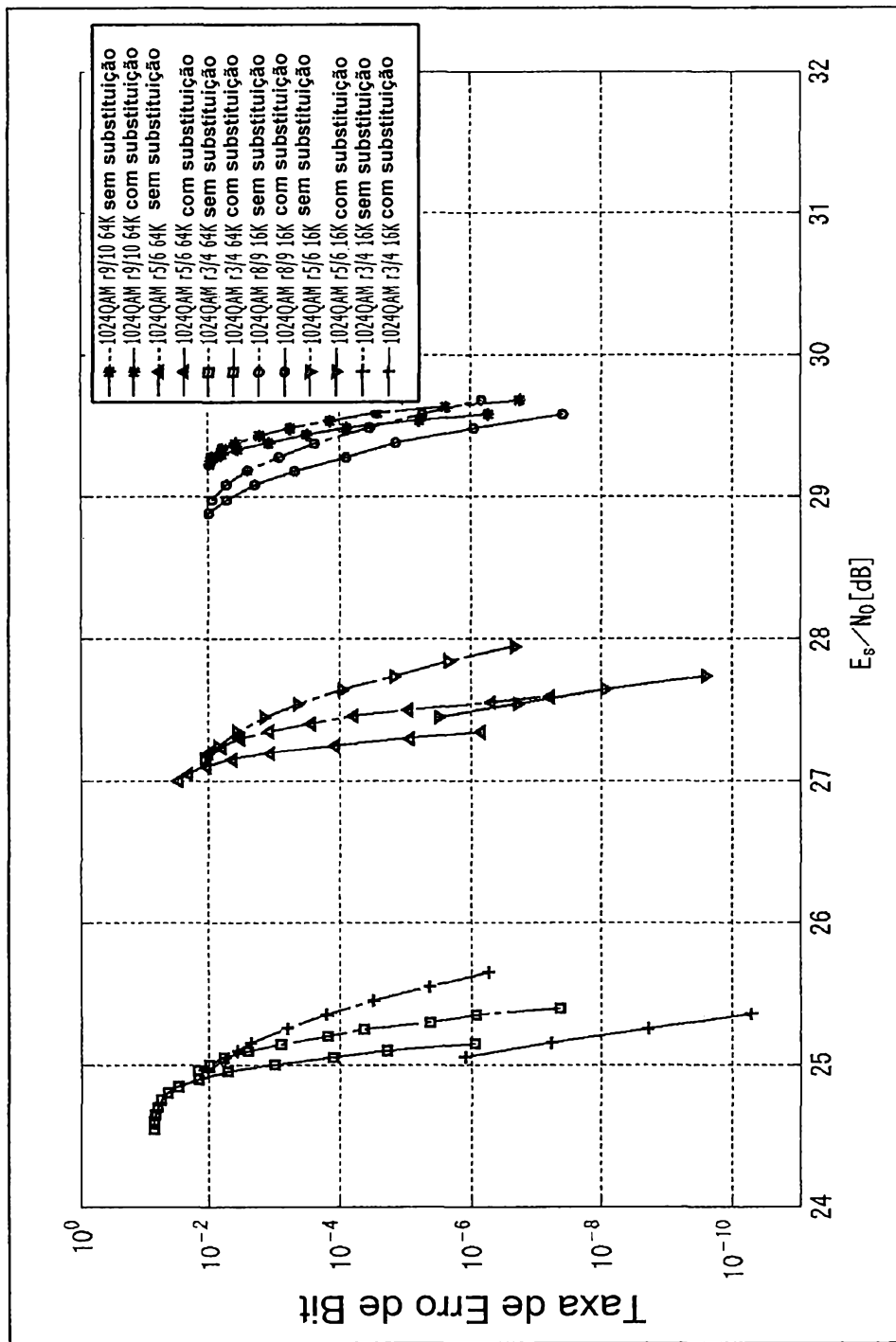


FIG. 132

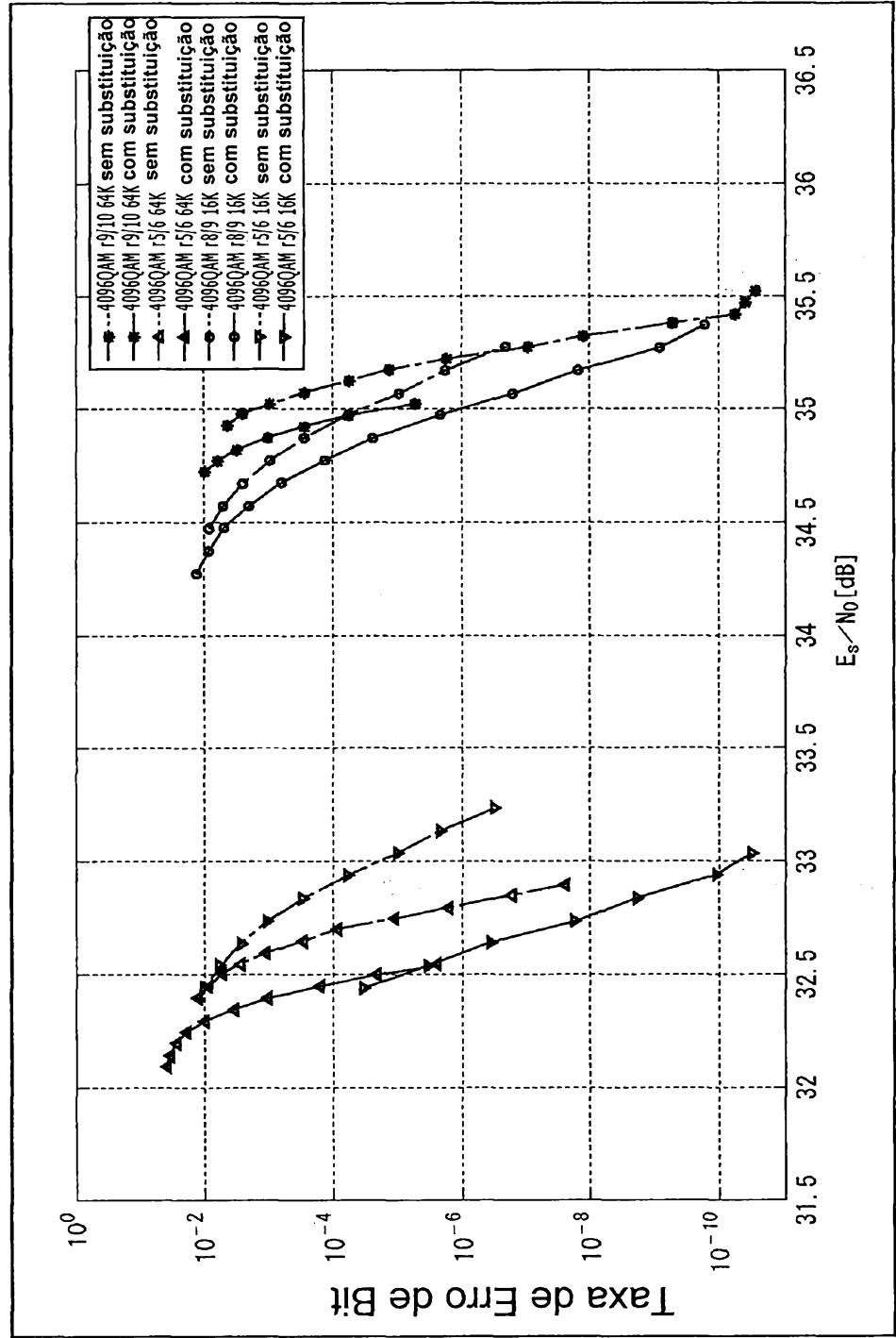


FIG. 133

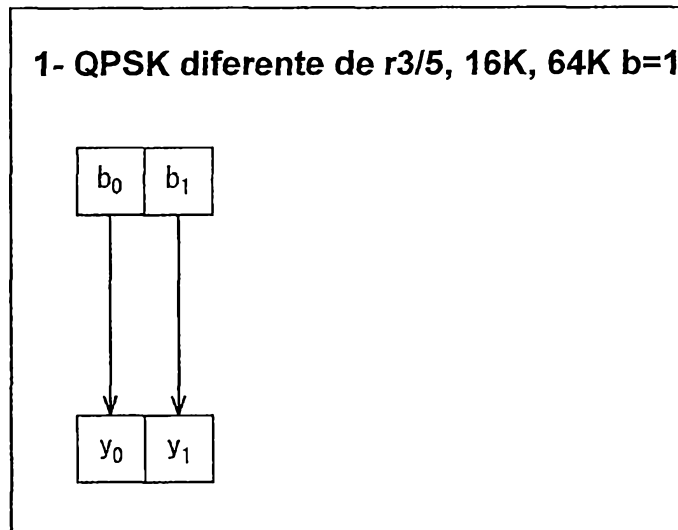


FIG. 134

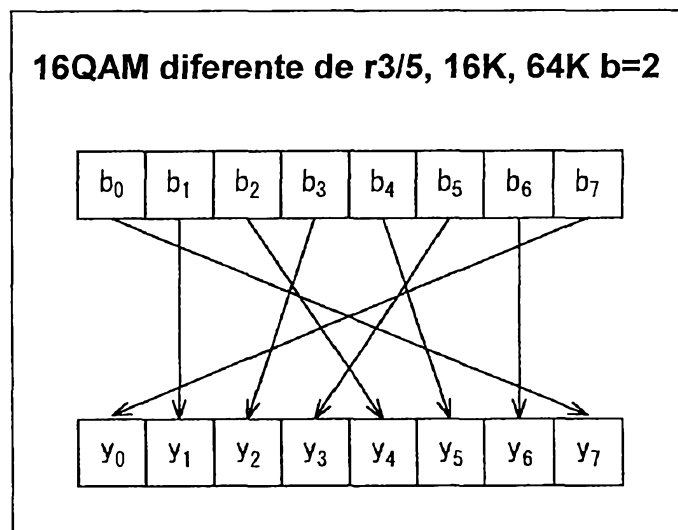


FIG. 135

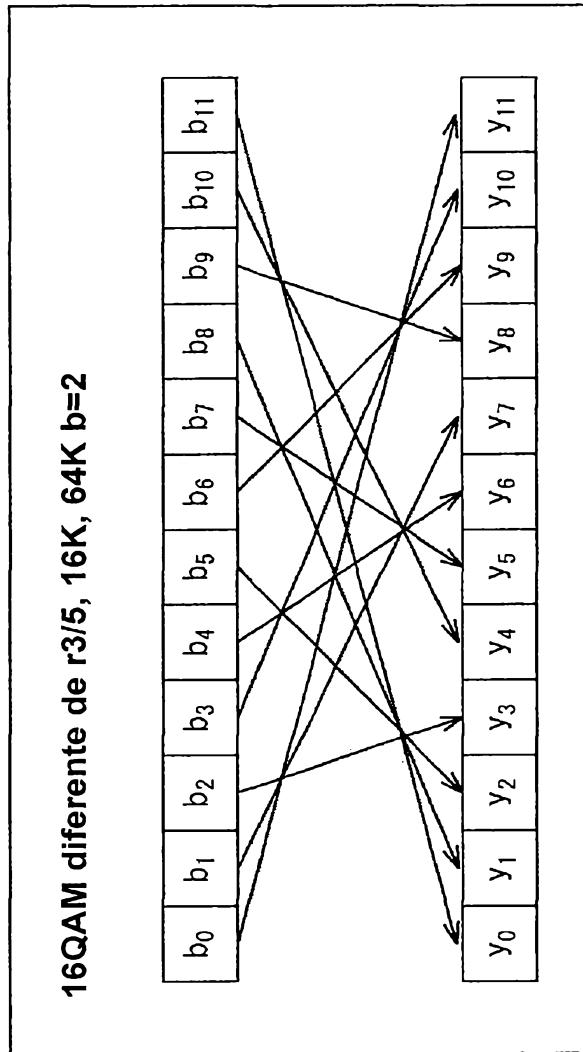


FIG. 136

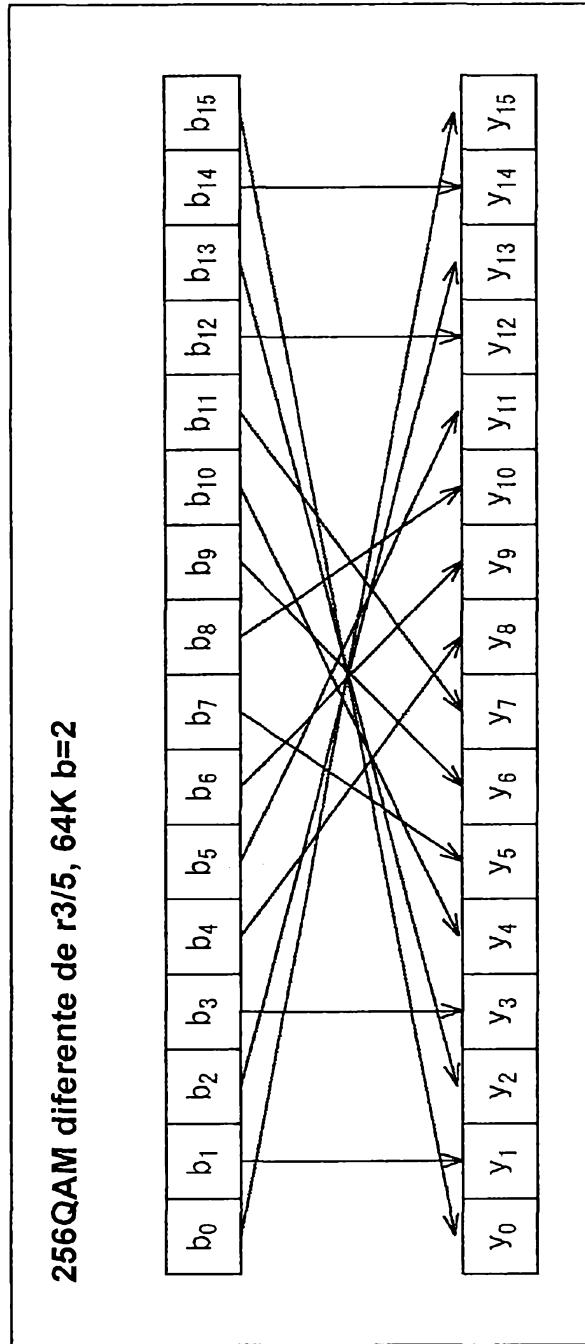


FIG. 137

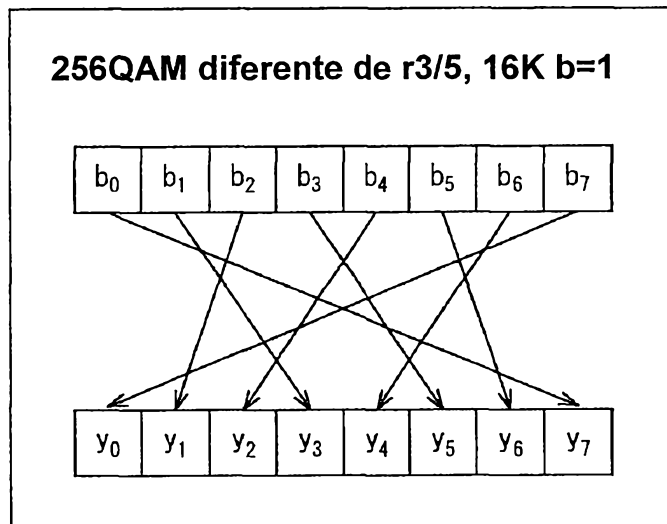


FIG. 138

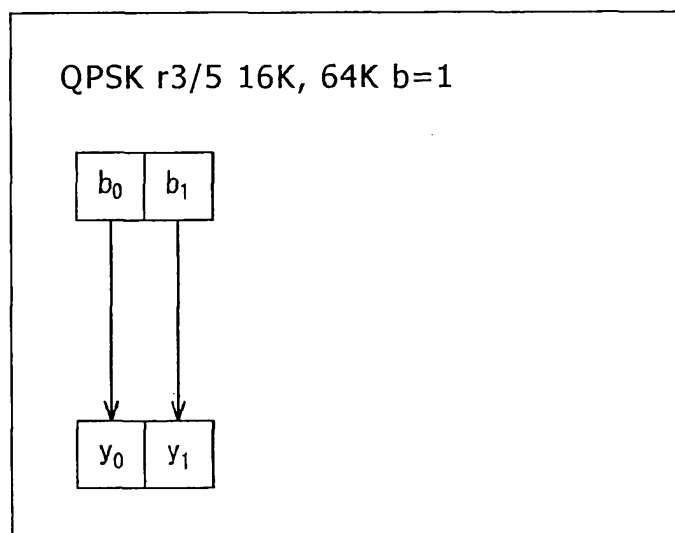


FIG. 139

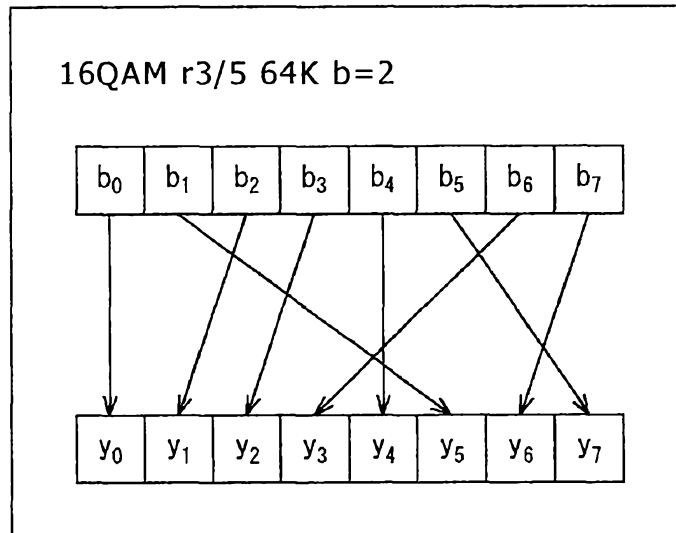


FIG. 140

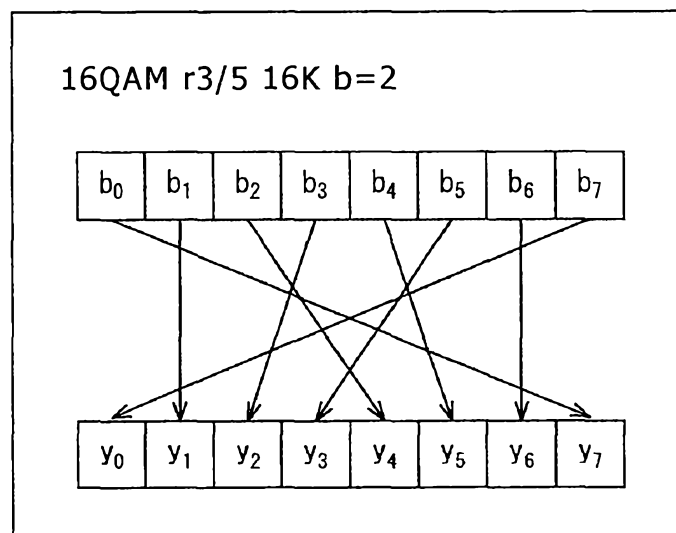


FIG. 141

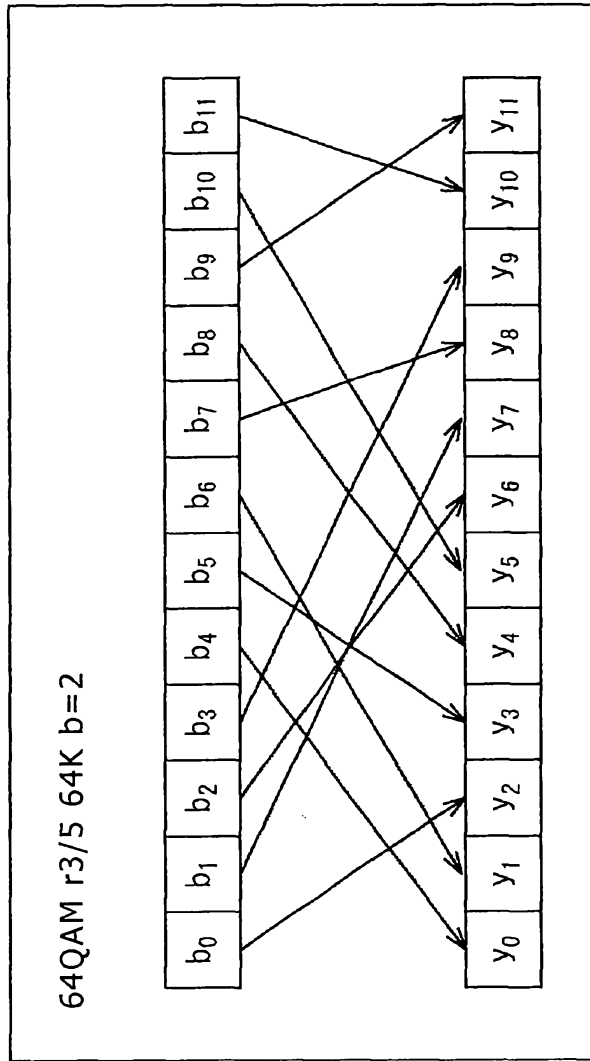


FIG. 142

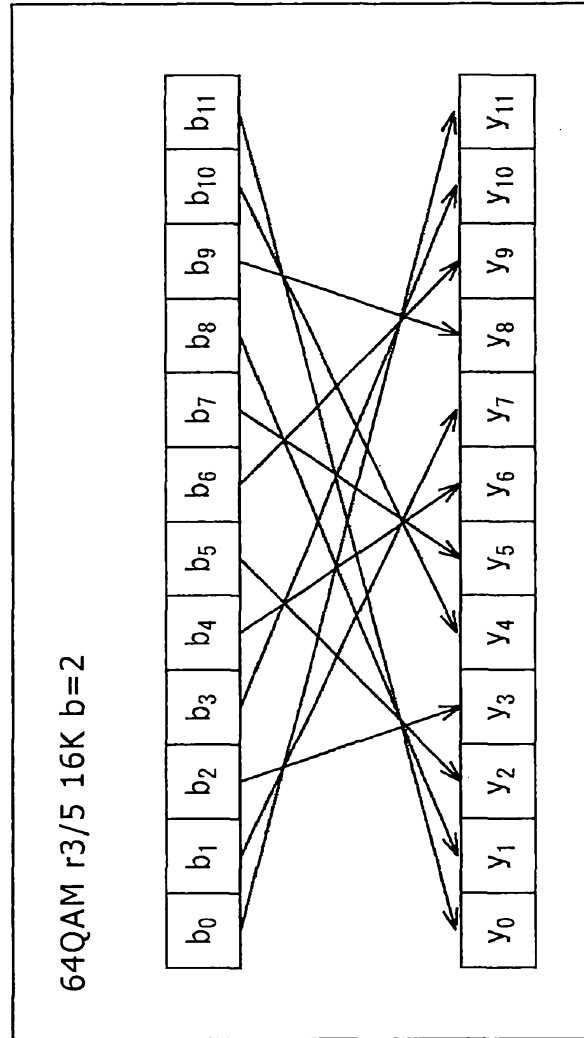


FIG. 143

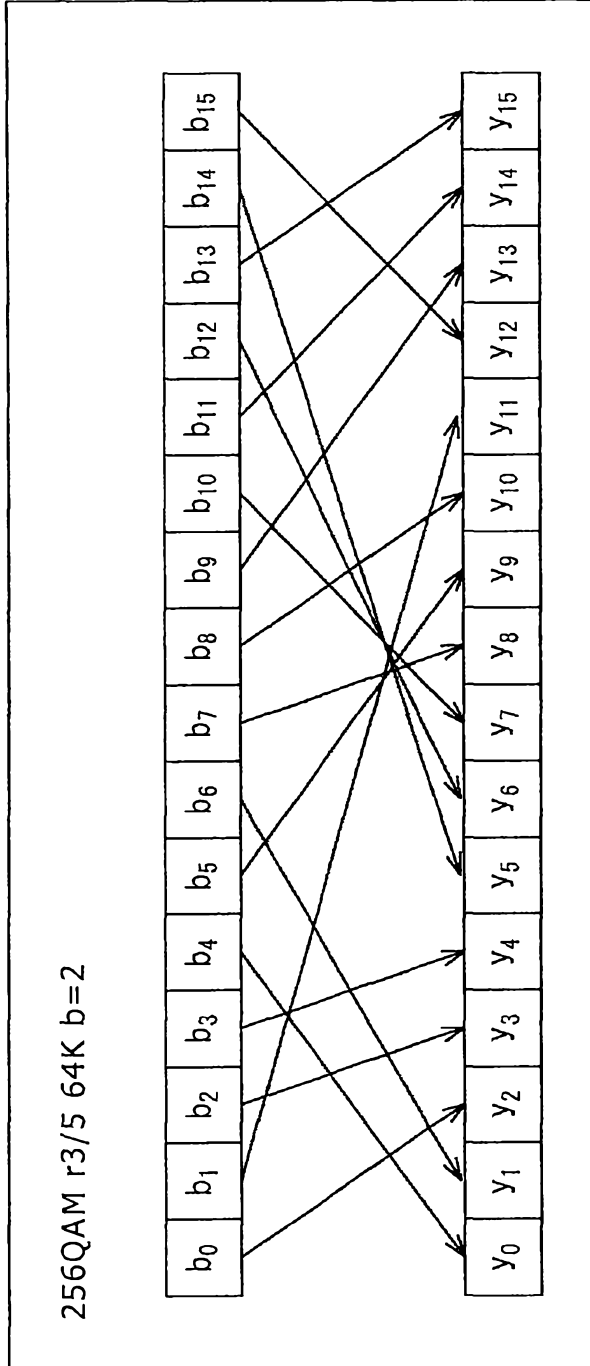


FIG. 144

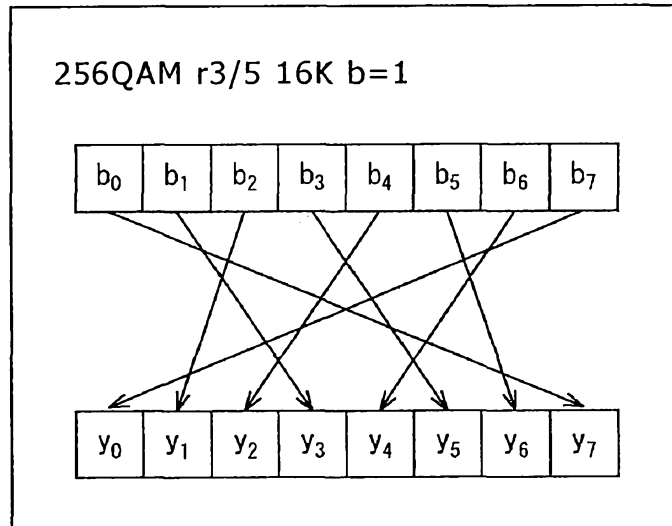


FIG. 145

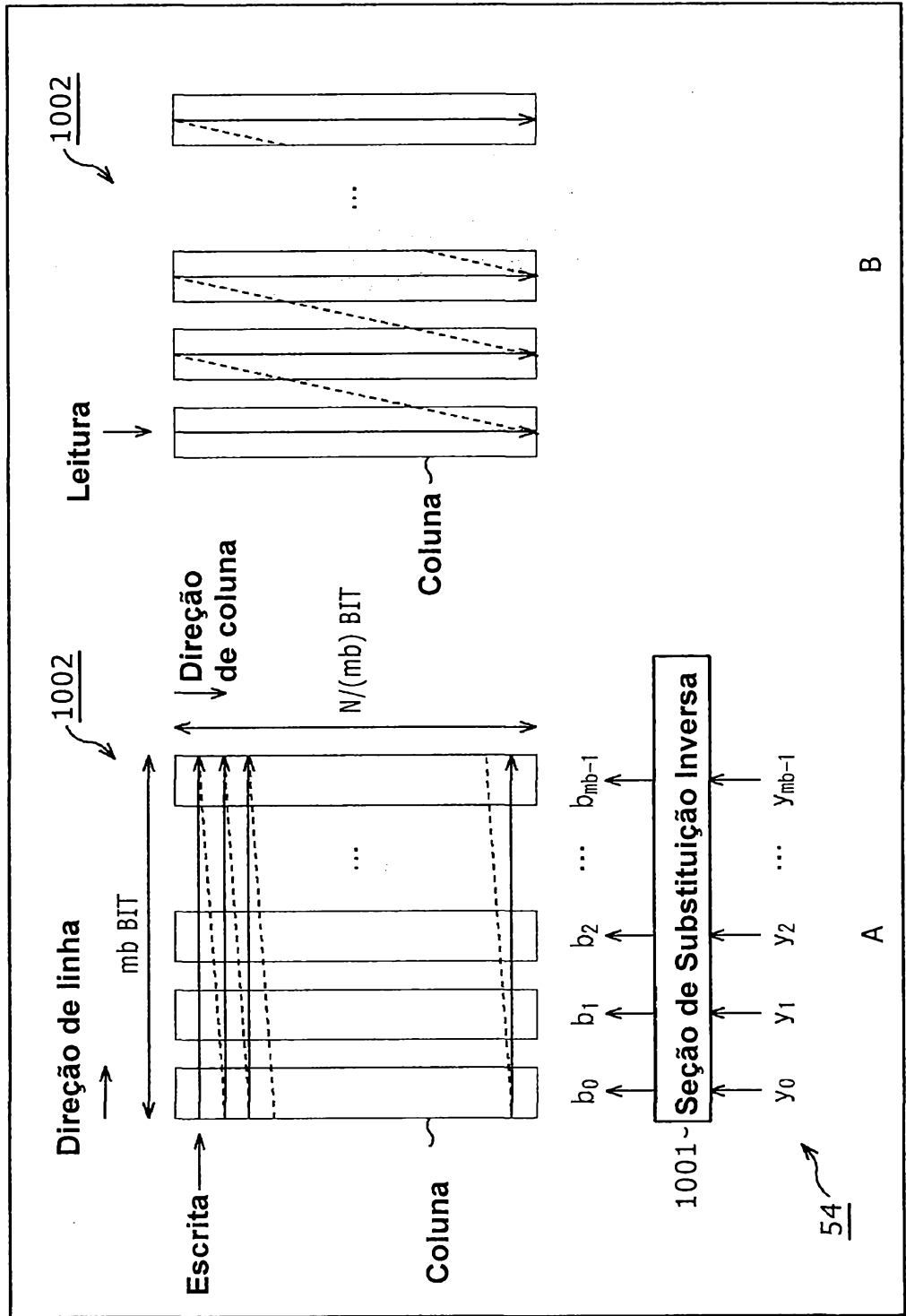


FIG. 146

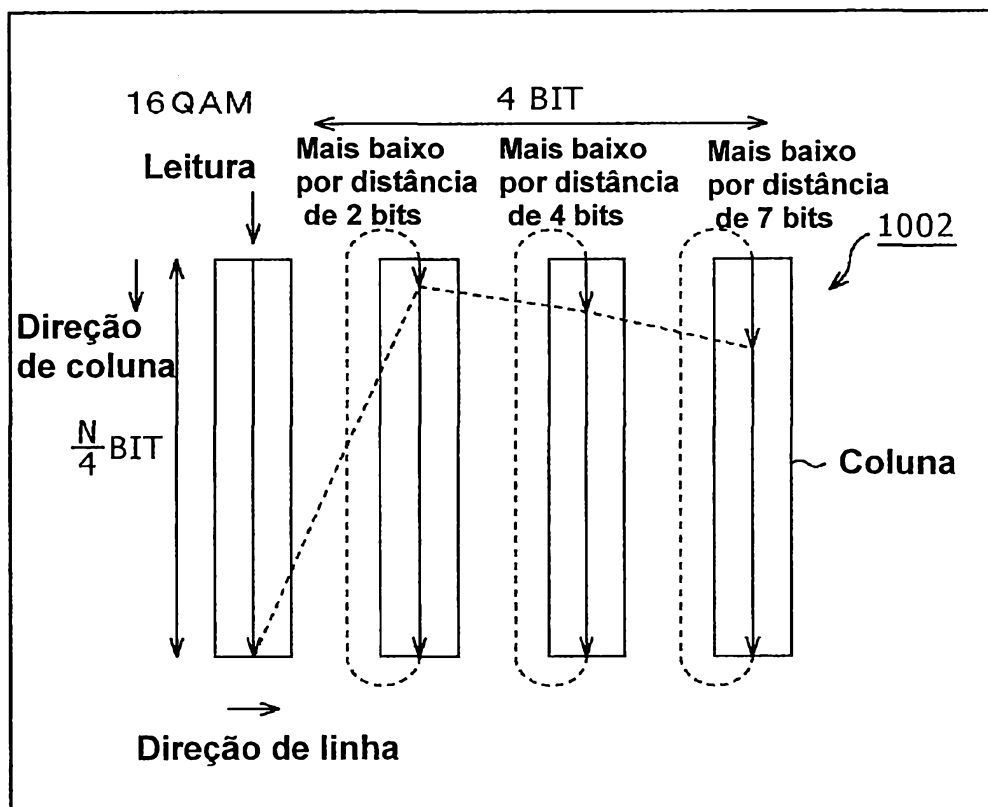


FIG. 147

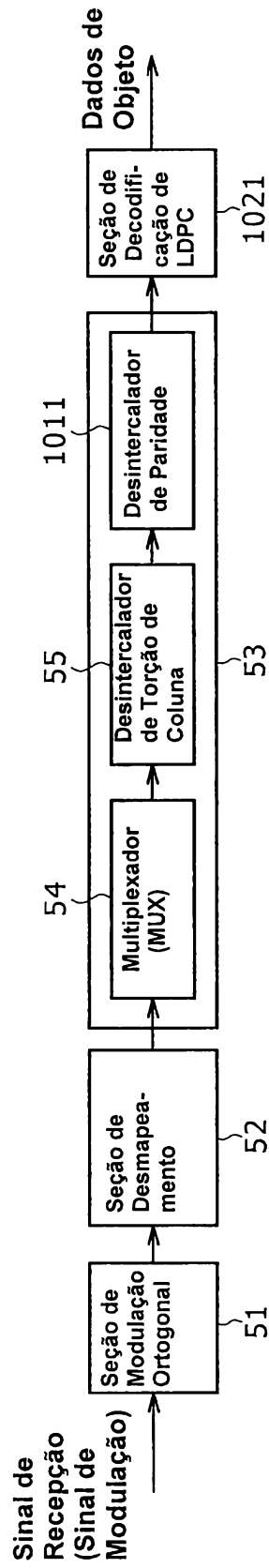


FIG. 148

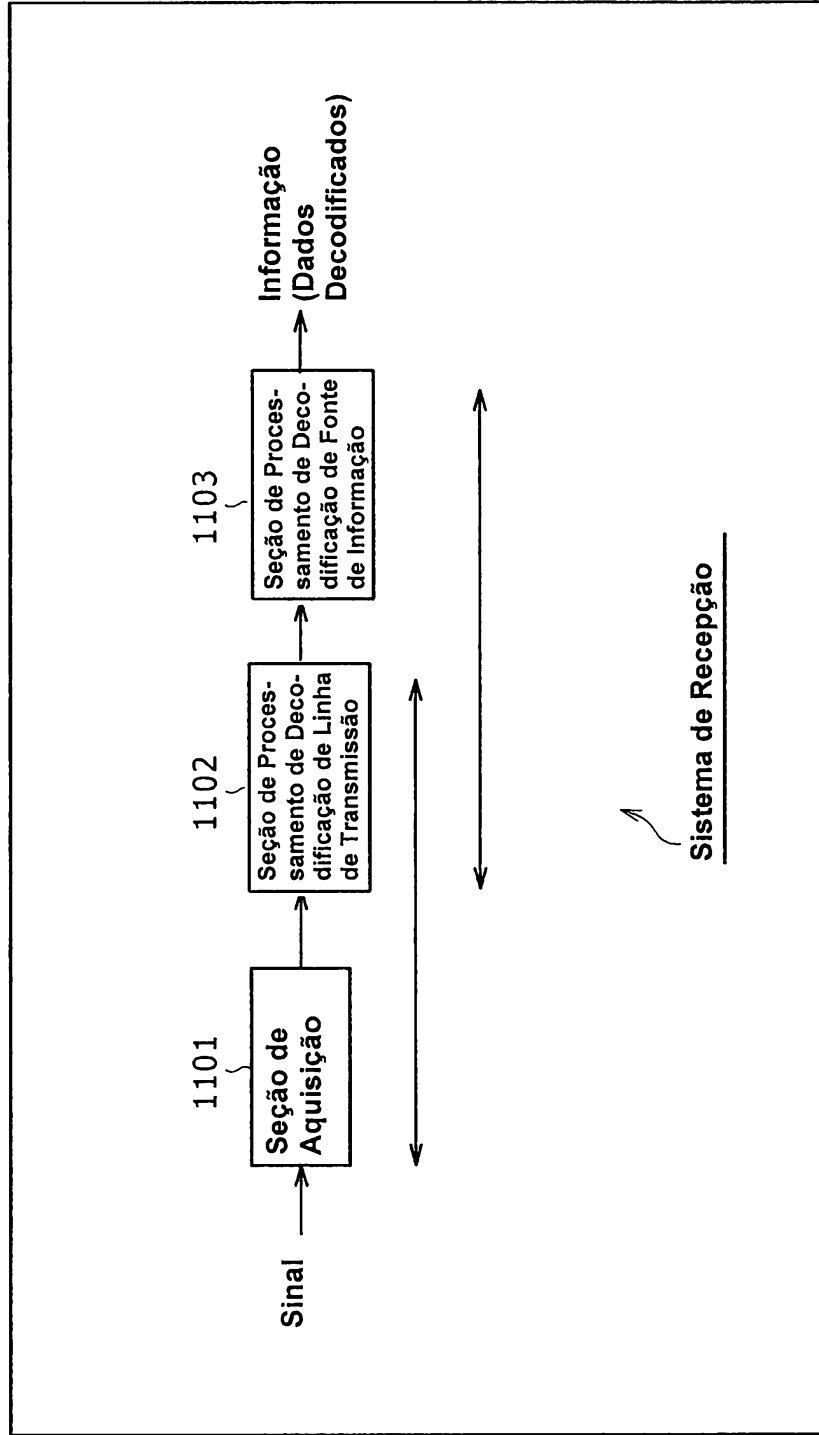
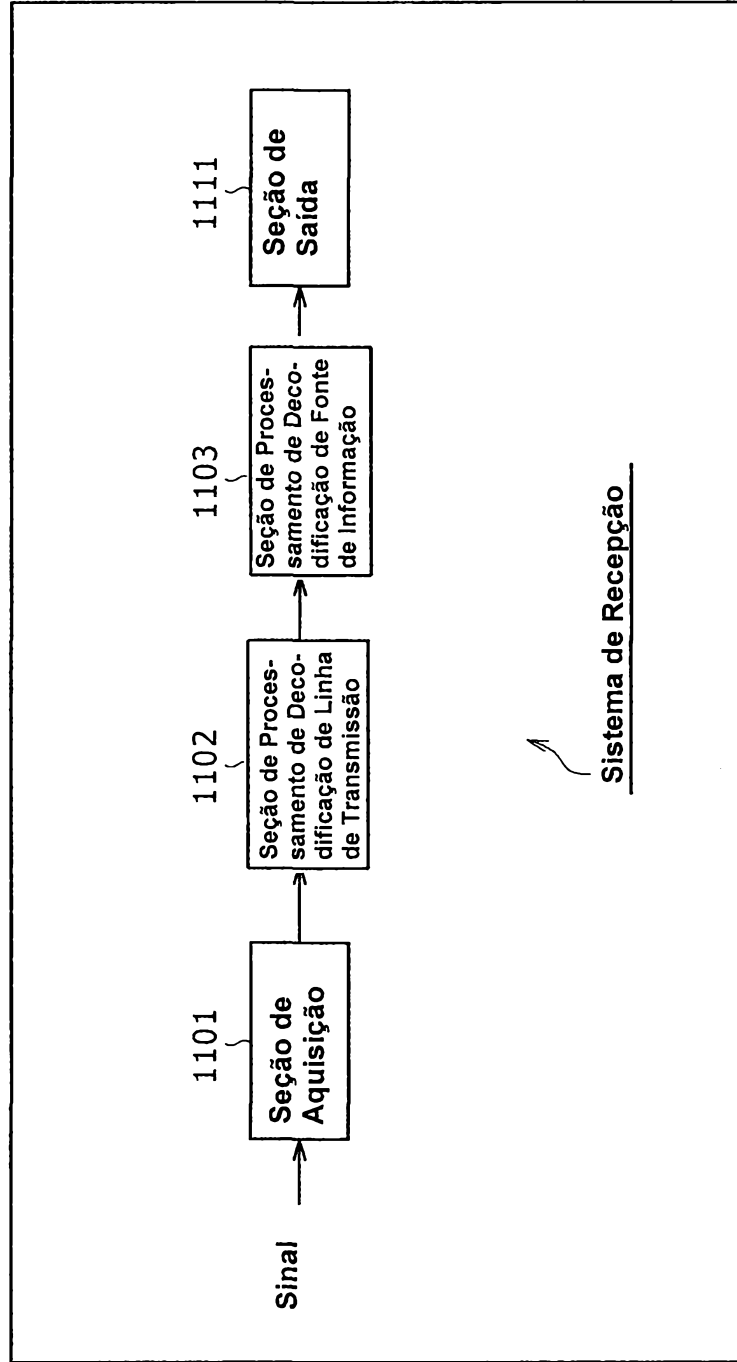


FIG. 149



Sistema de Recepção

FIG. 150

