

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3601205号  
(P3601205)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年10月1日(2004.10.1)

(51) Int. Cl.<sup>7</sup>

H04L 12/28

F I

H04L 12/28 200Z

請求項の数 4 (全 8 頁)

<p>(21) 出願番号 特願平8-242607                  (22) 出願日 平成8年8月26日(1996.8.26)                  (65) 公開番号 特開平10-70561                  (43) 公開日 平成10年3月10日(1998.3.10)                  審査請求日 平成15年2月20日(2003.2.20)</p>	<p>(73) 特許権者 000002185                  ソニー株式会社                  東京都品川区北品川6丁目7番35号                  (74) 代理人 100067736                  弁理士 小池 晃                  (74) 代理人 100086335                  弁理士 田村 榮一                  (74) 代理人 100096677                  弁理士 伊賀 誠司                  (72) 発明者 青木 幸彦                  東京都品川区北品川6丁目7番35号 ソ                  ニー株式会社内                  (72) 発明者 加藤 淳二                  東京都品川区北品川6丁目7番35号 ソ                  ニー株式会社内</p>
---	--

最終頁に続く

(54) 【発明の名称】 電子機器及びその動作モード制御方法

(57) 【特許請求の範囲】

【請求項1】

バスで接続された複数の電子機器間で通信を行うシステムにおける電子機器であって、前記バスを介して通信を行うための通信インターフェースは物理層コントローラと、リンク層コントローラと、CPUとを具備し、前記バスを介して他の電子機器と接続されていない時には前記リンク層コントローラが動作せず、前記接続が行われた後に前記リンク層コントローラが動作するように構成したことを特徴とする電子機器。

【請求項2】

前記物理層コントローラは前記他の電子機器と接続されたことを検知して前記CPUに通知し、前記CPUは前記リンク層コントローラを動作させる請求項1に記載の電子機器。

【請求項3】

前記バスはIEEE1394シリアルバスである請求項1に記載の電子機器。

【請求項4】

バスで接続された複数の電子機器間で通信を行う際に、前記電子機器が前記バスを介して他の電子機器と接続されていない時には前記電子機器内のリンク層コントローラが動作せず、前記接続が行われた後に前記リンク層コントローラが動作するように制御することを特徴とする電子機器の動作モード制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

10

20

本発明は、例えばIEEE 1394シリアルバスに接続して使用する電子機器に関し、詳細には通信インターフェースの消費電力を低減する技術に関するものである。

【0002】

【従来の技術】

パーソナルコンピュータ、デジタルビデオカセットレコーダ、デジタルテレビジョン受信機等の電子機器をIEEE 1394シリアルバスで接続し、これらの電子機器間でデジタルビデオ信号、デジタルオーディオ信号、及び制御信号の packets を送受信するシステムが考えられている。

【0003】

図5にこのようなシステムの一例を示す。この図において、電子機器A～電子機器Cは、前述したパーソナルコンピュータやデジタルビデオカセットレコーダ等である。そして、電子機器AとB、及びBとCのポートPの間は、IEEE 1394シリアルバスのケーブル11, 12で接続されている。以下本明細書では、これらの電子機器をノードと呼ぶことにする。

10

【0004】

これらのIEEE 1394シリアルケーブル11, 12の内部には二対のツイストペアケーブルが設けられている。二対のツイストペアケーブルの内一対はデータの伝送に使用し、他の一対はストロブ信号の伝送に使用する。また、各ノードは一对のツイストペアケーブルに対してバイアス電圧を出力し、他の一对のツイストペアケーブル上のバイアス電圧を検出する。

20

【0005】

図5に示すように、各ノードは、IEEE 1394シリアルバスを介して通信を行うためのインターフェース(以下1394インターフェースという)として、物理層コントローラ(PHY)13と、リンク層コントローラ(LINK)14と、CPU15とを備えている。物理層コントローラ13はICにより構成されており、バスのイニシャライズ、送/受信データのエンコード/デコード、バスアービトラージョン、バイアス電圧の出力/検出等の機能を持つ。また、リンク層コントローラ14はICにより構成されており、誤り訂正符号の生成/検出、パケットの生成/検出等のリンク層のコントロール機能を持つ。そして、CPU15は、マイクロコンピュータにより構成されており、アプリケーション層等のコントロール機能を持つ。

30

【0006】

前述のように構成された通信システムにおいて、各ノードA～Cの電源がオンになると、各ノードの物理層コントローラ13、リンク層コントローラ14、及びCPU15の全てに電源電圧が供給される。このとき、各機器の物理層コントローラ13はIEEE 1394シリアルバス11の一対のツイストペアケーブル上にバイアス電圧を出力する。このバイアス電圧はIEEE 1394シリアルバスで直接接続されている他のノードの物理層コントローラにより検出される。この結果、各ノードは自分に他のノードが接続されたことを知る。

【0007】

このように、各ノードの物理層コントローラがバスに出力したバイアス電圧が他のノードの物理層コントローラにより検出されると、バスリセットが起こり、各ノードの物理アドレスの割り付けが、所定時間内に自動的に終了する。そして、各ノードの物理アドレスの割り付けが終了すると、ノードA～Cは、プロトコルにより定められたバスリセット時に必要なトランザクションを開始する。

40

【0008】

【発明が解決しようとする課題】

前述した各ノードでは、ノードの電源がオンになると、物理層コントローラ、リンク層コントローラ、及びCPUの全てに電源電圧が供給される。したがって、ノードが他のノードとバスで接続されていない時には、これらのブロックにおいて無駄な電力が消費されてしまう。このため、ノードがバッテリーで駆動される装置(カメラ一体型ビデオカセット

50

レコーダ等)の場合には、装置の連続使用可能時間が短くなってしまふ。

【0009】

したがって、本発明は1394インターフェース等の通信インターフェースにおける消費電力の低減を可能にする技術を提供することを目的とする。

【0010】

【課題を解決するための手段】

前記課題を解決するために、本発明は、バスで接続された複数のノード間で通信を行うシステムにおいて、ノードには、バスを介して通信を行うための通信インターフェースとして物理層コントローラと、リンク層コントローラと、CPUとを設け、バスを介して他のノードと接続されていない時にはリンク層コントローラが動作せず、その接続が行われた後にリンク層コントローラが動作するように構成したものである。

10

【0011】

本発明によれば、バスを介して他のノードと接続されていない時にはリンク層コントローラが動作せず、その接続が行われた後にリンク層コントローラが動作する。このため、他のノードと接続されていない時には、リンク層コントローラが電力を消費しない。

【0012】

【発明の実施の形態】

以下本発明の実施の形態について図面を参照しながら詳細に説明する。

図1に本発明を適用するシステムの構成を示す。このシステムはカメラ一体型デジタルビデオカセットレコーダ(以下DCAMという)と、デジタルビデオカセットレコーダ(以下DVCRという)の二個のノードで構成されている。そして、DCAMとDVCRとの間は、IEEE1394シリアルバスのケーブルにより接続されている。

20

【0013】

図2は各ノードにおける1394インターフェースのモードを示す。

この図においてセット電源とはノード全体の電源である。そして、オフとは外部から装置に電源電圧が供給されていない状態(コンセントに接続されていないか又はバッテリーが装着されていない状態)、及び外部から装置に電源電圧が供給されていても装置の電源スイッチがオフに設定されている場合である。また、オンとは外部から電源電圧が供給されており、かつ装置の電源スイッチがオンに設定されている場合である(DCAMの場合は、ビデオモード又はカメラモードに設定されていることを意味する)。

30

【0014】

また、バス接続の有無は、装置がIEEE1394シリアルバスにより他の機器と接続されているかいないかを意味する。そして、1394インターフェースモードとは、1394インターフェースのモードを意味する。

【0015】

図2に示すように、セット電源がオフの時には、バス接続があってもなくても、1394インターフェースのモードはオフである。この時、1394インターフェースを構成するCPU、リンク層コントローラ、及び物理層コントローラの各ブロックの電源モードは、リセットである。電源モードがリセットの時にはこれらのブロックは動作していない。

【0016】

セット電源がオンの時には、バス接続がなければ1394インターフェースのモードはスタンバイであり、バス接続があればオンである。1394インターフェースのモードがスタンバイでもオンでも、CPU及び物理層コントローラの電源モードはオンである。電源モードがオンの時にはこれらのブロックは通常の動作を行う。一方、リンク層コントローラの電源モードは、1394インターフェースのモードがスタンバイの時はリセットであり、1394インターフェースのモードがオンの時はオンである。電源モードがオンの時にはリンク層コントローラは通常の動作を行う。

40

【0017】

図3は図1に示したDCAMと他のノード(ここではDVCR)がIEEE1394シリアルバスを介してやりとりする信号の流れ、及びそれに対応したDCAM内の1394イ

50

ンターフェースの概略動作を示す図である。そして、図4(a)は図3の前半における1394インターフェースの動作であり、図4(b)は図3の後半における1394インターフェースの動作である。以下図1、図3、及び図4を参照しながら、本実施の形態における1394インターフェースの動作を説明する。

【0018】

まず、DCAMとDVCRのセット電源をオフからオンにする。次に、図1に示すように、DCAMとDVCRとをIEEE1394シリアルバスのケーブルで接続する。

【0019】

セットの電源がオフからオンに変化すると、図3に示すように、CPU15の電源モードがオンになり、CPU15の制御により物理層コントローラ13の電源モードのリセットが解除される。しかし、リンク層コントローラ14の電源モードはリセット状態のままである。そして、リンク層コントローラ14の電源モード(LPS: LINK POWER STATUS)がCPU15から物理層コントローラ13へ伝達される。リセット状態ではLPS = 0である。

10

【0020】

物理層コントローラ13は自分の電源モードがオンになると、IEEE1394シリアルバスにバイアス電圧(TPバイアス)を出力する。同様に、他のノードであるDVCRもIEEE1394シリアルバスにバイアス電圧(TPバイアス)を出力する。

【0021】

DCAMの物理層コントローラ13はDVCRがIEEE1394シリアルバスに出力したバイアス電圧を検出すると、それをCPU15に伝える。CPU15はDCAMが他のノードとIEEE1394シリアルバスで接続されたことを知る。また、物理層コントローラ13は、バイアス電圧を検出すると、バスリセットを開始する。

20

【0022】

バスリセットが開始されると、各ノードの接続関係(ツリー構造)が自動的に決定される。ここでは、DCAMが親になり、DVCRが子になったものとする。

【0023】

ツリー構造が決定されると、ツリー構造の子のノードから順にIEEE1394シリアルバスに対して、自己IDパケットを送信する。そして、自己IDパケットの送信順に番号の若い物理IDが割り付けられる。ここでは、先に自己IDパケットを送信するDVCRに物理アドレス#0が割り付けられ、次に自己IDパケットを送信するDCAMに物理アドレス#1が割り付けられる。

30

【0024】

各ノードの物理層コントローラ13は、IEEE1394シリアルバスから受信した自己IDパケットの数から、IEEE1394シリアルバスに接続されているノードの総数を知ることができる。ここでは、受信した自己IDパケットは直接接続されている相手のノードが送信したもののみであるから、ノードの総数は2であることがわかる。

【0025】

自己IDパケットは、リンク層コントローラ14の状態を示す情報(Lビット)と、自分がバスの管理ノードであるアイソクロナス・リソース・マネージャー(以下IRMという)になる能力があるかどうかを示す情報(Cビット)を持っている。ここでは、DCAMが送信する自己IDパケットは、Lビット = 0(リンク層コントローラはリセットモード)とCビット = 1(IRMになる能力がある)を持っている。

40

【0026】

IEEE1394シリアルバスにデジタルビデオ信号等のアイソクロナスデータ(以下アイソクロナスをIsoという)を送出しようとするノードは、前述したIRMに対して使用帯域と使用チャンネルを申請し、許可を受けなければならない。そして、Cビット = 1、Lビット = 1、かつ物理アドレスが最大のノードがIRMになれるが、図3の前半に示した状態では、リンク層コントローラ14の電源モードがリセットであるため、CPU15がリンク層コントローラ14に対してIRMやノード総数等を問い合わせても返事が得

50

られない。図4(a)にこの様子を示す。

【0027】

そこで、CPU15は、LPS=1を物理層コントローラ13に伝達するとともにリンク層コントローラ14の電源モードのリセットを解除し、オンにする。次いで、物理層コントローラ13に対してバスリセットを開始するように指令する。

【0028】

バスリセットが開始されると、前述したように各ノードの接続関係(ツリー構造)が自動的に決定される。この時、DCAMは自分の物理アドレスが最大になるようにするために、CPU15から物理層コントローラ13にルートホールドビット(以下RHBという)を“1”にするように指令する。物理層コントローラ13は、RHB=1の場合、IEEE1394シリアルバスに接続されている他の機器に対して接続関係(ツリー構造)の問い合わせのタイミングを遅らせることにより、自分がツリー構造の親(ルート)となり、物理アドレスが最大になれるように動作する。ここでは、DCAMが親になり、DVCRが子になったものとする。

10

【0029】

ツリー構造が決定されると、子のノードから順に他のノードに対して、自己IDパケットを送信する。ここでは、先に自己IDパケットを送信するDVCRに物理アドレス#0が割り付けられ、次に自己IDパケットを送信するDCAMに物理アドレス#1が割り付けられる。そして、DCAMが送信する自己IDパケットは、Lビット=1(リンク層コントローラはオンモード)とCビット=1(IRMになる能力がある)を持っている。

20

【0030】

各ノードの物理層コントローラ13は受信した自己IDパケットをリンク層コントローラ14に送る。リンク層コントローラ14は、受信した自己IDパケットの数から、IEEE1394シリアルバスに接続されているノードの総数を知ることができる。ここでは、受信した自己IDパケットは直接接続されている相手のノードが送信したもののみであるから、ノードの総数は2であることがわかる。そして、DCAMの場合、ノードの総数が2であり、自分の物理アドレスが#1であるから、IEEE1394シリアルバスに接続されているノードの中で自分が最大の物理アドレスを持っていることがわかる。したがって、DCAM内のリンク層コントローラ14は、ノード総数が2であり、IRMの物理アドレスは#1(すなわち、DCAM自身)であることがわかる。

30

【0031】

CPU15はリンク層コントローラ14に対してIRMとノード総数を問い合わせると、リンク層コントローラ14から返事を受け取ることができ、DCAM自身であることを知る。図4(b)にこの様子を示す。このため、DCAMは自ら帯域とチャンネルを獲得して、内部のレジスタに登録し、直ちにIsoデータを送出することができる。

【0032】

なお、前記実施の形態におけるシステムは、DCAMとDVCRからなる二個のノードで構成されたものであったが、本発明はパーソルコンピュータ等の他の種類のノードを含む三個以上のノードで構成されたシステムにおいても同様に適用できる。

【0033】

40

【発明の効果】

以上説明したように、本発明によれば、バスを介して他のノードと接続されていない状態ではリンク層コントローラは動作しないので、消費電力を節減することができる。

【図面の簡単な説明】

【図1】本発明を適用するシステムの構成を示す図である。

【図2】各ノードにおける1394インターフェースのモードを示す図である。

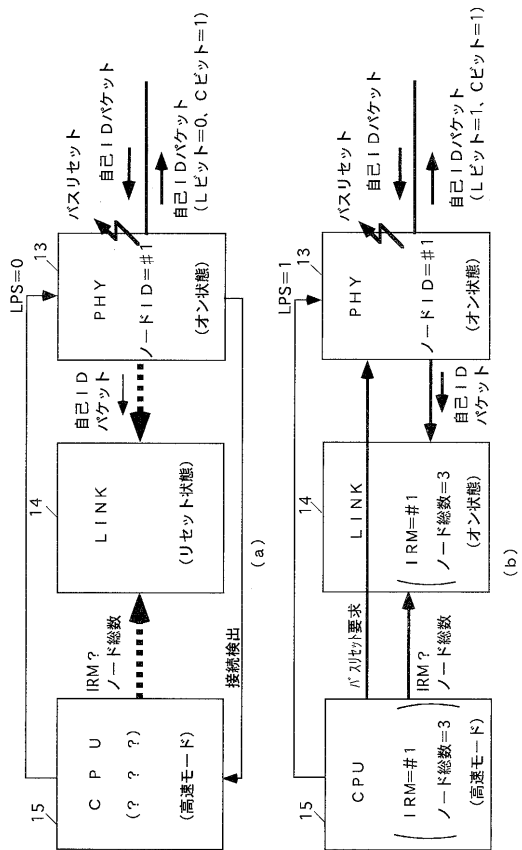
【図3】図1に示したDCAMと他のノードがIEEE1394シリアルバスを介してやりとりする信号の流れ、及びそれに対応したDCAM内の1394インターフェースの概略動作を示す図である。

【図4】図3における1394インターフェースの動作を示す図である。

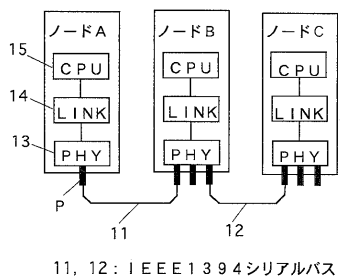
50



【 図 4 】



【 図 5 】



フロントページの続き

審査官 宮島 郁美

- (56)参考文献 特開平6 - 175956 (JP, A)  
特開平7 - 50684 (JP, A)  
特開平4 - 43742 (JP, A)  
特開平9 - 149095 (JP, A)  
特開平8 - 293879 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H04L 12/00-12/66

H04L 13/00-13/18

G06F 1/00

G06F 13/00