

明 細 書

発明の名称： アクティブマトリクス基板、及び表示装置

技術分野

[0001] 本発明は、ゲートバスラインとデータバスラインを有するアクティブマトリクス基板、及びこれを用いた表示装置に関する。

背景技術

[0002] 近年、例えば液晶表示装置は、在来ブラウン管に比べて薄型、軽量などの特長を有するフラットパネルディスプレイとして、液晶テレビ、モニター、携帯電話などに幅広く利用されている。このような液晶表示装置では、複数のデータバスライン（ソース配線）及び複数のゲートバスライン（走査配線）をマトリクス状に配線するとともに、データバスラインとゲートバスラインとの交差部の近傍に薄膜トランジスタ（TFT：Thin Film Transistor）等のスイッチング素子（第1のスイッチング素子）と、このスイッチング素子に接続された画素電極を有する画素をマトリクス状に配置したアクティブマトリクス基板を、表示パネルとしての液晶パネルに用いたものが知られている。

[0003] また、上記のような従来のアクティブマトリクス基板では、液晶表示装置の狭額縁化に伴って、データドライバ（ソースドライバ）及び／またはゲートドライバのドライバチップ（ICチップ）実装部の近傍に、対応するデータバスラインまたはゲートバスラインを検査するための検査用薄膜トランジスタ（第2のスイッチング素子）を配置する構成が知られている。

[0004] さらに、従来のアクティブマトリクス基板では、例えば下記特許文献1に記載されているように、上記検査用薄膜トランジスタを覆うカバーパターンを形成することにより、当該検査用薄膜トランジスタを含む検査部の損傷を軽減することが提案されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-15368号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記のような従来のアクティブマトリクス基板では、カバーパターン（遮光膜）を最上層に形成していたので、当該カバーパターンに傷が生じ易いおそれがあった。例えば、液晶パネルにおいて、アクティブマトリクス基板が対向基板に覆われていない部分がある。この部分の対向基板は、一般に、検査工程の前に行われる分断工程において取り除かれるが、この工程において、取り除かれる対向基板が配置されていた部分のカバーパターンが傷つき易い。この結果、この従来のアクティブマトリクス基板では、検査用薄膜トランジスタ（第2のスイッチング素子）の保護を適切に行うことができないという問題点を発生した。特に、カバーパターンが、検査用薄膜トランジスタのリーク電流抑制のための遮光膜である場合に、検査精度が低くなるという別の問題点を生じることがあった。さらに、ドライバチップ実装後に、ドライバチップの不良が分かった場合、ドライバチップを取り外す（リワークする）際にも、カバーパターンが傷つき易いという別の問題点が発生することもあった。

[0007] また、この従来のアクティブマトリクス基板において、カバーパターンに対して、追加の保護膜を形成することも考えられるが、アクティブマトリクス基板の製造工程が複雑化し、かつ、増加するので、大幅なコストアップを招くという別の問題点が生じた。

[0008] 上記の課題を鑑み、本発明は、製造工程を増加させることなく、第2のスイッチング素子を容易に保護することができるコスト安価なアクティブマトリクス基板、及びこれを用いた表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 上記の目的を達成するために、本発明にかかるアクティブマトリクス基板は、基材と、

前記基材上に設けられたゲートバスラインと、

前記ゲートバスラインと絶縁膜を介して異なる層に設けられたデータバスラインと、

前記ゲートバスラインと前記データバスラインに接続された第1のスイッチング素子と、

前記第1のスイッチング素子を覆うように設けられた、少なくとも1層の層間絶縁膜と、

前記第1のスイッチング素子に接続された画素電極と、

透明電極材料によって構成されるとともに、前記画素電極の上方または下方に設けられた共通電極と、

前記ゲートバスラインまたは前記データバスラインにドライバからの信号を供給するための実装端子と、

前記実装端子と、前記ゲートバスラインまたは前記データバスラインとを接続する引き出し線と、

複数の前記引き出し線に、それぞれ接続された複数の第2のスイッチング素子と、

前記複数の第2のスイッチング素子に共通して接続される第1の共通配線を備え、

前記画素電極の上方または下方に金属電極が設けられ、

前記複数の各第2のスイッチング素子の少なくとも一部は、前記金属電極にて形成した遮光膜によって覆われるとともに、

前記遮光膜は、前記層間絶縁膜及び前記共通電極の少なくとも一方に覆われていることを特徴とするものである。

[0010] 上記のように構成されたアクティブマトリクス基板では、金属電極が画素電極の上方または下方に設けられている。また、複数の各第2のスイッチング素子の少なくとも一部は、金属電極にて形成した遮光膜によって覆われるとともに、当該遮光膜は、層間絶縁膜及び共通電極の少なくとも一方に覆われている。これにより、上記従来例と異なり、製造工程を増加させることなく、第2のスイッチング素子を容易に保護することができるコスト安価なア

クティブマトリクス基板を構成することができる。

[0011] また、上記アクティブマトリクス基板において、前記複数の各第2のスイッチング素子は、複数の前記ゲートバスラインと複数の前記データバスラインとがマトリクス状に配線されるとともに、複数の前記画素電極がマトリクス状に設けられた有効表示領域の外側に設けられていることが好ましい。

[0012] この場合、第2のスイッチング素子を用いて、ゲートバスラインまたはデータバスラインに対し、その検査処理や電圧印加処理などの動作処理を適切に実施することができる。

[0013] また、上記アクティブマトリクス基板において、前記金属電極は、前記共通電極の上層または下層に直接的に接するように設けられていることが好ましい。

[0014] この場合、共通電極に対して、金属電極を直接的に接するように設けることにより、共通電極への信号遅延を抑制できる。このため、フリッカやシャドーイング等の表示不良を抑制することができる。

[0015] また、上記アクティブマトリクス基板において、前記ゲートバスラインまたは前記データバスラインにおける、前記実装端子が接続されていない側の端部に接続された第3のスイッチング素子と、

複数の前記第3のスイッチング素子に共通して接続される第2の共通配線を備えてもよい。

[0016] この場合、第3のスイッチング素子及び第2の共通配線が、上記実装端子が設けられていない側に設けられているので、上記第1の共通配線の構成等の実装端子側の構成を簡略化することができ、ドライバの実装領域が小さい場合（ドライバICチップが小さい場合）でも、第2のスイッチング素子をより容易に配置することができる。

[0017] また、上記アクティブマトリクス基板において、複数の前記第2の共通配線が設けられるとともに、

前記複数の各第2の共通配線には、所定数の前記第3のスイッチング素子が接続されていることが好ましい。

[0018] この場合、上記ゲートバスラインまたはデータバスラインに対して、第2の共通配線を用いて、所定数毎に検査処理や電圧印加処理などの動作処理を実施することができる。

[0019] また、上記アクティブマトリクス基板において、複数の前記第1の共通配線が設けられるとともに、

前記複数の各第1の共通配線には、所定数の前記第2のスイッチング素子が接続されていることが好ましい。

[0020] この場合、上記ゲートバスラインまたはデータバスラインに対して、第1の共通配線を用いて、所定数毎に検査処理や電圧印加処理などの動作処理を実施することができる。

[0021] また、上記アクティブマトリクス基板において、複数の前記引き出し線において、隣接する2本の一方の引き出し線が、前記ゲートバスラインと同じ導電層により形成され、

隣接する2本の他方の引き出し線が、前記データバスラインと同じ導電層により形成されていることが好ましい。

[0022] この場合、引き出し線の短絡や断線の発生を抑制することができる。

[0023] また、上記アクティブマトリクス基板において、前記第1の共通配線が、複数設けられ、

前記ゲートバスラインと同じ導電層により形成された前記引き出し線における、隣接する2本の引き出し線に、それぞれ接続された2つの前記第2のスイッチング素子は、互いに異なる前記第1の共通配線に接続されており、

前記データバスラインと同じ導電層により形成された前記引き出し線における、隣接する2本の引き出し線に、それぞれ接続された2つの前記第2のスイッチング素子は、互いに異なる前記第1の共通配線に接続されていることが好ましい。

[0024] この場合、ゲートバスラインと同じ導電層により形成された引き出し線及びデータバスラインと同じ導電層により形成された引き出し線の各々において、第1の共通配線を用いることにより、短絡が発生しているか否かについて

での検査動作を容易に行うことができる。

[0025] また、上記アクティブマトリクス基板において、前記引き出し線は、前記ゲートバスラインまたは前記データバスラインが配置される方向に対して角度をもって配置されるファンアウト部を含み、

前記第 1 の共通配線の少なくとも一部と、前記第 2 のスイッチング素子の少なくとも一部は、それぞれ前記ファンアウト部と前記実装端子との間に配置されてもよい。

[0026] この場合、ファンアウト部に形成された引き出し線の短絡や断線を検査することができるとともに、額縁領域が縮小された場合や高精細化された場合であっても、検査精度を高く維持することができる。

[0027] また、上記アクティブマトリクス基板において、前記実装端子では、端子上層電極と、前記ゲートバスラインと同じ導電層及び前記データバスラインと同じ導電層の少なくとも一方で形成された端子下層電極とが、前記層間絶縁膜のうちの少なくとも 1 層に形成された、端子コンタクトホールを介して接続され、

前記複数の各第 2 のスイッチング素子は、前記第 1 の共通配線と前記端子コンタクトホールとの間に配置され、

前記端子上層電極が、前記複数の各第 2 のスイッチング素子の少なくとも一部を覆うように設けられてもよい。

[0028] この場合、上記ドライバの実装領域が小さい場合でも、第 2 のスイッチング素子を容易に配置することができる。

[0029] また、上記アクティブマトリクス基板において、前記実装端子には、前記ゲートバスラインと同じ導電層により形成された引き出し線の端部によって構成された第 1 の端子下層電極と、

前記第 2 のスイッチング素子の電極と一体的に構成されるとともに、前記データバスラインと同じ導電層により形成された第 2 の端子下層電極とが含まれるとともに、

前記端子コンタクトホールでは、前記第 1 及び第 2 の端子下層電極が互い

に接続されていることが好ましい。

[0030] この場合、ゲートバスラインと同じ導電層により形成された引き出し線と、データバスラインと同じ導電層により形成された第2のスイッチング素子の電極との繋ぎ替えを、端子コンタクトホールで行うことができ、当該繋ぎ替えのための領域の設置を省略することが可能となって、アクティブマトリクス基板の外形寸法を容易に低減することができる。

[0031] また、上記アクティブマトリクス基板において、前記実装端子には、前記ゲートバスラインと同じ導電層により形成された第3の端子下層電極と、

前記データバスラインと同じ導電層により形成された引き出し線の端部によって構成されるとともに、前記第2のスイッチング素子の電極と一体的に構成された第4の端子下層電極とが含まれるとともに、

前記端子コンタクトホールでは、前記第3及び第4の端子下層電極が互いに接続されていることが好ましい。

[0032] この場合、上記引き出し線の構成に関わらず、実装端子の構成を全て同じ構成とすることができ、実装端子へのドライバの実装状態を容易に検査することができる。

[0033] また、上記アクティブマトリクス基板において、前記端子上層電極が、前記画素電極と同じ導電層によって形成されていることが好ましい。

[0034] この場合、構造簡単で、かつ、製造工程を簡略化したアクティブマトリクス基板を容易に構成することができる。

[0035] また、上記アクティブマトリクス基板において、前記第1及び第2の各スイッチング素子では、酸化物半導体が用いられていることが好ましい。

[0036] この場合、高性能でコンパクトなスイッチング素子を容易に構成することができるとともに、第2のスイッチング素子を用いた検査動作を高精度に行うことができる。

[0037] また、本発明の表示装置は、上記いずれかのアクティブマトリクス基板を用いたことを特徴とするものである。

[0038] 上記のように構成された表示装置では、製造工程を増加させることなく、

第2のスイッチング素子を容易に保護することができるコスト安価なアクティブマトリクス基板が用いられているので、コスト安価で、かつ、製造工程が簡略化された高性能な表示装置を容易に構成することができる。

発明の効果

[0039] 本発明によれば、製造工程を増加させることなく、第2のスイッチング素子を容易に保護することができるコスト安価なアクティブマトリクス基板、及びこれを用いた表示装置を提供することが可能となる。

図面の簡単な説明

[0040] [図1]図1は、本発明の第1の実施形態にかかるアクティブマトリクス基板を用いた液晶表示装置を説明する図である。

[図2]図2は、図1に示した液晶パネルの構成を説明する図である。

[図3]図3は、上記アクティブマトリクス基板の主要部を説明する平面図である。

[図4]図4は、図3に示したデータドライバの実装部及びその周辺部を説明する拡大平面図である。

[図5]図5は、上記液晶パネルの画素構造を説明する拡大平面図である。

[図6]図6は、図5のV I - V I 線断面図である。

[図7]図7は、図3に示したアクティブマトリクス基板の要部構成を説明する図である。

[図8]図8は、図7に示した第2の薄膜トランジスタと第1の共通配線を説明する拡大平面図である。

[図9]図9は、図8のI X - I X 線断面図である。

[図10]図10は、図8のX - X 線断面図である。

[図11]図11は、本発明の第2の実施形態にかかるアクティブマトリクス基板での第2の薄膜トランジスタと金属電極とを説明する断面図である。

[図12]図12は、本発明の第3の実施形態にかかるアクティブマトリクス基板の主要部を説明する平面図である。

[図13]図13は、図12に示したアクティブマトリクス基板の要部構成を説

明する図である。

[図14]図14は、図13のXⅠV-XⅠV線断面図である。

[図15]図15は、図13に示したアクティブマトリクス基板のデータドライバの実装部とは反対側の要部構成を説明する図である。

[図16]図16は、本発明の第4の実施形態にかかるアクティブマトリクス基板の主要部を説明する平面図である。

[図17]図17は、図16に示したデータドライバの実装部及びその周辺部を説明する拡大平面図である。

[図18]図18は、図16に示したアクティブマトリクス基板の要部構成を説明する図である。

[図19]図19は、図18に示した実装端子と第2の薄膜トランジスタと金属電極を説明する拡大平面図である。

[図20]図20は、図18のXX-XX線断面図である。

[図21]図21は、図18のXXⅠ-XXⅠ線断面図である。

発明を実施するための形態

[0041] 以下、本発明のアクティブマトリクス基板及び表示装置の好ましい実施形態について、図面を参照しながら説明する。なお、以下の説明では、本発明を透過型の液晶表示装置に適用した場合を例示して説明する。また、各図中の構成部材の寸法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したものではない。

[0042] [第1の実施形態]

図1は、本発明の第1の実施形態にかかるアクティブマトリクス基板を用いた液晶表示装置を説明する図である。図1において、本実施形態の液晶表示装置1は、図1の上側が視認側（表示面側）として設置される液晶パネル2と、液晶パネル2の非表示面側（図1の下側）に配置されて、当該液晶パネル2を照明する照明光を発生するバックライト装置3とが設けられている。

[0043] 液晶パネル2は、一対の基板を構成する対向基板4及び本発明のアクティ

ブマトリクス基板 5 と、対向基板 4 及びアクティブマトリクス基板 5 の各外側表面にそれぞれ設けられた偏光板 6、7 とを備えている。対向基板 4 とアクティブマトリクス基板 5 との間には、後述の液晶層が挟持されている。また、対向基板 4 及びアクティブマトリクス基板 5 には、平板状の透明なガラス材またはアクリル樹脂などの透明な合成樹脂が使用されている。偏光板 6、7 には、TAC（トリアセチルセルロース）またはPVA（ポリビニルアルコール）などの樹脂フィルムが使用されており、液晶パネル 2 に設けられた表示面の有効表示領域を少なくとも覆うように対応する対向基板 4 またはアクティブマトリクス基板 5 に貼り合わせられている。なお、偏光板 6、7 と液晶層との間に $\lambda/4$ 位相差板（4 分の 1 波長板）を配置する場合もある。

[0044] また、アクティブマトリクス基板 5 は、上記一对の基板の一方の基板を構成するものであり、アクティブマトリクス基板 5 では、液晶パネル 2 の表示面に含まれる複数の画素に応じて、画素電極や薄膜トランジスタ（TFT：Thin Film Transistor）などが上記液晶層との間に形成されている（詳細は後述。）。一方、対向基板 4 は、一对の基板の他方の基板（対向基板）を構成するものであり、対向基板 4 には、カラーフィルタや対向電極などが上記液晶層との間に形成されている（図示せず）。

[0045] また、液晶パネル 2 では、当該液晶パネル 2 の駆動制御を行う制御装置（図示せず）に接続されたFPC（Flexible Printed Circuit）8 が設けられており、上記液晶層を画素単位に動作することで表示面を画素単位に駆動して、当該表示面上に所望画像を表示するようになっている。

[0046] 尚、液晶パネル 2 の液晶モードや画素構造は任意である。また、液晶パネル 2 の駆動モードも任意である。すなわち、液晶パネル 2 としては、情報を表示できる任意の液晶パネルを用いることができる。それ故、図 1 においては液晶パネル 2 の詳細な構造を図示せず、その説明も省略する。

[0047] バックライト装置 3 は、光源としての発光ダイオード 9 と、発光ダイオード 9 に対向して配置された導光板 10 とを備えている。また、バックライト

装置 3 では、断面 L 字状のベゼル 14 により、導光板 10 の上方に液晶パネル 2 が設置された状態で、発光ダイオード 9 及び導光板 10 が挟持されている。また、対向基板 4 には、ケース 11 が載置されている。これにより、バックライト装置 3 は、液晶パネル 2 に組み付けられて、当該バックライト装置 3 からの照明光が液晶パネル 2 に入射される透過型の液晶表示装置 1 として一体化されている。

[0048] 導光板 10 には、例えば透明なアクリル樹脂などの合成樹脂が用いられており、発光ダイオード 9 からの光が入光される。導光板 10 の液晶パネル 2 と反対側（対向面側）には、反射シート 12 が設置されている。また、導光板 10 の液晶パネル 2 側（発光面側）には、レンズシートや拡散シートなどの光学シート 13 が設けられており、導光板 10 の内部を所定の導光方向（図 1 の左側から右側への方向）に導かれた発光ダイオード 9 からの光が均一な輝度をもつ平面状の上記照明光に変えられて液晶パネル 2 に与えられる。

[0049] 尚、上記の説明では、導光板 10 を有するエッジライト型のバックライト装置 3 を用いた構成について説明したが、本実施形態はこれに限定されるものではなく、直下型のバックライト装置を用いてもよい。また、発光ダイオード以外の冷陰極蛍光管や熱陰極蛍光管などの他の光源を有するバックライト装置も用いることができる。

[0050] 次に、図 2 も参照して、本実施形態の液晶パネル 2 について具体的に説明する。

[0051] 図 2 は、図 1 に示した液晶パネルの構成を説明する図である。

[0052] 図 2 において、液晶表示装置 1（図 1）には、文字や画像等の情報を表示する上記表示部としての液晶パネル 2（図 1）の駆動制御を行うパネル制御部 15 と、このパネル制御部 15 からの指示信号を基に動作するデータドライバ（ソースドライバ）16 及びゲートドライバ 17 が設けられている。

[0053] パネル制御部 15 は、上記制御装置内に設けられたものであり、液晶表示装置 1 の外部からの映像信号が入力されるようになっている。また、パネル制御部 15 は、入力された映像信号に対して所定の画像処理を行ってデータ

ドライバ16及びゲートドライバ17への各指示信号を生成する画像処理部15aと、入力された映像信号に含まれた1フレーム分の表示データを記憶可能なフレームバッファ15bとを備えている。そして、パネル制御部15が、入力された映像信号に応じて、データドライバ16及びゲートドライバ17の駆動制御を行うことにより、その映像信号に応じた情報が液晶パネル2に表示される。

[0054] データドライバ16及びゲートドライバ17は、アクティブマトリクス基板5上に設置されている。具体的には、データドライバ16は、アクティブマトリクス基板5の表面上において、表示パネルとしての液晶パネル2の有効表示領域Aの外側領域で当該液晶パネル2の横方向に沿うように設置されている。また、ゲートドライバ17は、アクティブマトリクス基板5の表面上において、上記有効表示領域Aの外側領域で当該液晶パネル2の縦方向に沿うように設置されている。なお、ゲートドライバ17として、後に詳述するように、有効表示領域Aを挟むように設けられた、2つのゲートドライバに分けられたものが用いられてもよいし、ゲートドライバ17を、当該液晶パネル2の横方向に沿うように配置してもよい。

[0055] また、データドライバ16及びゲートドライバ17は、液晶パネル2側に設けられた複数の画素Pを画素単位に駆動する駆動回路であり、データドライバ16及びゲートドライバ17には、複数のデータバスライン（ソース配線）D1～DM（Mは、2以上の整数、以下、“D”にて総称する。）及び複数のゲートバスライン（ゲート配線）G1～GN（Nは、2以上の整数、以下、“G”にて総称する。）がそれぞれ接続されている。これらのデータバスラインD及びゲートバスラインGは、アクティブマトリクス基板5に含まれた透明なガラス材または透明な合成樹脂製の後述の基材上で互いに交差するように、マトリクス状に配列されている。すなわち、データバスラインDは、マトリクス状の列方向（液晶パネル2の縦方向）に平行となるように上記基材上に設けられ、ゲートバスラインGは、マトリクス状の行方向（液晶パネル2の横方向）に平行となるように上記基材上に設けられている。

[0056] また、これらのデータバスラインDと、ゲートバスラインGとの交差部の近傍には、第1のスイッチング素子としての第1の薄膜トランジスタ18と、第1の薄膜トランジスタ18に接続された画素電極19を有する上記画素Pが設けられている。また、各画素Pでは、対向電極20が液晶パネル2に設けられた上記液晶層を間に挟んだ状態で画素電極19に対向するよう構成されている。すなわち、アクティブマトリクス基板5では、第1の薄膜トランジスタ18及び画素電極19が画素単位に設けられている。

[0057] また、アクティブマトリクス基板5では、データバスラインDと、ゲートバスラインGとによってマトリクス状に区画された各領域に、複数の各画素Pの領域が形成されている。これら複数の画素Pには、赤色（R）、緑色（G）、及び青色（B）の画素が含まれている。また、これらのRGBの画素は、例えばこの順番で、各ゲートバスラインG1～GNに平行に順次配設されている。さらに、これらのRGBの画素は、対向基板4側に設けられた上記カラーフィルタ層により、対応する色の表示を行えるようになっている。

[0058] また、アクティブマトリクス基板5では、ゲートドライバ17は、画像処理部15aからの指示信号に基づいて、ゲートバスラインG1～GNに対して、対応する第1の薄膜トランジスタ18のゲート電極をオン状態にする走査信号（ゲート信号）を順次出力する。また、データドライバ16は、画像処理部15aからの指示信号に基づいて、表示画像の輝度（階調）に応じたデータ信号（電圧信号（階調電圧））を対応するデータバスラインD1～DMに出力する。

[0059] 次に、図3～図10も参照して、本実施形態のアクティブマトリクス基板5の主要部について具体的に説明する。

[0060] 図3は、上記アクティブマトリクス基板の主要部を説明する平面図である。図4は、図3に示したデータドライバの実装部及びその周辺部を説明する拡大平面図である。図5は、上記液晶パネルの画素構造を説明する拡大平面図である。図6は、図5のVⅠ－VⅠ線断面図である。図7は、図3に示したアクティブマトリクス基板の要部構成を説明する図である。図8は、図7

に示した第2の薄膜トランジスタと第1の共通配線を説明する拡大平面図である。図9は、図8のI-X-I-X線断面図である。図10は、図8のX-X線断面図である。

- [0061] 図3に示すように、アクティブマトリクス基板5では、対向基板4によって覆われる部分において、複数のデータバスラインD及び複数のゲートバスラインGがマトリクス状に配列されている。また、図3に一点鎖線にて示すように、上記有効表示領域Aが設けられている。
- [0062] 有効表示領域Aにおいては、ゲート層に複数のゲートバスラインGが形成され、ゲートバスラインGを覆うように後述のゲート絶縁膜が設けられ、ゲート絶縁膜上、すなわちソース層に複数のデータバスラインDが形成される。本実施形態では、データバスラインD及びゲートバスラインGは、それぞれ有効表示領域A内に設けられている配線をいう。なお、ソース層に形成されているバスラインと、ゲート層に形成されているバスラインとが接続されるポイントは、図3において黒丸で表している（後掲の図12及び図16においても、同様。）。また、上記の説明以外に、例えば、Gで示すバスライン（紙面横方向のバスライン）がデータバスラインで、Dで示すバスライン（紙面縦方向のバスライン）がゲートバスラインであってもよい。
- [0063] ゲートドライバ17a、17bは、アクティブマトリクス基板5の上記基材上で、有効表示領域Aを挟むように、モノリシックに形成されている。これらのゲートドライバ17a、17bには、複数のゲートバスラインGが交互となるように接続されている。また、これらのゲートドライバ17a、17bは、ゲートドライバ駆動用信号配線21aを介してゲートドライバ駆動用信号端子21bに接続されている。そして、このゲートドライバ駆動用信号端子21bには、上記FPC8のFPC接続端子が接続されるようになっており、これらの各ゲートドライバ17a、17bは、画像処理部15aからの指示信号がFPC8を経て入力されるようになっている。尚、この説明以外に、ゲートドライバ17a、17bが同一のゲートバスラインGに接続されていてもよいし、ゲートドライバが有効表示領域Aに対して一方側のの

み設けられてもよい。また、ＩＣチップからなるゲートドライバ１７ａ、１７ｂを上記基材上に実装する構成でもよい。

[0064] また、アクティブマトリクス基板５の上記基材上には、画素Ｐ毎に所定の補助容量を発生するための補助容量電極ＣＳが設けられており、この補助容量電極ＣＳは、補助容量電極駆動用信号配線ＣＳ１を介して補助容量電極駆動用信号端子ＣＳ２に接続されている。そして、この補助容量電極駆動用信号端子ＣＳ２には、上記ＦＰＣ８のＦＰＣ接続端子が接続されるようになっており、補助容量電極ＣＳに対して、電圧が供給されるように構成されている。また、補助容量電極ＣＳは、共通電極を構成するものであり、透明電極材料によって構成されるとともに、画素電極１９の下方に設けられている（詳細は後述。）。

[0065] データドライバ１６は、例えばＩＣチップ（ドライバチップ）により構成されており、有効表示領域Ａの外側で、図３及び図４に点線ＤＡにて示す矩形状のアクティブマトリクス基板５の基材５ａの部分に対し、実装されるようになっている。

[0066] 具体的にいえば、データドライバ１６では、そのバンプ（電極）が、例えば２段千鳥配置に設けられた実装端子ＤＴ１及びＤＴ２と、ＦＰＣ８側に設けられた入力用の実装端子２８ａとに接続されるようになっている。また、各実装端子ＤＴ１及びＤＴ２には、データバスラインＤ毎に設けられた第２のスイッチング素子としての第２の薄膜トランジスタ２３が接続されている。

[0067] つまり、図３に示すように、複数の各第２の薄膜トランジスタ２３は、複数のゲートバスラインＧと複数のデータバスラインＤとがマトリクス状に配線されるとともに、複数の画素電極１９がマトリクス状に設けられた上記有効表示領域Ａの外側に設けられている。また、各第２の薄膜トランジスタ２３には、上記実装端子ＤＴ１またはＤＴ２とデータバスラインＤとを接続する引き出し線２２が接続されている。

[0068] 引き出し線２２もまた、データバスラインＤ毎に設けられており、図３に

示すように、データバスラインDに対して、斜め方向に配線されたファンアウト部（斜め部）FAを構成している。

[0069] すなわち、引き出し線22は、データバスラインDが配置される方向（液晶パネル2の縦方向）に対して角度をもって配置されるファンアウト部FAを含んでいる。なお、ファンアウト部FAの複数の引き出し線22は、それぞれが平行に配置されてもよいし、データバスラインD側に向けてそれぞれの間隔が大きくなるように配置されてもよい。また、ファンアウト部FAにおける引き出し線22の形状は、直線形状に限定されず、例えば曲線形状又は折れ線形状であってもよい。

[0070] さらに、引き出し線22では、後に詳述するように、隣接する2本の引き出し線22は、互いに異なる導電層により形成されている。

[0071] 入力用の実装端子28aは、データドライバ駆動用信号配線28bを介してデータドライバ駆動用信号端子28cに接続されている。そして、このデータドライバ駆動用信号端子28cには、上記FPC8のFPC接続端子が接続されるようになっており、データドライバ16は、画像処理部15aからの指示信号がFPC8を経て入力されるようになっている。

[0072] また、図3及び図4に示すように、ファンアウト部FAと実装端子DT1及びDT2との間には、第2の薄膜トランジスタ23の少なくとも一部と、複数の第2の薄膜トランジスタ23に共通して接続される第1の共通配線24の少なくとも一部とが配置されている。具体的には、ファンアウト部FAと実装端子DT1及びDT2の間には、複数の上記第2の薄膜トランジスタ23、3本の第1の共通配線24、複数の各第2の薄膜トランジスタ23と3本のいずれかの第1の共通配線24とを接続する後述の接続配線、及び複数の各第2の薄膜トランジスタ23のオン／オフ動作を制御する制御線26が設けられている。これら各第2の薄膜トランジスタ23、第1の共通配線24、接続配線、及び制御線26は、複数の各データバスラインDに対する検査処理や静電対策、または上記液晶層の液晶分子の配向処理の際に行われる電圧印加処理などの所定の動作処理を行うために設置されている。

[0073] つまり、複数の各データバスラインDは、後に詳述するように、例えばRGBの色毎に、引き出し線22、第2の薄膜トランジスタ23、及び上記接続配線を介して、いずれかの第1の共通配線24に接続されている。また、各第1の共通配線24は、端子25aに接続されており、この端子25aは、配線25bを介して入力端子25cに接続されている。さらに、この入力端子25cには、上記FPC8のFPC接続端子が接続されるようになっている。上記検査処理での検査信号や上記電圧印加処理での電圧は、端子25aまたは入力端子25cから入力されるようになっている。また、液晶表示装置1の最終製品では、入力端子25cは、上記FPC8を介してグランド接続される。

[0074] また、引き出し線22、上記接続配線、及び第1の共通配線24は、後に詳述するように、RGBの色毎に設けられている。同様に、第2の薄膜トランジスタ23は、RGBの色毎に設けられており、第2の薄膜トランジスタ23r、23g、23bに分けて構成されている（詳細は後述。）。

[0075] また、制御線26には、端子27aが接続されており、この端子27aは、配線27bを介して入力端子27cに接続されている。この入力端子27cには、上記FPC8のFPC接続端子が接続されるようになっている。検査処理や電圧印加処理を行う際には、複数の各第2の薄膜トランジスタ23のオン／オフ動作を行うための制御信号が、端子27aまたは入力端子27cから入力されるようになっている。また、液晶表示装置1の最終製品では、入力端子27cには、上記FPC8を介して、各第2の薄膜トランジスタ23をオフさせるような信号が入力される。

[0076] 次に、図5及び図6を参照して、本実施形態のアクティブマトリクス基板5に設けられた画素Pの具体的な構造について説明する。

[0077] 図5及び図6に示すように、本実施形態のアクティブマトリクス基板5では、上記基材5a上にゲートバスラインG（ゲート層）と、このゲートバスラインGと一体的に構成された第1の薄膜トランジスタ18のゲート電極18gが設けられている。これらゲートバスラインG及びゲート電極18gは

、互いに積層された複数構造の金属膜、例えば銅膜及びチタン膜、銅膜及びモリブデン膜、あるいは銅膜及びモリブデン合金膜等の2層構造の金属膜、またはアルミニウム膜、チタン膜、及びアルミニウム膜、あるいはモリブデン膜、アルミニウム膜、及びモリブデン膜等の3層構造の金属膜が用いられている。また、モリブデン膜、アルミニウム膜やクロム膜または、これらの合金膜を単層で用いる場合もある。

[0078] また、ゲート絶縁膜29が、基材5a、ゲートバスラインG、及びゲート電極18gを覆うように、設けられている。このゲート絶縁膜29は、絶縁膜を構成するものであり、ゲート絶縁膜29には、例えば窒化シリコン(SiN_x)、または窒化シリコン(SiN_x)と酸化シリコン(SiO_2)との積層膜が用いられている。

[0079] また、第1の薄膜トランジスタ18の半導体層18hが、ゲート絶縁膜29上に形成されている。この半導体層18hには、例えば酸化物半導体を用いられている。さらに、この酸化物半導体としては、In、GaおよびZnを1:1:1の割合で含むIn-Ga-Zn-O系のアモルファス酸化物半導体が好適に用いられる。ただし、In、GaおよびZnの割合は上記に限定されず適宜選択されてよい。また、In-Ga-Zn-O系酸化物半導体膜の代わりに、他の酸化物半導体膜を用いることもできる。

[0080] 例えば、半導体層18hは、InGaO₃(ZnO)膜、酸化マグネシウム亜鉛($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)、又は、酸化カドミウム亜鉛($\text{Cd}_x\text{Zn}_{1-x}\text{O}$)、酸化カドミウム(CdO)などから形成されてよい。また、1族元素、13族元素、14族元素、15族元素又は17族元素等のうち一種、又は複数種の不純物元素が添加されたZnOを用いて形成されていてもよい。ZnOには不純物元素が添加されていなくてもよい。また、ZnOは、非晶質(アモルファス)状態、多結晶状態又は非晶質状態と多結晶状態が混在する微結晶状態であってもよい。

[0081] アモルファスIn-Ga-Zn-O系酸化物半導体は、低温で製造でき、また、高い移動度を実現できるという利点を有する。ただし、アモルファス

In-Ga-Zn-O系酸化物半導体に代えて、結晶性を有するIn-Ga-Zn-O系酸化物半導体を用いても良い。結晶質In-Ga-Zn-O系酸化物半導体層としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系酸化物半導体層が好ましい。このようなIn-Ga-Zn-O系酸化物半導体層を有する薄膜トランジスタは、例えば、特開2012-123475号公報に記載されている。

[0082] 尚、上記の説明以外に、例えばアモルファスシリコン、ポリシリコン、または微結晶シリコンを用いて、半導体層18hを構成してもよい。

[0083] また、チャネル保護層30が、ゲート絶縁膜29及び半導体層18h上に設けられている。このチャネル保護層30には、例えば酸化シリコン(SiO₂)が用いられている。尚、このチャネル保護層30は、必須の構成ではなく、その設置を省略することもできる。

[0084] また、チャネル保護層30上には、データバスラインD(ソース層)と、このデータバスラインDと一体的に構成された第1の薄膜トランジスタ18のソース電極18sと、第1の薄膜トランジスタ18のドレイン電極18dとが設けられている。これらのデータバスラインD、ソース電極18s、及びドレイン電極18dには、例えば銅膜及びチタン膜、銅膜及びモリブデン膜、あるいは銅膜及びモリブデン合金膜等の2層構造の金属膜、またはアルミニウム膜、チタン膜、及びアルミニウム膜、あるいはモリブデン膜、アルミニウム膜、及びモリブデン膜等の3層構造の金属膜が用いられている。また、モリブデン膜やクロム膜または、これらの合金膜を単層で用いる場合もある。

[0085] また、層間絶縁膜31及び32が、データバスラインD、ソース電極18s、及びドレイン電極18dを覆うように、順次設けられている。この層間絶縁膜31には、例えば窒化シリコン(SiN_x)が用いられている。また、層間絶縁膜32には、例えば感光性有機膜が用いられている。

[0086] また、補助容量電極CSが、層間絶縁膜32上に形成されている。この補助容量電極CSには、例えばITOやIZOなどの透明電極材料が用いられ

ている。

[0087] また、金属電極 4 4 が、補助容量電極（共通電極）C S の上層に直接的に接するように設けられており、当該補助容量電極 C S の低抵抗化を図るようになっている。また、この金属電極 4 4 は、後に詳述するように、第 2 の薄膜トランジスタ 2 3 の少なくとも一部を覆う遮光膜として用いられるように構成されている。また、この金属電極 4 4 には、例えばモリブデン、チタン、あるいはアルミニウム、またはこれらの合金や積層膜が用いられている。

[0088] 具体的にいえば、図 5 及び図 6 に示すように、画素 P では、帯状の金属電極 4 4 が第 1 の薄膜トランジスタ 1 8 を覆うように設けられている。つまり、金属電極 4 4 は、互いに対向する辺 4 4 a 及び 4 4 b を有するとともに、後述のコンタクトホール H 1 を囲むように設けられた開口部 4 4 c を備えており、ゲートバスライン G と平行に設けられている。また、図 6 に示すように、金属電極 4 4 は、画素電極 1 9 の下方で、かつ、補助容量電極 C S の上層で当該補助容量電極 C S と直接的に接するように設けられている。さらに、金属電極 4 4 は、図 6 に示すように、第 1 の薄膜トランジスタ 1 8 の少なくとも一部（つまり、コンタクトホール H 1 周辺のドレイン電極 1 8 d を除く部分）を覆うように、構成されており、遮光膜としても機能するようになっている。

[0089] また、層間絶縁膜 3 3 が、層間絶縁膜 3 2、補助容量電極 C S、及び金属電極 4 4 を覆うように設けられている。この層間絶縁膜 3 3 には、例えば窒化シリコン（S i N x）が用いられている。また、補助容量電極 C S が、この層間絶縁膜 3 3 を介して、後述の画素電極 1 9 と重ねられることにより、画素 P 毎に補助容量が形成される。

[0090] また、画素電極 1 9 が、層間絶縁膜 3 3 上に形成されている。この画素電極 1 9 には、例えば I T O や I Z O などの透明電極材料が用いられている。

[0091] さらに、図 6 に示すように、層間絶縁膜 3 2 及び 3 3 には、開口部が設けられており、ドレイン電極 1 8 d と画素電極 1 9 を互いに接続する上記コンタクトホール H 1 が形成されている。

[0092] また、本実施形態の液晶パネル2では、いわゆる、縦電界の液晶パネルであり、例えば垂直配向モードの一種であるCPA（連続軸対称配向；Continuous Pinwheel Alignment）モードの画素Pが用いられている。具体的には、アクティブマトリクス基板5と対向基板4の各内側表面には、垂直配向膜が設けられており、これらの垂直配向膜の間には、誘電率異方性が負の液晶からなる上記液晶層が設けられている。また、対向基板4には、上記対向電極20が設けられるとともに、配向制御用の構造物、例えば配向制御突起CT（図5）が画素P毎の上記対向電極20と垂直配向膜上の間に設けられている。尚、上記の説明以外に、配向制御突起CTに代えて、配向制御用の構造物として、対向電極20に切欠きを画素P毎に設けてもよい。

[0093] ここで、上記CPAモードの画素Pについて、具体的に説明する。

[0094] CPAモードの画素Pでは、当該画素Pの略中央部分に、上記配向制御突起CTを中心として、液晶の配向方向を1画素内で連続的に異ならせるようになっている。つまり、配向制御突起CTは、画素Pの略中央部分に設けられているので、電圧印加時において、液晶層の液晶分子が配向制御突起CTの周りに、すなわち、画素中央部分の周りに放射状に配向する。このようにして、配向制御突起CTを用いることによって、電圧印加時に画素P内の液晶分子を放射状に配向させることができるので、視野角特性を向上させることができる。

[0095] また、本実施形態の画素Pには、PSA（Polymer Sustained Alignment）技術が適用されている。このPSA技術は、電圧無印加時の液晶分子の配向方向を規制するために、電圧無印加時の液晶にプレチルトを与える配向維持層（Alignment Sustaining Layer）を形成する技術である。この配向維持層は、液晶セルを形成した後、液晶材料に予め混合しておいた光重合性モノマー（またはオリゴマー）を典型的には液晶層に電圧を印加した状態で光重合することによってポリマー層として形成される。配向維持層によって、電圧無印加時の液晶に、アクティブマトリクス基板5の基板面に垂直な方向から若干（例えば2°～3°）傾いた方向のプレチルト角と、配向方位とを維持

(記憶) させることができる。これにより、電圧印加時における液晶配向の応答速度を向上させることができる。また、液晶パネル 2 の表面を指押しした際の配向の戻りを速くすることができる。すなわち、C P A モードの画素 P に対して、P S A 技術を組み合わせて実施することにより、応答速度向上や、指押し時の戻りの早さ向上の効果を得ることができる。

[0096] また、この P S A 技術を実施するための電圧印加は、上述の端子 2 5 a または入力端子 2 5 c を用いて行われる。すなわち、電圧が、(入力端子 2 5 c、配線 2 5 b、) 端子 2 5 a、第 1 の共通配線 2 4、上記接続配線、第 2 の薄膜トランジスタ 2 3、及び引き出し線 2 2 を介して、全てのデータバスライン D に供給される。さらに、ゲートドライバ駆動用信号端子 2 1 b に所定の信号入力することで、ゲートドライバ 1 7 a、1 7 b を駆動し、ゲートバスライン G に第 1 の薄膜トランジスタ 1 8 をオンする電圧を供給する。これにより、第 1 の薄膜トランジスタ 1 8 を介して、上記データバスライン D に供給された電圧が、液晶層に供給されて、配向維持層が形成される。

[0097] また、図 5 に点線にて示すように、対向基板 4 には、ブラックマトリクス膜 B M が、データバスライン D、第 1 の薄膜トランジスタ 1 8、及びコンタクトホール H 1 を覆うように、設けられており、各画素 P において、開口部が画素電極 1 9 上に形成されるようになっている。これらのブラックマトリクス膜 B M は、アクティブマトリクス基板 5 と対向基板 4 に貼り合わせズレが生じた際の混色対策として、または、第 1 の薄膜トランジスタ 1 8 のチャネル部の遮光として、または、コンタクトホール H 1 での液晶の配向乱れによる表示品位低下対策として、設けられている。

[0098] 続いて、図 7 ～図 1 0 も参照して、引き出し線 2 2 と実装端子 D T 1 及び D T 2 との間の構成について具体的に説明する。

[0099] 図 7 及び図 8 に示すように、本実施形態のアクティブマトリクス基板 5 では、図の左右方向に沿って、例えば R G B の色にそれぞれ対応した引き出し線 2 2 r、2 2 g、及び 2 2 b が順次配列されている。

[0100] また、引き出し線 2 2 r、2 2 g、及び 2 2 b は、上記実装端子 D T 1 ま

たはD T 2に接続されている。また、図7に示すように、これらの実装端子D T 1と実装端子D T 2とは、2段千鳥配置（すなわち、隣接する2つの実装端子D T 1及びD T 2を、直線方向で互いに異なる位置に配置されるように順次ずらして配置）に設けられている。これにより、複数の実装端子D T 1及びD T 2を効率よく配置することができ、近接する2つの実装端子D T 1及びD T 2の付近において短絡が発生する確率を低減することができる。

[0101] また、実装端子D T 1及びD T 2には、データドライバ16のバンプ（電極）が接続されるようになっている。尚、実装端子D T 1及びD T 2には、バンプ（電極）が接続されるとともに、画素電極19と同じ導電層により形成された端子上層電極と、この端子上層電極に接続されるとともに、データバスラインDと同じ導電層により形成された端子下層電極が設けられている（図示せず。）。

[0102] また、図7及び図8においては、複数の引き出し線22r、22g及び22bのうち、隣接する2本の一方の引き出し線22gが、ゲートバスラインGと同じ導電層（ゲート層）により形成され、隣接する2本の他方のデータバスライン引き出し線22gが、データバスラインDと同じ導電層（ソース層）で形成されている。具体的には、隣接する2本の一方の引き出し線22gが、基材5a（図6）上のゲート層（第1導電層）に形成され、隣接する2本の他方の引き出し線22gが、このゲート層を覆うゲート絶縁膜29の上方のソース層（第2導電層）に形成されている。

[0103] 上記ゲート層は、図6に示したゲート電極18gと同一の金属材料（単層または積層された複数種類の金属材料）及び同じ製造工程によって基材5a（図6）上に形成されたものである。一方、上記ソース層は、図6に示したソース電極18s及びドレイン電極18dと同一の金属材料（単層または積層された複数種類の金属材料）及び同じ製造工程によって基材5aの上方に形成されたものである。

[0104] また、アクティブマトリクス基板5において、ゲート層（ゲートバスラインGと同じ導電層）に形成された引き出し線22r、22g及び22bは、

繋ぎ替え部 70 においてゲート層からソース層（データバスライン D と同じ導電層）に繋ぎ替えられる。

[0105] 具体的にいえば、図 9 に示すように、基材 5 a 上にゲート層の引き出し線 22 g (1) が形成され、引き出し線 22 g (1) を覆うように基材 5 a 上にさらにゲート絶縁膜 29 とチャネル保護層 30 が形成される。ゲート絶縁膜 29 とチャネル保護層 30 上に引き出し線 22 g (2) が形成される。引き出し線 22 g (1) と引き出し線 22 g (2) とが重なる箇所では、ゲート絶縁膜 29 とチャネル保護層 30 を介さずに引き出し線 22 g (1) と引き出し線 22 g (2) とが直接的に接触するようになっている。ゲート絶縁膜 29、チャネル保護層 30、及び引き出し線 22 g (2) の上には、これらを覆うように、さらに層間絶縁膜 31 が形成される。層間絶縁膜 31 の上にさらに層間絶縁膜 33 が形成される。なお、層間絶縁膜 31 と層間絶縁膜 33 の間に、層間絶縁膜（感光性有機膜）32 が形成される場合もある。

[0106] また、引き出し線 22 g (1) と引き出し線 22 g (2) は、繋ぎ替え部 70 において層の厚み方向に重なるよう形成される。これらが重なる領域の一部でゲート絶縁膜 29 とチャネル保護層 30 が除かれて、引き出し線 22 g (1) が引き出し線 22 g (2) に接している。引き出し線 22 g (1) と引き出し線 22 g (2) との接触部において、ゲート層の引き出し線 22 g (1) で形成された配線は、ソース層の引き出し線 22 g (2) に繋ぎ替えられる。

[0107] なお、図 9 において説明した上記引き出し線 22 g と同様に、ゲート層に形成された引き出し線 22 r 及び 22 b についても、繋ぎ替え部 70 を介して、ゲート層からソース層に繋ぎ替えられる。

[0108] また、図 8 に示すように、引き出し線 22 は、繋ぎ替え部 70 において線幅が他の部分より太くなっている。引き出し線 22 r、22 g、及び 22 b の各幅寸法を例えば $3\ \mu\text{m}$ とする場合、繋ぎ替え部 70 の面積は例えば $19\ \mu\text{m} \times 19\ \mu\text{m}$ としている。これにより、繋ぎ替え部 70 における接触不良等の不具合発生率を抑えることができる。

- [0109] さらに、引き出し線 2 2 の繋ぎ替え部 7 0 において線幅が太くなっている部分に対応して、左右の隣接する 2 つの引き出し線 2 2（例えば、繋ぎ替え部 7 0 における引き出し線 2 2 g の左右の引き出し線 2 2 r 及び 2 2 b）の配線の間隔が広がっている。このように、繋ぎ替え部 7 0 の配線の線幅に応じて、隣接する両側の配線の間隔を広げることで、複数の配線が集中する領域でも、効率よく配線を配置することができる。
- [0110] さらに、繋ぎ替え部 7 0 は、引き出し線 2 2 を介して隣接する他の繋ぎ替え部 7 0 に対して位置をずらして千鳥状に配置されている。これにより、複数の繋ぎ替え部 7 0 を効率よく配置することができ、近接する 2 つの繋ぎ替え部 7 0 の付近において短絡が発生する確率を低減することができる。
- [0111] このように、ファンアウト部 F A の下側つまり第 2 の薄膜トランジスタ（第 2 のスイッチング素子）2 3 の近傍において、ゲート層に形成された引き出し線 2 2 をゲート層からソース層へ繋ぎ替えることにより、ファンアウト部 F A においてゲート層とソース層に分離した状態の引き出し線 2 2 を長く確保することができる。このため、隣接する引き出し線 2 2 同士が短絡する確率を低減することができる。
- [0112] また、図 7 及び図 8 に示すように、本実施形態のアクティブマトリクス基板 5 では、引き出し線 2 2 r、2 2 g、及び 2 2 b は、ゲート層（第 1 導電層）に形成された制御線 2 6 の分岐配線 2 6 a または 2 6 b と直交するように設けられている。これらの分岐配線 2 6 a または 2 6 b は、後に詳述するように、第 2 の薄膜トランジスタ 2 3 r、2 3 g、及び 2 3 b のゲート電極 2 3 r g、2 3 g g、及び 2 3 b g と一体的に構成されている。
- [0113] また、各引き出し線 2 2 は、第 2 の薄膜トランジスタ 2 3 をそれぞれ介して、ゲート層（第 1 導電層）に形成された第 1 の共通配線 2 4 にそれぞれ接続されている。具体的には、図 8 に示すように、引き出し線 2 2 r、2 2 g、及び 2 2 b は、第 2 の薄膜トランジスタ 2 3 r、2 3 g、及び 2 3 b と、ソース層（第 2 導電層）に形成された接続配線 3 5 r、3 5 g、及び 3 5 b と、端子コンタクトホール H 2 r、H 2 g、及び H 2 b とをそれぞれ介して

、第1の共通配線24r、24g、及び24bにそれぞれ接続されている。
言い換えれば、各第1の共通配線24r、24g、及び24bには、所定数の第2の薄膜トランジスタ23r、23g、または23bを介して、所定数のデータバスラインDが接続されている。

[0114] また、本実施形態のアクティブマトリクス基板5では、ゲートバスラインGと同じ導電層により形成された引き出し線22及びデータバスラインDと同じ導電層により形成された引き出し線22の各々において、隣接する2本の引き出し線22は、互いに異なるように設けられた、2本的一方及び他方の第1の共通配線24にそれぞれ接続されている。

[0115] 具体的にいえば、図7の右側から2番目の引き出し線22gと、図7の右側から4番目の引き出し線22rとは、ともにゲートバスラインGと同じ導電層により形成されているが、これらの引き出し線22g及び22rは、互いに異なる第1の共通配線24g及び24rに接続されている。

[0116] また、図7の右側から1番目の引き出し線22rと、図7の右側から3番目の引き出し線22bとは、ともにデータバスラインDと同じ導電層により形成されているが、これらの引き出し線22r及び22bは、互いに異なる第1の共通配線24r及び24bに接続されている。

[0117] また、図10に示すように、例えば第2の薄膜トランジスタ23bの近傍では、アクティブマトリクス基板5の基材5a上に、制御線26の分岐配線26aと、制御線26の分岐配線26aを覆うように形成されたゲート絶縁膜29とが設けられている。また、第2の薄膜トランジスタ23bのゲート電極23bgが、制御線26の分岐配線26aと一体的に構成されている。

[0118] さらに、ゲート絶縁膜29の上方には、第2の薄膜トランジスタ23bの半導体層23bh及びチャネル保護層30が順次積層されている。この半導体層23bhは、第1の薄膜トランジスタ18の半導体層18hと同様に、例えば酸化物半導体によって構成されている。

[0119] また、半導体層23bh上には、引き出し線22bと一体的に構成された第2の薄膜トランジスタ23bのドレイン電極23bdと、接続配線35b

と一体的に構成された第2の薄膜トランジスタ23bのソース電極23bsとが設けられている。また、これらのドレイン電極23bd、ソース電極23bs、及びチャネル保護層30上には、層間絶縁膜31及び層間絶縁膜33が順次積層されている。なお、層間絶縁膜31と層間絶縁膜33の間に、層間絶縁膜（感光性有機膜）32が形成されていてもよい。

[0120] なお、第2の薄膜トランジスタ23gの構成例は、上述の第2の薄膜トランジスタ23bと基本的に同様である。具体的には、第2の薄膜トランジスタ23gでは、制御線26の分岐配線26bによりゲート電極23ggが形成され、引き出し線22gによりドレイン電極23gdが形成され、接続配線35gによりソース電極23gsが形成される。

[0121] また、第2の薄膜トランジスタ23rの構成例は、上述の第2の薄膜トランジスタ23bにおけるドレイン電極23bdとソース電極23bsの位置を入れ替えた構成となる。具体的には、第2の薄膜トランジスタ23rでは、制御線26の分岐配線26bによりゲート電極23rgが形成され、引き出し線22rによりドレイン電極23rdが形成され、接続配線35rによりソース電極23rsが形成される。

[0122] さらに、図7及び図8に示すように、第2の薄膜トランジスタ23では、矩形状の金属電極44の4辺が第2の薄膜トランジスタ23r、23g、及び23bの各半導体層23rh、23gh、及び23bhを囲むように設けられている。

[0123] 具体的には、図10に示すように、例えば第2の薄膜トランジスタ23bでは、金属電極44と補助容量電極CSと同じ導電層により形成された電極膜CSaが層間絶縁膜31と層間絶縁膜33との間に設けられている。そして、金属電極44は、第2の薄膜トランジスタ23bのゲート電極23bg、半導体層23bh、ドレイン電極23bd、及びソース電極23bsの上方に設けられて、それらの遮光膜として機能するようになっている。さらに、図10に示すように、金属電極（遮光膜）44は、層間絶縁膜33に覆われている。

- [0124] なお、後述するリーク電流抑制の点からは、金属電極44は、アクティブマトリクス基板5の基板面に垂直な方向から見て、第2の薄膜トランジスタ23r、23g、及び23bのチャネル部分を完全に覆うように形成することが好ましい。
- [0125] また、図7及び図8に示すように、例えば引き出し線22rは、第1の共通配線24b、制御線26の分岐配線26a、第1の共通配線24g、制御線26の分岐配線26b、及び第1の共通配線24rと交差する部分には、幅寸法が細く形成された幅細部22ra、22rb、22rc、22rd、及び22reがそれぞれ設けられている。
- [0126] このように、幅細部22ra、22rb、22rc、22rd、及び22reを設けることにより、引き出し線22rと、第1の共通配線24b、制御線26の分岐配線26a、第1の共通配線24g、制御線26の分岐配線26b、及び第1の共通配線24rとの各交差面積を抑制することができる。この結果、本実施形態のアクティブマトリクス基板5では、データバスラインDでの信号遅延を抑制でき、データドライバ16のチップ実装後（すなわち、液晶表示装置1の最終製品）の表示品位の低下を防ぐことができる。また、検査時において、制御線26に対する検査用制御信号の遅延を抑制することができるため、検査表示を行ったときに、表示ムラを容易に少なくすることができる。不良の誤検出を抑えることができる。
- [0127] また、上記の説明以外に、例えば第1の共通配線24b、制御線26の分岐配線26a、第1の共通配線24g、制御線26の分岐配線26b、又は第1の共通配線24rの各幅寸法を小さくして、対応する引き出し線22rとの交差面積を小さくする構成でもよい。
- [0128] また、特に最終製品の段階においては、例えば第2の薄膜トランジスタ（第2のスイッチング素子）23をオフ状態にするような信号を、FPC接続端子27cを介して制御線26に入力しておくことが好ましい。これにより、第2の薄膜トランジスタ23を確実にオフ状態にすることができ、最終製品の表示品位の低下（例えばシャドーイング）を防止することができる。

- [0129] 以上のように構成された本実施形態のアクティブマトリクス基板5では、金属電極44が画素電極19の下方に設けられている。また、複数の各第2の薄膜トランジスタ（第2のスイッチング素子）23の少なくとも一部は、金属電極44にて形成した遮光膜によって覆われるとともに、当該金属電極（遮光膜）44は、層間絶縁膜33に覆われている。これにより、本実施形態では、上記従来例と異なり、製造工程を増加させることなく、第2の薄膜トランジスタ23を容易に保護することができるコスト安価なアクティブマトリクス基板5を構成することができる。
- [0130] すなわち、本実施形態のアクティブマトリクス基板5では、表示部における各画素Pの金属電極44を、第2の薄膜トランジスタ23の遮光膜として利用し、かつ、各画素Pの層間絶縁膜33を、当該遮光膜の保護膜として利用しているので、製造工程の増加を生じることなく、確実に、第2の薄膜トランジスタ23の遮光膜を形成して、第2の薄膜トランジスタ23を容易に保護することができる。
- [0131] また、このように、第2の薄膜トランジスタ23は、金属電極44にて形成した遮光膜によって覆われているので、当該第2の薄膜トランジスタ23を用いた検査動作などを精度よく行うことができる。この結果、本実施形態のアクティブマトリクス基板5では、上記遮光膜により、検査環境が、検査時の表示に与える影響を軽減することができ、検査時の誤判断を抑制することができる。具体的には、第2の薄膜トランジスタ23に対して、外光が入射して、リーク電流が生じるのを防ぐことができる。さらには、遮光膜として機能しているので、第2の薄膜トランジスタ23を、遮光性の高い樹脂やテープで被覆したり、ベゼルで覆ったりする必要がない。
- [0132] また、本実施形態では、複数の各第2の薄膜トランジスタ23は、ゲートバスラインGとデータバスラインDとが交差するように設けられた有効表示領域Aの外側に設けられている。これにより、本実施形態では、第2の薄膜トランジスタ23を用いて、データバスラインDに対し、その検査処理や電圧印加処理などの動作処理を適切に実施することができる。

- [0133] また、本実施形態では、金属電極 4 4 は補助容量電極（共通電極）C S の上層に設けられているので、表示不良を抑制することができる。すなわち、補助容量電極 C S は、ITO や IZO などの透明電極材料により形成されているが、このような ITO や IZO は、一般に抵抗が高く、特に表示領域の大きい場合、補助容量電極 C S への信号（電圧信号）の遅延に起因して、フリッカやシャドーイング等の表示不良が生じる場合がある。このため、本実施形態では、補助容量電極 C S に対して、金属電極 4 4 を積層することによって、低抵抗化を図り、上記表示不良の発生を抑制することができる。
- [0134] また、本実施形態では、引き出し線 2 2 は、データバスライン D が配置される方向に対して角度をもって配置されるファンアウト部 F A を含んでいる。また、第 1 の共通配線 2 4 の少なくとも一部と、第 2 の薄膜トランジスタ 2 3 の少なくとも一部は、それぞれファンアウト部 F A と実装端子 D T 1 及び D T 2 との間に配置されている。これにより、本実施形態では、ファンアウト部 F A に形成された引き出し線 2 2 の短絡や断線を検査することができるとともに、額縁領域が縮小された場合や高精細化された場合であっても、検査精度を高く維持することができる。
- [0135] また、本実施形態では、3 本の第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b が設けられるとともに、各第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b には、所定数の第 2 の薄膜トランジスタ 2 3 r、2 3 g、または 2 3 b を介して、所定数のデータバスライン D が接続されている。これにより、本実施形態では、データバスライン D に対して、第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b を用いて、所定数毎に検査処理や電圧印加処理などの動作処理を実施することができる。
- [0136] また、本実施形態では、複数の引き出し線 2 2 において、隣接する 2 本の一方の引き出し線 2 2 が、ゲートバスライン G と同じ導電層により形成され、隣接する 2 本の他方の引き出し線 2 2 が、データバスライン D と同じ導電層により形成されている。これにより、本実施形態では、引き出し線 2 2 の短絡や断線の発生を抑制することができる。

[0137] また、本実施形態では、ゲートバスラインGと同じ導電層により形成された引き出し線22及びデータバスラインDと同じ導電層により形成された引き出し線22の各々において、隣接する2本の引き出し線22は、互いに異なるように設けられた、2本の一方及び他方の第1の共通配線24にそれぞれ接続されている。これにより、本実施形態では、ゲートバスラインGと同じ導電層により形成された引き出し線22及びデータバスラインDと同じ導電層により形成された引き出し線22の各々において、第1の共通配線24を用いることにより、短絡が発生しているか否かについての検査動作を容易に行うことができる。

[0138] また、本実施形態では、第1及び第2の薄膜トランジスタ18、23a、及び23bでは、酸化物半導体が半導体層18h、23ah、及び23bhに用いられている。これにより、本実施形態では、高性能でコンパクトな第1及び第2の薄膜トランジスタ18、23a、及び23bを容易に構成することができるとともに、第1及び第2の薄膜トランジスタ18、23a、及び23bを用いた検査動作を高精度に行うことができる。

[0139] また、本実施形態では、製造工程を増加させることなく、第2の薄膜トランジスタ（第2のスイッチング素子）23を容易に保護することができるコスト安価なアクティブマトリクス基板5が用いられているので、コスト安価で、かつ、製造工程が簡略化された高性能な液晶表示装置（表示装置）1を容易に構成することができる。

[0140] [第2の実施形態]

図11は、本発明の第2の実施形態にかかるアクティブマトリクス基板での第2の薄膜トランジスタと金属電極とを説明する断面図である。

[0141] 図において、本実施形態と上記第1の実施形態との主な相違点は、補助容量電極（共通電極）の下層に金属電極を設けた点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0142] すなわち、図11に例示するように、本実施形態のアクティブマトリクス

基板 5 では、金属電極 4 4 及び補助容量電極（共通電極）C S の電極膜 C S a が、この順番で層間絶縁膜 3 1 上に形成されている。また、金属電極 4 4 は、図 1 1 に示すように、第 2 の薄膜トランジスタ 2 3 b の少なくとも一部（第 2 の薄膜トランジスタ 2 3 のチャネル部分）を覆おうよう構成されており、第 1 の実施形態と同様に、その遮光膜としても機能するようになっている。

[0143] また、本実施形態のアクティブマトリクス基板 5 では、金属電極 4 4 の上側に積層された電極膜 C S a が、当該金属電極 4 4 の保護層としても機能するように構成されており、図 1 0 に例示した第 1 の実施形態のものと異なり、層間絶縁膜 3 3 の設置が省略されている。

[0144] 尚、本実施形態のアクティブマトリクス基板 5 では、画素 P が設けられた画素部では、第 1 の実施形態と同様に金属電極 4 4 及び補助容量電極 C S が、画素電極 1 9 の下方に設けられている場合と、金属電極 4 4 及び補助容量電極 C S が、画素電極 1 9 の上方に設けられている場合がある（図示せず。）。また、このように、画素電極 1 9 の上方に金属電極 4 4 を設ける構成としては、例えば水平配向モードの液晶パネルにおいて、共通電極としての対向電極が、画素電極 1 9 の上方で、金属電極 4 4 の上層に設けられる（図示せず。）。このとき、共通電極としての対向電極には、互いに平行なスリットが形成され、画素電極との間で横電界を生じさせる。

[0145] 以上の構成により、本実施形態では、上記第 1 の実施形態と同様な作用・効果を奏することができる。

[0146] [第 3 の実施形態]

図 1 2 は、本発明の第 3 の実施形態にかかるアクティブマトリクス基板の主要部を説明する平面図である。図 1 3 は、図 1 2 に示したアクティブマトリクス基板の要部構成を説明する図である。図 1 4 は、図 1 3 の X I V - X I V 線断面図である。図 1 5 は、図 1 3 に示したアクティブマトリクス基板のデータドライバの実装部とは反対側の要部構成を説明する図である。

[0147] 図において、本実施形態と上記第 1 の実施形態との主な相違点は、データ

バスラインにおける、実装端子が接続されていない側の端部に第3の薄膜トランジスタを設けるとともに、複数の第3の薄膜トランジスタに共通して接続される第2の共通配線を設けた点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0148] つまり、図12において、本実施形態のアクティブマトリクス基板5では、データドライバ16が実装される実装部（図に“DA”にて図示）において、まず実装端子DT3またはDT4が引き出し線22に接続されている。そして、第2の薄膜トランジスタ（第2のスイッチング素子）45が、実装端子DT3またはDT4に接続され、全ての第2の薄膜トランジスタ45は、1本の第1の共通配線47に接続されている。また、この実装部には、複数の各第2の薄膜トランジスタ45のオン／オフ動作を制御する制御線46が設けられている。

[0149] 言い換えれば、本実施形態のアクティブマトリクス基板5では、データバスラインDに対し、そのデータドライバ16（ドライバチップ）側において、引き出し線22と、実装端子DT3またはDT4と、第2の薄膜トランジスタ45と、後述の接続配線と、1本の第1の共通配線47とが順次接続されている。また、第1の共通配線47には、端子49aが接続されており、この端子49aは、配線49bを介して入力端子49cに接続されている。さらに、この入力端子49cには、上記FPC8のFPC接続端子が接続されるようになっている。そして、データバスラインDに対する上記検査処理での検査信号や上記電圧印加処理での電圧は、端子49aまたは入力端子49cから入力されるようになっている。また、液晶表示装置1の最終製品では、入力端子49cは、上記FPC8を介してグランド接続される。

[0150] また、図13に示すように、第1の実施形態のものと同様に、例えばRGBの色毎に、引き出し線22r、22g、及び22bが設けられている。これらの引き出し線22r、22g、及び22bは、それぞれRGBのデータバスラインDに接続されている。また、これらの各引き出し線22r、22g、及び22bには、上記実装端子DT3またはDT4と、第2の薄膜トラ

ンジスタ45aまたは45bとが順次接続されている。また、第2の薄膜トランジスタ45aまたは45bには、RGB毎に設けられたいずれかの上記接続配線50r、50g、及び50bが接続されている。また、接続配線50r、50g、及び50bには、端子コンタクトホールH3を介して、第1の共通配線47が接続されている。さらに、接続配線50r、50g、及び50bは、データバスラインDと同じ導電層（ソース層）により形成され、第1の共通配線47は、ゲートバスラインGと同じ導電層（ゲート層）により形成されている。

[0151] また、実装端子DT3及びDT4には、第1の実施形態のものと同様に、データドライバ16のバンプ（電極）が接続されるようになっている。但し、実装端子DT3及びDT4には、第1の実施形態のものと異なり、バンプ（電極）が接続されるとともに、画素電極19と同じ導電層により形成された端子上層電極と、この端子上層電極に順次接続されるとともに、データバスラインDと同じ導電層及びゲートバスラインGと同じ導電層によりそれぞれ形成された2つの端子下層電極が設けられている（図示せず。）。また、実装端子DT3は、上記繋ぎ替え部70の機能が付与されており、ゲートバスラインGと同じ導電層により形成された第1の端子下層電極（引き出し線22）を、データバスラインDと同じ導電層により形成された第2の端子下層電極（第2の薄膜トランジスタのドレイン電極）に繋ぎ替えて、第2の薄膜トランジスタ45に接続されるようになっている。つまり、実装端子DT3及びDT4は、それぞれ後掲の第4の実施形態での実装端子DT5及びDT6と同じ端子上層電極及び端子下層電極の構成を有している（図20及び図21を参照。）。

[0152] また、第2の薄膜トランジスタ45a及び45bは、図10に示した第2の薄膜トランジスタ23bと同様に、構成されている。すなわち、図14に例示するように、第2の薄膜トランジスタ45bの近傍では、アクティブマトリクス基板5の基材5a上に、制御線46と、制御線46を覆うように形成されたゲート絶縁膜29とが設けられている。また、第2の薄膜トランジ

スタ４５ｂのゲート電極４５ｂｇが、制御線４６と一体的に構成されている。

[0153] さらに、ゲート絶縁膜２９の上方には、第２の薄膜トランジスタ４５ｂの半導体層４５ｂｈ及びチャネル保護層３０が順次積層されている。この半導体層４５ｂｈは、第１の薄膜トランジスタ１８の半導体層１８ｈと同様に、例えば酸化物半導体によって構成されている。

[0154] また、半導体層４５ｂｈ上には、引き出し線２２ｇと一体的に構成された第２の薄膜トランジスタ４５ｂのドレイン電極４５ｂｄと、接続配線５０ｇと一体的に構成された第２の薄膜トランジスタ４５ｂのソース電極４５ｂｓとが設けられている。また、これらのドレイン電極４５ｂｄ、ソース電極４５ｂｓ、及びチャネル保護層３０上には、層間絶縁膜３１及び層間絶縁膜３３が順次積層されている。

[0155] さらに、図１３に示すように、第２の薄膜トランジスタ４５では、矩形状の金属電極４４の４辺が第２の薄膜トランジスタ４５ａ及び４５ｂの各半導体層４５ａｈ及び４５ｂｈを囲むように設けられている。

[0156] 具体的には、図１４に示すように、例えば第２の薄膜トランジスタ４５ｂでは、金属電極４４と補助容量電極ＣＳと同じ導電層により形成された電極膜ＣＳａが層間絶縁膜３１と層間絶縁膜３３との間に設けられている。そして、金属電極４４は、第２の薄膜トランジスタ４５ｂのゲート電極４５ｂｇ、半導体層４５ｂｈ、ドレイン電極４５ｂｄ、及びソース電極４５ｂｓの上方に設けられて、それらの遮光膜として機能するようになっている。さらに、図１４に示すように、金属電極（遮光膜）４４は、層間絶縁膜３３に覆われている。

[0157] なお、後述するリーク電流抑制の点からは、金属電極４４は、アクティブマトリクス基板５の基板面に垂直な方向から見て、第２の薄膜トランジスタ４５ａ及び４５ｂのチャネル部分を完全に覆うように形成することが好ましい。

[0158] また、図１２に示すように、複数の各第２の薄膜トランジスタ４５は、制

御線 4 6 により、そのオン／オフ動作が制御されるようになっている、また、この制御線 4 6 には、端子 4 8 a が接続されており、この端子 4 8 a は、配線 4 8 b を介して入力端子 4 8 c に接続されている。この入力端子 4 8 c には、上記 F P C 8 の F P C 接続端子が接続されるようになっている。検査処理や電圧印加処理を行う際には、各第 2 の薄膜トランジスタ 4 5 のオン／オフ動作を行うための制御信号が、端子 4 8 a または入力端子 4 8 c から入力されるようになっている。また、液晶表示装置 1 の最終製品では、入力端子 4 8 c には、上記 F P C 8 を介して、各第 2 の薄膜トランジスタ 4 5 をオフさせるような信号が入力される。

[0159] また、データバスライン D では、図 1 2 に示すように、実装端子 D T 3 または D T 4 が接続されていない側の端部は、複数の各引き出し線 5 1 により、有効表示領域 A の外部に引き出されている。また、複数の各引き出し線 5 1 には、第 3 のスイッチング素子としての第 3 の薄膜トランジスタ 5 2 と、接続配線 5 3 とが順次接続されている。また、複数の接続配線 5 3 は、3 本のいずれかの第 2 の共通配線 5 4 に接続されている。

[0160] また、第 3 の薄膜トランジスタ 5 2 は、制御線 5 6 により、そのオン／オフ動作が制御されるようになっている。つまり、第 3 の薄膜トランジスタ 5 2 では、そのゲート電極（図示せず）が制御線 5 6 と一体的に構成されている。また、この制御線 5 6 には、端子 5 7 が接続されており、この端子 5 7 は、配線を介して入力端子 5 8 に接続されている。この入力端子 5 8 には、上記 F P C 8 の F P C 接続端子が接続されるようになっている。検査処理や電圧印加処理を行う際には、第 3 の薄膜トランジスタ 5 2 のオン／オフ動作を行うための制御信号が、端子 5 7 または入力端子 5 8 から入力されるようになっている。また、液晶表示装置 1 の最終製品では、入力端子 5 8 には、上記 F P C 8 を介して、各第 3 の薄膜トランジスタ 5 2 をオフさせるような信号が入力される。

[0161] また、各第 2 の共通配線 5 4 には、配線を介して端子 5 5 に接続されており、この端子 5 5 には、データバスライン D に対する検査処理での検査信号

や電圧などが供給されるようになっている。

[0162] 具体的にいえば、図15に示すように、本実施形態のアクティブマトリクス基板5では、例えばRGBの色毎に、引き出し線51r、51g、及び51bが設けられている。これらの引き出し線51r、51g、及び51bは、それぞれRGBのデータバスラインDの非入力側の端部に接続されている。また、各引き出し線51r、51g、及び51bには、第3の薄膜トランジスタ52の図示しないドレイン電極が接続されている。また、第3の薄膜トランジスタ52のソース電極（図示せず）には、接続配線53（図22）を介して、RGBの色毎に設けられた第2の共通配線54r、54g、及び54bのいずれかに接続されている。言い換えれば、これらの第2の共通配線54r、54g、及び54bでは、RGBの色毎に、第3の薄膜トランジスタ52を介して、対応する引き出し線51r、51g、及び51bが接続されており、さらには所定数のRGB毎のデータバスラインDが接続されている。これにより、本実施形態のアクティブマトリクス基板5では、RGBの色毎に、データバスラインDの検査動作を行うことができるようになっている。

[0163] つまり、本実施形態のアクティブマトリクス基板5では、データバスラインDの入力側（つまり、上記ドライバチップの実装部側）に、1本の第1の共通配線47しか設けられていない。このため、この第1の共通配線47を用いた検査動作では、データバスラインD及び引き出し線22の各々の断線や、第1の薄膜トランジスタ18の欠陥等を検出することは可能である。しかしながら、第1の実施形態のように、RGBの単色表示を行うことができず、また隣接するデータバスラインD間、または隣接する引き出し線22間の短絡も検出することができない。そこで、本実施形態のアクティブマトリクス基板5では、データバスラインDの非入力側に、RGB毎に設けられた3本の第2の共通配線54r、54g、及び54bを設けることにより、第1の実施形態と同様に、RGBの単色表示を行ったり、隣接するデータバスラインD間、または隣接する引き出し線22間の短絡も検出したりすること

ができるように構成している。なお、第2の共通配線54r、54g、及び54bを用いた検査では、引き出し線22の断線を検出することができない。そのため、第1の共通配線47を用いた検査と組み合わせて実施することが好ましい。

[0164] また、本実施形態のアクティブマトリクス基板5では、第1の実施形態と同様に、液晶層の配向処理（PSA技術を実施するための電圧印加処理）の際に、第2の共通配線54r、54g、及び54bから電圧を印加する事も可能に構成されており、第1の共通配線47から同時に電圧を印加することにより、当該配向処理に要する時間を短縮することができるように構成されている。

[0165] 以上の構成により、本実施形態では、上記第1の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、データバスラインDにおける、実装端子DT3またはDT4が接続されていない側の端部に接続された第3の薄膜トランジスタ（第3のスイッチング素子）52と、複数の第3の薄膜トランジスタ52に共通して接続される第2の共通配線54が設けられている。これにより、本実施形態では、上記第1の共通配線47の構成等の実装端子DT3またはDT4側の構成を簡略化することができ、ドライバの実装領域が小さい場合でも、第2の薄膜トランジスタ（第2のスイッチング素子）45をより容易に配置することができる。さらには、本実施形態では、ドライバの実装領域を狭くすることが可能となり、このため、さらなるアクティブマトリクス基板5、ひいては液晶表示装置1の外形縮小を行うことができる。また、補助容量電極（共通電極）CSの補助容量電極駆動用信号配線CS1を配線する領域を大きくすること、つまり補助容量電極駆動用信号配線CS1を太くして、当該補助容量電極駆動用信号配線CS1の低抵抗化を図ることができる。この結果、補助容量電極CSへの信号（電圧信号）の遅延に起因する、フリッカやシャドーイング等の表示不良の発生を抑制することができる。

[0166] [第4の実施形態]

図 1 6 は、本発明の第 4 の実施形態にかかるアクティブマトリクス基板の主要部を説明する平面図である。図 1 7 は、図 1 6 に示したデータドライバの実装部及びその周辺部を説明する拡大平面図である。図 1 8 は、図 1 6 に示したアクティブマトリクス基板の要部構成を説明する図である。図 1 9 は、図 1 8 に示した実装端子と第 2 の薄膜トランジスタと金属電極を説明する拡大平面図である。図 2 0 は、図 1 8 の X X - X X 線断面図である。図 2 1 は、図 1 8 の X X I - X X I 線断面図である。

[0167] 図において、本実施形態と上記第 1 の実施形態との主な相違点は、第 1 の共通配線と実装端子に設けられた端子コンタクトホールとの間に第 2 の薄膜トランジスタを配置するとともに、実装端子の端子上層電極が第 2 の薄膜トランジスタの少なくとも一部を覆うように設けられている点である。なお、上記第 1 の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0168] つまり、図 1 6 及び図 1 7 において、本実施形態のアクティブマトリクス基板 5 では、データドライバ 1 6 が実装される実装部（図に “D A” にて図示）が設けられており、この実装部には、後に詳述するように、第 2 のスイッチング素子としての第 2 の薄膜トランジスタ 6 1 と連続的に設けられた実装端子 D T 5 または D T 6 が設置されている。

[0169] また、上記実装部には、複数の上記第 2 の薄膜トランジスタ 6 1、3 本の第 1 の共通配線 2 4、複数の各第 2 の薄膜トランジスタ 6 1 と 3 本のいずれかの第 1 の共通配線 2 4 とを接続する接続配線 3 5、及び複数の各第 2 の薄膜トランジスタ 6 1 のオン／オフ動作を制御する制御線 2 6 が設けられている。これら各第 2 の薄膜トランジスタ 6 1、第 1 の共通配線 2 4、接続配線 3 5、及び制御線 2 6 は、複数の各データバスライン D に対する検査処理や静電対策、または上記液晶層の液晶分子の配向処理の際に行われる電圧印加処理などの所定の動作処理を行うために設置されている。

[0170] また、図 1 8 及び図 1 9 に示すように、本実施形態のアクティブマトリクス基板 5 では、第 1 の実施形態のものと同様に、例えば R G B の色毎に、引

き出し線 2 2 r、2 2 g、及び 2 2 b が設けられている。これらの引き出し線 2 2 r、2 2 g、及び 2 2 b は、それぞれ R G B のデータバスライン D に接続されている。また、これらの各引き出し線 2 2 r、2 2 g、及び 2 2 b には、上記実装端子 D T 5 または D T 6 が端子コンタクトホール H 4 a または H 4 b をそれぞれ介して接続されている。また、実装端子 D T 5 または D T 6 には、第 2 の薄膜トランジスタ 6 1 a または 6 1 b がそれぞれ接続されている。また、第 2 の薄膜トランジスタ 6 1 a または 6 1 b には、R G B 毎に設けられた、いずれかの接続配線 3 5 r、3 5 g、及び 3 5 b が接続されている。また、接続配線 3 5 r、3 5 g、及び 3 5 b には、端子コンタクトホール H 5 r、H 5 g、及び H 5 b を介して R G B 毎に設けられた第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b がそれぞれ接続されている。これにより、R G B のデータバスライン D は、R G B の色毎に、それぞれ第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b に接続されるようになっており、R G B のデータバスライン D 毎に、異なる検査信号を入力可能として、互いに独立した検査動作を行うことができるよう構成されている。

[0171] 以上のように、本実施形態のアクティブマトリクス基板 5 では、第 1 の実施形態のものと同様に、第 1 の共通配線 2 4 r、2 4 g、及び 2 4 b に、所定数の R G B のデータバスライン D が所定数の第 2 の薄膜トランジスタ 6 1 a または 6 1 b を介して、それぞれ接続されて、R G B のデータバスライン D 毎に、互いに独立した検査動作を行うことができるよう構成されているので、目視で不良を検出する検査を行うときに、R G B 単色表示が可能となり、データバスライン D のリークを検出し易くできる。

[0172] また、図 1 8 及び図 1 9 に示すように、実装端子 D T 5 と連続的に構成された第 2 の薄膜トランジスタ 6 1 a と、実装端子 D T 6 と連続的に構成された第 2 の薄膜トランジスタ 6 1 b とは、2 段千鳥配置（すなわち、隣接する 2 つの実装端子 D T 5 及び D T 6 を、直線方向で互いに異なる位置に配置されるように順次ずらして配置）に設けられている。

[0173] また、引き出し線 2 2 r、2 2 g、及び 2 2 b では、隣接する 2 本の一方

の引き出し線 2 2 が、ゲートバスライン G と同じ導電層により形成され、隣接する 2 本の他方の引き出し線 2 2 が、データバスライン D と同じ導電層により形成されている（図 2 0 及び図 2 1 参照。）。

[0174] 具体的には、図 2 0 に例示するように、引き出し線 2 2 r は、基材 5 a 上でゲートバスライン G と同じ導電層により形成されている。また、第 2 の薄膜トランジスタ 6 1 a では、そのゲート電極 6 1 a g が基材 5 a 上に構成されている。このゲート電極 6 1 a g は、ゲートバスライン G と同じ導電層により形成された上記制御線 2 6 の分岐配線 2 6 a（図 1 8）と一体的に構成されている。

[0175] また、図 2 0 に示すように、引き出し線 2 2 r の端部は、実装端子 D T 5 の第 1 の端子下層電極 3 6 a として用いられている。また、この実装端子 D T 5 では、データバスライン D と同じ導電層により形成された第 2 の端子下層電極 3 6 b と、画素電極 1 9 と同じ導電層により形成された端子上層電極 3 4 とが設けられている。そして、この実装端子 D T 5 では、ゲート絶縁膜 2 9 と、チャネル保護層 3 0 と、層間絶縁膜 3 1 及び 3 3 とに形成された上記端子コンタクトホール H 4 a を介して、第 1 の端子下層電極 3 6 a と第 2 の端子下層電極 3 6 b とが互いに接続され、さらに第 2 の端子下層電極 3 6 b と端子上層電極 3 4 とが互いに接続されている。

[0176] また、第 2 の端子下層電極 3 6 b は、第 2 の薄膜トランジスタ 6 1 a のドレイン電極 6 1 a d と一体的に構成されている。また、第 2 の薄膜トランジスタ 6 1 a では、そのソース電極 6 1 a s はドレイン電極 6 1 a d と同様に、データバスライン D と同じ導電層により形成されており、さらには、図 2 0 に例示するように、ソース電極 6 1 a s は、上記接続配線 3 5 r の端部を構成している。

[0177] また、第 2 の薄膜トランジスタ 6 1 a では、その半導体層 6 1 a h は第 1 の薄膜トランジスタ 1 8 の半導体層 1 8 h と同様に、例えば酸化物半導体によって構成されている。

[0178] また、実装端子 D T 5 の端子上層電極 3 4 は、第 2 の薄膜トランジスタ 6

1 a の少なくとも一部を覆うように形成されており、この端子上層電極 3 4 には、データドライバ 1 6 のバンプ（電極）が接続されるようになっている。

[0179] また、図 2 1 に例示するように、基材 5 a 上には、ゲートバスライン G と同じ導電層により形成された第 3 の端子下層電極 3 7 a が設けられている。また、第 2 の薄膜トランジスタ 6 1 b では、そのゲート電極 6 1 b g が基材 5 a 上に構成されている。このゲート電極 6 1 b g は、ゲートバスライン G と同じ導電層により形成された上記制御線 2 6 の分岐配線 2 6 b（図 1 8）と一体的に構成されている。

[0180] また、図 2 1 に示すように、データバスライン D と同じ導電層により形成された引き出し線 2 2 r の一部分（端部）が、実装端子 D T 6 の第 4 の端子下層電極 3 7 b として用いられている。また、この実装端子 D T 6 では、画素電極 1 9 と同じ導電層により形成された端子上層電極 3 4 が設けられている。そして、この実装端子 D T 6 では、ゲート絶縁膜 2 9 と、チャネル保護層 3 0 と、層間絶縁膜 3 1 及び 3 3 とに形成された上記端子コンタクトホール H 4 b を介して、第 3 の端子下層電極 3 7 a と第 4 の端子下層電極 3 7 b とが互いに接続され、さらに第 4 の端子下層電極 3 7 b と端子上層電極 3 4 とが互いに接続されている。

[0181] また、第 2 の端子下層電極 3 7 b は、第 2 の薄膜トランジスタ 6 1 b のドレイン電極 6 1 b d と一体的に構成されている。また、第 2 の薄膜トランジスタ 6 1 b では、そのソース電極 6 1 b s はドレイン電極 6 1 b d と同様に、データバスライン D と同じ導電層により形成されており、さらには、図 2 1 に例示するように、ソース電極 6 1 b s は、上記接続配線 3 5 r の端部を構成している。

[0182] また、第 2 の薄膜トランジスタ 6 1 b では、その半導体層 6 1 b h は第 1 の薄膜トランジスタ 1 8 の半導体層 1 8 h と同様に、例えば酸化物半導体によって構成されている。

[0183] また、実装端子 D T 6 の端子上層電極 3 4 は、第 2 の薄膜トランジスタ 6

1 bの少なくとも一部を覆うように形成されており、この端子上層電極34には、データドライバ16のバンプ（電極）が接続されるようになっている。

[0184] また、図18に示すように、引き出し線22 r、22 g、及び22 bにおいて、制御線26の分岐配線26 aとの交差部には、幅寸法が細く形成された幅細部22 r a、22 g a、及び22 b aがそれぞれ設けられている。

[0185] 同様に、接続配線35 r、35 g、及び35 bにおいて、制御線26の分岐配線26 bとの交差部には、幅寸法が細く形成された幅細部35 r a、35 g a、及び35 b aがそれぞれ設けられている。

[0186] このように、幅細部22 r a、22 g a、及び22 b aと、幅細部35 r a、35 g a、及び35 b aとを設けることにより、分岐配線26 aと引き出し線22 r、22 g、及び22 bとの各交差面積、及び分岐配線26 bと接続配線35 r、35 g、及び35 bとの各交差面積を抑制することができる。この結果、本実施形態のアクティブマトリクス基板5では、データバスラインDでの信号遅延を抑制でき、データドライバ16のチップ実装後（すなわち、液晶表示装置1の最終製品）の表示品位の低下を防ぐことができる。また、検査時において、制御線26に対する検査用制御信号の遅延を抑制することができるため、検査表示を行ったときに、表示ムラを容易に少なくすることができ、不良の誤検出を抑えることができる。

[0187] また、上記の説明以外に、例えば制御線26の各分岐配線26 a及び26 bの幅寸法を小さくして、対応する引き出し線22及び接続配線35との交差面積を小さくする構成でもよい。すなわち、上記交差部において、引き出し線22及び接続配線35と分岐配線26 a及び26 bの少なくとも一方の配線を細くする構成でもよい。

[0188] さらに、図18において、液晶表示装置1の最終製品では、第2の薄膜トランジスタ61 a及び61 bは、オフ状態にされている。これにより、液晶表示装置1の最終製品では、その表示品位の低下（シャドーイング）を防ぐことができる。

[0189] 以上の構成により、本実施形態では、上記第１の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、実装端子ＤＴ５において、端子上層電極３４と第１及び第２の端子下層電極３６ａ及び３６ｂとが端子コンタクトホールＨ４ａを介して接続されている。また、実装端子ＤＴ６において、端子上層電極３４と第３及び第４の端子下層電極３７ａ及び３７ｂとが端子コンタクトホールＨ４ｂを介して接続されている。第２の薄膜トランジスタ（第２のスイッチング素子）６１ａが、第１の共通配線２４と端子コンタクトホールＨ４ａとの間に配置され、第２の薄膜トランジスタ（第２のスイッチング素子）６１ｂが、第１の共通配線２４と端子コンタクトホールＨ４ｂとの間に配置されている。端子上層電極３４が、第２の薄膜トランジスタ６１ａまたは６１ｂの少なくとも一部を覆うように設けられている。これにより、端子上層電極３４とデータドライバ１６のドライバチップ（のバンプ）との接続面積が小さくならないため、接続不良が発生することを抑制できる。そのため、本実施形態のアクティブマトリクス基板５では、データドライバ１６の実装領域が小さい場合でも、第２の薄膜トランジスタ６１ａ及び６１ｂを容易に配置することができる。また、このように、第２の薄膜トランジスタ６１ａ及び６１ｂの配置領域を小さくすることから、アクティブマトリクス基板５、ひいては液晶表示装置１の外形寸法を容易に低減することができる。

[0190] また、本実施形態では、実装端子ＤＴ５において、ゲートバスラインＧと同じ導電層により形成された引き出し線の端部によって構成された第１の端子下層電極３６ａと、第２の薄膜トランジスタ６１ａのドレイン電極６１ａｄと一体的に構成されるとともに、データバスラインＤと同じ導電層により形成された第２の端子下層電極３６ｂとが含まれている。さらに、端子コンタクトホールＨ４ａでは、第１及び第２の端子下層電極３６ａ及び３６ｂが互いに接続されている。これにより、本実施形態では、ゲートバスラインＧと同じ導電層により形成された引き出し線２２と、データバスラインＤと同じ導電層により形成された第２の薄膜トランジスタ６１ａのドレイン電極６

1 a dとの繋ぎ替えを、端子コンタクトホールH 4 aで行うことができ、当該繋ぎ替えのための領域（繋ぎ替え部7 0）の設置を省略することが可能となって、アクティブマトリクス基板5の外形寸法を容易に低減することができる。

[0191] また、本実施形態では、実装端子D T 6において、ゲートバスラインGと同じ導電層により形成された第3の端子下層電極3 7 aと、データバスラインDと同じ導電層により形成された引き出し線2 2の端部によって構成されるとともに、第2の薄膜トランジスタ6 1 bのドレイン電極6 1 b dと一体的に構成された第4の端子下層電極3 7 bとが含まれている。さらに、端子コンタクトホールH 4 bでは、第3及び第4の端子下層電極3 7 a及び3 7 bが互いに接続されている。これにより、本実施形態では、引き出し線2 2の構成に関わらず、実装端子D T 5及びD T 6の構成を全て同じ構成とすることができ、実装端子D T 5及びD T 6へのデータドライバ（ドライバ）1 6の実装状態を容易に検査することができる。

[0192] 具体的には、データドライバ1 6のドライバチップと実装端子D T 5またはD T 6との接続は、異方性導電膜（A C F : Anisotropic Conductive Film）を介して行うが、ドライバチップ実装後の接触検査として、A C Fの導電層に含まれる導電粒子の圧痕検査を行う場合がある。この圧痕検査は、導電性粒子によって実装端子D T 5またはD T 6に形成される凹凸形状を、アクティブマトリクス基板5の裏面から観察して、ドライバチップ（のバンプ）と実装端子D T 5またはD T 6間の導電性粒子の数を計測する検査である。実装端子D T 5及びD T 6において、その膜構成が異なると、その判定基準が煩雑になるという問題を生じることがあるが、本実施形態では、実装端子D T 5及びD T 6の各膜構成を同じにしているので、このような問題が生じるのを防ぐことができる。

[0193] 尚、上記の説明以外に、複数の端子コンタクトホールを実装端子D T 5またはD T 6に設ける構成でもよい。

[0194] 具体的にいえば、実装端子D T 5またはD T 6において、例えば2つの端

子コンタクトホールを設けてもよい。この場合、実装端子D T 5またはD T 6とデータドライバ1 6との接触不良を容易に低減することができる。また、2つの端子コンタクトホールを設けることにより、第4の実施形態のものに比べて、端子上層電極3 4の実装端子D T 5またはD T 6の部分と、端子上層電極3 4の第2の薄膜トランジスタ6 1 aまたは6 1 bを覆う部分との段差を小さくすることができる。これにより、データドライバ1 6のドライバチップのバンプ（電極）を実装する際の接触不良を低減することができる。尚、第4の実施形態での実装端子D T 5及びD T 6では、その端子コンタクトホールH 4 a及びH 4 bの各面積が大きいので、当該端子コンタクトホールH 4 a及びH 4 bの形成不良を低減することができる。

[0195] 尚、上記の実施形態はすべて例示であって制限的なものではない。本発明の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。

[0196] 例えば、上記の説明では、本発明を透過型の液晶表示装置に適用した場合について説明したが、本発明のアクティブマトリクス基板はこれに限定されるものではなく、複数の画素を有する有効表示領域と、画素を駆動するための信号を伝達する配線を有するあらゆる表示装置に対して本発明のアクティブマトリクス基板を適用することができる。例えば、有機ELディスプレイ、又は、マイクロカプセル型電気泳動方式の表示装置その他表示装置に本発明を適用することができる。マイクロカプセル型電気泳動方式の表示装置は、例えば、有効表示領域に形成されたマイクロカプセル層に画素ごとに電圧を印加することで、画像を表示する構成とすることができる。表示装置は、例えば、画素ごとに設けられた画素電極にスイッチング素子を介して接続された有効表示領域の配線と、有効表示領域の配線に接続された引き出し線を備える基板を備える構成とすることができ、この基板を例えば、上記実施形態におけるアクティブマトリクス基板のように構成することができる。また、このような表示装置以外に、本発明のアクティブマトリクス基板は、例えばX線検出装置用のセンサ基板等の各種センサ基板に適用することができる。

。

[0197] また、上記の説明では、ゲートバスラインG上にゲート絶縁膜（絶縁膜）29を介してデータバスラインDを設けた場合について説明したが、本発明のアクティブマトリクス基板はゲートバスラインGとデータバスラインDとが絶縁膜を介して互いに異なる層に設けられたものであればよく、データバスラインD上に絶縁膜を介してゲートバスラインGを設けてもよい。

[0198] また、上記の説明では、実装端子DTを2段千鳥配置にした構成について説明したが、本発明のアクティブマトリクス基板は、これに限定されるものではなく、例えば実装端子DTを3段千鳥配置に構成してもよい（すなわち、隣接する3つの実装端子DTを、直線方向で互いに異なる位置に配置されるように順次ずらして配置してもよい。）。

[0199] また、上記の説明では、垂直配向モードの一種であるCPAモードの液晶パネル（いわゆる、縦電界の液晶パネル）に適用した場合について説明したが、本発明のアクティブマトリクス基板は、これに限定されるものではなく、例えばフィッシュボーン型の画素電極を用いた他の垂直配向モードの液晶パネルや、水平配向モードの液晶パネル（いわゆる、横電界の液晶パネル）にも適用することができる。

[0200] 具体的には、フィッシュボーン型の画素電極は、水平方向（ゲートバスラインの延びる方向）の右向きを 0° として反時計回りに正の角度をとる方位角で表わすと、例えば、 45° 、 135° 、 225° 、および 315° のそれぞれに延びる複数の細長電極部分（枝部）を有している。細長電極部分の間には、対応する方向に延びる細長い切り欠き（スリット）が設けられている。また、フィッシュボーン型の画素電極は、画素の中央部を垂直方向（データバスラインの延びる方向）に沿って延びる背骨部（幹部）を有している。細長電極部分のそれぞれは背骨部に接続されている。

[0201] 細長電極部分（またはスリット）の延びる方向は、画素Pを縦横 2×2 に4等分することによって得られる4領域のそれぞれで互いに異なっている。これによって、電圧印加時には、1つの画素P内において、4領域に対応す

る4つの液晶配向領域（4ドメイン液晶配向）が形成される。液晶ドメイン内では液晶分子の配向状態がほぼ同等であるとともに、異なるドメインでは液晶分子の配向状態が互いに異なる。

[0202] より具体的には、フィッシュボーン型の画素電極と対向電極20との間に電圧が印加されたとき、それぞれのドメインにおいて、液晶分子は、スリットの延びる方向に平行、且つ、液晶分子の上端部が画素Pの内側に向って倒れるように配向する。

[0203] また、フィッシュボーン型の画素電極を用いた垂直配向モードでは、対向基板4の配向制御用の配向制御突起CT等の構造物は必須の構成ではない。

[0204] さらに、フィッシュボーン型の画素電極を用いた垂直配向モードでは、CPAモードと同様に、上記ポリマー配向支持技術（PSA技術）と併せて実施することが好ましい。

[0205] また、水平配向モードの液晶パネルでは、水平配向膜がアクティブマトリクス基板5と対向基板4の各内側表面上に設けられており、さらに液晶層に、誘電率異方性が正の液晶が使用されている。さらに、共通電極としての補助容量電極を対向電極として利用している。そして、水平配向モードの液晶パネルでは、画素電極に互いに平行なスリット（例えば、2～4 μ m幅）を複数本形成し、上記対向電極（共通電極）との間で横電界を生じさせることで、液晶の配向を制御するようになっている。また、この水平配向モードでは、対向基板4に対向電極20を形成する必要はない。さらに、この水平配向モードでは、共通電極としての対向電極が、補助容量電極と同様に、透明電極材料により構成されるとともに、画素電極の下方に設けられている。また、水平配向モードでは、共通電極としての対向電極が、補助容量電極と異なり、画素電極の上方に設けられる場合もある。この場合、画素電極には、前記のスリットが形成されず、対向電極に互いに平行なスリット（例えば、2～4 μ m幅）が複数本形成される。

[0206] また、上記の説明では、実装端子DTの端子上層電極34、43、または60が画素電極19と同じ導電層によって形成されている場合について説明

したが、本発明のアクティブマトリクス基板は、これに限定されるものではなく、端子上層電極と画素電極とを互いに異なる導電層によって形成してもよい。例えば、水平配向モードの液晶パネルにおいて、共通電極としての対向電極が、画素電極の上方に設けられる場合に、端子上層電極を対向電極と同じ層に形成してもよい。また、画素電極や対向電極と異なる導電層を新たに追加して、端子上層電極を形成することも可能である。

[0207] 但し、上記の各実施形態のように、端子上層電極と画素電極とを同じ導電層によって形成する場合の方が、構造簡単で、かつ、製造工程を簡略化したアクティブマトリクス基板を容易に構成することができる点で好ましい。

[0208] また、上記第1～第4の実施形態の説明では、アクティブマトリクス基板上にゲートドライバをモノリシックに形成した構成について説明した。しかしながら、本発明のアクティブマトリクス基板は、これに限定されるものではなく、例えばゲートドライバとデータドライバとを一体的に構成したドライバチップ（ドライバIC）をアクティブマトリクス基板上に実装する構成でもよい。

[0209] また、上記の説明では、データバスラインとデータドライバとの間に第2の薄膜トランジスタ（第2のスイッチング素子）を設け、金属電極にて形成した遮光膜により、第2のスイッチング素子を遮光する構成について説明したが、本発明のアクティブマトリクス基板はこれに限定されるものではなく、ゲートバスラインとゲートドライバとの間に第2のスイッチング素子を設け、金属電極にて形成した遮光膜により、第2のスイッチング素子を遮光してもよい。

[0210] また、上記の説明では、赤色（R）、緑色（G）、及び青色（B）の色毎の画素にデータバスラインを設けた構成について説明したが、本発明のアクティブマトリクス基板はこれに限定されるものではなく、例えば1本のデータバスラインに対して、RGBの画素を順次設ける構成でもよい。

[0211] また、上記の説明では、3色毎の画素にデータバスラインを設けた構成について説明したが、4色以上（例えばRGB+Yellowや、RGB+W

h i t e) であってもよい。

[0212] また、上記の説明では、第１～第３の各スイッチング素子として、薄膜トランジスタを用いた場合について説明したが、本発明のスイッチング素子はこれに限定されるものではなく、例えば他の電界効果トランジスタを使用することもできる。

[0213] また、上記の説明以外に、上記第１～第４の各実施形態を適宜組み合わせたものでもよい。

産業上の利用可能性

[0214] 本発明は、製造工程を増加させることなく、第２のスイッチング素子を容易に保護することができるコスト安価なアクティブマトリクス基板、及びこれを用いた表示装置に対して有用である。

符号の説明

[0215] １ 液晶表示装置（表示装置）
 ５ アクティブマトリクス基板
 ５ a 基材
 １ ６ データドライバ
 １ ７、１ ７ a、１ ７ b ゲートドライバ
 １ ８ 第１の薄膜トランジスタ（第１のスイッチング素子）
 １ ８ d ドレイン電極
 １ ８ s ソース電極
 １ ８ g ゲート電極
 １ ８ h 半導体層
 １ ９ 画素電極
 ２ ２、２ ２ r、２ ２ g、２ ２ b 引き出し線
 ２ ３、２ ３ r、２ ３ g、２ ３ b、４ ５、４ ５ a、４ ５ b、６ １、６ １ a、
 ６ １ b 第２の薄膜トランジスタ（第２のスイッチング素子）
 ２ ３ a d、２ ３ b d、４ ５ a d、４ ５ b d、６ １ a d、６ １ b d ドレイン電極

2 3 a s、2 3 b s、4 5 a s、4 5 b s、6 1 a s、6 1 b s ソース
電極

2 3 a g、2 3 b g、4 5 a g、4 5 b g、6 1 a g、6 1 b g ゲート
電極

2 3 a h、2 3 b h、4 5 a h、4 5 b h、6 1 a h、6 1 b h 半導体
層

2 4、2 4 r、2 4 g、2 4 b、4 7 第1の共通配線

2 9 ゲート絶縁膜（絶縁膜）

3 1、3 2、3 3 層間絶縁膜

3 4 端子上層電極

3 6 a 端子下層電極（第1の端子下層電極）

3 6 b 端子下層電極（第2の端子下層電極）

3 7 a 端子下層電極（第3の端子下層電極）

3 7 b 端子下層電極（第4の端子下層電極）

4 4 金属電極（遮光膜）

5 2 第3の薄膜トランジスタ（第3のスイッチング素子）

5 4、5 4 r、5 4 g、5 4 b 第2の共通配線

G、G 1～G N ゲートバスライン

D、D 1～D M データバスライン

A 有効表示領域

F A ファンアウト部

D T 1～D T 6 実装端子

H 4 a、H 4 b 端子コンタクトホール

C S 補助容量電極（共通電極）

C S a 電極膜

請求の範囲

[請求項1]

基材と、
前記基材上に設けられたゲートバスラインと、
前記ゲートバスラインと絶縁膜を介して異なる層に設けられたデータバスラインと、
前記ゲートバスラインと前記データバスラインに接続された第1のスイッチング素子と、
前記第1のスイッチング素子を覆うように設けられた、少なくとも1層の層間絶縁膜と、
前記第1のスイッチング素子に接続された画素電極と、
透明電極材料によって構成されるとともに、前記画素電極の上方または下方に設けられた共通電極と、
前記ゲートバスラインまたは前記データバスラインにドライバからの信号を供給するための実装端子と、
前記実装端子と、前記ゲートバスラインまたは前記データバスラインとを接続する引き出し線と、
複数の前記引き出し線に、それぞれ接続された複数の第2のスイッチング素子と、
前記複数の第2のスイッチング素子に共通して接続される第1の共通配線を備え、
前記画素電極の上方または下方に金属電極が設けられ、
前記複数の各第2のスイッチング素子の少なくとも一部は、前記金属電極にて形成した遮光膜によって覆われるとともに、
前記遮光膜は、前記層間絶縁膜及び前記共通電極の少なくとも一方に覆われている、
ことを特徴とするアクティブマトリクス基板。

[請求項2]

前記複数の各第2のスイッチング素子は、複数の前記ゲートバスラインと複数の前記データバスラインとがマトリクス状に配線されると

ともに、複数の前記画素電極がマトリクス状に設けられた有効表示領域の外側に設けられている請求項 1 に記載のアクティブマトリクス基板。

[請求項3] 前記金属電極は、前記共通電極の上層または下層に直接的に接するように設けられている請求項 1 または 2 に記載のアクティブマトリクス基板。

[請求項4] 前記ゲートバスラインまたは前記データバスラインにおける、前記実装端子が接続されていない側の端部に接続された第 3 のスイッチング素子と、

複数の前記第 3 のスイッチング素子に共通して接続される第 2 の共通配線を備えている請求項 1 ～ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

[請求項5] 複数の前記第 2 の共通配線が設けられるとともに、
前記複数の各第 2 の共通配線には、所定数の前記第 3 のスイッチング素子が接続されている請求項 4 に記載のアクティブマトリクス基板。

[請求項6] 複数の前記第 1 の共通配線が設けられるとともに、
前記複数の各第 1 の共通配線には、所定数の前記第 2 のスイッチング素子が接続されている請求項 1 ～ 5 のいずれか 1 項に記載のアクティブマトリクス基板。

[請求項7] 複数の前記引き出し線において、隣接する 2 本の一方の引き出し線が、前記ゲートバスラインと同じ導電層により形成され、
隣接する 2 本の他方の引き出し線が、前記データバスラインと同じ導電層により形成されている請求項 1 ～ 6 のいずれか 1 項に記載のアクティブマトリクス基板。

[請求項8] 前記第 1 の共通配線が、複数設けられ、
前記ゲートバスラインと同じ導電層により形成された前記引き出し線における、隣接する 2 本の引き出し線に、それぞれ接続された 2 つ

の前記第2のスイッチング素子は、互いに異なる前記第1の共通配線に接続されており、

前記データバスラインと同じ導電層により形成された前記引き出し線における、隣接する2本の引き出し線に、それぞれ接続された2つの前記第2のスイッチング素子は、互いに異なる前記第1の共通配線に接続されている請求項7に記載のアクティブマトリクス基板。

[請求項9] 前記引き出し線は、前記ゲートバスラインまたは前記データバスラインが配置される方向に対して角度をもって配置されるファンアウト部を含み、

前記第1の共通配線の少なくとも一部と、前記第2のスイッチング素子の少なくとも一部は、それぞれ前記ファンアウト部と前記実装端子との間に配置されている請求項1～8のいずれか1項に記載のアクティブマトリクス基板。

[請求項10] 前記実装端子では、端子上層電極と、前記ゲートバスラインと同じ導電層及び前記データバスラインと同じ導電層の少なくとも一方で形成された端子下層電極とが、前記層間絶縁膜のうちの少なくとも1層に形成された、端子コンタクトホールを介して接続され、

前記複数の各第2のスイッチング素子は、前記第1の共通配線と前記端子コンタクトホールとの間に配置され、

前記端子上層電極が、前記複数の各第2のスイッチング素子の少なくとも一部を覆うように設けられている請求項1～8のいずれか1項に記載のアクティブマトリクス基板。

[請求項11] 前記実装端子には、前記ゲートバスラインと同じ導電層により形成された引き出し線の端部によって構成された第1の端子下層電極と、

前記第2のスイッチング素子の電極と一体的に構成されるとともに、前記データバスラインと同じ導電層により形成された第2の端子下層電極とが含まれるとともに、

前記端子コンタクトホールでは、前記第1及び第2の端子下層電極

が互いに接続されている請求項 10 に記載のアクティブマトリクス基板。

[請求項12] 前記実装端子には、前記ゲートバスラインと同じ導電層により形成された第3の端子下層電極と、

前記データバスラインと同じ導電層により形成された引き出し線の端部によって構成されるとともに、前記第2のスイッチング素子の電極と一体的に構成された第4の端子下層電極とが含まれるとともに、

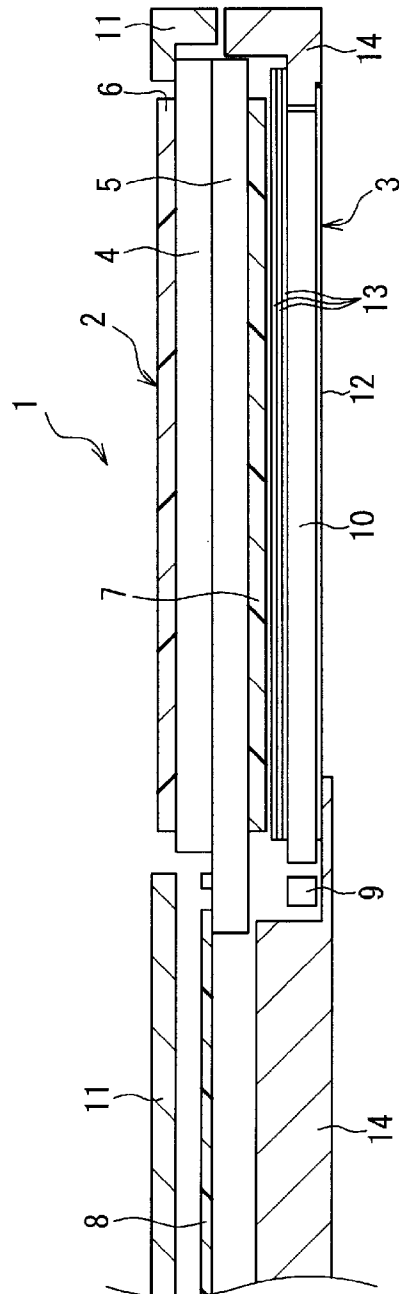
前記端子コンタクトホールでは、前記第3及び第4の端子下層電極が互いに接続されている請求項 10 に記載のアクティブマトリクス基板。

[請求項13] 前記端子上層電極が、前記画素電極と同じ導電層によって形成されている請求項 10 に記載のアクティブマトリクス基板。

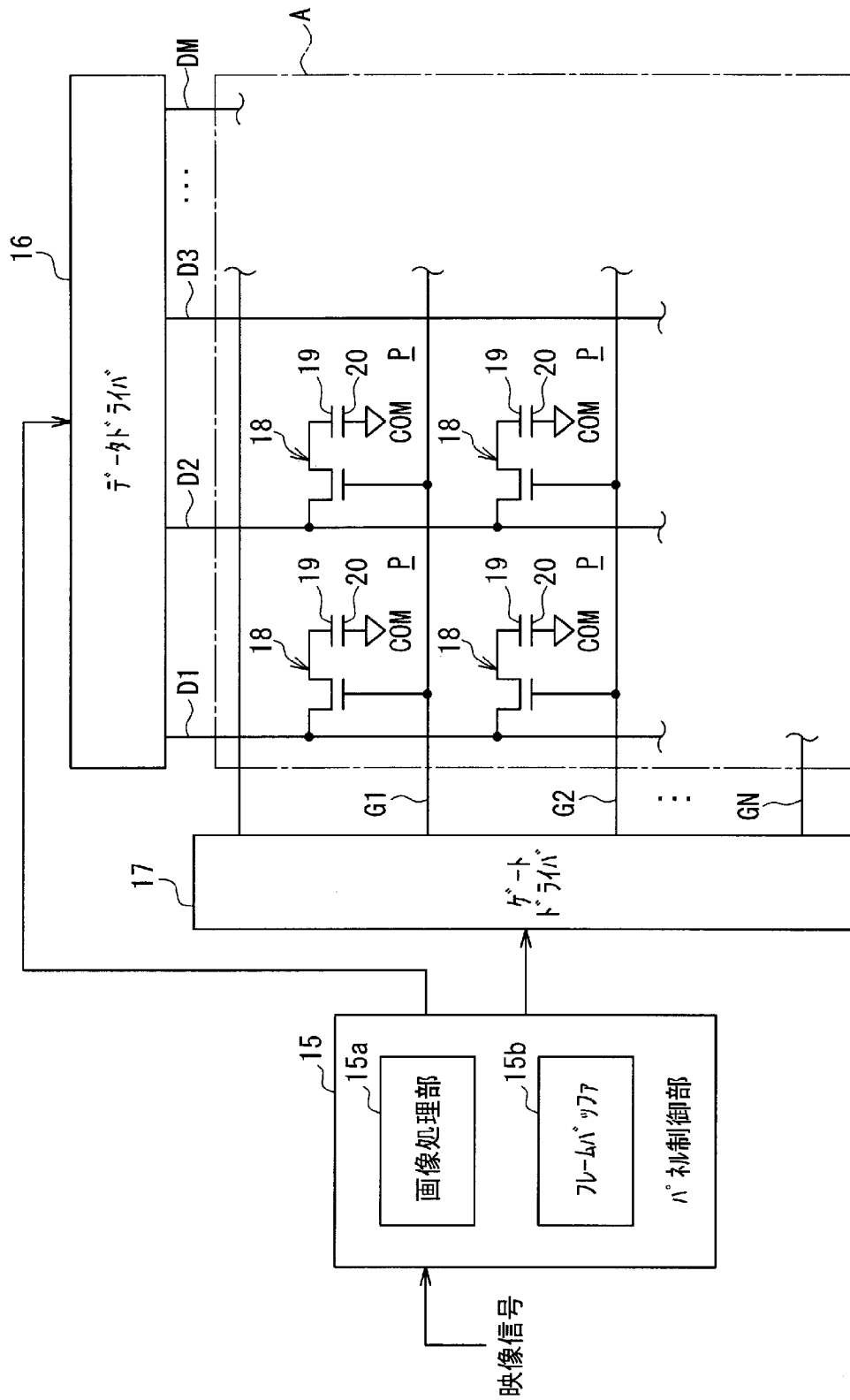
[請求項14] 前記第1及び第2の各スイッチング素子では、酸化物半導体を用いられている請求項 1 ～ 13 のいずれか1項に記載のアクティブマトリクス基板。

[請求項15] 請求項 1 ～ 14 のいずれか1項に記載のアクティブマトリクス基板を用いたことを特徴とする表示装置。

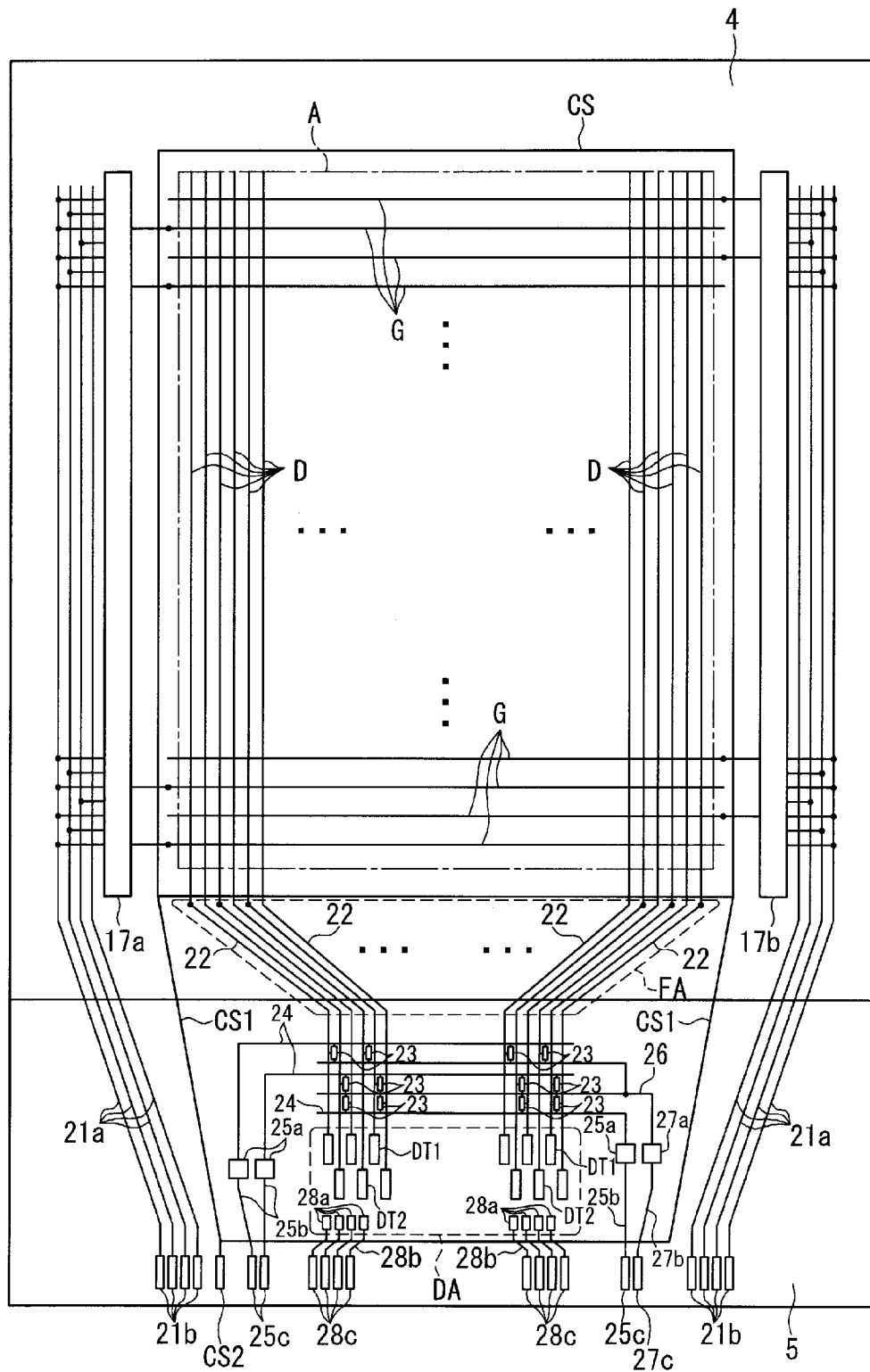
[図1]



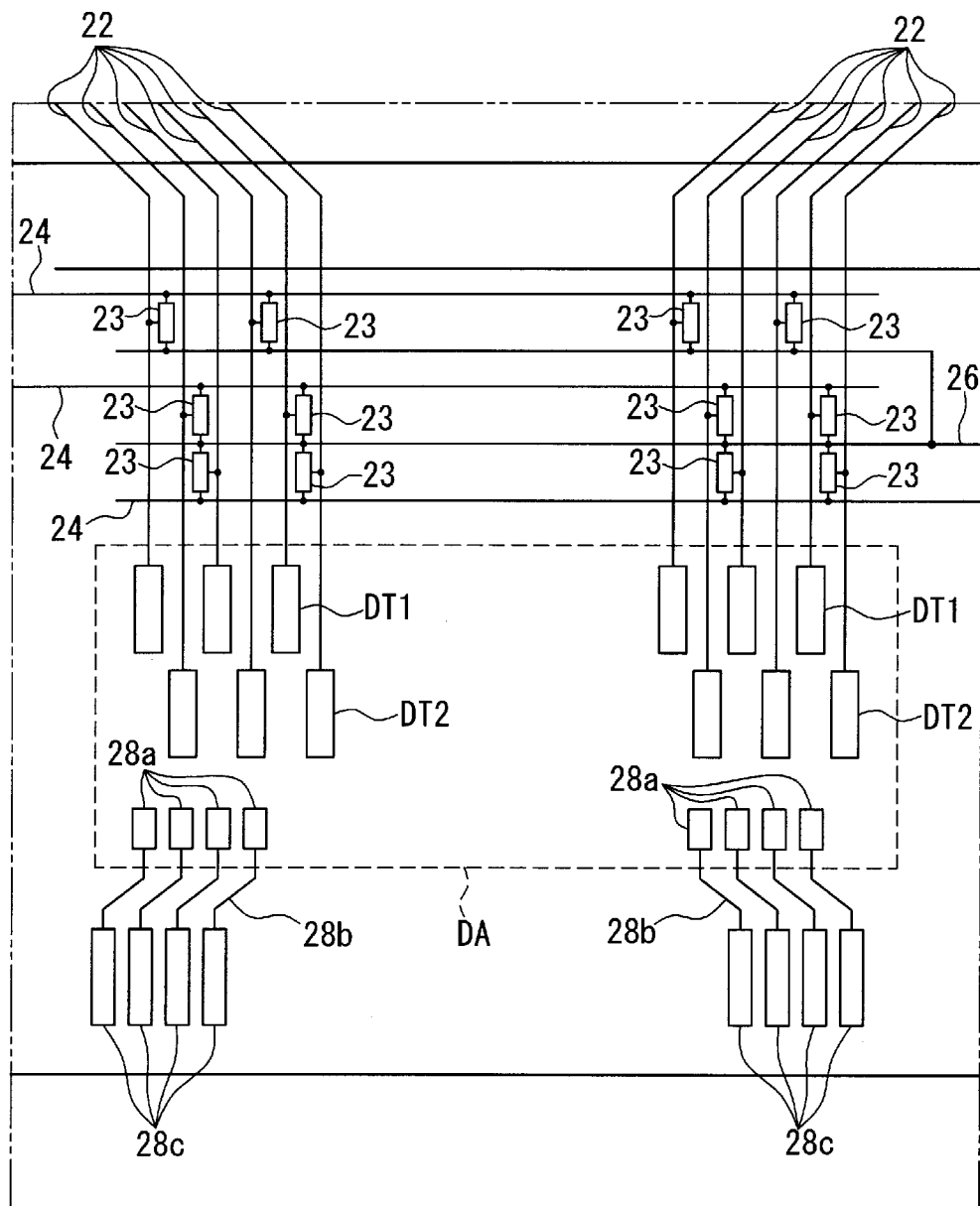
[図2]



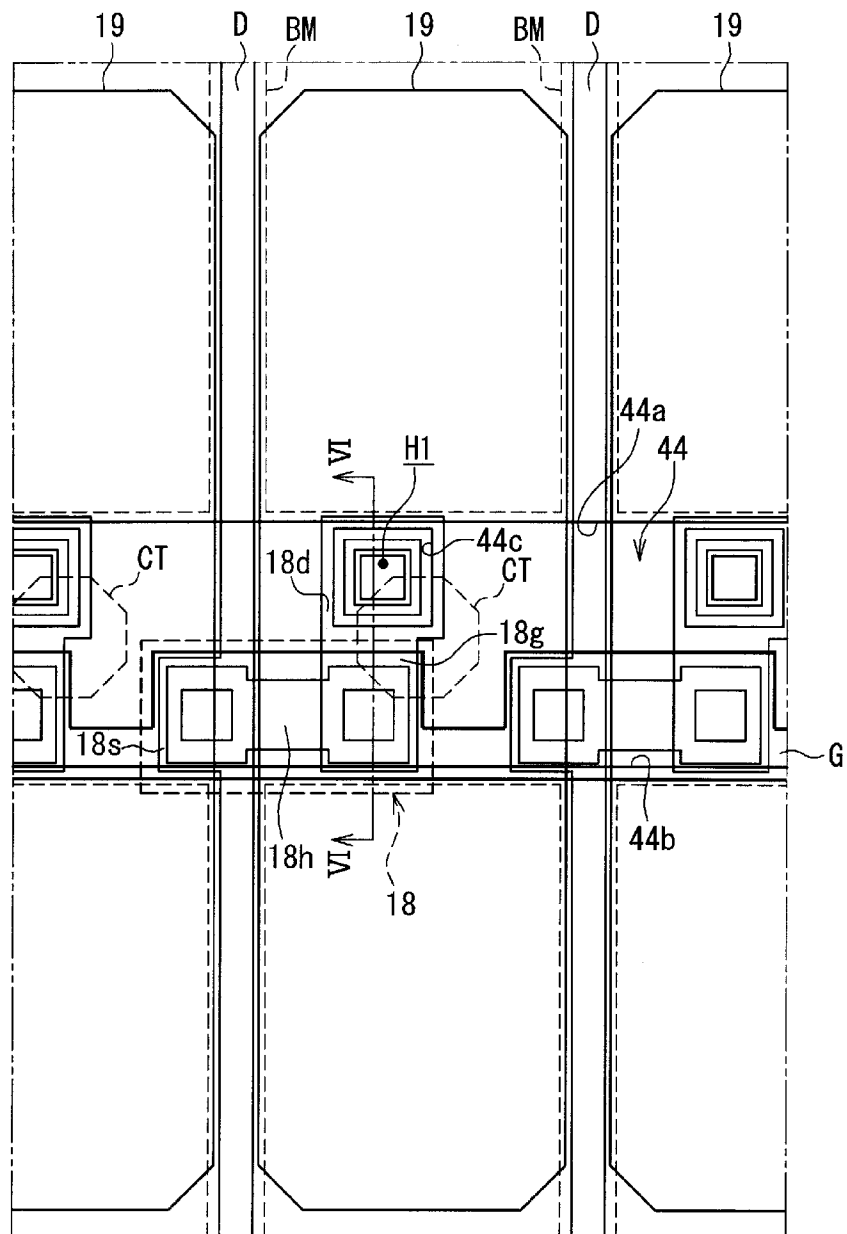
[図3]



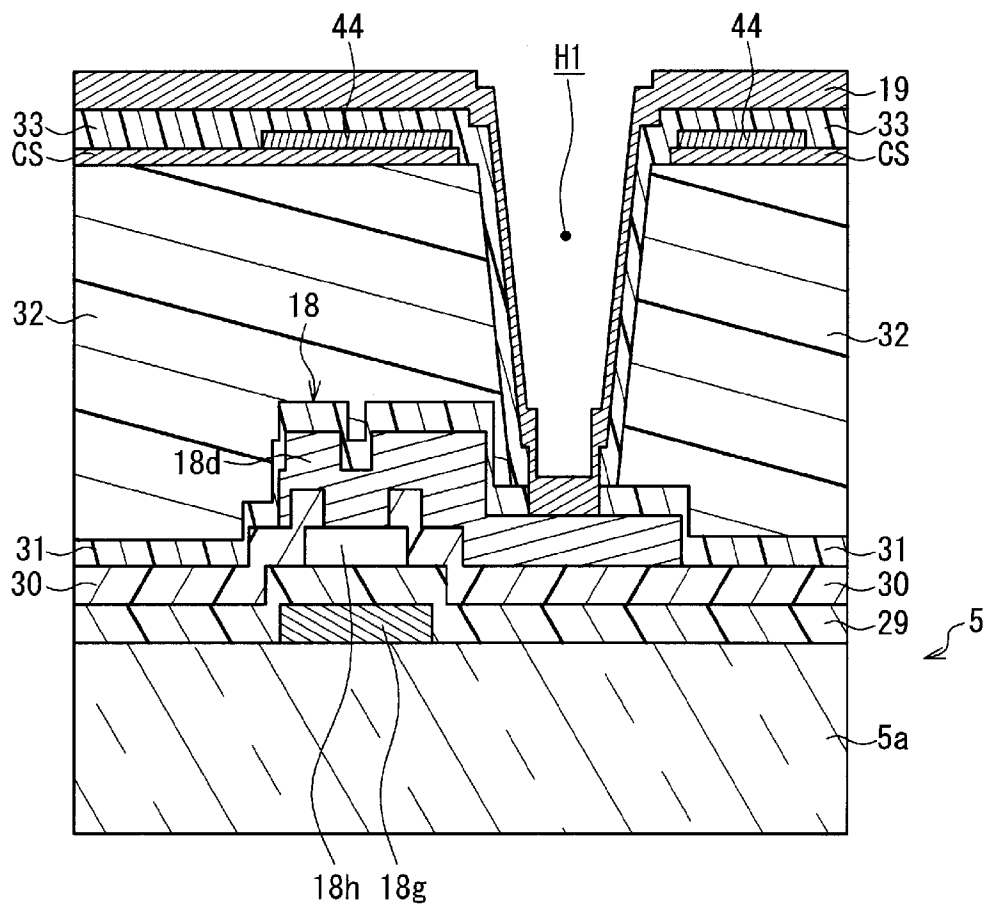
[図4]



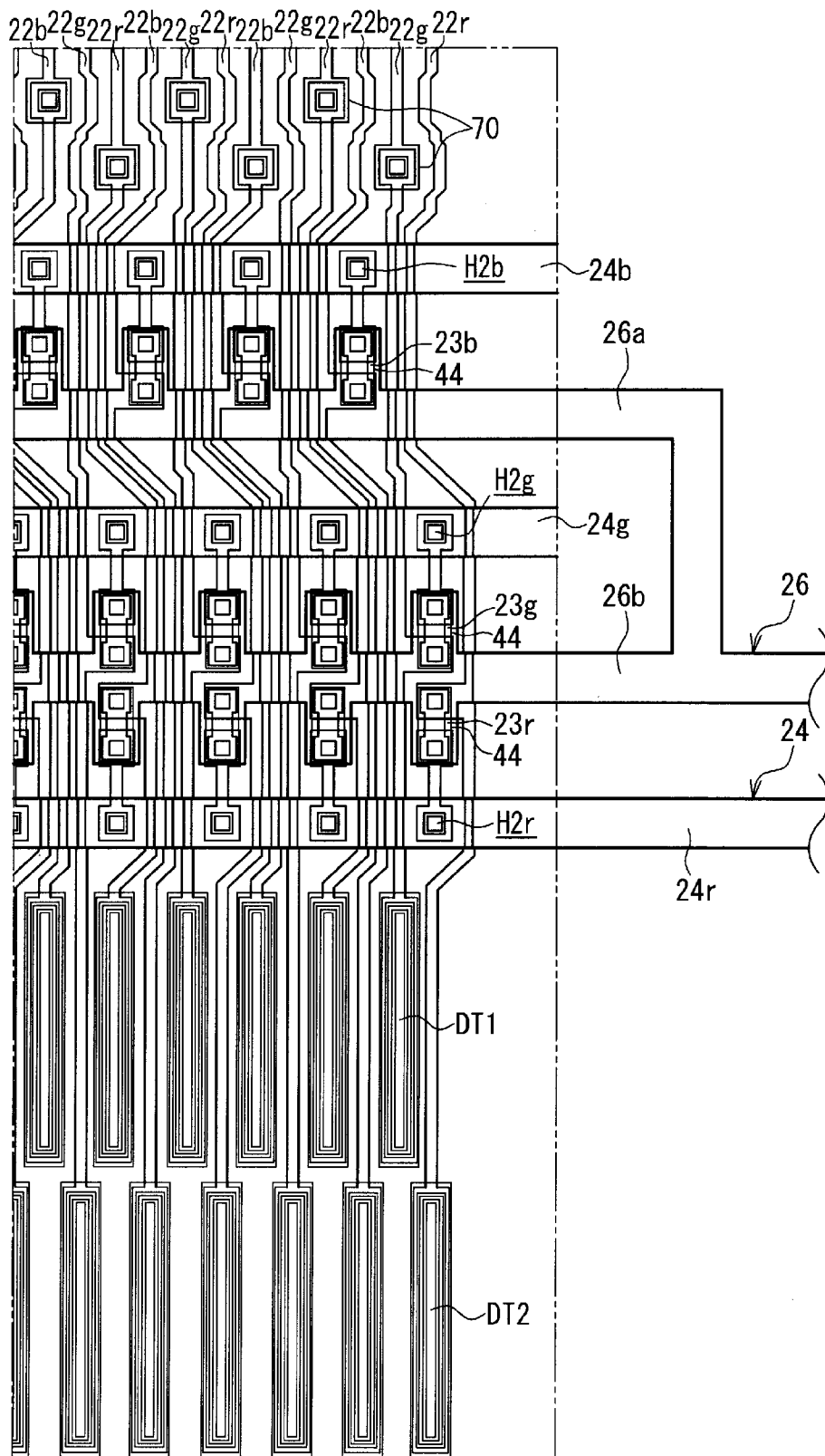
[図5]



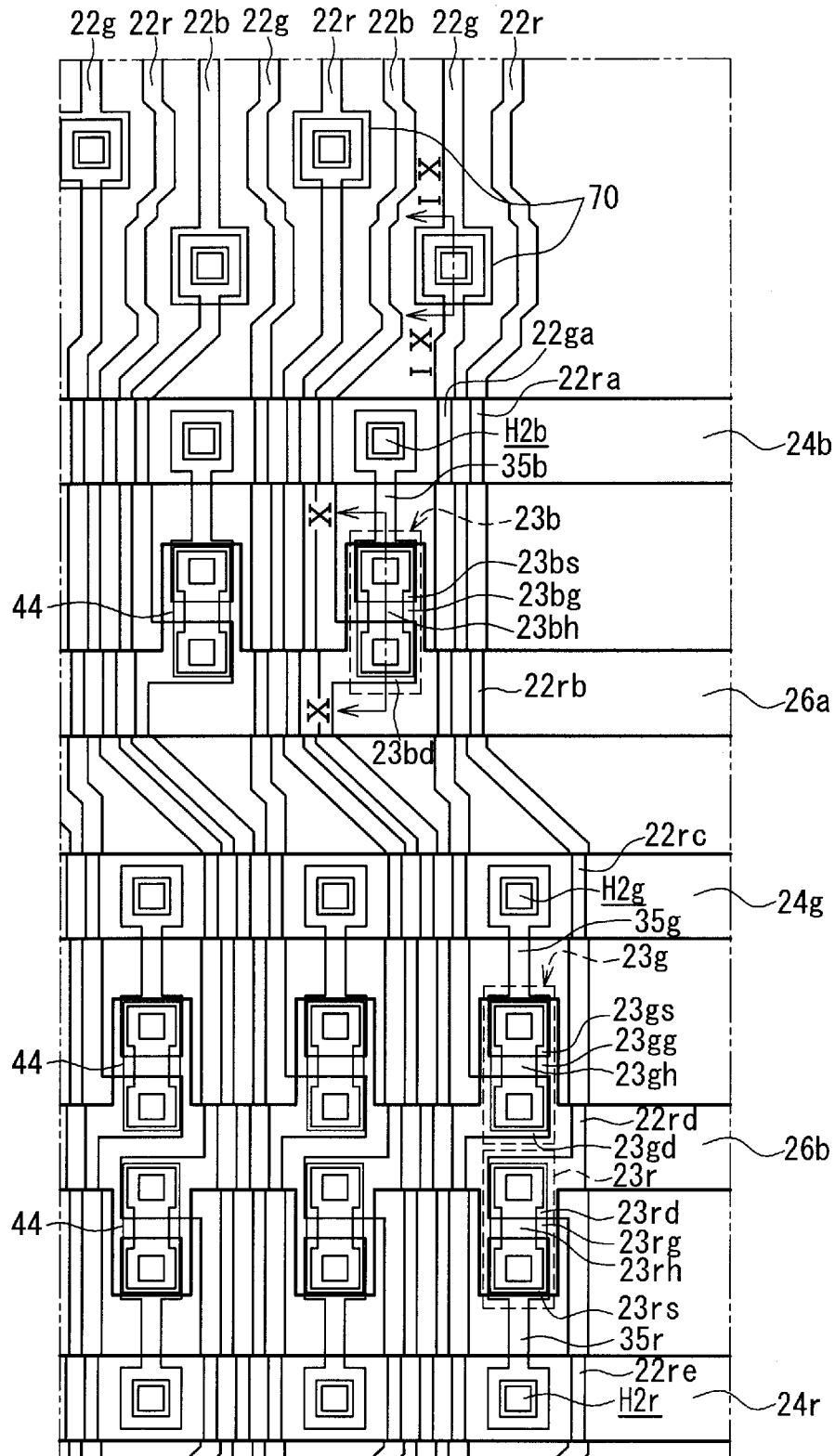
[図6]



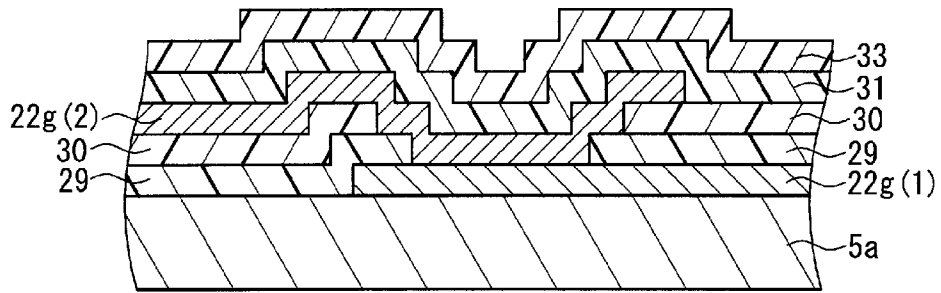
[図7]



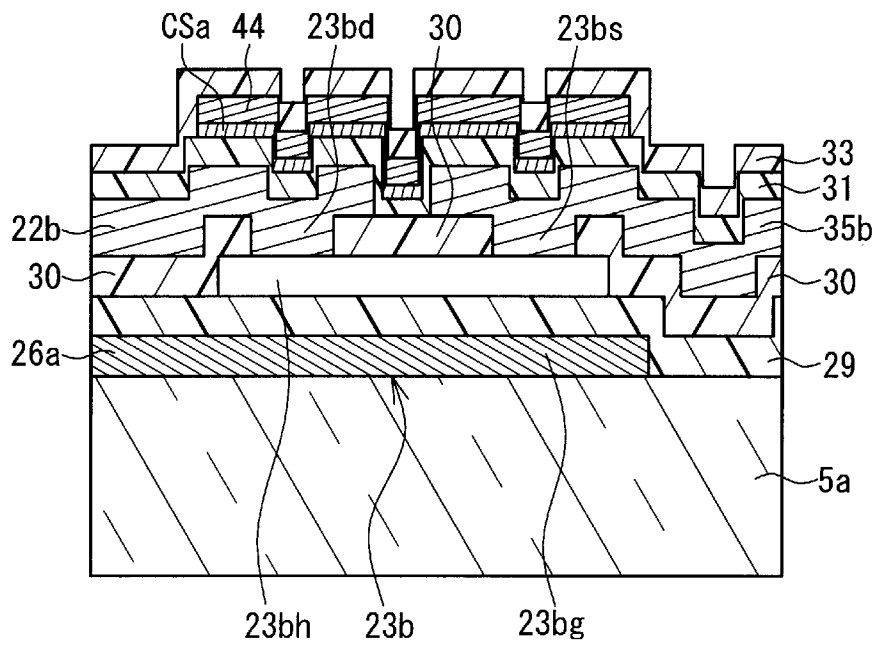
[図8]



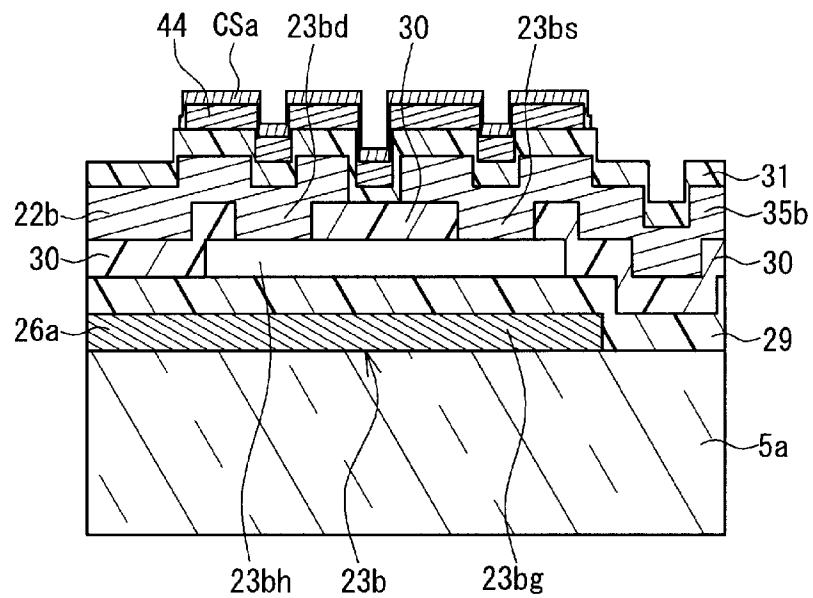
[図9]



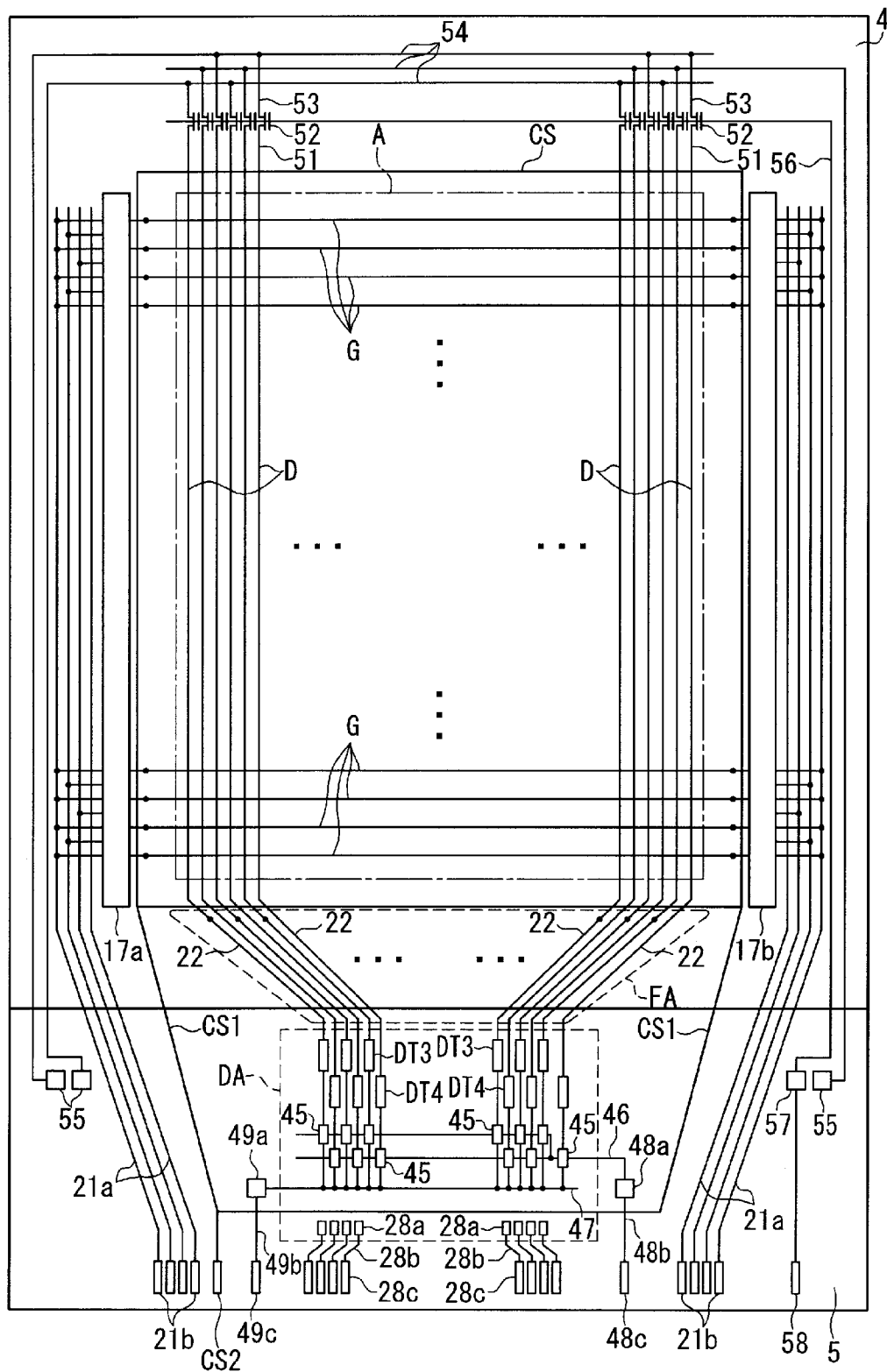
[図10]



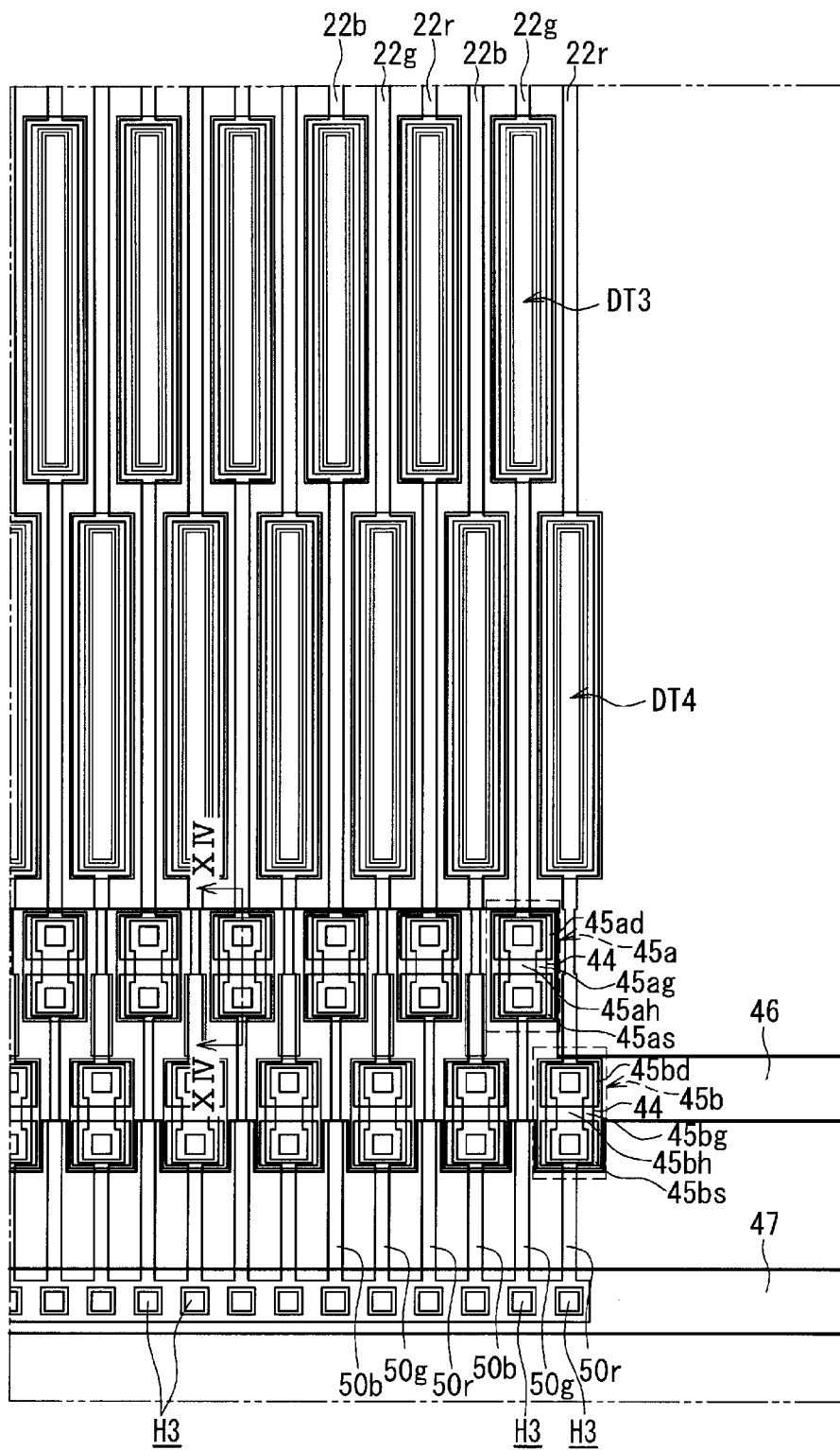
[図11]



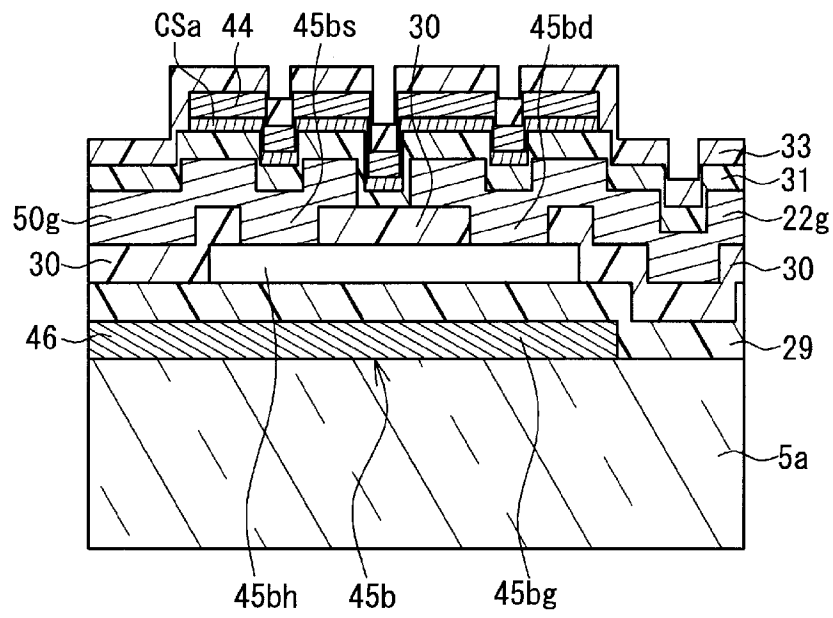
[図12]



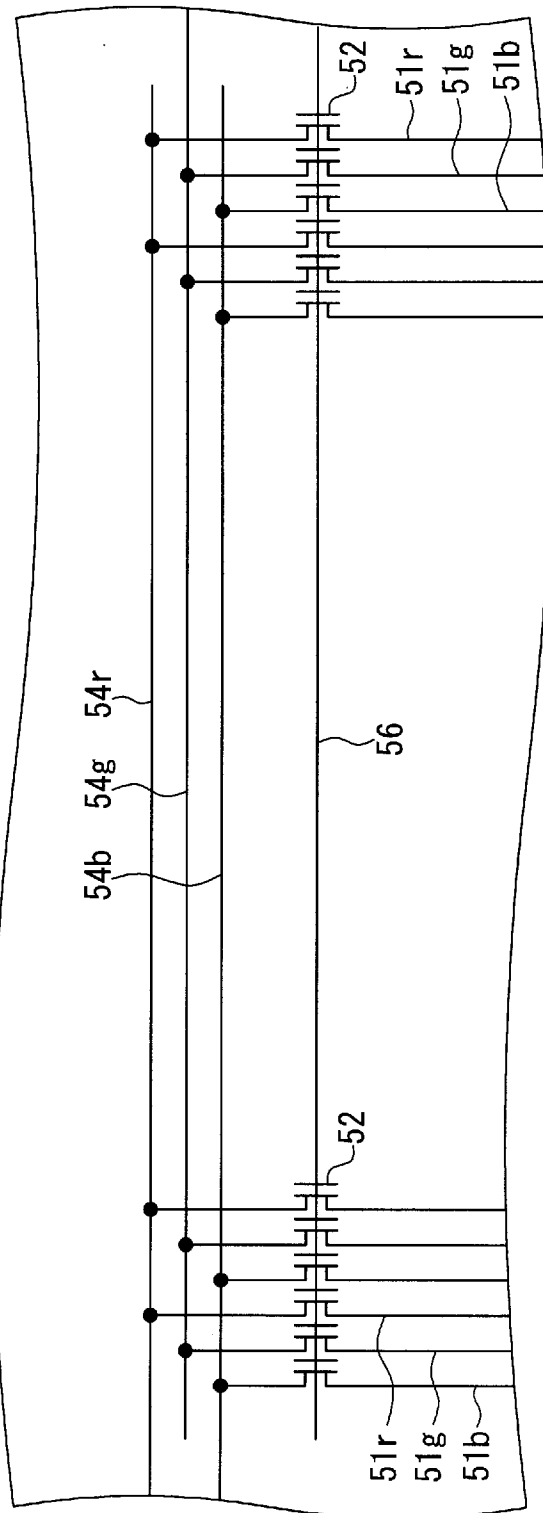
[図13]



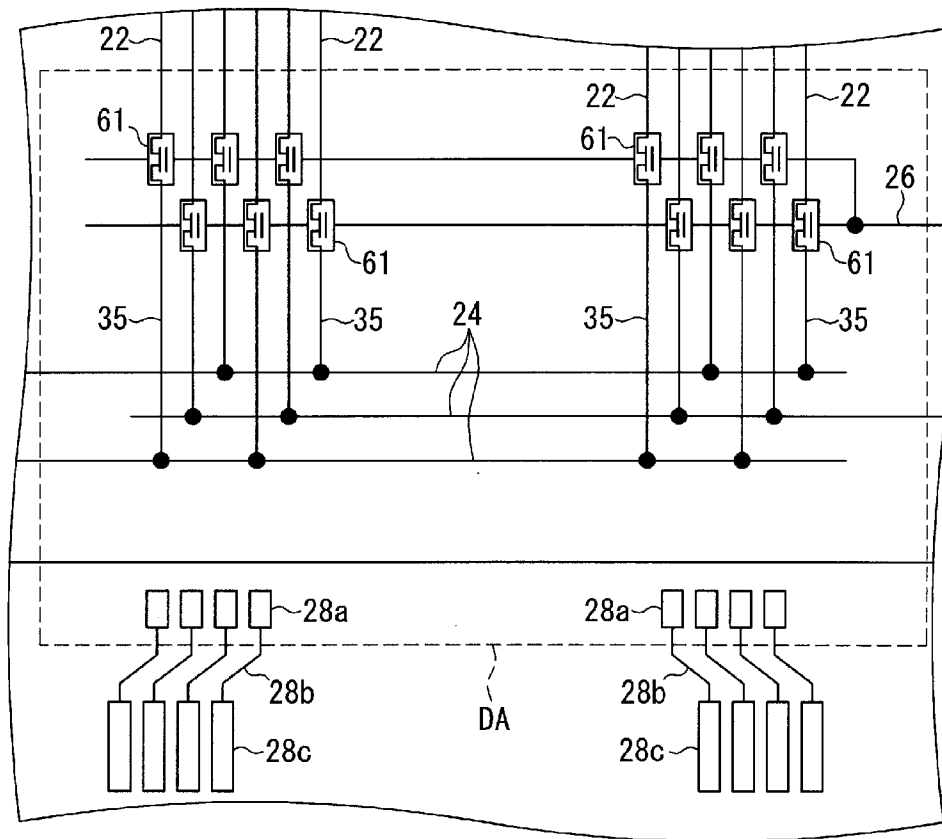
[図14]



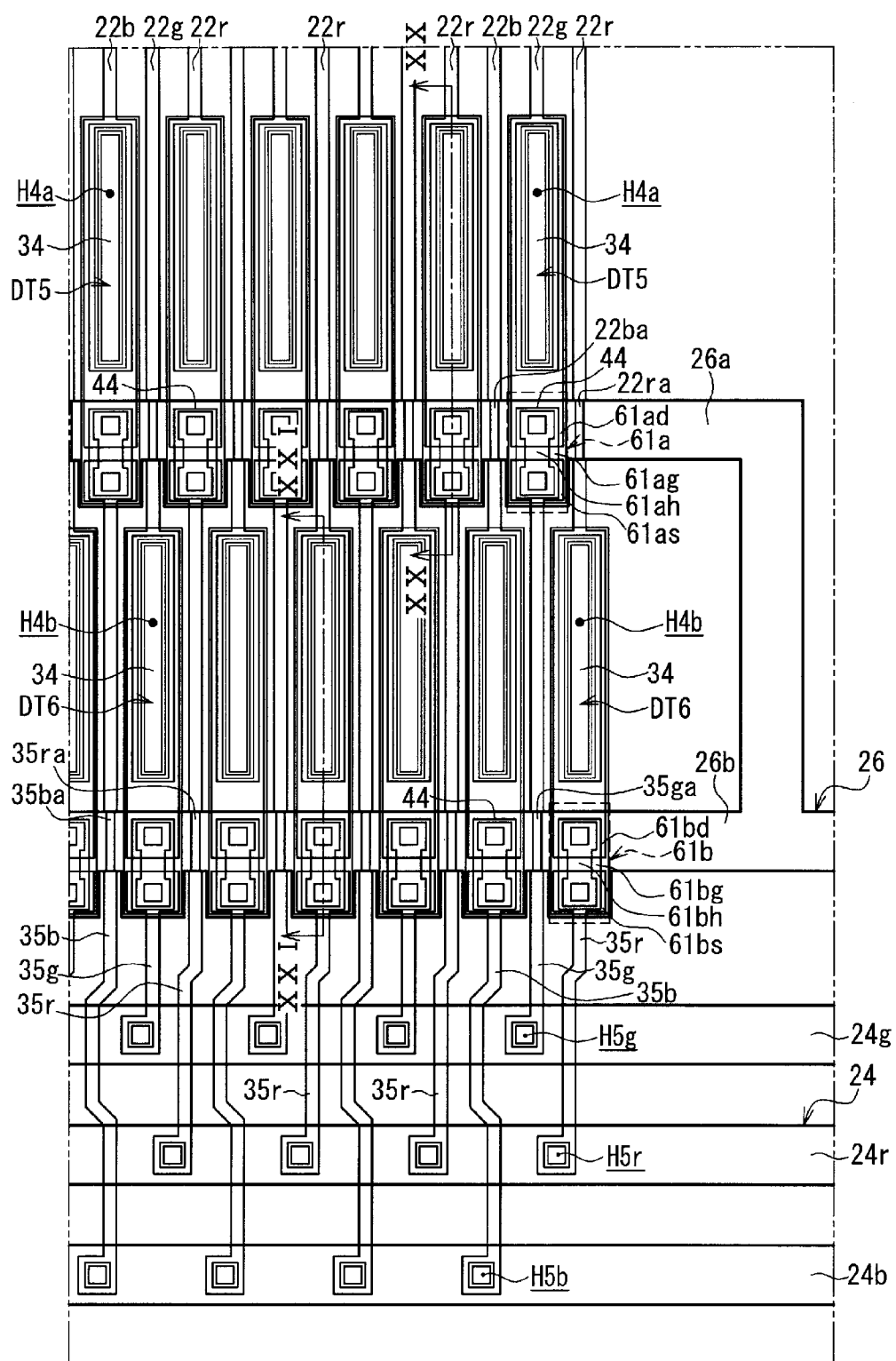
[図15]



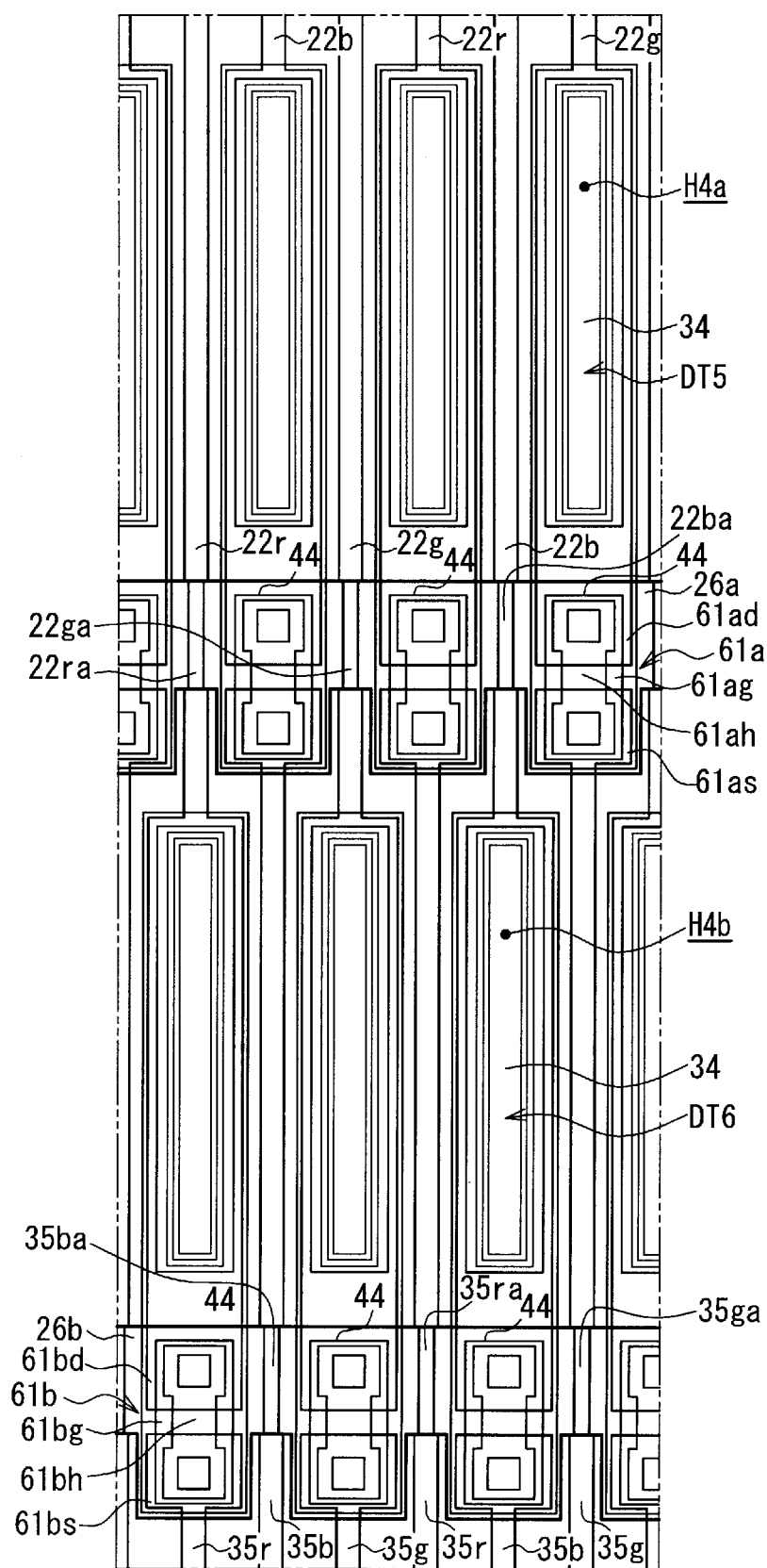
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/079726

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46, G02F1/1343-1/1345, G02F1/135, G02F1/1368, H01L21/336, H01L27/32, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-15368 A (Toshiba Matsushita Display Technology Co., Ltd.), 24 January 2008 (24.01.2008), paragraphs [0039] to [0048]; fig. 3, 4 & US 2008/0007667 A1	1-15
A	JP 2010-102237 A (Mitsubishi Electric Corp.), 06 May 2010 (06.05.2010), paragraphs [0021] to [0057]; fig. 1 to 7 (Family: none)	1-15
A	JP 2011-164361 A (Hitachi Displays, Ltd.), 25 August 2011 (25.08.2011), paragraphs [0025] to [0031]; fig. 3, 4 (Family: none)	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 December, 2013 (20.12.13)

Date of mailing of the international search report
07 January, 2014 (07.01.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/079726

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-122882 A (Matsushita Electric Industrial Co., Ltd.), 26 April 2002 (26.04.2002), entire text; all drawings (Family: none)	1-15
A	JP 2009-145849 A (Hitachi Displays, Ltd.), 02 July 2009 (02.07.2009), paragraphs [0050] to [0081]; fig. 1, 2 & US 2009/0153008 A1 & EP 2073054 A2 & DE 602008002990 D & CN 101464574 A & KR 10-2009-0066240 A & AT 484768 T & TW 200931145 A	1-15
A	JP 2005-326826 A (Seiko Epson Corp.), 24 November 2005 (24.11.2005), paragraphs [0062], [0072] to [0075]; fig. 1, 2, 5 & US 2006/0250548 A1	1-15

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09F9/00-9/46, G02F1/1343-1/1345, G02F1/135, G02F1/1368, H01L21/336, H01L27/32, H01L29/786			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 3 年 1 9 9 6 - 2 0 1 3 年 1 9 9 4 - 2 0 1 3 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2008-15368 A（東芝松下ディスプレイテクノロジー株式会社） 2008.01.24, 段落0039-0048、図3、4 & US 2008/0007667 A1	1-15	
A	JP 2010-102237 A（三菱電機株式会社）2010.05.06, 段落0021 -0057、図1-7（ファミリーなし）	1-15	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 0 . 1 2 . 2 0 1 3		国際調査報告の発送日 0 7 . 0 1 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 小野 博之 電話番号 03-3581-1101 内線 3273	21 4072

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-164361 A (株式会社日立ディスプレイズ) 2011.08.25, 段落 0025-0031、図 3、4 (ファミリーなし)	1-15
A	JP 2002-122882 A (松下電器産業株式会社) 2002.04.26, 全文、全図 (ファミリーなし)	1-15
A	JP 2009-145849 A (株式会社日立ディスプレイズ) 2009.07.02, 段落 0050-0081、図 1、2 & US 2009/0153008 A1 & EP 2073054 A2 & DE 602008002990 D & CN 101464574 A & KR 10-2009-0066240 A & AT 484768 T & TW 200931145 A	1-15
A	JP 2005-326826 A (セイコーエプソン株式会社) 2005.11.24, 段落 0062、0072-0075、図 1、2、5 & US 2006/0250548 A1	1-15