(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025 년 1 월 2 일 (02.01.2025)

WIPO | PCT

(10) 국제공개번호
WO 2025/005328 A1

(51) 국제특허분류:
G06N 10/80 (2022.01) *G06N 10/40* (2022.01)
G06N 10/20 (2022.01) *B82Y 10/00* (2011.01)

(21) 국제출원번호: PCT/KR2023/009226

(22) 국제출원일: 2023 년 6 월 30 일 (30.06.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2023-0084782 2023 년 6 월 30 일 (30.06.2023) KR

(71) 출원인: 한국전자기술연구원 (**KOREA ELECTRONICS TECHNOLOGY INSTITUTE**) [KR/KR]; 13509 경기도 성남시 분당구 새나리로 25, Gyeonggi-do (KR).

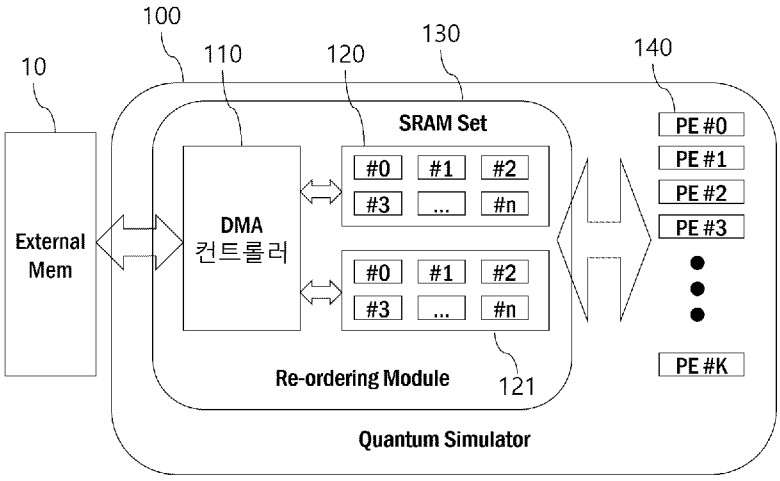
(72) 발명자: **홍윤표 (HONG, Yun Pyo)**; 16931 경기도 용인시 기흥구 이현로29번길 72-40, 140동 802호, Gyeonggi-do (KR). **전석훈 (JEON, Seok Hun)**; 13255 경기도 성남시 중원구 광명로 204, 201-2104, Gyeonggi-do (KR). **김병수 (KIM, Byung Soo)**; 16884 경기도 용인시 처인구 모현읍 대지로 465-41, 60호, Gyeonggi-do (KR).

(74) 대리인: **양성환 (YANG, Seong Hwan)**; 06226 서울시 강남구 언주로 321, 7층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: QUANTUM COMPUTER SIMULATOR HAVING LOW LATENCY AND HIGH SCALABILITY

(54) 발명의 명칭: 저지연성과 고확장성을 갖는 양자 컴퓨터 시뮬레이터



10 ... External Mem
100 ... Quantum Simulator
110 ... DMA controller
120 ... SRAM Set
130 ... Re-ordering Module

(57) Abstract: A quantum computer simulator having low latency and high scalability is provided. The quantum computer simulator according to an embodiment of the present invention comprises: a memory controller for reading state vectors included in a state group from an external memory; a re-ordering module for sorting the read state vectors in a designated order in the state group; an internal memory in which the state vectors sorted by the re-ordering module are stored; and PEs for performing a gate computation of a quantum circuit by using the state vectors stored in the internal memory, wherein the state group is a group in which pairs of state vectors are arranged in order, and a pair of state vectors are two input state vectors of a gate required for a computation of an output state vector of the gate in a PE. Therefore, even in a quantum circuit using a large number of qubits, burst read/write can be efficiently performed in an external memory such that latency in the external memory can be remarkably reduced, and thus quantum computation speed can very rapidly be improved.

WO 2025/005328 A1

[다음 쪽 계속]

SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 저지연성과 고확장성을 갖는 양자 컴퓨터 시뮬레이터가 제공된다. 본 발명의 실시예에 따른 양자 컴퓨터 시뮬레이터는, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 메모리 컨트롤러, Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 리-오더링 모듈, 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되는 내부 메모리, 내부 메모리에 저장된 상태 벡터들을 이용하여 양자 회로의 게이트 연산을 수행하는 PE들을 포함하고, 상태 그룹은 페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고, 페어 상태 벡터는 PE에서 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터이다. 이에 의해, 많은 수의 큐빗을 사용하는 양자 회로에서도 외부 메모리에서 효율적으로 Burst Read/Write 할 수 있어 외부 메모리에서의 Latency를 획기적으로 줄임으로써 양자 연산 속도를 매우 빠르게 향상시킬 수 있다.

명세서

발명의 명칭: 저지연성과 고확장성을 갖는 양자 컴퓨터 시뮬레이터

기술분야

[1] 본 특허출원은 2023년 산업통상자원부의 PIM인공지능반도체핵심기술개발사업 중 융합 메모리와 고속 연산 엔진 제어를 위한 하드웨어/소프트웨어 융합 메모리 솔루션 기술 개발 과제 및 2022년 한국전자기술연구원 기본연구사업의 양자컴퓨팅 SoC 아키텍쳐 및 S/W 플랫폼 솔루션 기술 개발 과제와 관련한 특허출원입니다.

[2] 본 발명은 양자 회로 모델의 시뮬레이터에 관한 것으로, 더욱 상세하게는 고전 컴퓨터에서 양자 회로 모델의 시뮬레이션을 빠르게 수행하는 것이 가능한 하드웨어 구조에 관한 것이다.

배경기술

[3] 양자 컴퓨터는 Shor 알고리즘, Groover 알고리즘 등 여러 새로운 알고리즘을 이용하여 기존 NP-complete 문제들을 다항 시간 내에 해결할 수 있는 컴퓨터로, 현재 소수의 특성을 활용한 RSA 암호체계를 붕괴시킬 수 있는 기술이다. 하지만 양자 컴퓨터를 실제로 가지고 연구를 수행하기는 자원의 한계가 있으므로, 양자 회로를 이용한 알고리즘 연구를 위해 고전 컴퓨터에서 시뮬레이션이 필수적이다.

[4] 이러한 시뮬레이션을 빠르게 수행하기 위하여 FPGA에서 연산을 가속하는 다양한 방법이 연구 중이지만, 순차적으로 Read/Write를 수행하지 않는 양자 연산의 특성으로 인해 하드웨어 구조를 잘 만들어도 외부 메모리에서의 Latency로 인해 연산 속도가 감소하게 된다.

[5] 또한 다양한 환경의 하드웨어에서 포팅하기 위해서는 확장성을 갖는 하드웨어 구조도 필수적이다.

발명의 상세한 설명

기술적 과제

[6] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 많은 수의 큐빗을 사용하는 양자 회로에서도 외부 메모리에서 효율적으로 Burst Read/Write 할 수 있고, 주어진 어플리케이션/환경에 따라 PE(Processing Element)를 컨트롤 로직 변경 없이 쉽게 늘리거나 줄일 수 있는 양자 컴퓨터 시뮬레이터를 제공함에 있다.

과제 해결 수단

[7] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 양자 컴퓨터 시뮬레이터는, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 메모리 컨트롤러; Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 리-오더링 모듈; 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되는 내부 메모리; 내부 메모리에 저장된 상태 벡터들을 이용하여 양자 회로의 게이트 연산을 수행하

는 PE(Processing Element)들;을 포함하고, 상태 그룹은, 페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고, 페어 상태 벡터는, PE에서 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터이다. 메모리 컨트롤러는, 상태 벡터들을 외부 메모리에서 Burst Read 할 수 있다.

[8] 내부 메모리에 저장된 상태 벡터들은, PE들에 의한 연산 결과들로 업데이트 되고, 리-오더링 모듈은, 내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하며, 메모리 컨트롤러는, 순서가 정렬된 상태 벡터들을 외부 메모리에 Burst Write 할 수 있다.

[9] 내부 메모리는, 다수의 메모리들을 포함하며, 메모리 컨트롤러는, 상태 그룹의 상태 벡터 개수가 메모리 하나에 저장 가능한 상태 벡터 개수 이하이면, 상태 벡터들을 다수의 메모리들 중 제1 메모리에 모두 저장하고, PE들은, 제1 메모리에서 연속한 2개의 상태 벡터들을 페어 상태 벡터로 이용하여 게이트 연산을 수행할 수 있다.

[10] 메모리 컨트롤러는, 상태 그룹의 상태 벡터 개수가 메모리 하나에 저장 가능한 상태 벡터 개수를 초과하면, 상태 그룹에 포함된 상태 벡터들 중 일부를 외부 메모리에서 Burst Read 하여 제1 메모리에 저장하고, 상태 그룹에 포함된 상태 벡터들 중 나머지를 외부 메모리에서 Burst Read 하여 제2 메모리에 저장할 수 있다.

[11] 상태 벡터들 중 일부는, 페어 상태 벡터들 중 첫 번째 상태 벡터들이고, 상태 벡터들 중 나머지는, 페어 상태 벡터들 중 두 번째 상태 벡터들일 수 있다.

[12] PE들은, 제1 메모리에 저장된 페어 상태 벡터를 구성하는 첫 번째 상태 벡터와 제2 메모리에 저장된 페어 상태 벡터를 구성하는 두 번째 상태 벡터를 이용하여 게이트 연산을 수행할 수 있다.

[13] 양자 회로의 게이트가 N 번째 큐빗에 적용된 경우, 하나의 상태 그룹에 2^N개의 페어 상태 벡터가 포함될 수 있다. PE의 개수와 내부 메모리의 개수는, 확장 가능하다.

[14] 본 발명의 다른 실시예에 따른 양자 컴퓨터 시뮬레이션 방법은, 메모리 컨트롤러가, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 단계; 리-오더링 모듈이, Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 단계; 내부 메모리가, 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장하는 단계; PE들이, 내부 메모리에 저장된 상태 벡터들을 이용하여 양자 회로의 게이트 연산을 수행하는 단계;를 포함하고, 상태 그룹은, 페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고, 페어 상태 벡터는, PE에서 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터이다.

[15] 본 발명의 또 다른 실시예에 따른 양자 컴퓨터 시뮬레이터는, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 메모리 컨트롤러; Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 리-오더링 모듈; 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되고, 저장된 상태 벡터들을 이용하여 수행된 양자 회로의 게이트 연산 결과로 상태 벡터들이 업데이트 되는 내부 메모리;를

포함하고, 리-오더링 모듈은, 내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하며, 메모리 컨트롤러는, 순서가 정렬된 상태 벡터들을 외부 메모리에 Write 하고, 상태 그룹은, 페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고, 페어 상태 벡터는, 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터이다.

[16] 본 발명의 또 다른 실시예에 따른 양자 컴퓨터 시뮬레이션 방법은, 메모리 컨트롤러가, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 단계; 리-오더링 모듈이, Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 단계; 내부 메모리에 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되는 단계; 내부 메모리에 저장된 상태 벡터들을 이용하여 수행된 양자 회로의 게이트 연산 결과로 내부 메모리의 상태 벡터들이 업데이트 되는 단계; 리-오더링 모듈이, 내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하는 단계; 메모리 컨트롤러가, 순서가 정렬된 상태 벡터들을 외부 메모리에 Write 하는 단계; 를 포함하고, 상태 그룹은, 페어 상태 벡터들이 순서대로 나열되어 있는 그룹이며, 페어 상태 벡터는, 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터이다.

발명의 효과

[17] 이상 설명한 바와 같이, 본 발명의 실시예들에 따르면, 많은 수의 큐빗을 사용하는 양자 회로에서도 외부 메모리에서 효율적으로 Burst Read/Write 할 수 있어 외부 메모리에서의 Latency를 획기적으로 줄임으로써 양자 연산 속도를 매우 빠르게 향상시킬 수 있다.

[18] 또한 본 발명의 실시예들에 따르면, 컨트롤 로직 변경 없이 PE의 개수를 손쉽게 늘리거나 줄일 수 있어, 주어진 어플리케이션/환경에 따른 제약 없이 양자 컴퓨터 시뮬레이션이 가능해진다.

도면의 간단한 설명

[19] 도 1은 싱글 큐빗 게이트를 예시한 도면,

[20] 도 2와 도 3은 페어 상태 벡터들을 예시한 도면들,

[21] 도 4는 본 발명의 일 실시예에 따른 양자 컴퓨팅 시뮬레이터의 구성을 도시한 도면,

[22] 도 5는 본 발명의 다른 실시예에 따른 양자 컴퓨팅 연산 방법의 설명에 제공되는 흐름도이다.

발명의 실시를 위한 최선의 형태

[23] 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[24] 본 발명의 실시예에서는 고전 컴퓨터에서 실행되는 양자 회로 시뮬레이터를 외부 메모리에 대해 버스트 R/W가 가능하고 컨트롤 로직 변경 없이 손쉽게 PE(Processing Element)를 확장할 수 있는 하드웨어 구조로 설계하여, 양자 회로 모델의 시뮬레이션을 빠르게 수행할 수 있는 방법을 제시한다.

[25] 양자 회로의 게이트 연산시 연산에 필요한 상태 벡터(State Vector)들이 외부 메모리 상에서 멀리 떨어진 어드레스들에 저장되어 있어 효율적인 Read/Write 가 어려운 점을 개선하고, 복잡한 메모리 제어로 인해 하드웨어 IP의 확장성 (Scalability)을 확보하기 어려운 점을 개선한 기술이다.

[26] 여기서 고전 컴퓨터는 비트(0 또는 1) 기반의 연산을 수행하는 현재 일반적으로 사용되고 있는 컴퓨터로, 큐빗(Qubit) 기반의 연산을 수행하는 양자 컴퓨터에 대응하는 개념이다.

[27] N개의 큐빗으로 구성되는 양자 회로에서 상태 벡터는 $2^N \times 1$ 행렬로 표현 가능하며, 행렬의 각 항은 해당 상태가 측정될 확률을 나타낸다. 도 1에는 큐빗이 2개(q0,q1)인 양자 회로에 구성되어 있는 큐빗 게이트(U 게이트)를 예시하였다. 예시된 양자 회로의 큐빗 게이트에 상태 벡터 |A> 가 입력될 때 상태 벡터 |B>가 연산되어 출력되는 과정은 다음과 같다.

[28]

- $|A>= a|00> +b|01> +c|10> +d|11>$
- $|B>= a(U|0>\otimes|0>) + b(U|0>\otimes|1>) + c(U|1>\otimes|0>) + d(U|1>\otimes|1>)$

$$= a\begin{pmatrix} u_0 & u_1 \\ u_2 & u_3 \end{pmatrix}\begin{bmatrix}1\\0\end{bmatrix}\otimes|0> +b\begin{pmatrix} u_0 & u_1 \\ u_2 & u_3 \end{pmatrix}\begin{bmatrix}1\\0\end{bmatrix}\otimes|1> + c\begin{pmatrix} u_0 & u_1 \\ u_2 & u_3 \end{pmatrix}\begin{bmatrix}0\\1\end{bmatrix}\otimes|0> +d\begin{pmatrix} u_0 & u_1 \\ u_2 & u_3 \end{pmatrix}\begin{bmatrix}0\\1\end{bmatrix}\otimes|1>$$

$$= \begin{bmatrix}au_0\\au_2\end{bmatrix}\otimes|0> + \begin{bmatrix}bu_0\\bu_2\end{bmatrix}\otimes|1> + \begin{bmatrix}cu_1\\cu_3\end{bmatrix}\otimes|0> + \begin{bmatrix}du_1\\du_3\end{bmatrix}\otimes|1>$$

$$= (au_0|0> +au_2|1>)\otimes|0> +(bu_0|0> +bu_2|1>)\otimes|1> + (cu_1|0> +cu_3|1>)\otimes|0> +(du_1|0> +du_3|1>)\otimes|1>$$

$$|B>= (au_0|00> +au_2|10>) + (bu_0|01> +bu_2|11>) + (cu_1|00> + cu_3|10>) + (du_1|01> + du_3|11>)$$

[29] 밑줄친 벡터들은 입력 상태에서 상태가 변한 것들이다. 출력되는 상태 벡터는 최종적으로 다음과 같다.

[30]

- $$|B>= \begin{bmatrix}au_0+cu_1\\bu_0+du_1\\au_2+cu_3\\bu_2+du_3\end{bmatrix}$$

[31] 이에 따르면 게이트 연산에서 출력 상태 벡터의 연산에는 모든 입력 상태 벡터가 필요하지 않음을 알 수 있다. 구체적으로,

[32] 1) 출력 상태 벡터 |00>의 연산에는 입력 상태 벡터 a|00>와 c|10>만 필요하고,

[33] 2) 출력 상태 벡터 |01>의 연산에는 입력 상태 벡터 b|01>와 d|11>만 필요하며,

[34] 3) 출력 상태 벡터 |10>의 연산에는 입력 상태 벡터 a|00>와 c|10>만 필요하고,

[35] 4) 출력 상태 벡터 |11>의 연산에는 입력 상태 벡터 b|01>와 d|11>만 필요하다.

[36] 본 발명의 실시예에서는 출력 상태 벡터의 연산에 필요한 2개의 입력 상태 벡터를 페어 상태 벡터(Pair State Vector)로 정의한다.

[37] 큐빗이 3개인 양자 회로를 상정하면, 첫 번째 큐빗(q0)에 게이트가 적용되어 있는 경우에는, q0의 값이 바뀌는 상태 벡터들끼리 페어 상태 벡터가 되어 4개의 페어 상태 벡터들은 도 2의 표와 같이 나타낼 수 있다. 그리고 두 번째 큐빗(q1)에 게이트가 적용되어 있는 경우에는, q1의 값이 바뀌는 상태 벡터들끼리 페어 상태 벡터가 되어 4개의 페어 상태 벡터들은 도 3의 표와 같이 나타낼 수 있다.

[38] 큐빗이 N개인 양자 회로에 대해 페어 상태 벡터들을 일반화하면 다음과 같다.

[39] 0) 게이트가 첫 번째 큐빗(q0)에 적용된 경우

[40] - 페어 상태 벡터

[41] (|000>, |001>), (|010>, |011>), (|100>, |101>), ...

[42] - 페어 상태 벡터를 인덱스로 간략하게 표현하면 다음과 같다.

[43] (0, 1), (2, 3), (4, 5), ...

[44] - Burst Read/Write가 가능하도록 페어 상태 벡터를 최소 단위로 그룹화하여 상태 그룹(State Group)들로 구분하면 다음과 같다. 하나의 상태 그룹 []에는 $1(=2^0)$개의 페어 상태 벡터가 포함된다.

[45] [(0, 1)],

[46] [(2, 3)],

[47] [(4, 5)],

[48] ...

[49]

[50] 1) 게이트가 두 번째 큐빗(q1)에 적용된 경우

[51] - 페어 상태 벡터

[52] (|000>, |010>), (|001>, |011>), (|100>, |110>), (|101>, |111>), ...

[53] - 페어 상태 벡터를 인덱스로 간략하게 표현하면 다음과 같다.

[54] (0, 2), (1, 3), (4, 6), (5, 7), ...

[55] - Burst Read/Write가 가능하도록 페어 상태 벡터를 최소 단위로 그룹화하여 상태 그룹들로 구분하면 다음과 같다. 하나의 상태 그룹 []에는 $2(=2^1)$개의 페어 상태 벡터가 포함된다.

[56] [(0, 2), (1, 3)],

[57] [(4, 6), (5, 7)],

[58] ...

[59]

[60] 2) 게이트가 세 번째 큐빗(q2)에 적용된 경우

[61] - 페어 상태 벡터를 인덱스로 간략하게 표현하면 다음과 같다.

[62] (0, 4), (1, 5), (2, 6), (3, 7), ...

[63] - Burst Read/Write가 가능도록 페어 상태 벡터를 최소 단위로 그룹화하여 상태 그룹들로 구분하면 다음과 같다. 하나의 상태 그룹 []에는 $4(=2^2)$개의 페어 상태 벡터가 포함된다.

[64] [(0, 4), (1, 5), (2, 6), (3, 7)],

[65] ...

[66]

[67] N) 게이트가 N 번째 큐빗(qN)에 적용된 경우

[68] - 페어 상태 벡터를 인덱스로 간략하게 표현하면 다음과 같다.

[69] $(0, 2^N)$, $(1, 2^N + 1)$, ..., $(2^N - 1, 2^N + 2^N - 1)$, $(2^{2N}, 2^{2N} + 2^N)$, $(2^{2N} + 1, 2^{2N} + 2^N + 1)$, ..., $(2^{2N} + 2^N - 1, 2^{2N} + 2^N + 2^N - 1)$, ...

[70] - Burst Read/Write가 가능하도록 페어 상태 벡터를 최소 단위로 그룹화하여 상태 그룹들로 구분하면 다음과 같다. 하나의 상태 그룹 []에는 2^N개의 페어 상태 벡터가 포함된다.

[71] $[(0, 2^N), (1, 2^N + 1), ..., (2^N - 1, 2^N + 2^N - 1)]$,

[72] $[(2^{2N}, 2^{2N} + 2^N), (2^{2N} + 1, 2^{2N} + 2^N + 1), ..., (2^{2N} + 2^N - 1, 2^{2N} + 2^N + 2^N - 1)]$,

[73] ...

[74]

[75] 위에서 제시한 페어 상태 벡터와 상태 그룹의 개념을 활용하여 양자 컴퓨팅 시뮬레이션을 수행하는 방법에 대해 이하에서 도 4와 도 5를 참조하여 상세히 설명한다.

[76] 도 4는 본 발명의 일 실시예에 따른 양자 컴퓨팅 시뮬레이터의 구성을 도시한 도면이다. 본 발명의 실시예에 따른 양자 컴퓨팅 시뮬레이터(100)는 도시된 바와 같이, DMA 컨트롤러(110), SRAM 세트(120,121), 리-오더링 모듈(Re-ordering Module, 130) 및 PE(Processing Element, 140)들을 포함하여 구성된다.

[77] DMA 컨트롤러(110)는 외부 메모리(10)에서 상태 벡터들을 Burst Read/Write하기 위한 구성이고, SRAM 세트(120,121)는 상태 벡터들이 임시 저장되는 공간들이다.

[78] 리-오더링 모듈(130)은 상태 벡터들의 순서를 정렬하기 위한 구성으로, 외부 메모리(10)에서 SRAM 세트(120,121)로 상태 벡터들이 옮겨질 때와 SRAM 세트(120,121)에서 외부 메모리(10)로 상태 벡터들이 옮겨질 때 순서 정렬이 수행된다.

[79] PE(140)들은 SRAM 세트(120,121)에 저장된 상태 벡터들, 구체적으로 페어 상태 벡터를 이용하여 게이트 연산을 수행한다.

[80] 제시된 양자 컴퓨팅 시뮬레이터(100)에 의한 게이트 연산 과정에 대해, 이하에서 도 5를 참조하여 상세히 설명한다. 도 5는 본 발명의 다른 실시예에 따른 양자 컴퓨팅 연산 방법의 설명에 제공되는 흐름도이다.

[81] 게이트 연산을 위해, 먼저 리-오더링 모듈(130)은 양자 회로의 게이트가 적용된 큐빗의 위치를 확인하여(S205), 상태 그룹들을 확인하고(S210), 상태 그룹의 상태 벡터 개수를 확인한다(S215).

[82] 상태 그룹은 Burst Read/Write가 가능한 최소 단위의 페어 상태 벡터들의 집합이다. 페어 상태 벡터에는 2개의 상태 벡터가 짝지어 있으므로, 상태 그룹의 상태 벡터 개수는 상태 그룹에 포함된 페어 상태 벡터 개수의 2배이다.

[83] 구체적으로 연산해야 할 양자 회로의 게이트가 N 번째 큐빗에 적용된 경우 상태 그룹에는 2^N개의 페어 상태 벡터가 포함되므로, 상태 그룹에는 2^{N+1}개의 상태 벡터들이 포함되어 있게 된다.

[84] 상태 그룹의 상태 벡터 개수가 SRAM 하나에 저장 가능한 상태 벡터 개수 이하이면(S220-Y), 리-오더링 모듈(130)은 DMA 컨트롤러(110)가 상태 그룹에 포함된 상태 벡터들을 외부 메모리(10)에서 Burst Read 하도록 제어하고, Burst Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하여 SRAM #0(120)에 저장한다(S225).

[85] 다음 PE(140)들은 S225단계에 의해 SRAM #0(120)에 저장된 상태 벡터들을 이용하여 게이트 연산을 수행한다(S230). S230단계에서 게이트 연산은 다음과 같이 수행된다.

[86] 0) PE #0은 SRAM #0(120)에 저장된 첫 번째 페어 상태 벡터인 첫 번째 상태 벡터와 두 번째 상태 벡터를 이용하여 게이트 연산을 수행하고,

[87] 1) PE #1은 SRAM #0(120)에 저장된 두 번째 페어 상태 벡터인 세 번째 상태 벡터와 네 번째 상태 벡터를 이용하여 게이트 연산을 수행하며,

[88] 2) PE #2는 SRAM #0(120)에 저장된 세 번째 페어 상태 벡터인 다섯 번째 상태 벡터와 여섯 번째 상태 벡터를 이용하여 게이트 연산을 수행하며,

[89] ....

[90] SRAM #0(120)의 상태 벡터들은 S230단계에서의 연산 결과들에 의해 업데이트되고(S235), 리-오더링 모듈(130)은 SRAM #0(120)에 업데이트 된 상태 벡터들을 원래 순서 대로 DMA 컨트롤러(110)가 외부 메모리(10)에 Burst Write 하도록 제어한다(S240).

[91] 한편 상태 그룹의 상태 벡터 개수가 SRAM 하나에 저장 가능한 상태 벡터 개수를 초과하면(S220-N), 리-오더링 모듈(130)은 DMA 컨트롤러(110)가 상태 그룹에 포함된 상태 벡터들 중 일부를 Burst Read 하도록 제어하고 Burst Read 된 상태 벡터들을 상태 그룹 내의 순서에 따라 SRAM #0(120)에 저장한 다음(S245), DMA 컨트롤러(110)가 현재 상태 그룹의 상태 벡터들 중 나머지를 Burst Read 하도록 제어하고 Burst Read된 상태들을 상태 그룹 내의 순서에 따라 SRAM #1(121)에 저장한다(S250).

[92] S245단계에서 Burst Read 되어 SRAM #0(120)에 저장되는 상태 벡터들 중 일부는 페어 상태 벡터들 중 첫 번째 상태 벡터들이고, S250단계에서 Burst Read 되어 SRAM #1(121)에 저장되는 상태 벡터들 중 나머지는 페어 상태 벡터들 중 두 번째 상태 벡터들이다.

[93] 이를 테면, 상태 그룹이 $[(0, 2^N), (1, 2^N + 1), ..., (2^N - 1, 2^N + 2^N - 1)]$인 경우, 일부 상태 벡터들(페어 상태 벡터들 중 첫 번째 상태 벡터들)은 $0, 1, ..., 2^N - 1$이고, 나머지 상태 벡터들(페어 상태 벡터들 중 두 번째 상태 벡터들)은 $2^N, 2^N + 1, ..., 2^N + 2^N - 1$이다.

[94] 다음 PE(140)들은 S245단계에 의해 SRAM #0(120)에 저장된 상태 벡터들과 S250단계에 의해 SRAM #1(121)에 저장된 상태 벡터들을 이용하여 게이트 연산을 수행한다(S255). S255단계에서 게이트 연산은 다음과 같이 수행된다.

[95] 0) PE #0은 첫 번째 페어 상태 벡터인 SRAM #0(120)에 저장된 첫 번째 상태 벡터와 SRAM #1(121)에 저장된 첫 번째 상태 벡터를 이용하여 게이트 연산을 수행하고,

[96] 1) PE #1은 두 번째 페어 상태 벡터인 SRAM #0(120)에 저장된 두 번째 상태 벡터와 SRAM #1(121)에 저장된 두 번째 상태 벡터를 이용하여 게이트 연산을 수행하며,

[97] 2) PE #2은 세 번째 페어 상태 벡터인 SRAM #0(120)에 저장된 세 번째 상태 벡터와 SRAM #1(121)에 저장된 세 번째 상태 벡터를 이용하여 게이트 연산을 수행하고,

[98] ....

[99] SRAM #0(120)과 SRAM #1(121)의 상태 벡터들은 S255단계에서의 연산 결과들에 의해 업데이트 되고(S260), 리-오더링 모듈(130)은 SRAM #0(120)에 업데이트 된 상태 벡터들과 SRAM #1(121)에 업데이트 된 상태 벡터들을 원래 순서 대로 DMA 컨트롤러(110)가 외부 메모리(10)에 Burst Write 하도록 제어한다(S265).

[100] S210단계 내지 S265단계는 상태 그룹들 모두에 대해 완료될 때까지 반복된다(S270). 그리고 도 5에 도시된 게이트 연산 절차는 양자 회로를 구성하는 모든 게이트들에 대해 완료될 때까지 반복된다.

[101] 지금까지 Burst Read/Write에 의해 저지연성을 갖는 양자 컴퓨터 시뮬레이터에 대해 바람직한 실시예를 들어 상세히 설명하였다.

[102] 위 실시예에서 제시한 양자 컴퓨터 시뮬레이터에서 PE(140)의 개수는 필요한 만큼 확장하는 것이 가능하다. 단 SRAM(210,211)의 한 클럭에 출력할 수 있는 핀의 개수에 제한이 있으므로, PE(140)의 개수 증가에 따라 SRAM의 개수도 증가시켜야 하며, 이 때 SRAM 컨트롤 로직에 대한 변경은 필요 없다.

[103] 또한, 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지

식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안 될 것이다.

청구범위

[청구항 1] 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 메모리 컨트롤러;
Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 리-오더링 모듈;
리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되는 내부 메모리;
내부 메모리에 저장된 상태 벡터들을 이용하여 양자 회로의 게이트 연산을 수행하는 PE(Processing Element)들;을 포함하고,
상태 그룹은,
페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고,
페어 상태 벡터는,
PE에서 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터인 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 2] 청구항 1에 있어서,
메모리 컨트롤러는,
상태 벡터들을 외부 메모리에서 Burst Read 하는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 3] 청구항 2에 있어서,
내부 메모리에 저장된 상태 벡터들은,
PE들에 의한 연산 결과들로 업데이트 되고,
리-오더링 모듈은,
내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하며,
메모리 컨트롤러는,
순서가 정렬된 상태 벡터들을 외부 메모리에 Burst Write 하는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 4] 청구항 1에 있어서,
내부 메모리는,
다수의 메모리들을 포함하며,
메모리 컨트롤러는,
상태 그룹의 상태 벡터 개수가 메모리 하나에 저장 가능한 상태 벡터 개수 이하이면, 상태 벡터들을 다수의 메모리들 중 제1 메모리에 모두 저장하고,
PE들은,
제1 메모리에서 연속한 2개의 상태 벡터들을 페어 상태 벡터로 이용하여 게이트 연산을 수행하는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 5] 청구항 4에 있어서,
메모리 컨트롤러는,

상태 그룹의 상태 벡터 개수가 메모리 하나에 저장 가능한 상태 벡터 개수를 초과하면, 상태 그룹에 포함된 상태 벡터들 중 일부를 외부 메모리에서 Burst Read 하여 제1 메모리에 저장하고, 상태 그룹에 포함된 상태 벡터들 중 나머지를 외부 메모리에서 Burst Read 하여 제2 메모리에 저장하는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 6] 청구항 5에 있어서,
상태 벡터들 중 일부는,
페어 상태 벡터들 중 첫 번째 상태 벡터들이고,
상태 벡터들 중 나머지는,
페어 상태 벡터들 중 두 번째 상태 벡터들인 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 7] 청구항 6에 있어서,
PE들은,
제1 메모리에 저장된 페어 상태 벡터를 구성하는 첫 번째 상태 벡터와 제2 메모리에 저장된 페어 상태 벡터를 구성하는 두 번째 상태 벡터를 이용하여 게이트 연산을 수행하는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 8] 청구항 1에 있어서,
양자 회로의 게이트가 N 번째 큐빗에 적용된 경우,
하나의 상태 그룹에 2^N개의 페어 상태 벡터가 포함되는 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 9] 청구항 1에 있어서,
PE의 개수와 내부 메모리의 개수는,
확장 가능한 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

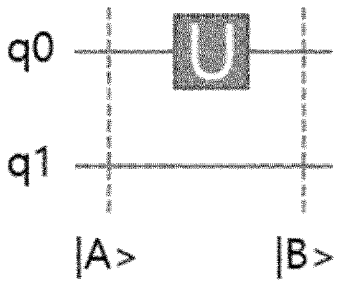
[청구항 10] 메모리 컨트롤러가, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 단계;
리-오더링 모듈이, Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 단계;
내부 메모리가, 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장하는 단계;
PE(Processing Element)들이, 내부 메모리에 저장된 상태 벡터들을 이용하여 양자 회로의 게이트 연산을 수행하는 단계;를 포함하고,
상태 그룹은,
페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고,
페어 상태 벡터는,
PE에서 게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터인 것을 특징으로 하는 양자 컴퓨터 시뮬레이션 방법.

[청구항 11] 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 메모리 컨트롤러;

Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 리-오더링 모듈;
리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되고, 저장된 상태 벡터들을 이용하여 수행된 양자 회로의 게이트 연산 결과로 상태 벡터들이 업데이트 되는 내부 메모리;를 포함하고,
리-오더링 모듈은,
내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하며,
메모리 컨트롤러는,
순서가 정렬된 상태 벡터들을 외부 메모리에 Write 하고,
상태 그룹은,
페어 상태 벡터들이 순서대로 나열되어 있는 그룹이고,
페어 상태 벡터는,
게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터인 것을 특징으로 하는 양자 컴퓨터 시뮬레이터.

[청구항 12] 메모리 컨트롤러가, 상태 그룹에 포함된 상태 벡터들을 외부 메모리에서 Read 하는 단계;
리-오더링 모듈이, Read 된 상태 벡터들을 상태 그룹에서 지정된 순서로 정렬하는 단계;
내부 메모리에 리-오더링 모듈에 의해 정렬된 상태 벡터들이 저장되는 단계;
내부 메모리에 저장된 상태 벡터들을 이용하여 수행된 양자 회로의 게이트 연산 결과로 내부 메모리의 상태 벡터들이 업데이트 되는 단계;
리-오더링 모듈이, 내부 메모리에 업데이트 된 상태 벡터들을 원래 순서 대로 정렬하는 단계;
메모리 컨트롤러가, 순서가 정렬된 상태 벡터들을 외부 메모리에 Write 하는 단계;를 포함하고,
상태 그룹은,
페어 상태 벡터들이 순서대로 나열되어 있는 그룹이며,
페어 상태 벡터는,
게이트의 출력 상태 벡터의 연산에 필요한 2개의 게이트의 입력 상태 벡터인 것을 특징으로 하는 양자 컴퓨터 시뮬레이션 방법.

[도1]



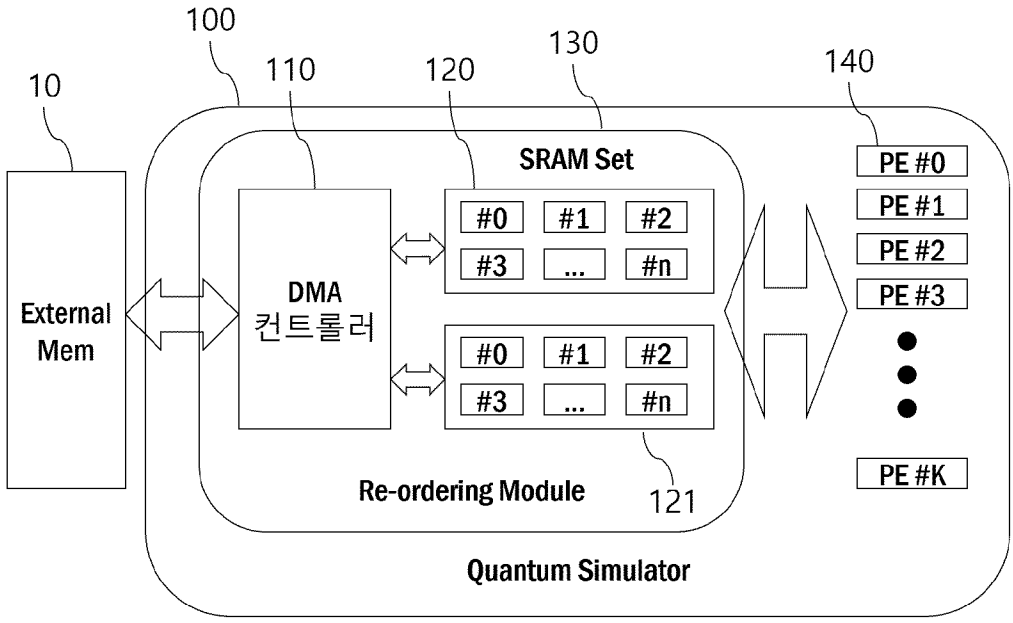
[도2]

Index	Pair State Vector	
0	|000>	|001>
1	|010>	|011>
2	|100>	|101>
3	|110>	|111>

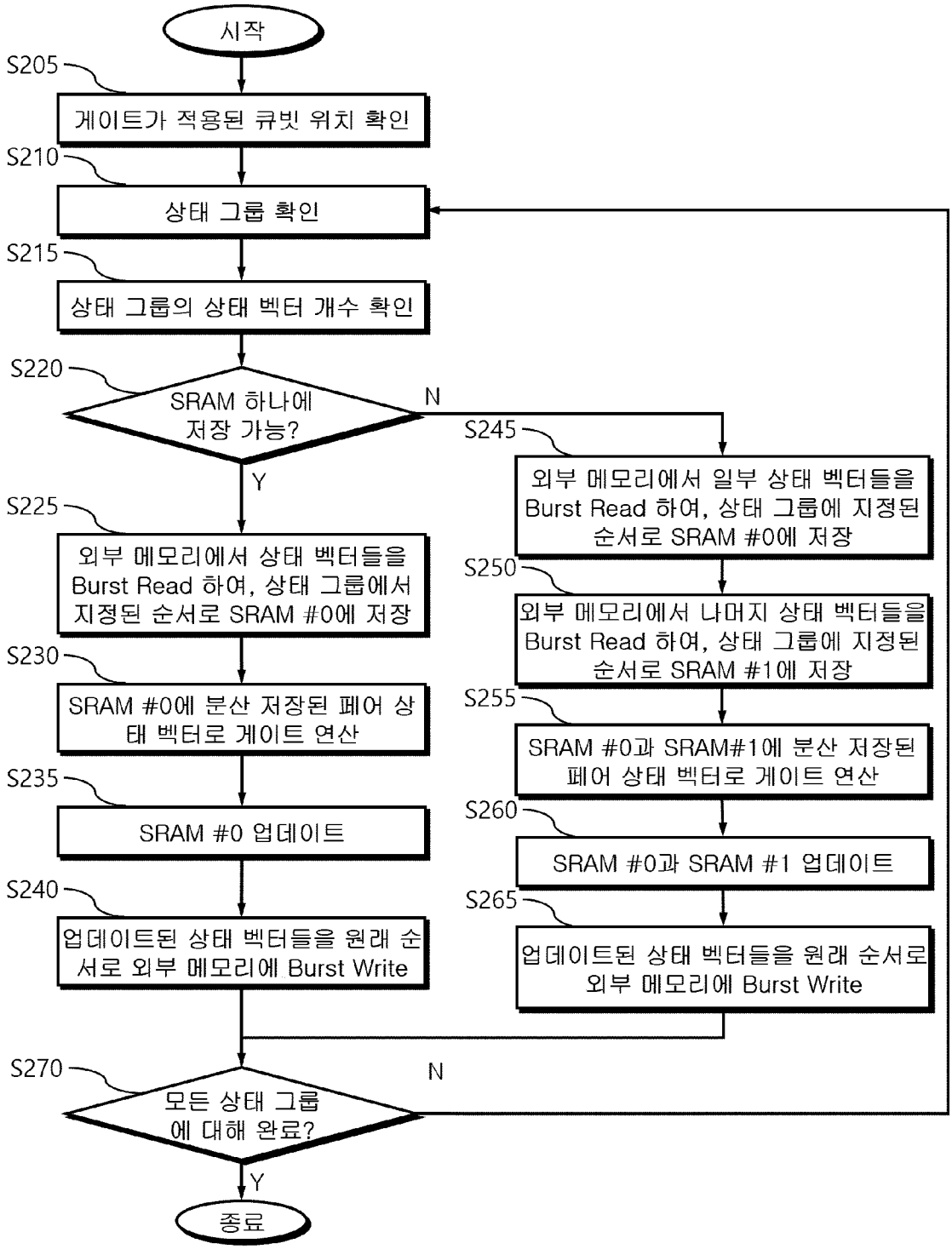
[도3]

Index	Pair State Vector	
0	|000>	|010>
1	|001>	|011>
2	|100>	|110>
3	|101>	|111>

[도4]



[도5]


시작
S205
게이트가 적용된 큐빗 위치 확인
S210
상태 그룹 확인
S215
상태 그룹의 상태 벡터 개수 확인
S220
SRAM 하나에 저장 가능?
N
Y
S225
외부 메모리에서 상태 벡터들을 Burst Read 하여, 상태 그룹에서 지정된 순서로 SRAM #0에 저장
S230
SRAM #0에 분산 저장된 페어 상태 벡터로 게이트 연산
S235
SRAM #0 업데이트
S240
업데이트된 상태 벡터들을 원래 순서로 외부 메모리에 Burst Write
S245
외부 메모리에서 일부 상태 벡터들을 Burst Read 하여, 상태 그룹에 지정된 순서로 SRAM #0에 저장
S250
외부 메모리에서 나머지 상태 벡터들을 Burst Read 하여, 상태 그룹에 지정된 순서로 SRAM #1에 저장
S255
SRAM #0과 SRAM#1에 분산 저장된 페어 상태 벡터로 게이트 연산
S260
SRAM #0과 SRAM #1 업데이트
S265
업데이트된 상태 벡터들을 원래 순서로 외부 메모리에 Burst Write
S270
모든 상태 그룹에 대해 완료?
N
Y
종료

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2023/009226

A. CLASSIFICATION OF SUBJECT MATTER

G06N 10/80(2022.01)i; **G06N 10/20**(2022.01)i; **G06N 10/40**(2022.01)i; B82Y 10/00(2011.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N 10/80(2022.01); G06F 30/3308(2020.01); G06F 9/44(2006.01); G06N 10/00(2019.01); G06N 10/20(2022.01); G06N 10/60(2022.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 양자(quantum), 상태 벡터(state vector), 메모리(memory), 게이트(gate), 연산(operation), 재정렬(reordering)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2023-0032516 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 07 March 2023 (2023-03-07) See paragraph [0020]; and claim 1.	1-3,8-12
A		4-7
Y	KR 10-2023-0057246 A (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 28 April 2023 (2023-04-28) See paragraphs [0018]-[0019], [0038] and [0056]; and figure 1.	1-3,8-12
A	US 2021-0397772 A1 (BEIJING BAIDU NETCOM SCIENCE AND TECHNOLOGY CO., LTD.) 23 December 2021 (2021-12-23) See paragraphs [0028]-[0111]; claims 1-10; and figures 1-3.	1-12
A	US 2014-0039866 A1 (WECKER, David B.) 06 February 2014 (2014-02-06) See paragraphs [0011]-[0034]; claims 1-6; and figures 1-2.	1-12

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 March 2024	**20 March 2024**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DADKHAH, Davood et al. Reordering and Partitioning of Distributed Quantum Circuits. IEEE Access. Vol. 10, pp. 70329-70341, 27 June 2022. [Retrieved on 26 February 2024]. Retrieved from <https://ieeexplore.ieee.org/abstract/document/9807294>. See pages 70329-70340; and figures 1-20.	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2023/009226

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2023-0032516 A	07 March 2023	None	
KR 10-2023-0057246 A	28 April 2023	WO 2023-068464 A1	27 April 2023
US 2021-0397772 A1	23 December 2021	CN 111738448 A	02 October 2020
		CN 111738448 B	28 September 2021
		JP 2022-003501 A	11 January 2022
		JP 7009603 B2	25 January 2022
US 2014-0039866 A1	06 February 2014	US 8972237 B2	03 March 2015

국 제 조 사 보 고 서

국제출원번호
PCT/KR2023/009226

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06N 10/80(2022.01)i; **G06N 10/20**(2022.01)i; **G06N 10/40**(2022.01)i; B82Y 10/00(2011.01)n

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06N 10/80(2022.01); G06F 30/3308(2020.01); G06F 9/44(2006.01); G06N 10/00(2019.01); G06N 10/20(2022.01); G06N 10/60(2022.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 양자(quantum), 상태 벡터(state vector), 메모리(memory), 게이트(gate), 연산(operation), 재정렬(reordering)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2023-0032516 A (한국전자기술연구원) 2023.03.07 단락 [0020]; 및 청구항 1	1-3,8-12
A		4-7
Y	KR 10-2023-0057246 A (서울대학교산학협력단) 2023.04.28 단락 [0018]-[0019], [0038], [0056]; 및 도면 1	1-3,8-12
A	US 2021-0397772 A1 (BEIJING BAIDU NETCOM SCIENCE AND TECHNOLOGY CO., LTD.) 2021.12.23 단락 [0028]-[0111]; 청구항 1-10; 및 도면 1-3	1-12
A	US 2014-0039866 A1 (DAVID B. WECKER) 2014.02.06 단락 [0011]-[0034]; 청구항 1-6; 및 도면 1-2	1-12

☑ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2024년03월20일(20.03.2024)	**2024년03월20일(20.03.2024)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

양정록

전화번호 **+82-42-481-5709**

국 제 조 사 보 고 서

국제출원번호
PCT/KR2023/009226

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	DAVOOD DADKHAH 등, Reordering and Partitioning of Distributed Quantum Circuits, IEEE Access, Vol. 10, pp. 70329-70341, 2022.06.27 [검색일: 2024-02-26], 출처 <https://ieeexplore.ieee.org/abstract/document/9807294> 페이지 70329-70340; 및 도면 1-20	1-12

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2023/009226

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2023-0032516 A	2023/03/07	없음	
KR 10-2023-0057246 A	2023/04/28	WO 2023-068464 A1	2023/04/27
US 2021-0397772 A1	2021/12/23	CN 111738448 A	2020/10/02
		CN 111738448 B	2021/09/28
		JP 2022-003501 A	2022/01/11
		JP 7009603 B2	2022/01/25
US 2014-0039866 A1	2014/02/06	US 8972237 B2	2015/03/03