(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3788268号
(P3788268)
(45)発行日　平成18年6月21日(2006.6.21)　(24)登録日　平成18年4月7日(2006.4.7)

(51)Int.Cl.		F I		
H01L 25/18	(2006.01)	H01L	25/08	Z
H01L 25/07	(2006.01)	H01L	23/12	501B
H01L 25/065	(2006.01)	H01L	23/32	D
H01L 23/12	(2006.01)			
H01L 23/32	(2006.01)			

請求項の数 1　(全 6 頁)

(21)出願番号　特願2001-143045(P2001-143045)
(22)出願日　平成13年5月14日(2001.5.14)
(65)公開番号　特開2002-343924(P2002-343924A)
(43)公開日　平成14年11月29日(2002.11.29)
審査請求日　平成15年1月8日(2003.1.8)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100113516
弁理士　磯山　弘信
(72)発明者　高岡　裕二
東京都品川区北品川６丁目７番３５号
ソニー株式会社内

審査官　酒井　英夫

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
インターポーザ基板上に複数のデバイスチップをフリップチップ実装してマルチチップモジュールを構成する半導体装置の製造方法であって、
前記インターポーザ基板の母材となるウエハの表面側に、底面を有するコンタクトホールを穿設する第１の工程と、
前記コンタクトホールに導体を充填して埋め込み電極を形成する第２の工程と、
この埋め込み電極の一端側に接続される接続電極と前記デバイスチップがフリップ実装される接続電極とを含む配線を前記ウエハの表面側に形成して、複数の前記デバイスチップをフリップチップ実装する第３の工程と、
前記埋め込み電極の底面が露出するまで、前記ウエハの裏面側を切削研磨して、前記インターポーザ基板を形成する第４の工程と、
この第４の工程によって底面が露出された埋め込み電極に、バンプ電極を設ける第５の工程とを具備する
ことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、マルチチップモジュールに用いて好適な半導体装置の製造方法に関する。
【０００２】

【従来の技術】
近年、ＣＳＰ（Chip Size Package）構造のデバイスチップを基板上に複数実装したり、インターポーザ基板上に複数のデバイスチップをフリップチップ実装してマルチチップモジュールと呼ばれる半導体装置を構成する技術が知られている。インターポーザ基板上にデバイスチップをフリップチップ実装する技術については、例えば特開２０００－１６４６３５号公報に開示されている。

【０００３】
【発明が解決しようとする課題】
ところで、インターポーザ基板を用いてマルチチップモジュールを構成する半導体装置１００では、図５の断面図に示すように、各デバイスチップ１０，１０に形成されたバンプ１０ａを、インターポーザ基板１上の接続電極２に接続する態様となる。このような接続態様では、各デバイスチップ１０間の配線については微細化し得るものの、半導体装置１００を図示されていない実装基板に接続するにはインターポーザ基板１の周辺部に形成される接続端子Ｔを用いるようにしている。この為、インターポーザ基板１上で接続端子Ｔが増えるほど、その接続端子Ｔを設けるためにインターポーザ基板面積を拡張しなければならず、マルチチップモジュールの小型化を阻む要因になっている。

【０００４】
そこで本発明は、このような事情に鑑みてなされたもので、インターポーザ基板を用いたマルチチップモジュールを小型化することができる半導体装置およびその製造方法を提供することを目的としている。

【０００５】
【課題を解決するための手段】
上記目的を達成するため、請求項１に記載の発明では、インターポーザ基板上に複数のデバイスチップをフリップチップ実装してマルチチップモジュールを構成する半導体装置の製造方法であって、インターポーザ基板の母材となるウエハの表面側に、底面を有するコンタクトホールを穿設する第１の工程と、コンタクトホールに導体を充填して埋め込み電極を形成する第２の工程と、この埋め込み電極の一端側に接続される接続電極とデバイスチップがフリップ実装される接続電極とを含む配線を前記ウエハの表面側に形成して、複数のデバイスチップをフリップチップ実装する第３の工程と、埋め込み電極の底面が露出するまで、ウエハの裏面側を切削研磨して、インターポーザ基板を形成する第４の工程と、この第４の工程によって底面が露出された埋め込み電極に、バンプ電極を設ける第５の工程とを具備することを特徴とする。

【０００６】
本発明では、インターポーザ基板を貫通する埋め込み電極を設け、その一端側を前記デバイスチップがフリップチップ実装される接続電極と接続させ、他端側にバンプ電極を形成するので、インターポーザ基板の裏面側から実装基板に接続する電極を引出すことが出来る。これにより、マルチチップモジュールを小型化することが可能になる。

【０００７】
【発明の実施の形態】
以下、図面を参照して本発明の実施の一形態について説明する。図１は実施の一形態による半導体装置１００の構造を示す断面図である。この図において前述した従来例（図５参照）と共通する部分には同一の番号を付し、その説明を省略する。図１に図示する半導体装置１００が、図５に図示した従来例と相違する点は、インターポーザ基板１を貫通する埋め込み電極４を設け、その一端側をデバイスチップ１０がフリップ実装される接続電極２と接続させ、他端側に設けたバンプ電極５を介して図示されていない実装基板に接続する構造としたことにある。このような構造によれば、インターポーザ基板１の周辺部に形成される接続端子Ｔを不要にするので、マルチチップモジュールを小型化し得る。

【０００８】
次に、図２～図４を参照して、上記構造による半導体装置１００の製造工程について説明する。本実施の形態による製造工程では、先ず図２（イ）に図示する通り、インターポ

ーザ基板１の母材となるウエハＷの表面側に、後述するコンタクトホールＣＨに対応する箇所を開口するようレジストＲをパターニングする。次に、このレジストＲをマスクとしてウエハＷにエッチング処理を施し、これにより図２（ロ）に示すように、深さ５０～１００μｍのコンタクトホールＣＨを形成する。コンタクトホールＣＨを形成した後は、レジストＲを除去してからウエハＷ表面上に膜厚３～４μｍの酸化膜３を形成する。

【０００９】

次に、図３（イ）に図示するように、例えば無電解メッキ方法を用い、銅や金もしくはそれらの合金など良導体をコンタクトホールＣＨに充填して埋め込み電極４を形成する。こうして埋め込み電極４が形成されたら、酸化膜３もしくは埋め込み電極４上に複数の接続電極２を形成する（図３（ロ）参照）。この後、図４（イ）に示す通り、各デバイスチップ１０，１０のバンプ１０ａを、ウエハＷ上に形成された接続電極２に接続するフリップチップ実装が行われる。

【００１０】

フリップチップ実装後、図４（ロ）に示すように、埋め込み電極４の底面側が露出するまでウエハＷの裏面側をバックグラインドにより切削研磨し、これにより薄膜化されたインターポーザ基板１を形成する。そして、図４（ハ）に示すように、このインターポーザ基板１の裏面側に露出する埋め込み電極４の端面にバンプ電極５を設けた後、インターポーザ基板１をダイシングして個片カットすることにより、図１に図示した構造によるマルチチップモジュールの半導体装置１００を形成する。

【００１１】

以上のように、本発明によれば、インターポーザ基板１を貫通する埋め込み電極４を設け、その一端側をデバイスチップ１０がフリップ実装される接続電極２と接続させ、他端側に設けたバンプ電極５を介して図示されていない実装基板に接続する構造、すなわち、実装基板に接続する電極をインターポーザ基板１の裏面側から引出すようにした為、マルチチップモジュールを小型化することが可能になっている。

【００１２】

【発明の効果】

請求項１に記載の発明によれば、インターポーザ基板の母材となるウエハに穿設したコンタクトホールに導体を充填して埋め込み電極を形成した後、この埋め込み電極の他端が露出するまでウエハの裏面側を切削研磨してインターポーザ基板を形成する為、マルチチップモジュールを小型化することができ、また、インターポーザ基板の裏面側から実装基板に接続する電極を容易に作成でき、コスト低減に寄与することができる。

【図面の簡単な説明】

【図１】実施の一形態による半導体装置１００の構造を示す断面図である。

【図２】半導体装置１００の製造工程を説明するための図である。

【図３】半導体装置１００の製造工程を説明するための図である。

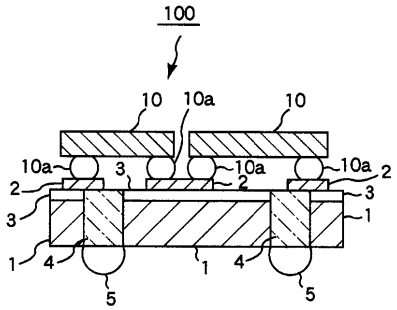
【図４】半導体装置１００の製造工程を説明するための図である。

【図５】従来例を説明するための図である。

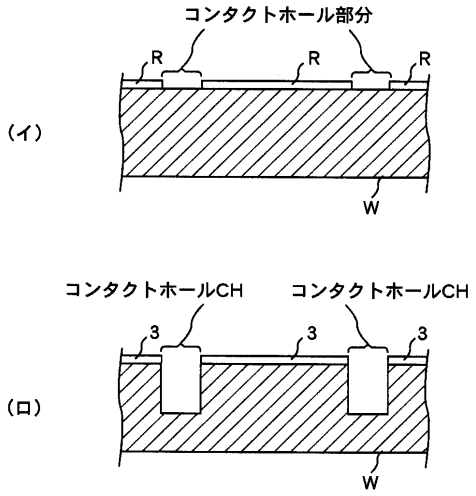
【符号の説明】

１…インターポーザ基板、２…接続電極、３…酸化膜、４…埋め込み電極、５…バンプ電極、１０…デバイスチップ、１０ａ…バンプ、Ｔ…接続端子、Ｗ…ウエハ、ＣＨ…コンタクトホール。

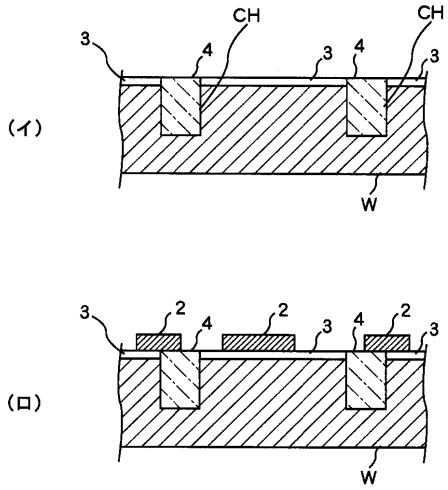
【図１】


100
10
10a
10
10a
3
10a
10a
2
2
2
3
3
1
1
4
1
4
5
5

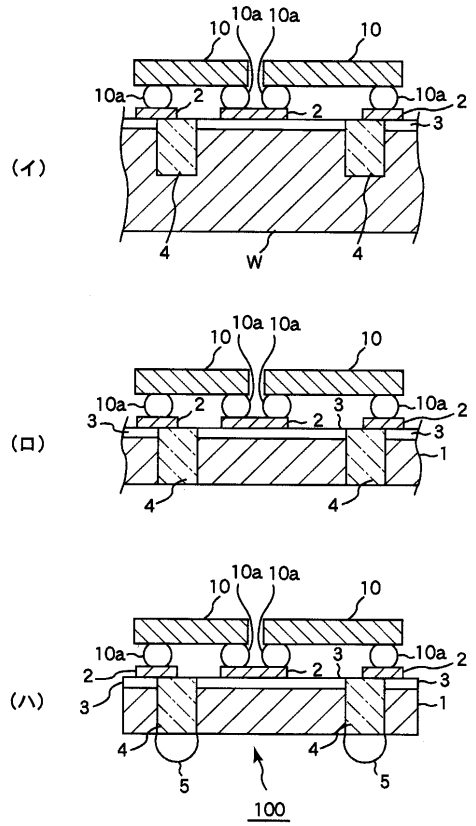
【図２】


コンタクトホール部分
R
R
R
(イ)
W
コンタクトホールCH
コンタクトホールCH
3
3
3
(ロ)
W

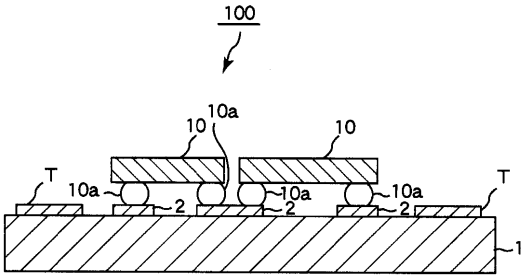
【図３】


CH
CH
3
4
3
4
3
(イ)
W
3
2
4
2
3
4
2
3
(ロ)
W

【図４】


10a 10a
10
10
10a
2
2
10a
2
3
(イ)
4
W
4
10a 10a
10
10
10a
2
3
2
10a
2
3
3
1
(ロ)
4
4
10a 10a
10
10
10a
3
10a
2
2
2
3
3
1
(ハ)
4
4
5
5
100

【図５】



フロントページの続き

(56)参考文献 特開昭６３－３１３８４６（ＪＰ，Ａ）
特開２００１－０８５５９５（ＪＰ，Ａ）
特開２００１－１２７０９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 23/12,25/065,25/07,25/18