

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)公開番号

特開2023-139338

(P2023-139338A)

(43)公開日 令和5年10月4日(2023.10.4)

(51)国際特許分類		F I		テーマコード (参考)	
H 0 1 G 4/30 (2006.01)		H 0 1 G	4/30	2 0 1 C	5 E 0 0 1
		H 0 1 G	4/30	2 0 1 D	5 E 0 8 2
		H 0 1 G	4/30	2 0 1 K	
		H 0 1 G	4/30	2 0 1 N	
		H 0 1 G	4/30	5 1 3	
		審査請求	未請求	請求項の数	16 O L (全23頁) 最終頁に続く
(21)出願番号	特願2022-44811(P2022-44811)	(71)出願人	000204284		
(22)出願日	令和4年3月22日(2022.3.22)		太陽誘電株式会社		
			東京都中央区京橋二丁目 7 番 1 9 号		
		(74)代理人	100087480		
			弁理士 片山 修平		
		(72)発明者	天野 美娜		
			東京都中央区京橋二丁目 7 番 1 9 号 太陽誘電株式会社内		
		F ターム (参考)	5E001	AB03 AC10 AE01 AE02	
				AE03 AH01 AH05 AH06	
				AH07 AH09 AJ01 AJ02	
				AJ03	
			5E082	AB03 BC32 BC33 BC35	
				BC36 EE04 EE23 EE26	
				EE35 FG04 FG26 FG46	
				最終頁に続く	

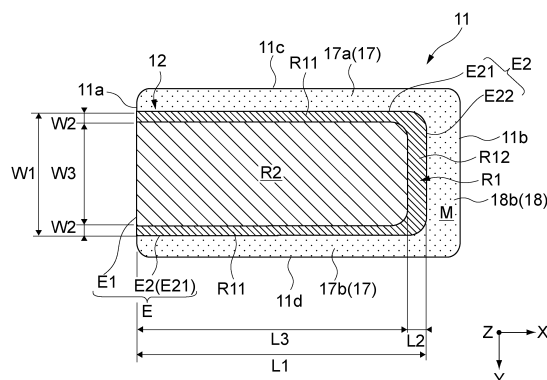
(54)【発明の名称】 積層セラミックコンデンサ及び回路基板

(57) 【要約】

【課題】高い信頼性を有する積層セラミックコンデンサ及びそれを実装した回路基板を提供する。

【解決手段】積層セラミックコンデンサは、セラミック素体と第1及び第2外部電極とを具備する。セラミック素体は、第1及び第2内部電極とセラミック層と、を含む容量形成部と、エンドマージン部及びサイドマージン部とを含むマージン部と、を有する。第1及び第2内部電極は、それぞれ、第1又は第2外部電極と接する引出端部と、マージン部と接するマージン端部と、で構成された端部と、第2軸方向から見た平面視における導電性成分の連続率が第1連続率であり、マージン端部に沿って配置された第1領域と、平面視における導電性成分の連続率が第1連続率よりも低い第2連続率であり、第1領域よりも第1軸方向及び第3軸方向における内側に配置された第2領域と、を含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 軸方向に垂直な第 1 及び第 2 端面と、

前記第 1 端面に引き出された第 1 内部電極と、前記第 2 端面に引き出され前記第 1 軸と直交する第 2 軸方向に前記第 1 内部電極と対向する第 2 内部電極と、前記第 1 及び第 2 内部電極間に配置されたセラミック層と、を含む容量形成部と、

前記第 1 端面と前記第 2 内部電極との間に配置された第 1 エンドマージン部と、前記第 2 端面と前記第 1 内部電極との間に配置された第 2 エンドマージン部と、前記容量形成部の前記第 1 軸及び前記第 2 軸に直交する第 3 軸方向における両側にそれぞれ配置された第 1 及び第 2 サイドマージン部と、を含むマージン部と、

10

を有するセラミック素体と、

前記第 1 及び前記第 2 端面をそれぞれ覆う第 1 及び第 2 外部電極と、

を具備し、

前記第 1 及び第 2 内部電極は、それぞれ、

前記第 1 又は第 2 外部電極と接する引出端部と、前記マージン部と接するマージン端部と、で構成された端部と、

前記第 2 軸方向から見た平面視における導電性成分の連続率が第 1 連続率であり、前記マージン端部に沿って配置された第 1 領域と、

前記平面視における導電性成分の連続率が前記第 1 連続率よりも低い第 2 連続率であり、前記第 1 領域よりも前記第 1 軸方向及び前記第 3 軸方向における内側に配置された第 2 領域と、を含む

20

積層セラミックコンデンサ。

【請求項 2】

請求項 1 に記載の積層セラミックコンデンサであって、

前記マージン端部は、前記第 1 及び第 2 サイドマージン部と接する一対のサイド端部と、前記第 1 又は第 2 エンドマージン部と接するエンド端部と、を含み、

前記第 1 領域は、

前記一対のサイド端部各々から、前記第 1 及び第 2 内部電極各々の前記第 3 軸方向における幅寸法の 10 % 以内に位置する一対のサイド領域と、

前記エンド端部から、前記第 1 及び第 2 内部電極の前記第 1 軸方向における長さ寸法の 10 % 以内に位置するエンド領域と、を含み、

30

前記第 2 領域は、前記第 1 及び第 2 内部電極各々における、前記第 1 領域を除いた領域を占める

積層セラミックコンデンサ。

【請求項 3】

請求項 2 に記載の積層セラミックコンデンサであって、

前記第 1 連続率は、前記第 1 領域の前記エンド領域及び／又は前記サイド領域において測定された値である

積層セラミックコンデンサ。

【請求項 4】

40

請求項 1 から 3 のいずれか一項に記載の積層セラミックコンデンサであって、

前記第 2 連続率は、70 % 以上である

積層セラミックコンデンサ。

【請求項 5】

請求項 1 から 4 のいずれか一項に記載の積層セラミックコンデンサであって、

前記導電性成分の連続率は、前記第 1 領域から前記第 2 領域に向かって漸減する

積層セラミックコンデンサ。

【請求項 6】

請求項 1 から 5 のいずれか一項に記載の積層セラミックコンデンサであって、

前記第 1 連続率をオメガ変換した値を a、前記第 2 連続率をオメガ変換した値を b とし

50

た場合に、 $0 < a - b \leq 6.8$ を満たす
積層セラミックコンデンサ。

【請求項 7】

請求項 1 から 6 のいずれか一項に記載の積層セラミックコンデンサであって、
前記第 1 及び第 2 連続率は、それぞれ、
セラミックスを溶解し前記導電性成分を溶解しないエッチング液に前記セラミック素体を浸漬させた後の、前記第 1 及び第 2 領域各々における単位面積当たりの、溶け残った前記導電性成分の面積の割合として算出される
積層セラミックコンデンサ。

【請求項 8】

請求項 1 から 7 のいずれか一項に記載の積層セラミックコンデンサであって、
前記導電性成分は、ニッケル、銅、パラジウム、白金、銀、金、錫、又はこれらの合金を含む
積層セラミックコンデンサ。

【請求項 9】

請求項 8 に記載の積層セラミックコンデンサであって、
前記第 1 領域は、添加物として、銀、クロム、イリジウム、マグネシウム、モリブデン、オスミウム、パラジウム、白金、レニウム、ロジウム、ルテニウム、イットリウム、タングステンの少なくとも 1 種を含む
積層セラミックコンデンサ。

【請求項 10】

請求項 1 から 9 のいずれか一項に記載の積層セラミックコンデンサであって、
前記第 2 領域の前記第 2 軸方向における厚みは、 $0.2 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である
積層セラミックコンデンサ。

【請求項 11】

請求項 1 から 10 のいずれか一項に記載の積層セラミックコンデンサであって、
前記積層セラミックコンデンサの前記第 1 軸方向における寸法は、 0.4mm 以下であり、
前記積層セラミックコンデンサの前記第 3 軸方向における寸法は、 0.2mm 以下である
積層セラミックコンデンサ。

【請求項 12】

請求項 1 から 11 のいずれか一項に記載の積層セラミックコンデンサであって、
前記第 1 及び第 2 サイドマージン部各々の前記第 3 軸方向における寸法は、 $30 \mu\text{m}$ 以下である
積層セラミックコンデンサ。

【請求項 13】

請求項 1 から 12 のいずれか一項に記載の積層セラミックコンデンサであって、
前記第 1 及び第 2 エンドマージン部各々の前記第 1 軸方向における寸法は、 $30 \mu\text{m}$ 以下である
積層セラミックコンデンサ。

【請求項 14】

請求項 1 から 13 のいずれか一項に記載の積層セラミックコンデンサであって、
前記セラミック層の厚みは、 $0.2 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下である
積層セラミックコンデンサ。

【請求項 15】

請求項 1 から 14 のいずれか一項に記載の積層セラミックコンデンサであって、
前記積層セラミックコンデンサの前記第 2 軸方向における寸法は、前記積層セラミックコンデンサの前記第 1 軸方向における寸法又は前記積層セラミックコンデンサの前記第 3 軸方向における寸法の少なくともいずれか一方よりも大きい

積層セラミックコンデンサ。

【請求項 16】

積層セラミックコンデンサと、

前記積層セラミックコンデンサを実装する実装基板と、
を具備し、

前記積層セラミックコンデンサは、

第 1 軸方向に垂直な第 1 及び第 2 端面と、

前記第 1 端面に引き出された第 1 内部電極と、前記第 2 端面に引き出され前記第 1 軸と直交する第 2 軸方向に前記第 1 内部電極と対向する第 2 内部電極と、前記第 1 及び第 2 内部電極間に配置されたセラミック層と、を含む容量形成部と、

10

前記第 1 端面と前記第 2 内部電極との間に配置された第 1 エンドマージン部と、前記第 2 端面と前記第 1 内部電極との間に配置された第 2 エンドマージン部と、前記容量形成部の前記第 1 軸及び前記第 2 軸に直交する第 3 軸方向における両側にそれぞれ配置された第 1 及び第 2 サイドマージン部と、を含むマージン部と、

を有するセラミック素体と、

前記第 1 及び前記第 2 端面をそれぞれ覆い、前記実装基板に接続された第 1 及び第 2 外部電極と、

を有し、

前記第 1 及び第 2 内部電極は、それぞれ、

前記第 1 又は第 2 外部電極と接する引出端部と、前記マージン部と接するマージン端部と、で構成された端部と、

20

前記第 2 軸方向から見た平面視における導電性成分の連続率が第 1 連続率であり、前記マージン端部に沿って配置された第 1 領域と、

前記平面視における導電性成分の連続率が前記第 1 連続率よりも低い第 2 連続率であり、前記第 1 領域よりも前記第 1 軸方向及び前記第 3 軸方向における内側に配置された第 2 領域と、を含む

回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、積層セラミックコンデンサ及びそれを実装する回路基板に関する。

【背景技術】

【0002】

積層セラミックコンデンサは、例えば、一対の端面に交互に引き出され積層された内部電極と内部電極間に配置されたセラミック層とを有するセラミック素体と、一対の端面をそれぞれ覆い、内部電極に接続された一対の外部電極と、を備える（特許文献 1 及び 2 参照）。内部電極において、外部電極と接続される引出端部以外の端部は、セラミックスからなるマージン部によって覆われている。

【0003】

内部電極のマージン部に覆われた端部は、積層方向に隣り合う内部電極と対向する領域の周縁に位置し得る。このため、当該端部では、隣り合う内部電極間に形成された電界が集中し、絶縁破壊が生じやすいことが知られている。例えば、特許文献 1 には、内部電極パターンの周辺部のセラミック層厚みを中央部のセラミック層厚みより厚くすることにより、内部電極の端部における電界集中の緩和を図る技術が開示されている。例えば、特許文献 2 には、内部電極の外周縁から内部電極の厚みを 20 倍した領域内における空隙率を 5～15% の範囲内とすることで、内部電極の外周縁におけるクラックの発生と、耐電圧の低下との抑制を図る技術が開示されている。この構成は、内部電極に含まれていたセラミック粉体からなる共材が、内部電極の中央部からその外周縁へ移動することにより実現される。

40

【先行技術文献】

50

【特許文献】

【0004】

【特許文献1】特開2004-111489号公報

【特許文献2】特開2007-335726号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載の技術では、積層体の中央部を周縁部よりも強く押圧するため、マージン部を含む積層体の周縁部の密着性が低下し、デラミネーションやクラック等の懸念がある。特許文献2に記載の技術では、内部電極の中央部における空隙率が低くなり得る。これにより、セラミック層と内部電極との密着性の低下によるデラミネーションや、内部電極の中央部とセラミック層との間の焼成時の収縮率の差によるクラック等の懸念がある。

10

【0006】

また、近年、積層セラミックコンデンサは、電気自動車や医療機器等の、特に高い信頼性が求められる電子機器に搭載されることもある。このため、絶縁抵抗の低下を効果的に抑制できる、高信頼性の積層セラミックコンデンサが求められている。

【0007】

以上のような事情に鑑み、本発明の目的は、高い信頼性を有する積層セラミックコンデンサ及びそれを実装した回路基板を提供することにある。

20

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の一形態に係る積層セラミックコンデンサは、セラミック素体と、第1及び第2外部電極と、を具備する。

前記セラミック素体は、第1軸方向に垂直な第1及び第2端面と、容量形成部と、マージン部と、を有する。

前記容量形成部は、前記第1端面に引き出された第1内部電極と、前記第2端面に引き出され前記第1軸と直交する第2軸方向に前記第1内部電極と対向する第2内部電極と、前記第1及び第2内部電極間に配置されたセラミック層と、を含む。

前記マージン部は、前記第1端面と前記第2内部電極との間に配置された第1エンドマージン部と、前記第2端面と前記第1内部電極との間に配置された第2エンドマージン部と、前記容量形成部の前記第1軸及び前記第2軸に直交する第3軸方向における両側にそれぞれ配置された第1及び第2サイドマージン部と、を含む。

30

前記第1及び第2外部電極は、前記第1及び前記第2端面をそれぞれ覆う。

前記第1及び第2内部電極は、それぞれ、

前記第1又は第2外部電極と接する引出端部と、前記マージン部と接するマージン端部と、で構成された端部と、

前記第2軸方向から見た平面視における導電性成分の連続率が第1連続率であり、前記マージン端部に沿って配置された第1領域と、

前記平面視における導電性成分の連続率が前記第1連続率よりも低い第2連続率であり、前記第1領域よりも前記第1軸方向及び前記第3軸方向における内側に配置された第2領域と、を含む。

40

【0009】

上記構成では、内部電極のマージン端部に沿って配置された第1領域の第1連続率が、第2領域の第2連続率よりも高い。これにより、マージン端部及びその近傍の、導電性成分の球状化が抑制され、電界の集中に伴う絶縁破壊を抑制することができる。また、第2領域の第2連続率を相対的に低くすることで、セラミック層と第2領域との密着性を向上させるとともに、これらの焼結挙動を近づけることができる。これにより、セラミック素体のデラミネーションやクラック等を抑制でき、これらの構造欠陥に伴うリーク電流も抑制することができる。したがって、上記構成により、積層セラミックコンデンサの絶縁抵

50

抗の低下を抑制でき、信頼性を高めることができる。

【0010】

例えば、前記マージン端部は、前記第1及び第2サイドマージン部と接する一対のサイド端部と、前記第1又は第2エンドマージン部と接するエンド端部と、を含み、

前記第1領域は、

前記一対のサイド端部各々から、前記第1及び第2内部電極各々の前記第3軸方向における幅寸法の10%以内に位置する一対のサイド領域と、

前記エンド端部から、前記第1及び第2内部電極の前記第1軸方向における長さ寸法の10%以内に位置するエンド領域と、を含み、

前記第2領域は、前記第1及び第2内部電極各々における、前記第1領域を除いた領域を占めていてもよい。

10

これにより、電界の特に集中しやすい領域を第1領域とすることができ、電界の集中に伴う絶縁破壊を効果的に抑制することができる。また、内部電極の広い範囲を第2領域が占めることで、セラミック素体のデラミネーションやクラック等の構造欠陥を抑制する効果を高めることができる。したがって、上記構成により、積層セラミックコンデンサの信頼性をより効果的に高めることができる。

【0011】

この場合、前記第1連続率は、前記第1領域の前記エンド領域及び／又は前記サイド領域において測定された値であってもよい。

【0012】

20

例えば、前記第2連続率は、70%以上であってもよい。

これにより、これにより、十分な静電容量を有し、かつ、インピーダンス、Q値等の周波数特性も良好な積層セラミックコンデンサを得ることができる。

【0013】

前記導電性成分の連続率は、前記第1領域から前記第2領域に向かって漸減してもよい。

これにより、応力の集中を緩和して積層セラミックコンデンサの信頼性をより一層向上させることができる。

【0014】

例えば、前記第1連続率をオメガ変換した値をa、前記第2連続率をオメガ変換した値をbとした場合に、 $0 < a - b \leq 6.8$ を満たしていてもよい。

30

$a - b \leq 6.8$ とすることにより、連続率の差に起因する第1及び第2領域の焼結挙動の差を低減し、セラミック層との界面での応力の発生と、それに起因するクラック等の発生を抑制することができる。したがって、積層セラミックコンデンサの信頼性をより確実に向上させることができる。

【0015】

例えば、前記第1及び第2連続率は、それぞれ、

セラミックスを溶解し前記導電性成分を溶解しないエッチング液に前記セラミック素体を浸漬させた後の、前記第1及び第2領域各々における単位面積当たりの、溶け残った前記導電性成分の面積の割合として算出されてもよい。

40

これにより、平面視における導電性成分の第1及び第2連続率を明確に、かつ簡便に算出することができる。

【0016】

例えば、前記導電性成分は、ニッケル、銅、パラジウム、白金、銀、金、錫、又はこれらの合金を含んでもよい。

【0017】

さらに、前記第1領域は、添加物として、銀、クロム、イリジウム、マグネシウム、モリブデン、オスミウム、パラジウム、白金、レニウム、ロジウム、ルテニウム、イットリウム、タングステンの少なくとも1種を含んでもよい。

【0018】

50

例えば、前記第 2 領域の前記第 2 軸方向における厚みは、 $0.2\text{ }\mu\text{m}$ 以上 $0.85\text{ }\mu\text{m}$ 以下であってもよい。

【0019】

例えば、前記積層セラミックコンデンサの前記第 1 軸方向における寸法は、 0.4 mm 以下であり、

前記積層セラミックコンデンサの前記第 3 軸方向における寸法は、 0.2 mm 以下であってもよい。

【0020】

例えば、前記第 1 及び第 2 サイドマージン部各々の前記第 3 軸方向における寸法は、 $30\text{ }\mu\text{m}$ 以下であってもよい。

10

例えば、前記第 1 及び第 2 エンドマージン部各々の前記第 1 軸方向における寸法は、 $30\text{ }\mu\text{m}$ 以下であってもよい。

【0021】

例えば、前記セラミック層の厚みは、 $0.2\text{ }\mu\text{m}$ 以上 $0.5\text{ }\mu\text{m}$ 以下であってもよい。

【0022】

例えば、前記積層セラミックコンデンサの前記第 2 軸方向における寸法は、前記積層セラミックコンデンサの前記第 1 軸方向における寸法又は前記積層セラミックコンデンサの前記第 3 軸方向における寸法の少なくともいずれか一方よりも大きくてもよい。

本発明によれば、このような第 2 軸方向における寸法の大きい積層セラミックコンデンサであっても、セラミック素体の構造欠陥を抑制できるため、信頼性を向上させることができる。

20

【0023】

本発明の他の形態に係る回路基板は、セラミックコンデンサと、前記積層セラミックコンデンサを実装する実装基板と、を具備する。

前記積層セラミックコンデンサは、セラミック素体と、第 1 及び第 2 外部電極と、を有する。

前記セラミック素体は、第 1 軸方向に垂直な第 1 及び第 2 端面と、容量形成部と、マージン部と、を有する。

前記容量形成部は、前記第 1 端面に引き出された第 1 内部電極と、前記第 2 端面に引き出され前記第 1 軸と直交する第 2 軸方向に前記第 1 内部電極と対向する第 2 内部電極と、前記第 1 及び第 2 内部電極間に配置されたセラミック層と、を含む。

30

前記マージン部は、前記第 1 端面と前記第 2 内部電極との間に配置された第 1 エンドマージン部と、前記第 2 端面と前記第 1 内部電極との間に配置された第 2 エンドマージン部と、前記容量形成部の前記第 1 軸及び前記第 2 軸に直交する第 3 軸方向における両側にそれぞれ配置された第 1 及び第 2 サイドマージン部と、を含む。

前記第 1 及び第 2 外部電極は、前記第 1 及び前記第 2 端面をそれぞれ覆い、前記実装基板に接続される。

前記第 1 及び第 2 内部電極は、それぞれ、

前記第 1 又は第 2 外部電極と接する引出端部と、前記マージン部と接するマージン端部と、で構成された端部と、

40

前記第 2 軸方向から見た平面視における導電性成分の連続率が第 1 連続率であり、前記マージン端部に沿って配置された第 1 領域と、

前記平面視における導電性成分の連続率が前記第 1 連続率よりも低い第 2 連続率であり、前記第 1 領域よりも前記第 1 軸方向及び前記第 3 軸方向における内側に配置された第 2 領域と、を含む。

【発明の効果】

【0024】

以上のように、本発明によれば、高い信頼性を有する積層セラミックコンデンサ及びそれを実装した回路基板を提供することができる。

【図面の簡単な説明】

50

【0025】

【図1】本発明の一実施形態に係る積層セラミックコンデンサの斜視図である。

【図2】上記積層セラミックコンデンサの図1のA-A'線に沿った断面図である。

【図3】上記積層セラミックコンデンサの図1のB-B'線に沿った断面図である。

【図4】上記積層セラミックコンデンサのセラミック素体の断面図であり、第1内部電極の位置でX軸方向（第2軸方向）及びY軸方向（第3軸方向）に平行に切断した態様を示す。

【図5】上記積層セラミックコンデンサのセラミック素体の断面図であり、第2内部電極の位置でX軸方向（第2軸方向）及びY軸方向（第3軸方向）に平行に切断した態様を示す。

【図6】上記積層セラミックコンデンサを実装した回路基板の断面図である。

【図7】上記積層セラミックコンデンサの製造方法を示すフローチャートである。

【図8】上記積層セラミックコンデンサの製造過程を示す平面図である。

【図9】上記積層セラミックコンデンサの製造過程を示す斜視図である。

【図10】上記実施形態の実施例及び比較例について、内部電極の第1領域の連続率Aをオメガ変換した値（a）及び第2領域の連続率Bをオメガ変換した値（b）の差分（a-b）と、絶縁破壊電圧（BDV）と、の関係を示すワイブル（weibull）分布の手法を用いて解析した結果を示すグラフであり、Aはワイブル分布のパラメータであるワイブル α の結果を示し、Bはワイブル分布の他のパラメータであるワイブル β の結果を示す。

【発明を実施するための形態】

【0026】

以下、図面を参照しながら、本発明の実施形態を説明する。なお、図面には、適宜、相互に直交するX軸、Y軸、及びZ軸が示されている。X軸、Y軸、及びZ軸は、積層セラミックコンデンサ10に対して固定された固定座標系を規定する。

【0027】

〔積層セラミックコンデンサの全体構成〕

図1～3は、本発明の一実施形態に係る積層セラミックコンデンサ10を示す図である。図1は、積層セラミックコンデンサ10の斜視図である。図2は、積層セラミックコンデンサ10の図1のA-A'線に沿った断面図である。図3は、積層セラミックコンデンサ10の図1のB-B'線に沿った断面図である。

【0028】

積層セラミックコンデンサ10は、セラミック素体11と、第1外部電極14aと、第2外部電極14bと、を備える。

【0029】

セラミック素体11は、X軸に垂直な第1端面11a及び第2端面11bと、Y軸に垂直な第1側面11c及び第2側面11dと、Z軸に垂直な第1主面11e及び第2主面11fと、を有する直方体として構成される。なお、「直方体」とは、実質的に直方体状であればよく、例えばセラミック素体11の各面を接続する稜部が丸みを帯びていてもよい。

【0030】

セラミック素体11の主面11e、11f、端面11a、11b、及び側面11c、11dはいずれも、平坦面として構成される。本実施形態に係る平坦面とは、全体的に見たときに平坦と認識される面であれば厳密に平面でなくてもよく、例えば、表面の微小な凹凸形状や、所定の範囲に存在する緩やかな湾曲形状などを有する面も含まれる。

【0031】

本実施形態の積層セラミックコンデンサ10は、例えば以下のようなサイズを有する。積層セラミックコンデンサ10のX軸方向における寸法は、例えば、0.2mm以上4.8mm以下であり、さらに、0.4mm以下であることが好ましい。積層セラミックコンデンサ10のY軸方向における寸法は、例えば、0.1mm以上3.5mm以下であり、さらに、0.2mm以下であることが好ましい。積層セラミックコンデンサ10のZ軸方

10

20

30

40

50

向における寸法は、例えば、0.1 mm以上3.5 mm以下である。具体的に、積層セラミックコンデンサ10のサイズは、(X軸方向における寸法)×(Y軸方向における寸法)×(Z軸方向における寸法)と表記した場合に、0.25 mm×0.125 mm×0.125 mm、0.4 mm×0.2 mm×0.2 mm等であり得る。なお、積層セラミックコンデンサ10のある方向における「寸法」は、当該方向における積層セラミックコンデンサ10の最大寸法とする。

【0032】

また、以下の説明において、「X軸方向内側」とは、積層セラミックコンデンサ10をX軸方向に2等分する仮想的なY-Z平面に近づく側をいい、「X軸方向外側」とは、上記仮想的なY-Z平面から遠ざかる側をいう。「Y軸方向内側」とは、積層セラミックコンデンサ10をZ軸方向に2等分する仮想的なX-Z平面に近づく側をいい、「Z軸方向外側」とは、上記仮想的なX-Z平面から遠ざかる側をいう。

【0033】

外部電極14a, 14bは、セラミック素体11のX軸方向における両端部を覆っている。例えば、図1及び図2に示す第1外部電極14aは、セラミック素体11の第1端面11aから両主面11e, 11f及び両側面11c, 11dに延出している。図1に示す第2外部電極14bは、セラミック素体11の第2端面11bから両主面11e, 11f及び両側面11c, 11dに延出している。但し、外部電極14a, 14bの形状はこれに限定されない。

【0034】

セラミック素体11は、容量形成部15と、第1カバー部16aと、第2カバー部16bと、第1サイドマージン部17aと、第2サイドマージン部17bと、第1エンドマージン部18aと、第2エンドマージン部18bと、を有する。本実施形態において、第1及び第2サイドマージン部17a, 17bと、第1及び第2エンドマージン部18a, 18bは、セラミック素体11のマージン部Mを構成する(図4及び図5参照)。

【0035】

第1及び第2カバー部16a, 16bは、容量形成部15を挟んでZ軸方向に対向し、セラミック素体11の主面11e, 11fを構成している。

【0036】

第1及び第2サイドマージン部17a, 17bは、容量形成部15のY軸方向における両側にそれぞれ配置される。つまり、第1及び第2サイドマージン部17a, 17bは、容量形成部15を挟んでY軸方向に対向している。各サイドマージン部17a, 17bを、サイドマージン部17とも称する。

【0037】

各サイドマージン部17のY軸方向における寸法は、セラミック素体11の小型化及び大容量化を実現するため、例えば、30 µm以下、20 µm以下であり得る。各サイドマージン部17のY軸方向における寸法は、絶縁性を確保するため、例えば、5 µm以上であり得る。

【0038】

第1エンドマージン部18aは、第1端面11aと第2内部電極13との間に配置される。第2エンドマージン部18bは、第2端面11bと第1内部電極12との間に配置される。各エンドマージン部18a, 18bを、エンドマージン部18とも称する。

【0039】

各エンドマージン部18のX軸方向における寸法は、セラミック素体11の小型化及び大容量化を実現するため、例えば、30 µm以下、20 µm以下であり得る。各エンドマージン部18のX軸方向における寸法は、絶縁性を確保するため、例えば、10 µm以上であり得る。

【0040】

容量形成部15は、セラミック層19と、セラミック層19の間に配置された第1及び第2内部電極12, 13と、を含む。第1内部電極12は、第1端面11aに引き出され

10

20

30

40

50

る。第2内部電極13は、第2端面11bに引き出され、第1内部電極12とZ軸方向に対向する。セラミック層19は、第1及び第2内部電極12, 13間に配置される。つまり、第1及び第2内部電極12, 13は、セラミック層19を介して、Z軸方向に交互に積層される。本実施形態において、セラミック層19と、内部電極12, 13とは、いずれもX-Y平面に沿って延びるシート状に構成される。

【0041】

内部電極12, 13は、導電性成分を主成分として含む。当該導電性成分としては、典型的にはニッケル(Ni)が挙げられ、この他にも、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)、錫(Sn)及びこれらの合金などが挙げられる。

10

【0042】

第1内部電極12は、第1端面11aにおいて第1外部電極14aと接続される。第1内部電極12の第2端面11b側は、第2エンドマージン部18bによって第2外部電極14bと絶縁されている。第2内部電極13は、第2端面11bにおいて第2外部電極14bに接続される。第2内部電極13の第1端面11a側は、第1エンドマージン部18aによって第1外部電極14aと絶縁されている。

【0043】

このような構成により、積層セラミックコンデンサ10では、外部電極14a, 14b間に電圧が印加されると、内部電極12, 13間の複数のセラミック層19に電圧が加わる。これにより、積層セラミックコンデンサ10には、外部電極14a, 14b間の電圧

20

に応じた電荷が蓄えられる。

【0044】

セラミック層19は、誘電体セラミックスを主成分として含む。セラミック層19に含まれる誘電体セラミックスは、例えば、一般式 ABO_3 で表されるペロブスカイト構造を有する。ペロブスカイト構造を有する誘電体セラミックスとしては、例えば、チタン酸バリウム($BaTiO_3$)に代表される、バリウム(Ba)及びチタン(Ti)を含む材料が挙げられる。

【0045】

具体的に、誘電体セラミックスは、チタン酸バリウムの他、チタン酸ストロンチウム($SrTiO_3$)、チタン酸カルシウム($CaTiO_3$)、チタン酸マグネシウム($MgTiO_3$)、ジルコニウム酸カルシウム($CaZrO_3$)、チタン酸ジルコニウム酸カルシウム($Ca(Ti, Zr, Ti)O_3$)、チタン酸ジルコニウム酸バリウムカルシウム($(Ba, Ca)(Ti, Zr)O_3$)、ジルコニウム酸バリウム($BaZrO_3$)、酸化チタン(TiO_2)などの組成系でもよい。

30

【0046】

セラミック層19、カバー部16a, 16b、サイドマージン部17及びエンドマージン部18の組成は、同一でもよいし、異なってもよい。容量形成部15とその周囲との物性の違いに起因する応力を緩和する観点からは、カバー部16a, 16b、サイドマージン部17及びエンドマージン部18が、セラミック層19と同一の組成系の誘電体セラミックスを含むことが好ましい。

40

【0047】

各セラミック層19のZ軸方向における厚みは、例えば、 $0.2\mu m$ 以上 $20\mu m$ 以下とすることができ、好ましくは $0.2\mu m$ 以上 $0.5\mu m$ 以下とすることができる。これにより、各セラミック層19のZ軸方向における厚みを、誘電体セラミックスの結晶粒の粒径以上とすることができ、かつ、静電容量を高めることができる。セラミック層19の厚みは、セラミック層19の複数箇所において測定された厚みの平均値とする。一例として、SEM(走査型電子顕微鏡)又はTEM(透過型電子顕微鏡)によって、セラミック素体11のZ軸方向に平行な断面を観察する。視野中のセラミック層19から6層を選択し、各層において均等に離間した5箇所の厚みを測定する。そして、得られた30箇所の厚みの平均値を、セラミック層19の厚みとする。

50

【0048】

〔内部電極の構成〕

図4及び図5は、セラミック素体11の断面図である。図4は、第1内部電極12の位置でX-Y平面と平行に切断した態様を示し、図5は、第2内部電極13の位置でX-Y平面と平行に切断した態様を示す。図4及び図5において、内部電極12及び13をハッチングで表し、マージン部Mをドットパターンで表す。

【0049】

図4及び図5に示すように、各内部電極12, 13は、端部Eを有する。端部Eは、内部電極12, 13のX軸方向及びY軸方向における周縁部を構成する。端部Eは、第1外部電極14a又は第2外部電極14bと接する引出端部E1と、マージン部Mと接するマージン端部E2と、で構成される。

10

【0050】

引出端部E1は、内部電極12, 13のX軸方向における端部のうち、外部電極14a, 14bと接する部分である。第1内部電極12における引出端部E1は、第1端面11aに位置する。第2内部電極13における引出端部E1は、第2端面11bに位置する。マージン端部E2は、端部Eのうち、引出端部E1を除く部分である。

【0051】

本実施形態において、マージン端部E2は、さらに、サイドマージン部17と接するサイド端部E21と、エンドマージン部18と接するエンド端部E22と、を含む。図4及び図5において、サイド端部E21とエンド端部E22との境界部は曲線状に湾曲しているが、これに限定されず、角ばっていてもよい。

20

【0052】

マージン端部E2は、内部電極12, 13が対向する領域の周縁に位置する。このため、内部電極12, 13間に形成された電界が集中し、絶縁破壊を生じやすい。特に、積層セラミックコンデンサ10の小型化により、セラミック層19の厚みが薄くなると、電界の集中による絶縁破壊がより一層生じやすくなる。

【0053】

マージン端部E2における電界の集中は、内部電極12, 13において、Ni等の導電性成分が球状化することによって促進されると考えられる。導電性成分の球状化は、導電性成分及び内部電極12, 13中のセラミックスが過度に焼結されて収縮することにより生じる。マージン端部E2において導電性成分が球状化した場合、球状化した部分が凸状となり、セラミック層19の局所的な厚みが周囲よりも薄くなり得る。これにより、絶縁破壊が生じやすくなる。また、球状化した導電性成分の一部が尖り、その部分に電界が集中し、絶縁破壊を引き起こすこともある。さらに、このような電界の集中による絶縁破壊は、セラミック層19の薄層化とともに生じやすくなる。

30

【0054】

一方で、導電性成分の連続性が高い領域では、導電性成分の球状化が生じにくい。そこで、本実施形態では、導電性成分の連続率を、マージン端部E2に沿って局所的に高めることを特徴とする。

【0055】

具体的に、各内部電極12, 13は、本実施形態において、マージン端部E2に沿って配置された第1領域R1と、第1領域R1よりもX軸方向及びY軸方向における内側に配置された第2領域R2と、を有する。図4及び図5において、第1領域R1を密なハッチングで表し、第2領域R2を疎なハッチングで表している。

40

【0056】

第1領域R1では、平面視における導電性成分の連続率が第1連続率Aである。一方で、第2領域R2では、平面視における導電性成分の連続率が、第1連続率Aよりも小さい第2連続率Bである。なお、「平面視」とは、内部電極12, 13のX-Y平面に沿って延びる面をZ軸方向から見た場合の平面視を意味する。

【0057】

50

この構成では、マージン端部 E 2 に沿った第 1 領域 R 1 における導電性成分の連続率が相対的に高くなり、第 1 領域 R 1 における導電性成分の球状化を抑制することができる。したがって、マージン端部 E 2 における絶縁破壊を抑制し、積層セラミックコンデンサ 10 の信頼性を向上させることができる。

【0058】

また、第 1 領域 R 1 の X 軸方向及び Y 軸方向における内側の第 2 領域 R 2 では、導電性成分の連続率が相対的に低くなる。これにより、第 2 領域 R 2 の導電性成分が途切れた部分にセラミックスが入り込み、セラミック層 19 と第 2 領域 R 2 の密着性を高めることができる。したがって、内部電極 12, 13 とセラミック層 19 の界面でのデラミネーションを抑制することができる。

10

【0059】

また、焼成時においては、セラミック層 19 と導電性成分を含む内部電極 12, 13 との収縮挙動の差により、応力が発生し得る。本実施形態では、内部電極 12, 13 の中央部を占める第 2 領域 R 2 におけるセラミックスの割合を相対的に高めることができ、焼成時における第 2 領域 R 2 の収縮挙動をセラミック層 19 に近づけることができる。これにより、内部電極 12, 13 とセラミック層 19 との界面において、焼結時に発生する応力を緩和することができ、当該応力によるクラックを抑制することができる。

【0060】

このように、本実施形態においては、セラミック素体 11 におけるデラミネーションやクラック等の構造欠陥によるリーク電流も抑制することができる。したがって、積層セラミックコンデンサ 10 では、このようなリーク電流に伴う絶縁抵抗の低下も抑制することができる。

20

【0061】

さらに、第 2 領域 R 2 の導電性成分の連続率を相対的に低くすることで、内部電極 12, 13 の全体の連続率を高める場合と比較して、導電性成分に係る材料コストを低減することができる。また、後述するように、本実施形態における内部電極 12, 13 は、導電性ペーストの塗布の工夫や焼成条件の工夫等によって実現することができ、工数の増加や製造コストの上昇を抑制することができる。

【0062】

また、本実施形態では、内部電極 12, 13 の導電性成分の連続率として、Z 軸方向から見た平面視における連続率 A, B が用いられる。つまり、この連続率 A, B は、内部電極 12, 13 の X-Y 面内における連続率となる。X-Y 面内における連続率を用いることで、第 1 領域 R 1 における絶縁破壊を抑制する効果や、第 2 領域 R 2 におけるセラミック層 19 との界面での応力を抑制する効果を、的確に評価することができる。

30

【0063】

本実施形態における連続率 A, B の算出方法の例について説明する。

まず、セラミックスを溶解し導電性成分を溶解しないエッチング液に、セラミック素体 11 を浸漬させる。エッチング液は、例えばフッ化水素酸溶液とする。フッ化水素酸溶液の濃度は、例えば、2~20%であることが好ましい。浸漬時間は、12~48時間であることが好ましい。これにより、積層セラミックコンデンサ 10 のセラミックスは溶解、導電性成分が残る。つまり、内部電極 12, 13 内に含まれていた共材のセラミックス等も溶けて消失する。残った内部電極 12, 13 の導電性成分からなる部分は、空隙が分散している状態となる。

40

【0064】

続いて、浸漬後のセラミック素体 11 から内部電極を取り出す。そして、取り出された内部電極について、第 1 領域 R 1 及び第 2 領域 R 2 各々における単位面積当たりの、溶け残った導電性成分の面積の割合を、連続率 A, B として算出する。例えば、処理後の内部電極を、SEMによって200~2000倍に拡大して撮像する。続いて、画像処理によって、第 1 領域 R 1 及び第 2 領域 R 2 各々の面積に占める導電性成分の面積の割合を算出し、この値を連続率 A, B とする。第 1 領域 R 1 及び第 2 領域 R 2 の面積は、空隙も含め

50

た面積とし、導電性成分の面積は、空隙を除いた導電性成分からなる部分のみの面積とする。

【0065】

なお、第1領域R1の連続率Aは、後述するエンド領域R12及びサイド領域R11において測定されてもよいし、エンド領域R12又はサイド領域R11の一方において測定されてもよい。

【0066】

このように、セラミックスを溶解する方法により連続率A、Bを算出することで、内部電極12、13の平面視における導電性成分の連続率A、Bを明確に、かつ簡便に算出することができる。なお、上記方法の他、積層セラミックコンデンサ10から内部電極12、13を露出するX-Y断面を切り出し、当該断面をSEMなどによって拡大及び撮像してもよい。この方法では、導電性成分とその他の成分の見た目の違いから、連続率A、Bを算出することができる。

10

【0067】

さらに、本実施形態において、第2領域R2の第2連続率Bは、70%以上であることが好ましい。これにより、高い信頼性を有することに加え、十分な静電容量を有し、かつ、インピーダンス、Q値等の周波数特性も良好な積層セラミックコンデンサ10を得ることができる。

【0068】

また、本実施形態において、第1領域R1の第1連続率Aは、95%以下であることが好ましい。これにより、第1連続率Aを高めるための導電性ペーストの塗布の負担や、第1領域R1の厚みの増加を抑制することができる。

20

【0069】

一方、マージン端部E2は、第1及び第2サイドマージン部17a、17bと接するサイド端部E21と、エンドマージン部18と接するエンド端部E22と、を含む。サイド端部E21は、マージン端部E2のうち、例えばX軸方向に延びる端部である。エンド端部E22は、マージン端部E2のうち、例えばY軸方向に延びる端部である。

【0070】

例えば、第1領域R1は、サイド端部E21から、内部電極12、13のY軸方向における幅寸法W1の10%以内の範囲を占めるサイド領域R11と、エンド端部E22から内部電極12、13のX軸方向における長さ寸法L1の10%以内の範囲を占めるエンド領域R12と、を含んでいてもよい。この例において、各サイド領域R11のY軸方向における寸法W2は、内部電極12、13の幅寸法W1の10%となる。エンド領域R12のX軸方向における寸法L2は、内部電極12、13の長さ寸法L1の10%となる。なお、内部電極12、13の幅寸法W1及び長さ寸法L1は、それぞれ、内部電極12、13のY軸方向及びX軸方向における最大寸法とする。

30

【0071】

この例において、第2領域R2は、内部電極12、13における、第1領域R1を除いた領域を占める。つまり、第2領域Rは、内部電極12、13のY軸方向における中央部に位置し、そのY軸方向における寸法W3は、内部電極12、13の幅寸法W1の80%となる。第2領域R2のX軸方向における寸法L3は、内部電極12、13の長さ寸法L1の90%となる。

40

【0072】

第1領域R1の範囲をこのように設定することで、電界の集中が起きやすい領域の連続率を確実に高めることができる。これにより、サイド領域R11及び／又はエンド領域R12のそれぞれに対向する外部電極との間で生じる絶縁破壊を抑制することができる。また、第2領域R2の範囲をこのように設定することで、第2領域R2が内部電極12、13の広い範囲を占めることになる。これにより、内部電極12、13とセラミック層19との焼結挙動の差を減少させる効果及び密着性を高める効果を十分に得ることができ、デラミネーション及びクラックに起因するリーク電流を効果的に抑制することができる。し

50

たがって、この構成により、積層セラミックコンデンサ 10 の信頼性をより向上させることができる。

【0073】

さらに、本実施形態において、第1領域 R1 の第1連続率 A をオメガ変換した値を a、第2領域 R2 の第2連続率 B をオメガ変換した値を b、とした場合に、 $0 < a - b \leq 6.8$ を満たすことが好ましい。オメガ変換した値 a、b は、連続率 A、B を用いて、以下の式で表される。なお、A、B の単位は %、a、b の単位は dB（デシベル）である。

$$a = 10 \times \log(A / (100 - A))$$

$$b = 10 \times \log(B / (100 - B))$$

【0074】

連続率 A、B をオメガ変換した値 a、b の差分 $a - b$ を評価することにより、連続率 A、B の値を考慮した尺度で連続率 A、B の差分を評価することができる。つまり、 $a - b$ の値は、 $A - B$ の値よりも、現実的な効果を反映した指標となり得る。

【0075】

$a - b$ を 0 よりも大きくすることで、連続率 A を連続率 B よりも大きくすることができる。また、 $a - b$ を 6.8 以下とすることで、第1領域 R1 及び第2領域 R2 の焼結挙動の差が大きいことによる、セラミック層 19 との界面でのクラック等の発生を抑制することができる。この結果、後述する実施例において示すように、絶縁破壊電圧 (BDV) を安定的に高めることができ、信頼性を向上させることができる。

【0076】

また、 $a - b$ を 2.0 以上 6.8 以下とすることで、BDV を安定的に高める効果をより確実に得ることができ、積層セラミックコンデンサ 10 の信頼性をより一層向上させることができる。

【0077】

また、第1領域 R1 から第2領域 R2 に向かって連続率が漸減していれば、応力の集中を緩和して積層セラミックコンデンサ 10 の信頼性をより一層向上させることができる。

【0078】

また、例えば、各内部電極 12、13 の第2領域 R2 における厚みは、例えば、 $0.2 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下とすることができる。これにより、第2領域 R2 の第2連続率 B を例えば 70% 以上に維持しつつ、内部電極 12、13 の厚みを薄くして、積層セラミックコンデンサ 10 の小型化及び大容量化を図ることができる。

【0079】

本実施形態において、各内部電極 12、13 の第1領域 R1 における厚みは、例えば、第2領域 R2 における厚みの 1.05 倍以上 1.2 倍以下とすることができる。第1領域 R1 における厚みを第2領域 R2 における厚みよりもわずかに厚くすることで、第1領域 R1 における第1連続率 A を相対的に高くしつつ、内部電極 12、13 内の厚みのアンバランスによるセラミック素体 11 の歪みを抑制することができる。したがって、セラミック素体 11 の歪みによるクラック等を抑制することができ、信頼性をより確実に向上させることができる。

【0080】

なお、第1領域 R1 の第1連続率 A を相対的に高くするためには、上述の第1領域 R1 の厚みを調整する方法に加えて、焼成条件を調整してもよいし、他の方法を用いてもよい。焼成条件については、後述する。

【0081】

各内部電極 12、13 の第1領域 R1 及び第2領域 R2 各々の厚みは、各領域の複数箇所において測定された Z 軸方向における厚みの平均値とする。一例として、SEM 又は TEM によって、セラミック素体 11 の Z 軸方向に平行な断面における内部電極 12、13 を観察する。6 層以上の第1領域 R1 を含む視野と、6 層以上の第2領域 R2 を含む視野とを選択する。各視野中の内部電極 12、13 から 6 層を選択し、各層において均等に離

10

20

30

40

50

間した5箇所の厚みを測定する。そして、一つの視野から得られた30箇所の厚みの平均値を、その視野に含まれる領域の厚みとする。あるいは、積層セラミックコンデンサ10のX軸方向における寸法が例えば1mm以上の大きさで取り扱いが容易であれば、エッチング液に浸漬後のセラミック素体11から内部電極を取り出して、接触式膜厚計で測定することができる。この場合も厚みの算出方法は、上記と同様に内部電極12, 13から6層を選択し、各層において均等に離間した5箇所の厚みを測定し、得られた30箇所の厚みの平均値を対象とする領域の厚みとする。

【0082】

〔回路基板の構成〕

上記構成の積層セラミックコンデンサ10は、例えば回路基板100に実装される。図6は、本実施形態に係る回路基板100の断面図である。

10

【0083】

回路基板100は、積層セラミックコンデンサ10と、積層セラミックコンデンサ10を実装する実装基板110と、を有する。実装基板110は、ランド（接続電極）111aを含む実装面111を有する。積層セラミックコンデンサ10の外部電極14a, 14bは、例えばハンダHによってランド111aに接続される。これにより、積層セラミックコンデンサ10の第2主面11fが実装面111とZ軸方向に対向した状態で、積層セラミックコンデンサ10が実装基板110に実装される。

【0084】

このような回路基板100では、実装基板110から外部電極14a, 14bに電圧が印加される。本実施形態の積層セラミックコンデンサ10は、上述のように絶縁抵抗の低下を抑制することができるため、回路基板100の信頼性も高めることができる。

20

【0085】

〔積層セラミックコンデンサの製造方法〕

図7は、積層セラミックコンデンサ10の製造方法を示すフローチャートである。図8及び9は、積層セラミックコンデンサ10の製造過程を示す図である。以下、これらの図を参照しながら、積層セラミックコンデンサ10の製造方法について説明する。

【0086】

（ステップS01：セラミックシート準備）

本ステップでは、図8及び9を参照し、容量形成部15を形成するための第1セラミックシート101及び第2セラミックシート102と、カバー部16a, 16bを形成するための第3セラミックシート103と、を形成する。

30

【0087】

本ステップにおけるセラミックシート101, 102, 103は、内部電極等が形成されていない、未焼成のセラミックグリーンシートとして構成される。まず、セラミックグリーンシートの材料を混合してスラリーを得る。当該材料は、誘電体セラミックスの粉末と、バインダ樹脂と、有機溶媒と、を含む。これらの材料を粉碎及び混合したスラリーを、ドクターブレード法、ダイコータ法、グラビアコータ法などを用いてシート状に成形する。

【0088】

第1及び第2セラミックシート101, 102の厚みは、焼成後のセラミック層19の厚みに応じて調整される。第3セラミックシート103の厚みは、焼成後のカバー部16a, 16bの厚みに応じて適宜調整される。

40

【0089】

（ステップS02：内部電極パターン形成）

本ステップでは、図8を参照し、容量形成部15を形成するための第1及び第2セラミックシート101, 102上に、内部電極パターン112, 113を形成する。

【0090】

内部電極パターン112, 113は、セラミックシート101, 102に導電性ペーストを塗布することにより形成される。第1内部電極パターン112は、第1内部電極12

50

に対応し、第1セラミックシート101上に形成される。第2内部電極パターン113は、第2内部電極13に対応し、第2セラミックシート102上に形成される。

【0091】

内部電極パターン112, 113に用いられる導電性ペーストは、例えば、導電体粉末と、バインダ樹脂と、有機溶媒等を含む。導電体粉末は、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)、及びこれらの混合物や合金等で構成される。さらに、導電性ペーストは、共材としてセラミック材料を含んでいることが好ましい。セラミック材料は、例えば、誘電体セラミックスの粉末である。

【0092】

図8に示す各セラミックシート101, 102, 103には、セラミック素体11を個片化する際のカットラインLx, Lyが示されている。各内部電極パターン112, 113は、例えば、1本のカットラインLyを跨いで延びる矩形状に構成される。第2内部電極パターン113は、第1内部電極パターン112とX軸方向又はY軸方向に1チップ分ずれて形成されている。

【0093】

本実施形態においては、内部電極パターン112, 113のX軸方向及びY軸方向における端部に沿った周縁領域Ru1を、そのX軸方向及びY軸方向における内側の内側領域Ru2よりも厚く形成することが好ましい。周縁領域Ru1は、第1領域R1に対応する領域とし、内側領域Ru2は、第2領域R2に対応する領域とする。具体的に、例えば、周縁領域Ru1に対して導電性ペーストを複数回塗布してもよい。

【0094】

例えば、周縁領域Ru1のZ軸方向における厚みは、内側領域Ru2のZ軸方向における厚みの1.05倍以上1.2倍以下とすることができる。これにより、焼成後の第1領域R1における第1連続率Aが相対的に高まりやすくなる。

【0095】

(ステップS03：積層)

本ステップでは、図9に示すように、セラミックシート101, 102, 103を積層し、積層シート104を作製する。

【0096】

図9に示す積層シート104では、容量形成部15を形成するセラミックシート101, 102が交互に積層され、そのZ軸方向上下に、第3セラミックシート103が積層される。これらのセラミックシート101, 102, 103は、圧着されることにより一体化される。なお、セラミックシート101, 102, 103の枚数は図9に示す例に限定されない。

【0097】

(ステップS04：切断)

本ステップでは、積層シート104をカットラインLx, Lyに沿って切断することにより、未焼成のセラミック素体11を作製する。切断には、押し切り、ブレードダイシング等の方法を用いることができる。

【0098】

(ステップS05：焼成)

本ステップでは、未焼成のセラミック素体11を焼結させる。これにより、図1～3に示すセラミック素体11が作製される。

【0099】

焼成温度は、セラミック素体11の焼結温度に基づいて決定することができる。例えば、チタン酸バリウム(BaTiO₃)系材料を用いる場合には、焼成温度は1000～1350℃程度とすることができる。また、焼成は、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において行うことができる。

【0100】

本実施形態においては、上述の周縁領域Ru1の厚みを厚くすることに加えて、焼成

10

20

30

40

50

条件を以下のように調整することで、相対的に高い連続性を有する第1領域R1を形成することができる。具体的に、昇温過程においては、内部電極の収縮が開始しない低温度帯（例えば800℃以下）を長時間（例えば95分間以上）維持することが好ましい。これにより、導電性ペースト内の有機物を十分に除去することができる。また、内部電極の収縮が開始して焼結が進む高温帯（例えば800～1350℃）では、焼成時間を短くすることが好ましい。また、当該高温帯において、低温度帯の雰囲気よりも強い還元雰囲気とすることも好ましい。このような高温帯における工夫により、内部電極12, 13の第1領域R1における球状化を抑制することができる。

【0101】

（ステップS06：外部電極形成）

本ステップでは、焼成後のセラミック素体11のX軸方向両端部に外部電極14a, 14bを形成することにより、図1～3に示す積層セラミックコンデンサ10を作製する。本ステップにおける外部電極14a, 14bの形成方法は、公知の方法から任意に選択可能である。例えば、セラミック素体11のX軸方向両端部に導電性ペーストを塗布し、焼き付けることで下地膜を形成する。続いて、この下地膜上に、1又は複数のメッキ膜を形成する。

【0102】

以上の各工程により、図1～3に示す積層セラミックコンデンサ10が製造される。なお、本実施形態における製造方法は、上述の例に限定されない。例えば、ステップ06の導電性ペーストの塗布を、ステップS05の焼成工程の前に行ってもよい。これにより、セラミック素体11の焼成と同時に、外部電極の下地膜を形成することができる。

【0103】

〔実施例及び比較例〕

上記実施形態の実施例及び比較例について説明する。実施例1～6では、内部電極の第1領域の連続率Aが第2領域の連続率Bよりも大きくなる条件で積層セラミックコンデンサのサンプルを作製した。また、比較例1では、内部電極の第1領域の連続率Aが第2領域の連続率Bよりも小さくなる条件で積層セラミックコンデンサのサンプルを作製した。連続率A, Bは、内部電極パターンの周縁領域の厚みと焼成条件によって調整した。

【0104】

実施例1～6及び比較例1ではいずれも、積層セラミックコンデンサのサンプルのサイズを0.4mm×0.2mm×0.2mmとした。また、実施例1～6及び比較例1では、積層セラミックコンデンサのサンプルにおける連続率A, B以外の構成を実質的に同様とした。

【0105】

上記実施形態で説明した、フッ化水素酸（エッチング液）に積層セラミックコンデンサを浸漬させる方法によって、実施例1～6及び比較例1の連続率A, Bを算出した。算出された連続率A, Bをオメガ変換してa, bを算出した。実施例1～6及び比較例1における各値を、表1に示す。

【0106】

10

20

30

40

50

【表 1】

サンプル名	連続率A (%)	連続率B (%)	a (db)	b (db)	a-b (db)	BDV weibull α (V)	BDV weibull β
比較例 1	70	75	3.7	4.8	-1.1	289	6.1
実施例 1	75	70	4.8	3.7	1.1	307	8.7
実施例 2	85	80	7.5	6.0	1.5	294	10.9
実施例 3	90	85	9.5	7.5	2.0	317	16.3
実施例 4	95	90	12.8	9.5	3.2	299	18.7
実施例 5	95	80	12.8	6.0	6.8	318	29
実施例 6	95	70	12.8	3.7	9.1	300	10.4

10

【0107】

(絶縁破壊電圧の評価)

続いて、実施例 1～6 及び比較例 1 のサンプルを 20 個ずつ用いて、絶縁破壊電圧 (BDV) を測定した。BDV は、10 V/秒の速度で DC 電圧を印加することで測定した。

20

実施例 1～6 及び比較例 1 各々の a-b 及び BDV の関係を、ワイブル (weibull) 分布の手法を用いて解析した。そして、実施例 1～6 及び比較例 1 各々について、ワイブル分布のパラメータであるワイブル α 及びワイブル β を算出した。この結果を、表 1 及び図 10 に示す。

なお、ワイブル α は、累積故障率が 63.2% となる分位点を示す。ワイブル β は、時間の経過とともにハザード (瞬間故障率) がどのように変化するかを決定する値である。

【0108】

表 1 及び図 10 に示すように、第 1 領域の連続率 A が第 2 領域の連続率 B よりも小さく、a-b が -1.1 となる比較例 1 のワイブル α は、289 V であった。これに対し、第 1 領域の連続率 A が第 2 領域の連続率 B よりも大きい実施例 1～6 のワイブル α は、294 V 以上であった。これにより、実施例 1～6 のサンプルは、比較例 1 のサンプルよりも、BDV が高い傾向を有することがわかった。

30

【0109】

表 1 及び図 10 に示すように、第 1 領域の連続率 A が第 2 領域の連続率 B よりも小さく、a-b が -1.1 となる比較例 1 のワイブル β は、6.1 であった。これに対し、第 1 領域の連続率 A が第 2 領域の連続率 B よりも大きい実施例 1～6 のワイブル β は、7.8 以上であった。ワイブル β が大きいほど、BDV のばらつきが小さくなるため、上記結果から、実施例 1～6 のサンプルは、比較例 1 のサンプルよりも BDV のばらつきが小さく、安定した BDV を得やすいことがわかった。

40

【0110】

さらに、a-b が 2.0 以上 6.8 以下である実施例 3～5 は、いずれもワイブル β が 15 以上となり、より BDV のばらつきを小さくできることがわかった。

【0111】

これらの結果から、実施例 1～6 のサンプルは、比較例 1 のサンプルよりも絶縁抵抗の低下が生じにくく、信頼性が向上していることがわかった。

【0112】

[他の実施形態]

以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿

50

論である。

【0113】

例えば、積層セラミックコンデンサのZ軸方向における寸法は、積層セラミックコンデンサのX軸方向における寸法又はY軸方向における寸法の少なくともいずれか一方よりも大きくてもよい。つまり、本発明に係る積層セラミックコンデンサは、上記実施形態で例示したサイズよりもZ軸方向における寸法の比率が大きい、高背型であってもよい。

【0114】

このような高背型の積層セラミックコンデンサは、内部電極を含む容量形成部がZ軸方向に厚くなり、内部電極とその周囲のセラミック部分との焼結挙動の差による応力が顕著に生じやすい。また、上記構成では、内部電極の積層数が多くなり、内部電極に用いられる導電性材料のコストの影響が大きくなりやすい。

【0115】

このため、上記構成において、内部電極の第1領域の第1連続率Aを第2領域の第2連続率Bよりも高くすることで、第1領域における絶縁破壊を抑制できる。さらに、第2領域の第2連続率Bを相対的に低くすることで、上記応力に伴うクラック等を抑制し、リーク電流を抑制できることに加えて、導電性材料のコストを抑制することができる。

【0116】

また、第1領域R1の連続率Aを相対的に高くする方法として、第1領域R1の厚みを厚くし、焼成条件を調整する方法を挙げたが、これに限定されない。例えば、第1領域R1と第2領域R2とで、セラミック材料の配合量が異なる導電性ペーストを用いてもよい。この場合は、例えば第1領域R1（周縁領域Ru1）を形成するための導電性ペーストにおけるセラミック材料の配合量を、第2領域R2（内側領域Ru2）を形成するための導電性ペーストにおけるセラミック材料の配合量よりも少なくすることができる。

また例えば、第1領域R1（周縁領域Ru1）および第2領域R2（内側領域Ru2）を形成するための導電性ペーストの主材料をNiとしたとき、添加物として銀（Ag）、クロム（Cr）、イリジウム（Ir）、マグネシウム（Mg）、モリブデン（Mo）、オスmium（Os）、パラジウム（Pd）、白金（Pt）、レニウム（Re）、ロジウム（Rh）、ルテニウム（Ru）、イットリウム（Y）、タングステン（W）の少なくとも1種を、第1領域R1（周縁領域Ru1）のみに添加しても良い。あるいは第1領域R1（周縁領域Ru1）および第2領域R2（内側領域Ru2）の両方に上記の添加物を添加してもよい。この場合は、第1領域R1の上記添加物の含有量が第2領域R2よりも多くなるように調整しても良い。

【符号の説明】

【0117】

10 積層セラミックコンデンサ

11a, 11b 端面

12, 13 内部電極

14a, 14b 外部電極

15 容量形成部

16a, 16b カバー部

17, 17a, 17b サイドマージン部

18, 18a, 18b エンドマージン部

M マージン部

19 セラミック層

E 端部

E1 引出端部

E2 マージン端部

E21 サイド端部

E22 エンド端部

R1 第1領域

10

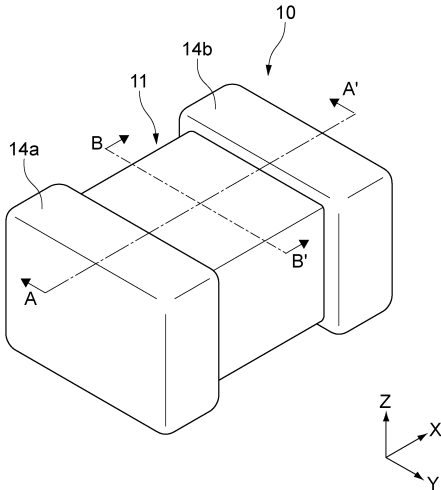
20

30

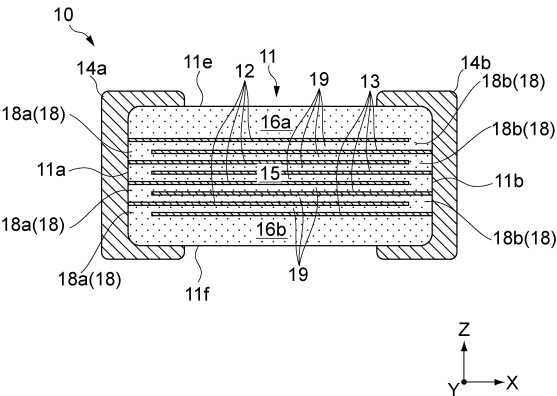
40

50

R 1 1 サイド領域
R 1 2 エンド領域
R 2 第 2 領域
【 図 面 】
【 図 1 】



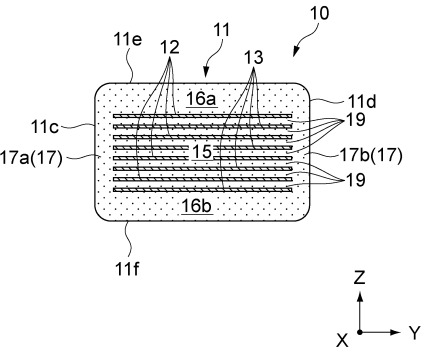
【 図 2 】



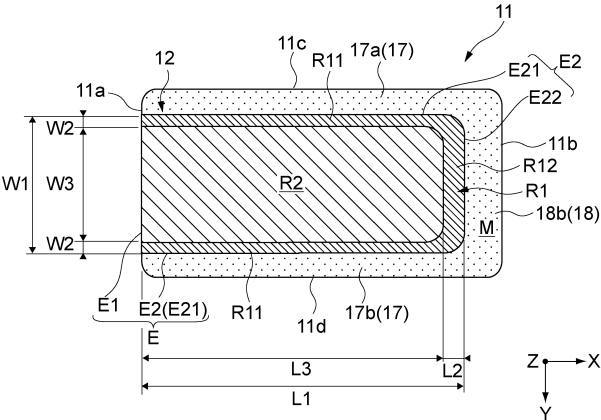
10

20

【 図 3 】



【 図 4 】

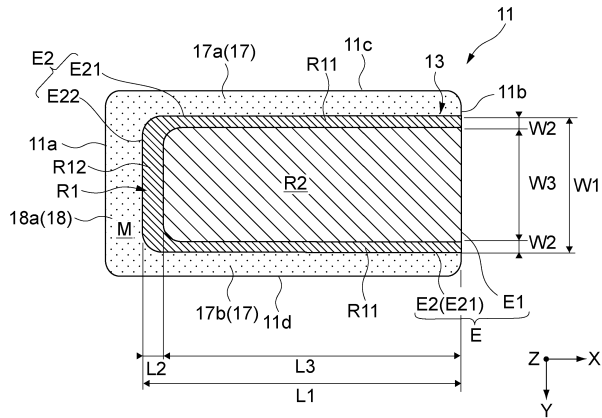


30

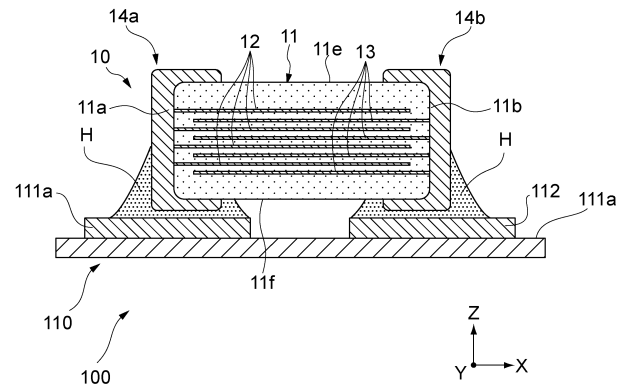
40

50

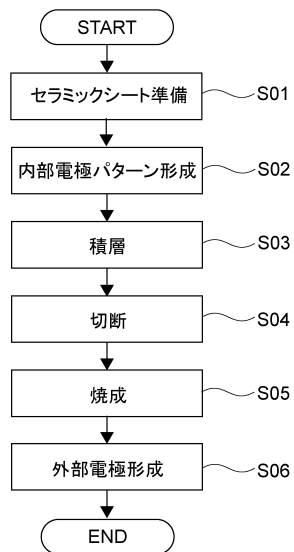
【圖 5】



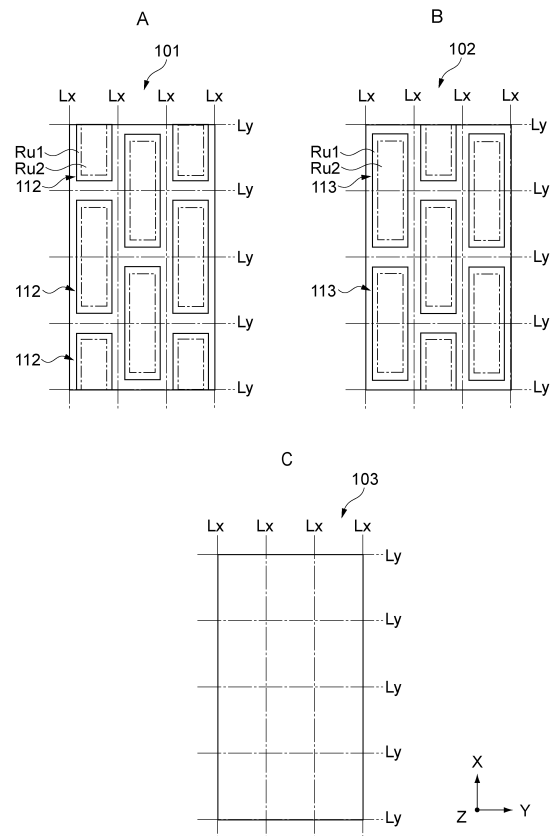
【図 6】



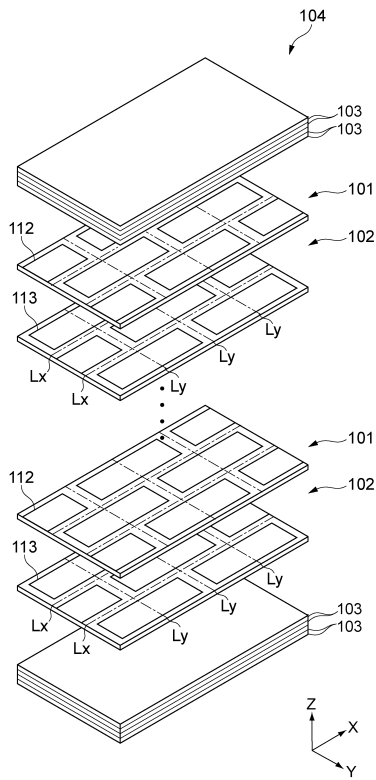
【圖 7】



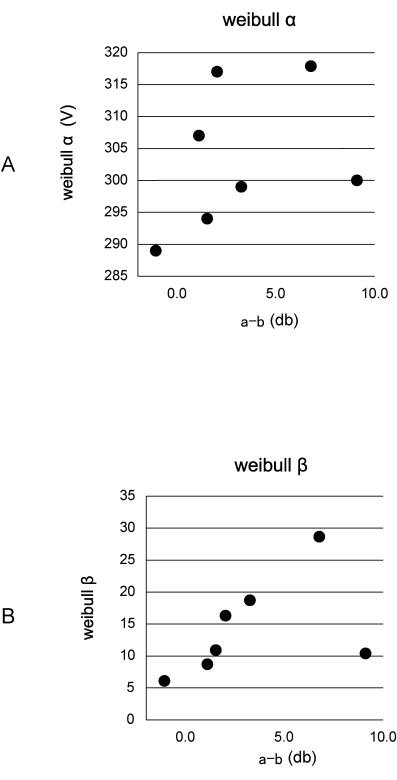
【圖 8】



【図 9】



【図 10】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I			テーマコード (参考)
	H 0 1 G	4/30	5 1 6	
	H 0 1 G	4/30	5 1 2	
F ターム (参考)	FG54 GG10 GG26 GG28 LL02 LL03 MM24			