(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3662316号

(P3662316)

(45)発行日　平成17年6月22日(2005.6.22)　(24)登録日　平成17年4月1日(2005.4.1)

(51)Int.Cl.[7]	F I	
G02F 1/1343	G02F	1/1343
G02F 1/133	G02F	1/133　550
G02F 1/1368	G02F	1/1368
G09G 3/36	G09G	3/36
H01L 21/336	H01L	29/78　612Z

請求項の数 10　(全 21 頁)　最終頁に続く

(21)出願番号　特願平7-299017
(22)出願日　平成7年10月24日(1995.10.24)
(65)公開番号　特開平8-211407
(43)公開日　平成8年8月20日(1996.8.20)
審査請求日　平成14年10月24日(2002.10.24)
(31)優先権主張番号　特願平6-284475
(32)優先日　平成6年10月24日(1994.10.24)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平6-305566
(32)優先日　平成6年11月15日(1994.11.15)
(33)優先権主張国　日本国(JP)

前置審査

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小沼　利光
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　仲沢　美佐子
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】液晶表示装置および液晶表示装置の駆動方法

(57)【特許請求の範囲】

【請求項１】

透光性を有する基板上に信号線、走査線を交差させ、その交差部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の画素電極と、第２の画素電極とが配置されたアクティブマトリクス型の液晶表示装置において、

前記第２の画素電極は、前記第１の画素電極の少なくとも２辺を囲む形状を有し、

前記第１の画素電極は、前記第１の薄膜トランジスタに接続され、

前記第２の画素電極は、前記第２の薄膜トランジスタに接続され、

前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記信号線にそれぞれ接続されていることを特徴とする液晶表示装置。

【請求項２】

透光性を有する基板上に信号線、走査線を交差させ、その交差部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の画素電極と、第２の画素電極とが配置されたアクティブマトリクス型の液晶表示装置において、

前記第２の画素電極は、前記第１の画素電極の少なくとも２辺を囲む形状を有し、

前記第１の画素電極は、前記第１の薄膜トランジスタに接続され、

前記第２の画素電極は、前記第２の薄膜トランジスタに接続され、

前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記信号線および互いに異なる前記走査線にそれぞれ接続されていることを特徴とする液晶表示装置。

【請求項３】
透光性を有する基板上に信号線、走査線を交差させ、その交差部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の画素電極と、第２の画素電極とが配置されたアクティブマトリクス型の液晶表示装置において、
前記第２の画素電極は、前記第１の画素電極の少なくとも２辺を囲む形状を有し、
前記第１の画素電極は、前記第１の薄膜トランジスタに接続され、
前記第２の画素電極は、前記第２の薄膜トランジスタに接続され、
前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記信号線にそれぞれ接続され、
前記第１の画素電極、前記第２の画素電極は、互いに異なる平面上にそれぞれ形成されていることを特徴とする液晶表示装置。
【請求項４】
透光性を有する基板上に信号線、走査線を交差させ、その交差部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の画素電極と、第２の画素電極とが配置されたアクティブマトリクス型の液晶表示装置において、
前記第２の画素電極は、前記第１の画素電極の少なくとも２辺を囲む形状を有し、
前記第１の画素電極は、前記第１の薄膜トランジスタに接続され、
前記第２の画素電極は、前記第２の薄膜トランジスタに接続され、
前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記信号線および互いに異なる前記走査線にそれぞれ接続され、
前記第１の画素電極、前記第２の画素電極は、互いに異なる平面上にそれぞれ形成されていることを特徴とする液晶表示装置。
【請求項５】
第１の透明基板上に信号線、走査線をマトリクス状に交差させ、その交差部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の透明画素電極と、第２の透明画素電極と、を配置し、前記第１の透明基板と、第２の透明基板との間に液晶材料を挟持させたアクティブマトリクス型の液晶表示装置において、
前記第２の透明画素電極は、前記第１の透明画素電極の少なくとも２辺を囲む形状を有し、
前記第１の透明画素電極は、前記第１の薄膜トランジスタに接続され、
前記第２の透明画素電極は、前記第２の薄膜トランジスタに接続され、
前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記信号線および互いに異なる前記走査線にそれぞれ接続されていることを特徴とする液晶表示装置。
【請求項６】
第１の透明基板上に信号線、走査線をマトリクス状に交差させ、その交点部分に第１の薄膜トランジスタと、第２の薄膜トランジスタと、第１の透明画素電極と、第２の透明画素電極と、を配置し、前記第１の透明基板と、第２の透明基板との間に液晶材料を狭持させたアクティブマトリクス型の液晶表示装置において、
前記第２の透明画素電極は、前記第１の透明画素電極の少なくとも２辺を囲む形状を有し、
前記第１の透明画素電極は、前記第１の薄膜トランジスタに接続され、
前記第２の透明画素電極は、前記第２の薄膜トランジスタに接続され、
前記第１の透明画素電極、前記第２の透明画素電極は、前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタにそれぞれ接続され、
前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、互いに異なる前記走査線および互いに異なる前記信号線にそれぞれ接続され、
前記第１の透明画素電極、前記第２の透明画素電極は、互いに異なる平面上にそれぞれ形成されていることを特徴とする液晶表示装置。
【請求項７】

請求項２、請求項４乃至６のいずれか一において、前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタは、前記信号線、前記走査線を介して、第１の駆動回路、第２の駆動回路により、互いに異なるタイミングでそれぞれ駆動されることを特徴とする液晶表示装置。

【請求項８】

請求項７において、前記第１の駆動回路は、前記第２の駆動回路を駆動する画像信号よりも１フレーム期間の少なくとも１以上の自然数倍の時間おくれを有する画像信号で駆動されることを特徴とする液晶表示装置。

【請求項９】

請求項７において、前記第２の駆動回路は画像信号が動きの成分を含んでいる場合にのみ動作することを特徴とする液晶表示装置。

【請求項１０】

透明基板上にマトリクス状に配置された透明画素電極を有し、

前記透明画素電極は走査線、信号線に囲まれた画素領域に、第１の画素電極と、前記第１の画素電極の少なくとも２辺を囲む形状を有する第２の画素電極と、から成り、

前記第１の画素電極は、前記第１の薄膜トランジスタに接続され、

前記第２の画素電極は、前記第２の薄膜トランジスタに接続され、

前記第１の薄膜トランジスタ、前記第２の薄膜トランジスタはそれぞれ異なる前記信号線およびそれぞれ異なる前記走査線に接続されている液晶表示装置において、

入力された画像信号をフレームメモリによって遅延させ、原信号と比較を行い、動き検知回路によって動き部分を検出し、動き部分が検出された場合に、前記第２の薄膜トランジスタを、前記第１の薄膜トランジスタを駆動するより１フレーム以上先の画像信号を用いて駆動することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、アクティブマトリクス型の液晶表示装置及びその駆動方法に関するものである。

【０００２】

【従来の技術】

従来、表示装置としてＣＲＴが最も一般的である。しかし、ＣＲＴは真空のガラスチューブを使用し、高電圧で電子を加速しているため、容積が大きい、重さが大きい、消費電力が大きい等の問題点がある。そのため、プラズマや、液晶を使ったフラットパネル型の表示装置が開発されている。特に近年、液晶表示装置のなかでも、アクティブマトリクス型の液晶表示装置が普及しつつある。

【０００３】

図１０は従来例のアクティブマトリクス型液晶表示装置の構成図であり、画素マトリクス１には、信号線２、走査線３により信号線駆動回路４、走査線駆動回路５が接続されている。

【０００４】

図１１は従来例の画素マトリクス１の構成図であり、ガラス基板上に、信号線１１～１３、走査線１４～１６がマトリクス状に配置され、その交差部分にそれぞれ薄膜トランジスタ１７～２０が配置されている。薄膜トランジスタ１７～２０において、ソース電極は信号線１１～１３に接続され、ゲイト電極は走査線１４～１６に接続されている。また、ドレイン電極は画素領域の液晶セル２１～２４と、保持容量２５～２８とに対応して配置された図示しない画素電極に接続されている。

【０００５】

図１２は薄膜トランジスタ１７～２０の電極に印加される電位の時間変化を示すグラス図であり、図１２（ａ）は薄膜トランジスタのソース電極に印加される電位V_Sであり、図１２（ｂ）はゲイト電極に印加される電位V_Gであり、図１２（ｃ）はドレイン電極の電

位V_Dである。

【０００６】

薄膜トランジスタ１７～２０がＮチャネルの場合、ゲイト電極がハイ（ゲイト電極の電位V_Gがプラス側）になると、薄膜トランジスタ１７～２０はオンとなり、ソース電極の電位V_Sとドレイン電極の電位V_Dは等しくなるように動作する。この動作により、信号線１１～１３の電位が保持容量２５～２８に書き込まれる。次に薄膜トランジスタ１７～２０のゲイト電極がロウ（ゲイト電極のマイナス側電位）になると、薄膜トランジスタ１７～２０はオフとなり、ソース電極、ドレイン電極間はオープン状態になる。これによって、保持容量２５～２８の電位は次に薄膜トランジスタ１７～２０がオンになり、再び書き込みが発生するまでの間、保持される。また、対向電極と画素電極の間に挟まれた図１１の液晶セル２１～２４はその両電極の差電圧が印加され、その電圧に応じて光の偏光特性が変化する。そして、偏光板を介することにより、最終的に透過率が変化して、明暗が形成される。

【０００７】

即ち、液晶表示装置は液晶物質が分子軸に対して平行方向と垂直方向とで誘電率が異なることを利用して、光の偏光や透過光量、さらには散乱量を制御することでＯＮ／ＯＦＦを制御して、明暗を表示する。液晶材料としてはＴＮ液晶、ＳＴＮ液晶、強誘電性液晶等が一般的に使用されている。

【０００８】

また、画素を駆動する周辺駆動回路を作製する方法には、単結晶シリコンのトランジスタ集積回路で作製する方法と、ポリシリコンを利用した薄膜トランジスタで構成し、アクティブマトリクスと同じガラス基板上に一体的に作製する方法とがある。単結晶シリコンで作製された駆動回路はＴＡＢまたはＣＯＧという形でアクティブマトリクスに接続されるのが普通である。他方、ポリシリコン薄膜トランジスタで作製する方法では、駆動回路はＴＡＢやＣＯＧではなく、基板上の金属配線でアクティブマトリクスに接続される。

【０００９】

【本発明が解決しようとする課題】

従来のアクティブマトリクス型液晶表示装置では、液晶材料には低価格及び配向制御が容易な点から、主にＴＮ液晶が使用されている。ＴＮ液晶は偏光板を介した状態で、図１３に示すような透過率－印加電圧（Ｖ）特性を有する。図１３に示すように、透過率－印加電圧（Ｖ）特性は曲線の勾配が比較的緩やかなため、ＴＮ液晶を用いた液晶表示装置は印加電圧により諧調表示が可能である。

【００１０】

しかしながら、ＴＮ液晶は印加する電圧に対する応答が遅いという問題点がある。一般にＴＮ液晶を用いた液晶表示装置では、図１４に示すように諧調が黒から白に変化した場合、またはその逆に白から黒に変化した場合には、１０ｍｓｅｃから数１０ｍｓｅｃの応答遅れが発生する。特に一つの表示画素に着目すると、黒から白に諧調が変化する際に、画素中心部の階調がまず変化して、これに遅れて、表示画素周辺部の諧調が変化していることが観察される。この応答の遅れは、画素領域の液晶の周辺部と中心部とでは、電界を加えた際における応答時間に違いが見られる現象に起因する。

【００１１】

図１５（ａ）、（ｂ）に基づいて、上記の現象を説明する。画素電極に電圧を印加した状態での図１５（ａ）は液晶セル内の液晶分子の模式図であり、図１５（ｂ）は液晶セルの画素電極間の電気力線の模式図である。図１５（ａ）に示すように、液晶セルは一対のガラス基板３１、３２間に液晶分子３３が挟まれており、ガラス基板３１、３２には一対の透明な画素電極３４、３５が対向して設けられている。更に、図示される構成要素以外に配向膜やスイッチング用の薄膜トランジスタが設けられているが、図１５（ａ）ではその記載は省略してある。また、図１５（ａ）に示す構成を一対の偏向板で挟むことによって、最も基本的な構成の液晶表示装置を得ることができる。

【００１２】

図１５（ａ）に示すように、一対の画素電極３４、３５により電界が液晶分子３３に印加されると、図１５（ｂ）に示す電気力線３６に沿って、液晶分子３３の分子軸が一様な方向に揃う。この結果、液晶分子３３中を透過する光の偏光状態が変化する。

【００１３】

しかしながら、画素電極３４、３５の周縁部においては、境界面３７を境として、右側、即ち中央よりの液晶分子３３は向きを変えようと回転するのに対して、左側の液晶分子３３はそのままの状態を保持しようとする。この結果、画素電極３４、３５間において、境界面３７近傍の液晶分子３３は応答速度が画素電極３４、３５の中央付近の変化速度に比べて遅い。

【００１４】

従来のアクティブマトリクス型液晶表示装置は、静止画をＣＲＴと同等以上の画質で表示することが可能であるが、前述したような液晶分子の応答遅れのために、動画像の画質はＣＲＴよりも低い。実際には、この応答遅れは高速で色調が変化した際の表示の不自然さ、動画表示の動きの鈍さとして現れる。

【００１５】

【課題を解決する手段】

上述の問題点を解消するために、本明細書で開示する主要な発明は、

透明基板上に信号線、走査線をマトリクス状に交差させ、その交差部分に薄膜トランジスタと透明画素電極を配置し、前記透明基板と異なる透明基板と、前記透明基板の間に液晶材料を挟み、前記液晶材料に電圧を印加して、表示を行うアクティブマトリクス型の液晶表示装置において、

透明画素電極は走査線、信号線に囲まれた画素領域のほぼ中央に位置する第１の画素電極と第１の画素電極の少なくとも２方向を囲む形状を有する第２の画素電極から成り、第１、第２の画素電極はそれぞれ異なる第１、第２の薄膜トランジスタに接続され、前記第１、第２の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続されている。

【００１６】

図１は上記構成を有する表示装置の具体的な構成図であり、表示単位となる１つの画素セルのみを図示している。信号線１０７、１０８と走査線１０５、１０６は格子状に配置され、この格子部分の中央には透明電極から成る中央画素電極１０１が配置されている。更に、中央画素の略３辺を囲んで「コ」の字型の透明電極から成る周辺画素電極１０２が配置されている。周辺画素電極１０２は中央画素電極１０１の周囲のおよそ３／４を囲んでいる。中央画素電極１０１は第１の画素電極に相当し、周辺画素電極１０２は第２の画素電極に相当する。中央画素電極１０１には第１の薄膜トランジスタ１０３が接続され、周辺画素電極１０２には第２の薄膜トランジスタ１０４が接続されている。薄膜トランジスタ１０３には走査線１０５、信号線１０７が接続され、薄膜トランジスタ１０４には走査線１０６、信号線１０８が接続されている。

【００１７】

動画像を表示する際には、薄膜トランジスタ１０４をＯＮにして、周辺画素電極１０２のみに電圧を印加する。そして所定のタイミングだけ遅らせて薄膜トランジスタ１０３をＯＮにして、中央画素電極１０１にも電圧を印加する。即ち、最初に画素領域の周辺部のおよそ３／４の液晶が応答して、しかる後に画素領域の中心領域を占める液晶が遅れて応答する。

【００１８】

従来例では、画素電極に電荷が印加されても、画素電極の周縁部の液晶は電極外の液晶の影響を受けて、応答が緩慢であったが、本発明では、あらかじめ応答に時間のかかる画素の周辺部の液晶を先に応答させ、しかる後に画素の中心領域の液晶を応答させている。更に、中央画素電極１０１、周辺画素電極１０２の動作タイミングを適宜設定することで、画素領域全体の液晶が立ち上がるタイミングを揃えている。その結果、見かけ上、画素セル内の液晶がほとんど同時に高速に応答するようにして、動画を正確に表示することができる。

【００１９】
上記のように動作させるには、第１の薄膜トランジスタ１０３、第２の薄膜トランジスタ１０４をそれぞれ異なる信号線、走査線を介して、異なる駆動回路によって、異なるタイミングで駆動する必要がある。具体的なタイミングの例としては、例えば第１の薄膜トランジスタ１０３を駆動するための画像信号を第２の薄膜トランジスタ１０４を駆動する画像信号よりも１フレーム期間の少なくとも１以上の自然数倍の時間遅れを有する信号とすればよい。
【００２０】
また、中央画素電極１０１と周辺画素電極１０２とを離して配置しているが、この場合は、その離れる距離が重要である。図１５（ｂ）に示すように、一対の画素電極により電圧を印加した際には、画素の境界面から電気力線がはみだしているため、画素電極に挟まれていない液晶分子も応答している。図３は印加電圧に応答した液晶分子の位置を電極から離間距離として測定した結果を示す。５Ｖの電圧印加に対して、離間距離は４μｍ程度である。これは、５Ｖの電圧印加に対しては、画素電極から４μｍ程度離れた位置に在る液晶分子の向きを変化させることができることを意味している。従って、印加電圧を５Ｖとする場合には、図１において、中央画素電極１０１と周辺画素電極１０２の離間距離は４μｍ以内とすればよい。
【００２１】
更に、本明細書で開示する他の発明は、
液晶に電界を加えるための１単位の領域を有し、
前記１単位の領域には複数の電極が配置されており、
前記複数の電極として、
前記１単位の領域の周辺に接する領域の１／２以上を占める電極と、
前記１単位の領域における中心部分を占める電極と、
を少なくとも有することを特徴とする。
【００２２】
図１は上記構成を有する表示装置の具体的な構成図であり、画素領域として画定される１単位の画素領域は中央画素電極１０１と周辺画素電極１０２から構成され、表示の最小単位となるものである。表示単位となる画素領域の中心部分に中心画素電極１０１が配置され、中心画素電極１０１の周囲に、周辺画素電極１０２が配置されている。
【００２３】
上記の構成を有する発明において、中央画素電極の少なくとも１／２以上の領域が周辺画素電極で占められる必要がある。言い換えれば、表示単位の周辺部の領域を１／２以上を周辺画素電極占める必要がある。これは、中央画素電極下の液晶において、電極外部の液晶と接する部分の割合がその周囲全体に対して５０％以上となると、周辺画素電極を中央画素電極よりも早いタイミングで駆動しても、画素領域周辺の液晶の影響による液晶の応答の遅れが顕著になるからである。図１に示す構成においては、画素領域の周辺に接する領域のおよそ３／４が周辺画素電極１０２によって占められ、中央画素電極下の液晶が電極外部の液晶と接する部分の割合はおよそ２５％となっている。
【００２４】
他の発明の構成は、
液晶に電界を加えるための１単位の領域を有し、
前記領域には複数の電極が配置されており、
前記複数の電極として、
前記１単位の領域の周辺に接する領域の１／２以上を占める電極と、
前記領域における中心領域を占める電極と、
を少なくとも有することを特徴とする。
【００２５】
他の発明の構成は、
液晶に電界を加えるための１単位の領域を有し、

前記領域には複数の電極が配置されており、
前記複数の電極として、
前記領域における中心部を占める電極と、
該電極周囲の１／２以上を囲んで配置された電極と、
を少なくとも有することを特徴とする。
【００２６】
他の発明の構成は、
液晶を用いた表示を行う１単位の領域を有し、
前記１単位の領域の周辺に接する領域の１／２以上の領域に電界を加える手段と、
該手段からの電界が液晶に加えられた後に前記１単位の領域の中心部に電界を加える手段と、
を少なくとも有することを特徴とする。
【００２７】
上記構成を有する発明を図１を用いて具体的に説明する。図１には、中央画素電極１０１と周辺画素電極１０２で構成された１単位の領域が示されている。図１に示す構成においては、この１単位の領域が画素電極となる。ここで、中心画素電極１０１が１単位の領域の中心部を占める電極であり、周辺画素電極１０２がこの１単位の領域の周辺に接する領域のおよそ３／４の領域に電界を加えるための電極である。
【００２８】
図１に示す構成においては、周辺画素電極１０２から液晶に対して電界を印加した後に、所定のタイミングを遅らせて、中心画素電極１０１から液晶に対して電界を印加する。こうして、画素領域の周辺に接する領域から画素領域の中心領域へと順次所定のタイニングで電界を加える構成を実現することができる。このため、応答の遅い画素領域の周辺に接した領域を最初に応答させることができ、結果として画素全体を一様に高速度で応答させることができる。
【００２９】
他の発明の構成は、
液晶の一部の領域に電界を加える手段を少なくとも有する表示装置であって、
前記手段は、
前記一部の領域の周辺に接する領域の１／２以上の領域にまず電界を加え、
その後に他の領域に電界を加える機能を有することを特徴とする。
【００３０】
他の発明の構成は、
液晶の所定の領域に電界を加える手段を少なくとも有する表示装置であって、
前記手段は、
前記所定の領域の周辺に接する少なくとも一部の領域から前記所定の領域の中心部および／または中心周辺部へと順次電界を加える機能を有することを特徴とする。
【００３１】
他の発明の構成は、
液晶の所定の領域に電界を加える手段を少なくとも有する表示装置であって、
前記手段は、
前記所定の領域の周辺に接する少なくとも一部の領域に電界を加えた後前記所定の領域の中心部および／または中心周辺部に電界を加える機能を有することを特徴とする。
【００３２】
上記構成の具体的な例としては、図１に示すように、画素領域である所定の領域の周辺に接する領域に電界を加えるための周辺画素電極１０２と、所定の領域の中心部に電界を加えるための中央画素電極１０１を有する構成を挙げることができる。このような構成を採用することにより、画素領域となる液晶の所定の領域の周辺部から中心部へと順次に液晶を応答させることができ、画素領域周辺の液晶の影響による応答の遅れを補正することができる。

【００３３】
さらに本明細書で開示する発明では、周辺画素電極を中央画素電極とは異なる面内に形成したことを特徴とする。このような構成を採用すると、中央画素電極の周辺領域に電界がより印加されやすくなる構成とすることができる。
【００３４】
また、上述の問題点を解消するために、本明細書で開示する発明の他の主要な構成は、
透明基板上に信号線、走査線をマトリクス状に交差させ、その交差部分に薄膜トランジスタと透明画素電極を配置し、前記透明基板と異なる透明基板と前記透明基板の間に液晶材料をはさみ、前記液晶材料に電圧を印加し、表示を行うアクティブマトリクス型液晶表示装置において、透明画素電極は走査線、信号線に囲まれた画素領域のほぼ中央に位置する第１の画素電極と第１の画素電極を囲む形状を持った第２の画素電極からなり、第１、第２の画素電極は、それぞれ異なる第１、第２の薄膜トランジスタに接続され、前記第１、第２の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続され、前記第１の画素電極と前記第２の画素電極とは、異なる平面上に形成されていることを特徴とする。
【００３５】
更に、本発明の他の構成は、
透明基板上にマトリクス状に配置された透明画素電極を有し、前記透明画素電極は、走査線、信号線に囲まれた画素領域のほぼ中央に位置する第１の画素電極と第１の画素電極を囲む形状を持った第２の画素電極からなり、第１、第２の画素電極はそれぞれ異なる第１、第２の薄膜トランジスタに接続され、前記第１、第２の薄膜トランジスタはそれぞれ異なる信号線、走査線に接続され、前記第１の画素電極と前記第２の画素電極とは異なる平面上に形成されているアクティブマトリクス型の液晶表示装置において、入力された画像信号をフレームメモリによって遅延させ、原信号と比較を行い、動き部分を検出し、動き部分が検出された場合に、前記第２の薄膜トランジスタを、第１の薄膜トランジスタを駆動するより１フレーム以上先の画像信号を用いて駆動することを特徴とする。
【００３６】
図６は上記発明の具体的な構成図であり、アクティブマトリクス方式の液晶表示装置における画素セルの構成図であり、図６（ａ）は画素の上面図を示し、図６（ｂ）は図６（ａ）の線ａ－ａ’で切った断面図である。図６（ａ）に示すように、透光性を有する基板上に、従来の画素に対応する中央画素電極６０１が設けられ、更に、第２の画素電極として、周辺画素電極６０２が中央画素電極６０１の周辺に接し、その４辺を囲むように設けられている。中央画素電極６０１には画素薄膜トランジスタ６０３が接続され、周辺画素電極６０２には薄膜トランジスタ６０４が接続されている。
【００３７】
更に、薄膜トランジスタ６０３、６０４にはそれぞれ走査線６０５、６０６、信号線６０７、６０８が独立に接続されている。更に、走査線６０５、６０６、信号線６０７、６０８にはそれぞれ図示しない駆動回路が独立に接続されている。このため、中央画素電極６０１と周辺画素電極６０２とを異なる駆動回路により、異なるタイミングで動作させることができる。
【００３８】
また、図６（ｂ）に示すように、周辺画素電極６０２は中央画素電極６０１の下層に配置されており、中央画素電極６０１が形成される層と周辺画素電極６０２が形成される層との間には、ＳｉＮ、Al_2O_3 等の絶縁膜層６０９が形成されている。
【００３９】
周辺画素電極６０２を中央画素電極６０１と異なる層に配置することにより、電気的に絶縁された層において、それぞれの電極に接続させる配線を設けることができる。例えば、中央画素電極６０１に接続された配線パターンを絶縁膜６０９上に形成することができるため、周辺画素電極６０２上を横断して配置することができる。従って、中央画素電極６０１の周囲を全て囲んで周辺画素電極６０２を配置することができる。
【００４０】

また、図６（ｂ）に示すように、中央画素電極６０１と周辺画素電極６０２とは、中央画素電極６０１の周縁で重なるようにしている。このような構成を採用したため、中央画素電極６０１の周縁部分に対して、周辺画素電極６０２により、電圧を印加することができる。更に、中央画素電極６０１と周辺画素電極６０２とが部分的に重なっているために、プロセスでのアライメントのずれを補償することができる。このため、プロセスマージンを高めることができる。

【００４１】

具体な動作としては、中央画素電極６０１に電圧が印加されるよりも先に周辺画素電極６０２間に電圧を印加する。すると周辺画素電極６０２に挟まれる液晶分子が長軸の方向が電気力線と平行になるように配向すると同時に、中央画素電極６０１の周縁の液晶分子もが分子の長軸の向きが初期配向状態から、電気力線に沿うようになるように変わる。便宜上これを第１の応答ということとする。

【００４２】

次に、所定の時間遅れたタイミングで中央画素電極６０１にも電圧を印加する。これにより、中央画素電極６０１に挟まれる液晶分子が長軸の方向が電気力線と平行になるように配向する。便宜上、これを第２の応答という。

【００４３】

第２の応答において、周辺画素電極６０２からの電圧印加により、中央画素電極６０１の周縁の液晶分子は既に応答しているため、中央画素電極６０１間の液晶分子は位置に拘らず、応答の遅さが生じることがなく、中央画素電極の領域全体において均一に応答させることができる。

【００４４】

第１の応答に要する時間T_1と第２の応答に要する時間T_2との関係は、$T_1 > T_2$となる。これは、第１の応答において、周辺画素電極６０２に挟まれる液晶分子は周辺の液晶分子の影響を受けて、その応答が遅くなるためである。ここで、ΔＴを$T_1 - T_2 = \Delta T$と定義する。本発明では、周辺画素電極６０２に電圧を印加してから中央画素電極６０１に電圧を印加するまでの時間差がΔＴとなるようにする。これにより、中央画素電極の中央における液晶の応答と中央画素電極の縁近くの液晶の応答とが同時に応答したような状態が実現できる。このような動作状態は、動画の表示において、色調の変化や動画の動きを自然なものとするために非常に有用になる。

【００４５】

なお、周囲画素電極６０２には、ブラックマトリクスを兼ねてクロムを用いることも可能である。これにより、画素周辺領域での液晶分子の配向乱れを遮蔽することができるという利点が生ずる。

【００４６】

他の発明の構成は、
複数の画素電極が配置された画素領域を有する液晶表示装置であって、
前記画素領域には、
画素領域の中心領域を占める第１の画素電極と、
前記第１の画素電極の周囲全てを囲んで形成された第２の画素電極と、
を有することを特徴とする。

【００４７】

上記構成において、画素領域というのは、例えば表示の一つの単位がマトリクス状に配置されている領域のことをいう。例えば、図６に示す構成の場合、周辺画素電極６０２と中央画素電極６０１で構成される領域が画素領域となる。

【００４８】

他の発明の構成は、
複数の画素電極が配置された画素領域を有する液晶表示装置であって、
前記画素領域には、
画素領域の中心領域を占める第１の画素電極と、

前記第１の画素電極の周囲の少なくとも一部を囲んで配置された第２の画素電極と、
を有し、
前記第１の画素電極と前記第２の画素電極とは異なる平面上に形成されていることを特徴とする。
【００４９】
上記構成において、第１の画素電極と前記第２の画素電極とは異なる平面上に形成され、特に第１の画素電極の縁部分と第２の画素電極の一部とが重なることを特徴とする。
【００５０】
具体的な構成としては、図６（ｂ）に示す構成を採用できる。周辺画素電極６０２は中央画素電極６０１の下層に配置され、中央画素電極６０１が形成される層と周辺画素電極６０２が形成される層との間には、絶縁膜層６０９が形成されている。
【００５１】
また、本明細書に開示する発明において、画素を駆動するための周辺駆動回路をポリシリコン薄膜トランジスタにより構成することが好ましい。周辺駆動回路をポリシリコン薄膜トランジスタで構成することにより以下の長所が生ずる。
【００５２】
１、アクティブマトリクスの画素ピッチを小さくできる。
ＴＡＢを用いてアクティブマトリクスを駆動する場合、ＴＡＢのピッチはガラス基板と張り合わせが可能な大きさに限定されるため、アクティブマトリクスのピッチを小さくできない。
駆動回路を基板内に内蔵した場合アクティブマトリクスとの張り合わせが存在しないため、マトリクスのピッチを小さくできる。
【００５３】
２、配線接続の信頼性が向上できる。
ＴＡＢを用いる場合にアクティブマトリクスから外部に対して数千本の配線が出力されるため、ＴＡＢ－アクティブマトリクス基板の接続点において断線の確率が高いというのに対して、駆動回路を内蔵した場合アクティブマトリクス基板より外部にでる端子の数は百分の一程度となり信頼性の向上が期待できる。
【００５４】
３、表示装置の大きさを小さくできる。
ＴＡＢを用いる場合に画面の大きさが小さい表示装置、たとえばビュウファインダの様なものではアクティブマトリクスよりも駆動回路のＴＡＢの方が大きくなりビデオカメラ等の容積縮小の足かせとなっていた。駆動回路内蔵の場合、回路の幅は５ｍｍ以下に抑えることが可能であるため、ビュウファインダ等の表示装置の小型化に貢献することが可能である。
【００５５】
【作用】
本明細書で開示する発明は画素電極を中央画素電極と周囲画素電極に分離し、画面上で「動き」を要求される部分では予め周囲画素電極を駆動し、中央画素電極を駆動しようとしたときに、液晶材料が印加電圧に対して容易に応答させるようにしている。即ち、応答に時間のかかる画素の周辺に接する領域の液晶を先に応答させ、しかる後に画素の中心領域の液晶を応答させることによって、見かけ上、画素内の液晶がほとんど同時に高速に応答するようにしている。
【００５６】
更に、本明細書で開示する発明では、画像信号をフレームメモリにより遅延させて、遅延前後の画像信号データを比較することにより、動き部分を検出して、動きが検出された場合には、上記のように周辺画素電極を先に駆動して、中央画素電極を１フレームの自然数倍ずらしたタイミングで駆動して、動画を正確に表示するようにする。
【００５７】
【実施例】

〔実施例１〕　図１は本明細書で開示する発明を利用して、アクティブマトリクス型の液晶表示装置の一つの画素セルの構成図である。従来では、１つの画素で構成されていた画素電極を本実施例では中央の画素電極と、その周囲を囲む画素電極とに分割することを特徴とする。

【００５８】

図１は上記構成を有する表示装置の具体的な構成図であり、表示単位となる１つの画素セルのみを図示している。信号線１０７、１０８と走査線１０５、１０６は格子状に配置され、この格子部分の中央には透明電極から成る中央画素電極１０１が配置され、中央画素の略３辺を囲んで「コ」の字型の透明電極から成る周辺画素電極１０２が配置されている。従って、周辺画素電極１０２は中央画素電極１０１の周囲のおよそ３／４を囲んでいる。中央画素電極１０１には第１の薄膜トランジスタ１０３が接続され、周辺画素電極１０２には第２の薄膜トランジスタ１０４が接続されている。薄膜トランジスタ１０３には走査線１０５、信号線１０７が接続され、薄膜トランジスタ１０４には走査線１０６、信号線１０８が接続されている。走査線１０５、１０６、信号線１０７、１０８にはそれぞれ図示しない駆動回路が独立に接続されている。

【００５９】

図２は画素セルの断面構成図であり、透明基板１１０上に、中央画素電極１０１、周辺画素電極１０２が形成されている。他方の透明基板１１１上には、中央画素電極１０１に対向する中央画素電極１１２と、周辺画素電極１０２と対向する周辺画素電極１１３がそれぞれ形成されている。また、透明基板１１０、１１１間には、液晶１１４が封入されている。

【００６０】

画素セルが表示すべき画面が静止画像の場合は、従来の方式の駆動方法を採用すればよく、中央の画素電極１０１が従来の画素電極と同じ役割を果して画面表示を行う。

【００６１】

動画を表示する場合には、中央画素電極１０１の境界面（周囲と接する部分）の動作速度を改善するため、中央画素電極１０１、周辺画素電極１０２を異なるタイミングで駆動させ、動画を正確に表示するようする。最初に、周辺画素電極１０２、１１３のみにより電圧を印加する。図２（ｂ）は、周辺画素電極１０２、１１３のみに電界を印加した状態での電気力線１１５の様子を示したものである。

【００６２】

図２（ｂ）に示すように、電気力線１１４は周辺画素領域の外側にも作用するため、周辺画素電極１０２、１１１に挟まれている液晶分子１１４をが応答させると共に中央画素電極１０１、１１２の周縁部の液晶分子１１４をも予め応答させて、その向きを変化させることができる。

【００６３】

そして、中央画素電極１０１、１１２により中央画素電極１０１１１２に挟まれている液晶分子１１４に電界を印加する。この状態での液晶分子１１４を図２（ａ）に示めす。この状態では、中央画素電極１０１、１１２の周縁部の液晶分子が１１４予め応答しているので、電極１０１、１０２、１１２、１１３が配置されていない領域の液晶分子１１４の影響を受けずに、中央画素電極１０１、１１２の間の液晶分子１１４は円滑に応答することができる。

【００６４】

本実施例では、中央画素電極１０１、１１２と周辺画素電極１０２、１１３とを離して配置するようにしたが、その離す距離が重要になる。図２（ａ）に示すように一対の画素電極から電圧を印加した際に、画素の境界面から電気力線１１５がはみだす。その結果、周辺画素電極１０２、１１３の境界面の外側の液晶分子１１４も応答させることができる。

【００６５】

図３は印加電圧に応答した液晶分子の位置を電極から離間距離として測定した結果を示す。５Ｖの電圧印加に対して、離間距離は４μｍ程度である。これは、５Ｖの電圧印加に対

しては、画素電極から４μｍ程度離れた位置に在る液晶分子の向きを変化させることができることを意味している。従って、印加電圧を５Ｖとする場合には、図１において、中央画素電極１０１と周辺画素電極１０２の離間距離は４μｍ以内とすればよい。４μｍの離間距離を形成するには、現在の液晶表示装置のフォトリソグラフィの解像度を考慮すると十分可能である。

【００６６】

〔実施例２〕　本実施例は、表示単位が２つの画素電極から成る画素マトリクスの駆動方法を示す。本実施例では、画素電極を実施例１と同じ構成とする。従って、中央画素電極、周辺画素電極を独立に動作させるために、それぞれに対してスイッチング素子となる薄膜トランジスタを独立に接続し、更に、これらの薄膜トランジスタ対して駆動回路を独立に接続する必要がある。

【００６７】

一般に、周辺駆動回路は信号線駆動回路と走査線駆動回路とで構成される。これらの信号線駆動回路と走査線駆動回路とが一体的に動作して、各画素領域において１つの薄膜トランジスタを駆動することができる。本実施例では、中央画素領域と周辺画素領域において異なる動作を行う薄膜トランジスタが２つ配置されているので、信号線駆動回路と走査線駆動回路とはそれぞれ２組以上、最低でも２組必要となる。

【００６８】

図４は本実施例の液晶表示装置の概略の構成図である。図４（ａ）に示すように、画素マトリクス４０１は、図１、２に示す中央画素電極、周辺画素電極から成る画素セルがマトリクス状に配置されている。中央画素電極に接続された薄膜トランジスタを制御するために、信号線駆動回路４０２、走査線駆動回路４０４がそれぞれ信号線、走査線により画素マトリクス４０１に接続されている。更に、周辺画素電極に接続された薄膜トランジスタを制御するために、信号線駆動回路４０３、走査線駆動回路６０５がそれぞれ信号線、走査線により画素マトリクス４０１に接続されている。信号線駆動回路４０２、４０３にはそれぞれ動き検出回路４０６の出力が接続されている。

【００６９】

信号線駆動回路４０２、４０３、走査線駆動回路４０４、４０５は画素マトリクス４０１をの４辺を取り囲むように配置され、かつ、画素マトリクス４０１を隔てて、信号線駆動回路４０２と４０３が対峙し、走査線駆動回路４０４と４０５が対峙している。図４（ｂ）は周辺駆動回路の配置の変形例であり、図４（ａ）と同じ符号は同じ部材を示している。図４（ｂ）に示すように、画素マトリクス４０１の２辺を取り囲むように、信号線駆動回路４０２、４０３、走査線駆動回路４０４、４０５を配置して、かつ信号線駆動回路４０２と４０３及び走査線駆動回路４０４と４０５がそれぞれ同じ側に配置されている。ただし信号線駆動回路４０２、４０３、走査線駆動回路４０４、４０５はそれぞれ信号線、走査線を共有していない。

【００７０】

図５は信号線駆動回路４０２、４０３に表示信号を与えるためのシステムのブロック図であり、このシステムでは、外部から入力される画像信号はデジタル信号であり、システムから出力される信号もデジタル信号である。図５に示すように、フレームメモリ４０７、動き検出回路４０６にはそれぞれ外部から画像信号が入力される。フレームメモリ４０７の出力は動き検出回路４０６、信号線駆動回路４０３、フレームメモリ４０８にそれぞれ接続され、フレームメモリ４０８の出力は信号線駆動回路４０２に接続されている。

【００７１】

フレームメモリ４０７には外部から画像信号が入力されて、１フレーム分の画像データとして記憶される。フレームメモリ４０７は記憶している画像データをフレームメモリ４０８に出力する。フレームメモリ４０８はその画像データを記憶する。画像データをフレームメモリ４０８に出力すると、フレームメモリ４０７には新たな画像データが外部から入力されて、記憶されている画像データが更新される。即ち、フレームメモリ４０７は画像データをフレームメモリ４０８に出力する毎に、画像データが更新されるため、フレーム

メモリ４０７に記憶されている画像データはフレームメモリ４０８に記憶されている画像データよりも１フレーム先のデータとなる。

【００７２】

動き検知回路４０６には、外部からの画像信号と、フレームメモリ４０７に記憶された画像データがそれぞれ入力される。動き検出回路４０６において、外部からの画像信号に「動き」の成分が在るか否かが判断される。フレームメモリ４０７から入力された画像データは外部からの画像信号よりも１フレーム後のデータとなるため、フレームメモリ４０７から入力された画像データを基準にして、外部から入力された画像信号から「動き」の成分を検出する。そのため入力された２つの画像データが減算されて、差分信号が作成され、この差分信号からノイズ成分を除去た後に、「動き」を現すものであるか、否かを判断する。

【００７３】

差分信号が「動き」を示すものでない場合には、動き検出信号４０６から駆動信号が信号線駆動回路４０２に出力されて、信号線駆動回路４０２は駆動信号が入力されると、信号線を介して薄膜トランジスタを駆動して、従来の画素電極と同様に、中央画素電極に画像データを書き込む。

【００７４】

差分信号が「動き」を示すものである場合には、動き検出信号４０６から駆動信号が信号線駆動回路４０３に出力される。信号線駆動回路４０３は駆動信号が入力されると、信号線を介して薄膜トランジスタを駆動して、周辺画素電極にフレームメモリ４０７に記憶されている画像データを書き込む。これと同時に、フレームメモリ４０７に記憶されている画像データはフレームメモリ４０８出力されて、遅延された後に、信号線駆動回路４０２により薄膜トランジスタを駆動して、中央画素に書き込まれて、中央画素と周辺画素には同一フレームの画像データが表示される。

【００７５】

このように、２つのフレームメモリ４０７、４０８に画像データを蓄積することにより、中央画素に書き込む画像データを遅延させて、かつ周辺画素に画像データを書き込むタイミングを中央画素よりも１フレーム先にすることができるため、実質的には、中央部と周辺部との応答の差が生じなくなり、動画像を正確に表示することが可能になる。

【００７６】

図６の例ではデジタル信号処理を想定しているが、画像信号がアナログの場合には、フレームメモリ４０７、４０８に画像信号を入力する際には、ＡＤコンバータによりデジタル信号に変換するようにして、信号線駆動回路４０２、４０３からの出力信号はＤＡコンバータにより、アナログ信号に変換して、画素マトリクスに出力するようにすればよい。

【００７７】

〔実施例３〕　本実施例は実施例１の変形例であり、中央画素電極と周辺画素電極とが重なるように配置することを特徴とする。画素セルは透光性を有する一対のガラス基板間にネマチック性を有する液晶材料を挟持した構成を有し、図６（ａ）は１つの画素領域の上面図であり、図６（ｂ）は図６（ａ）の線ａ－ａ‘で切った断面図である。また、図７は画素セルの断面構成図である。

【００７８】

図６（ａ）に示すように、従来の画素に対応する中央画素電極６０１が設けられている。中央画素電極６０１の周辺に接して、その周辺を囲むように周辺画素電極６０２が設けられている。中央画素電極６０１には画素薄膜トランジスタ６０３が接続され、周辺画素電極６０２には画素薄膜トランジスタ６０４が接続されている。これらの薄膜トランジスタ６０３、６０４のゲイト電極、にはそれぞれ走査線６０５、６０６が接続され、ソース電極には信号線６０７、６０８が独立に接続されている。また、これらの走査線６０５、６０６、信号線６０７、６０８にはそれぞれ図示しない駆動回路が独立に接続されている。

【００７９】

また、図６（ｂ）に示すように、周辺画素電極６０２は中央画素電極６０１の下層に配置

されており、中央画素電極６０１が形成される層と周辺画素電極１６２が形成される層との間には、絶縁膜層６０９が形成されている。

【００８０】

以下に液晶表示装置のアクティブマトリクスパネルの作製方法を説明する。第１の透明基板６１０として、コーニング社製の＃７０５９ガラス基板（厚さ１．１ｍｍ）または＃１７１３ガラス基板（厚さ１．１ｍｍ）を用いる。この透明基板６１０上に画素電極を駆動するための薄膜トランジスタ、周辺画素電極、及び中央画素電極をそれぞれ形成する。画素は必要とする数をマトリクス状に形成する。

【００８１】

通常のスパッタ法により、透明基板６１０上に、クロムを厚さ１０００Åに成膜して、パターニングを施すことにより周辺画素電極６０２を形成する。この周辺画素電極６０２はブラックマトリクスとしても機能する。周辺画素電極６０２の形成と同時、その前に或いは後に、周辺画素電極６０２と薄膜トランジスタ６０４とを接続するための図示しない配線パターンを形成する。

【００８２】

周辺画素電極６０２上に、スパッタ法により酸化アルミニウム膜を成膜してパターニングして、絶縁膜６０９を形成する。なお、絶縁膜６０９を窒化珪素で形成してもよい。更に、絶縁膜６０９上に、厚さ１０００ÅのＩＴＯ膜をスパッタ法により成膜する。ＩＴＯ膜をパターニングして、中心画素電極６０１を形成する。中心画素電極６０１の形成と同時、その前或いは後に、中央画素電極６０１と薄膜トランジスタ６０３とを接続するための配線パターンを形成する。

【００８３】

ここで重要なことは、中央画素電極６０１と薄膜トランジスタ６０３を結ぶ配線は絶縁膜６０９上に形成され、周辺画素電極６０２と薄膜トランジスタ６０４とを結ぶ配線は絶縁膜６０９下に形成されることである。このような構成を採用することで、中央画素電極６０１と周辺画素電極６０２とを一部重ねて配置することや、中央画素電極６０１の周囲を全て囲んで周辺画素電極６０２を配置することができる。なお、第１の透明基板６１０上には、ここでは詳述しないが、周辺駆動回路領域等が薄膜トランジスタによって形成される。

【００８４】

更に、第２の透明基板６０２として、コーニング社製＃７０５９（厚さ１．１ｍｍ）または＃１７３７（厚さ１．１ｍｍ）ガラス基板を用いる。その基板上に、第１の透明基板６１０に形成された、中央画素電極６０１、周辺画素電極６０２の対向電極をそれぞれ形成する。

【００８５】

透明基板６１１上に、厚さ１０００Åのクロムをスパッタ法により成膜する。そしてパターニングして、周辺画素電極６０２に対向する周辺画素電極６１２を形成する。この周辺画素電極６１２はブラックマトリクスとしても機能する。次に、周辺画素電極６１２上に、スパッタ法により酸化アルミニウム膜を成膜し、パターニングして、絶縁膜６１３を形成する。更に、絶縁膜６１３上に、厚さ１０００ÅのＩＴＯ膜をスパッタ法により成膜する。ＩＴＯ膜をパターニングして、中心画素電極６０１との対向電極として中心画素電極６１４を形成する。この中心画素電極６１４は、パターニングせずに、全面にベタに形成されるものでよい。以上のプロセスにより、液晶表示装置を構成する一対の透光性基板が完成する。

【００８６】

次に、透明基板６１０、６１１の液晶に接する面に、液晶材料を配向制御するための図示しない配向膜を形成する。配向膜として、ポリイミド系樹脂を成膜して、ラビング処理を施す。本実施例ではＴＮ型とするため、ラビングの方向は、透明基板６１０と６１１とで直交するようにする。

【００８７】

そして、所定の間隔を開けて透明基板６１０と６１１とをエポキシ系接着剤により張り合わせる。この際に、直径５．０μｍの球形スペーサをにより透明基板６１０と６１１との間隔を制御する。そして、液晶材料を第１及び第２の基板６１０、６１１間に注入する。注入法としては、例えば真空注入法を用いればよい。

【００８８】

静止画像を表示する際には、中央画素電極６０１、６１４を従来例と同様に駆動すればよい。中央画素電極６０１、６１４が従来の画素電極と同じ役割をして画面表示をおこなう。

【００８９】

動画を表示する際には、２種類の画素電極を異なるタイミングで動作させ、表示速度の向上を図る。そのため、周辺画素電極により電圧を印加して、所定のタイミング遅れて中央画素電極から電圧を印加するようにする。

【００９０】

図７は、一対の透明基板６１０と６１１との間において、周辺画素電極６０２、６１２間のみに電圧を印加した状態を示し、図７（ａ）は電気力線６１５の様子を示したものであり、図７（ｂ）は液晶分子６１６の状態を示したものである。

【００９１】

中央画素電極６０１、６１４に電圧が印加されるよりも先に周辺画素電極６０２、６１２間に電圧を印加する。このため、中央画素領域の周縁領域の液晶分子６１６が分子長軸の向きを電気力線６１５の向きに従うように初期配向状態から変化する。次に、少し遅れたタイミングで中央画素電極６０１、６１４にも電圧を印加する。中央画素電極６０１、６１４間に電圧が印加された状態では、中央画素領域のの周縁の液晶分子は既に周辺画素電極６０２、６１２から印加されている電圧に応答している。従って、中央画素電極６０１、６１４による電圧に対する液晶分子の応答は、その周辺領域の液晶が遅さが生じることがなく、中央画素の領域全体において均一な応答させることができる。

【００９２】

本実施例は、周辺画素電極６０２、６１２をブラックマトリクスを兼ねたクロムで作成したため、周辺画素電極６０２、６１２を中央画素電極６０１、６１４と異なるタイミングで動作させても、画素周辺領域での液晶分子の配向乱れを遮蔽することができるという利点が生ずる。また、図６、７に示す画素セルを駆動するには、実施例２の駆動回路を用いることが可能である。

【００９３】

なお、中央画素電極と周辺画素電極を独立に動作させることができるのであれば、図８に示す構成を採用することも可能である。図８において、図６と同じ符号は同じ部材を表す。図８に示すように、中央画素電極６０１には画素薄膜トランジスタ６０３が接続され、周辺画素電極１０２には画素薄膜トランジスタ１０４が接続されている。これらの薄膜トランジスタのゲイト電極は同一の走査線６０５に接続され、他方、ソース電極はそれぞれ相異なる信号線６０７、６０８に接続されている。

【００９４】

図８に示す構成を採用することにより、図６に示す構成と比較して、薄膜トランジスタ６０３、６０４の配置がより簡潔となると共に、同一画素数で必要とする走査線を半減できるので、画素の開口率を向上することもできる。

【００９５】

更に、薄膜トランジスタ６０３、６０４が共通の走査線６０５に接続されているため、従来例と同様に、画素を駆動する周辺回路には、走査線駆動回路１つを設ければよく、例えば、図４（ａ）に対応して、図９に示す構成を採用することができる。

【００９６】

図９に示すように、画素マトリクス９０１には、２つの信号線駆動回路９０２、９０３と、走査線駆動回路９０４とが画素マトリクスの３辺を取り囲むように接続され、信号線駆動回路９０２、９０３にはそれぞれ動き検出回路９０６が接続されている。走査線駆動回

路９０４は共通であるが、信号線駆動回路９０２、９０３は独立に設けられているため、中央画素電極６０１、周辺画素電極６０２には互いに異なる画像信号を入力することが可能である。このため、実施例２と同様に、動き検出回路９０６において画像信号に「動き」成分があるか否かを判別して、中央画素電極６０１、周辺画素電極６０２を独立に制御することにより、静止画、動画共に良好に表示することができる。

【００９７】

【効果】

本発明は画素を中央画素と周囲画素の２つの領域に分離して、画面に高速動作が要求される場合には、周辺画素をあらかじめ、中央画素に先行して動作させることにより、中央画素の動作速度を向上させる効果をもつ。従って、液晶表示装置の動作速度を向上すことが可能になり、より高画質な表示をユーザーに提供することが可能になる。

【図面の簡単な説明】

【図１】　実施例１の画素セルの上面構成図である。

【図２】　画素セルの断面構成図であり、図２（ａ）は液晶の応答を説明する模式図であり、図２（ｂ）は電気力線の模式図である。

【図３】　印加電圧に対する、応答可能な液晶分子の電極からの距離の関係を示すグラフ図である。

【図４】　実施例２のアクティブマトリクス型の液晶表示装置の概略図である。

【図５】　動き検出システムのブロック回路図である。

【図６】　実施例３の画素電極の上面構成図である。

【図７】　画素電極の断面構成図であり、図７（ａ）は電気力線の模式図であり、図７（ｂ）は液晶分子の応答を説明する模式図である。

【図８】　実施例３の変形例の画素電極の上面構成図である。

【図９】　アクティブマトリクス型の液晶表示装置の概略図である。

【図１０】　従来例のアクティブマトリクス型の液晶表示装置の概略構成図である。

【図１１】　従来例の画素マトリクスの概略図である。

【図１２】　従来例のアクティブマトリクスの駆動波形図である。

【図１３】　ＴＮ液晶の透過率－印加電圧特性図である。

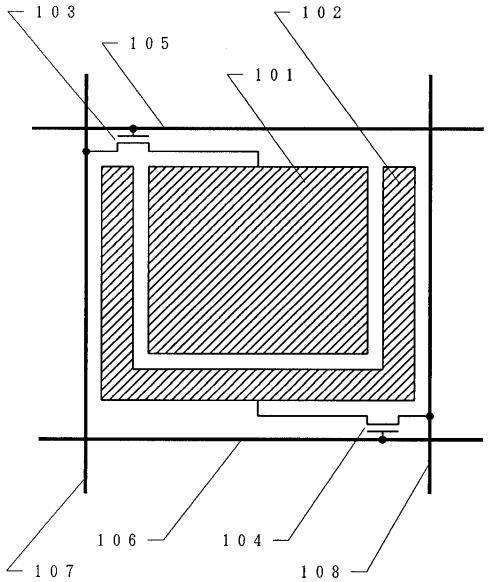
【図１４】　ＴＮ液晶の応答特性図である。

【図１５】　従来例の画素電極の液晶分子の応答を説明する模式図である。

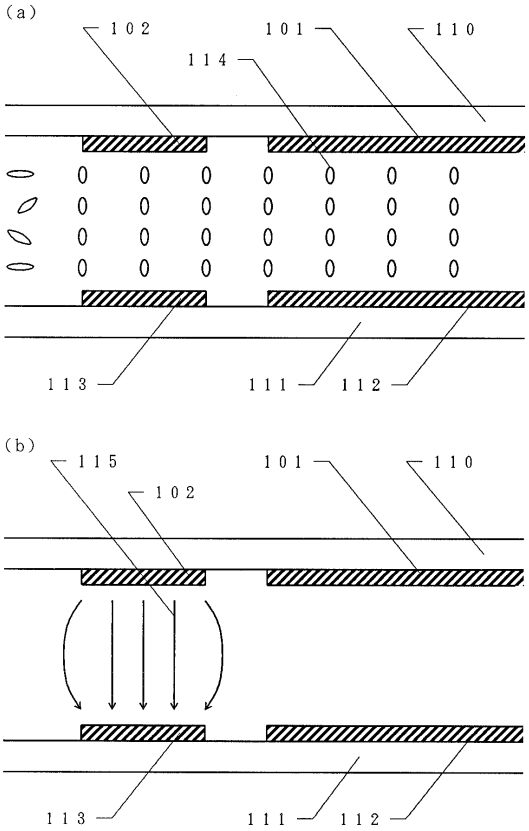
【符号の説明】

中央画素電極	：１０１、１１２、６０１、６１４
周辺画素電極	：１０２、１１３、６０２、６１２
薄膜トランジスタ	：１０３、１０４、６０３、６０４
走査線	：１０５、１０６、６０５、６０６
信号線	：１０７、１０８、６０７、６０８
透明基板	：１１０、１１１、６１０、６１１
信号線駆動回路	：４０２、４０３、９０２、９０３
走査線駆動回路	：４０４、４０５、９０４
動き検出回路	：４０６、９０６
フレームメモリ	：４０７、４０８
絶縁膜	：６０９、６１３

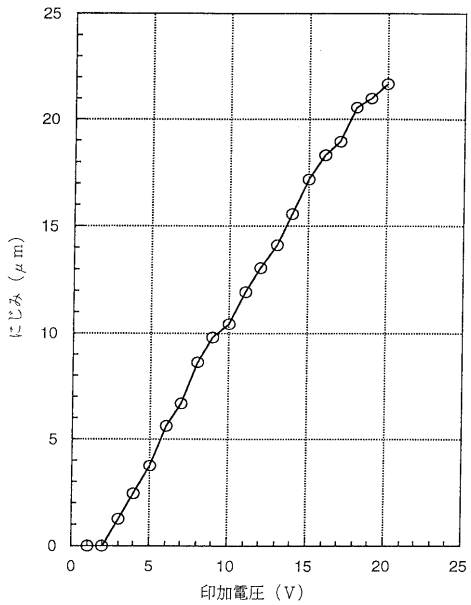
【図１】


１０３
１０５
１０２
１０１
１０６
１０４
１０７
１０８

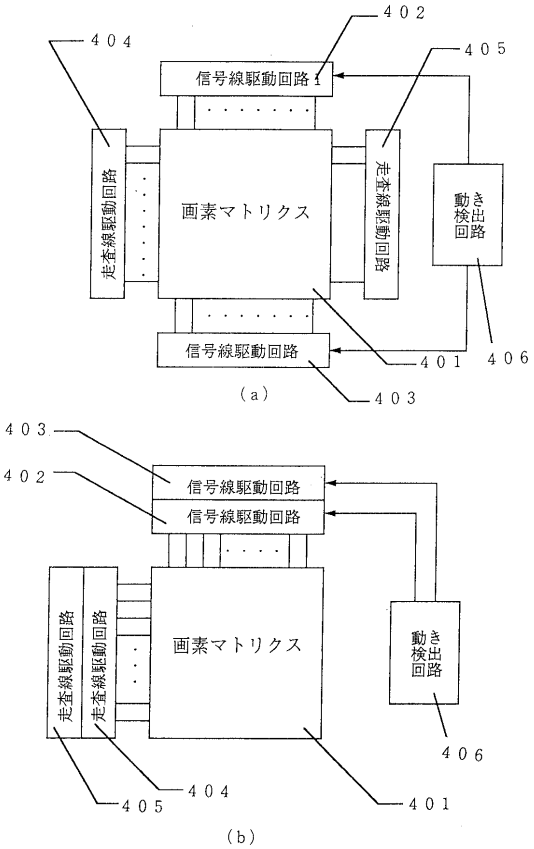
【図２】


(a)
１０２
１０１
１１０
１１４
１１３
１１１
１１２
(b)
１１５
１０２
１０１
１１０
１１３
１１１
１１２

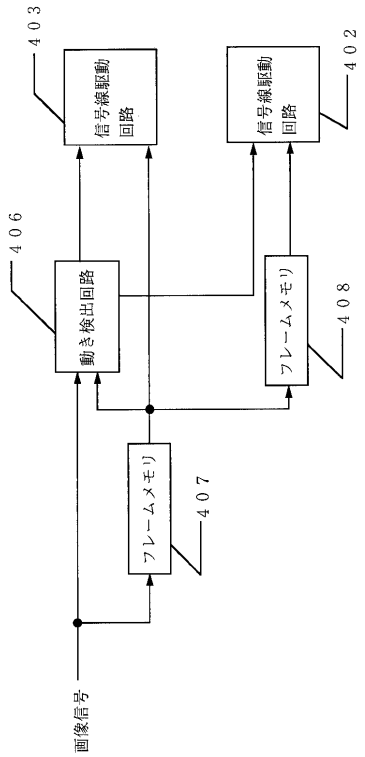
【図３】


にじみ（μm）
印加電圧（V）
0
5
10
15
20
25

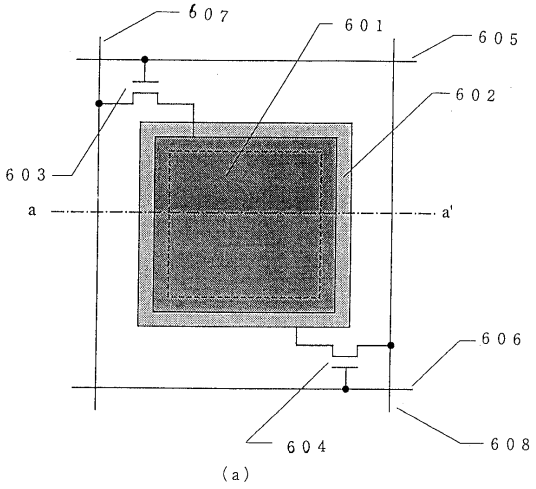
【図４】


４０２
４０４
４０５
信号線駆動回路１
走査線駆動回路
画素マトリクス
走査線駆動回路
動検出回路
信号線駆動回路
４０１
４０６
４０３
(a)
４０３
４０２
信号線駆動回路
信号線駆動回路
走査線駆動回路
走査線駆動回路
画素マトリクス
動検出回路
４０６
４０５
４０４
４０１
(b)

【図５】

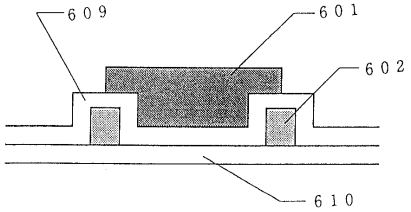


【図６】



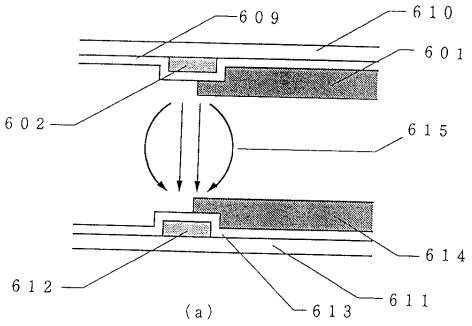
(a)

(a-a' 断面)

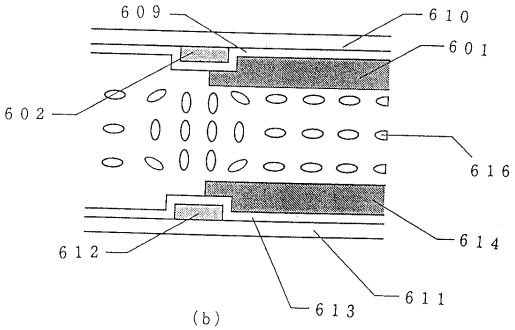


(b)

【図７】

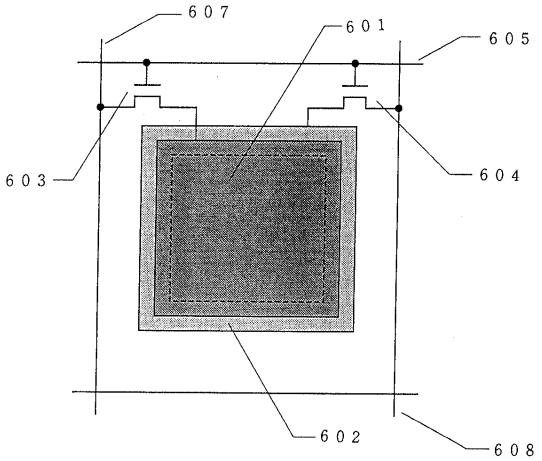


(a)

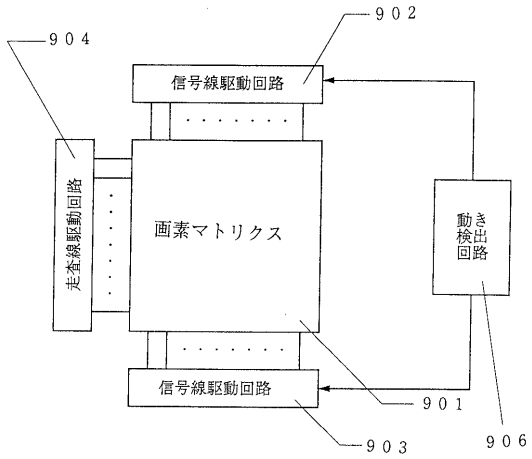


(b)

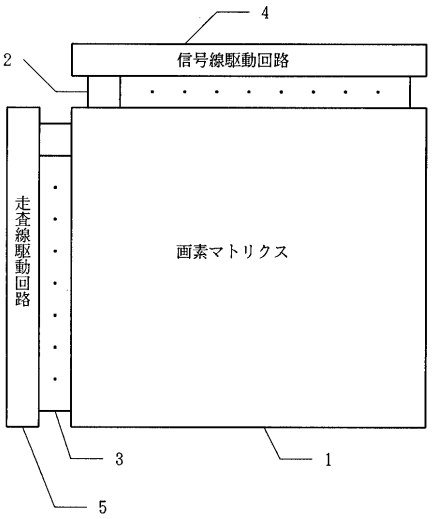
【図８】



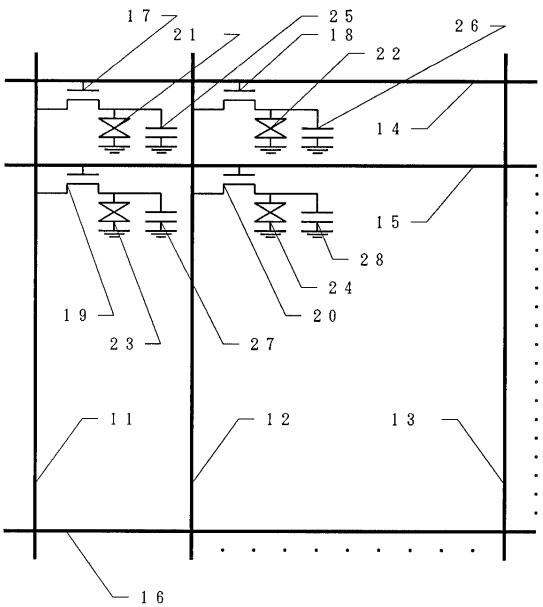
【図９】



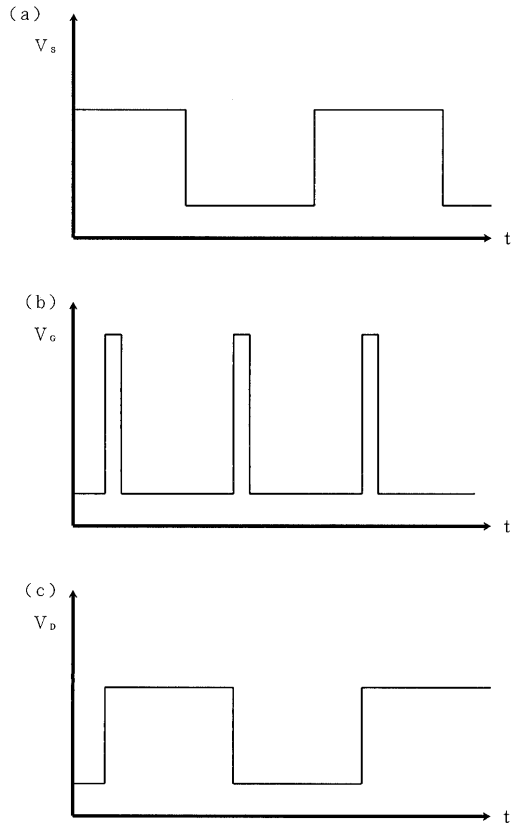
【図１０】



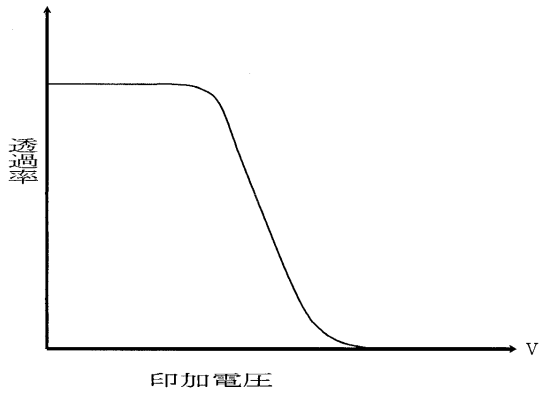
【図１１】



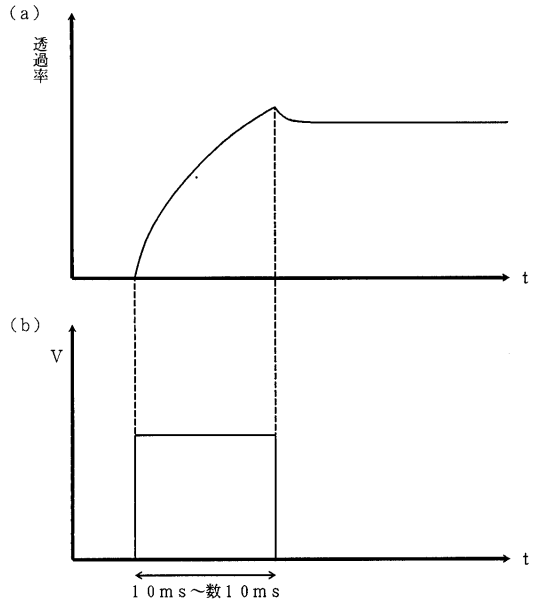
【図１２】



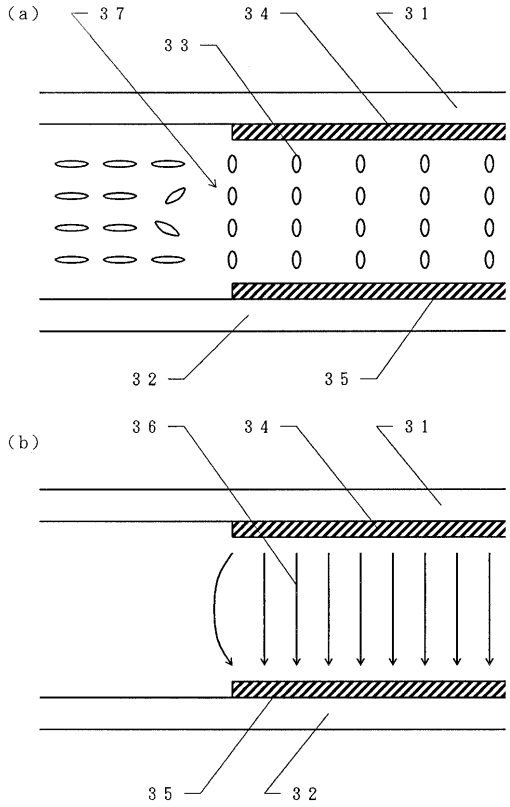
【図１３】



【図１４】



【図１５】



フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ１Ｌ　29/786

(72)発明者　西　毅
　　神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

　審査官　右田　昌士

(56)参考文献　特開平０３－１９６０１９（ＪＰ，Ａ）
　　特開平０４－３４８３２４（ＪＰ，Ａ）
　　特開平０５－０７２５５４（ＪＰ，Ａ）
　　特開平０６－２２２３９２（ＪＰ，Ａ）
　　特開昭６２－２１８９８７（ＪＰ，Ａ）
　　特許第３５２０３８２（ＪＰ，Ｂ２）
　　特開平０６－３０８５３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　G02F　1/1343
　　G02F　1/1362
　　G02F　1/133
　　G09G　3/36
　　H01L 29/78