(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/32 (2006.01)

(45) 공고일자 2007년07월19일
(11) 등록번호 10-0740815
(24) 등록일자 2007년07월12일

(21) 출원번호 10-2000-0011584
(22) 출원일자 2000년03월08일
심사청구일자 2005년03월05일

(65) 공개번호 10-2000-0076791
(43) 공개일자 2000년12월26일

(30) 우선권주장 99-117447 1999년04월26일 일본(JP)

(73) 특허권자
오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자
하야시히로까즈
일본도오꾜도미나또꾸도라노몽1쵸메7방12고오끼덴끼고오교가부시끼가이샤나이

후꾸다고이찌
일본도오꾜도미나또꾸도라노몽1쵸메7방12고오끼덴끼고오교가부시끼가이샤나이

미우라노리유끼
일본도오꾜도미나또꾸도라노몽1쵸메7방12고오끼덴끼고오교가부시끼가이샤나이

(74) 대리인
특허법인코리아나

(56) 선행기술조사문헌
US05656537
JP06177233

심사관 : 백양규

전체 청구항 수 : 총 31 항

(54) ＳＯＩ 구조 반도체장치 및 그 제조방법

(57) 요약

SOI 구조의 반도체장치는, 실리콘기판(1), 실리콘기판(1)상에 형성된 절연산화막(2), 절연산화막상에 형성된 실리콘층으로 이루어지는 SOI 층(3), 절연산화막(2)상에 형성되어 SOI 층(3)을 절연하기 위해 SOI 층(3)과 접촉하여 형성된 LOCOS 산화막(4), SOI 층(3)상에 형성된 게이트절연막(5), 및 게이트절연막(5)상에 형성된 게이트전극(6)을 포함한다. SOI 층(3)은 LOCOS 산화막(2)과 접촉하는 삼각형상의 단면의 부분을 가진다. 삼각형상의 단면은 SOI 층과 LOCOS 산화막 사이의 경계로서 빗변(12)을 가지며, 그 높이(13)는 SOI 층(3)의 두께와 동일하며, 그 밑변은 SOI 층(3)의 하부 경계에 접해 있고, 높이(13)와 밑변의 비는 4:1 이하이다.

대표도

도 1

특허청구의 범위

청구항 1.

실리콘기판;

상기 실리콘기판상에 형성된 절연산화막;

상기 절연산화막상에 형성된 SOI 층;

상기 절연산화막상에 형성되고 상기 SOI 층을 절연하기 위해 상기 SOI 층과 접촉하는 LOCOS 산화막;

상기 SOI 층상에 형성된 게이트절연막; 및

상기 게이트절연막상에 형성된 게이트전극을 포함하고,

상기 SOI 층은 상기 LOCOS 산화막과 접촉하는 삼각형상 단면 부분을 가지며, 상기 삼각형상 단면은 상기 SOI 층과 상기 LOCOS 산화막 사이의 경계부분으로서 빗변과, 상기 SOI 층의 두께와 동일한 높이와, 상기 SOI 층의 하부 경계부분 상에 밑변을 가지며, 상기 밑변에 대한 상기 높이의 비가 4:1 이하인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 2.

제 1 항에 있어서,

상기 SOI 층의 두께는 약 400 내지 500Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 3.

제 1 항에 있어서,

상기 절연산화막의 두께는 약 1,000 내지 1,500Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 4.

실리콘기판;

상기 실리콘기판상에 형성된 절연산화막;

상기 절연산화막상에 형성된 절연질화막;

상기 절연질화막상에 형성된 SOI 층;

상기 절연질화막상에 형성되어 상기 SOI 층을 절연하기 위해 상기 SOI 층과 접촉하는 LOCOS 산화막;

상기 SOI 층상에 형성된 게이트절연막; 및

상기 게이트절연막상에 형성된 게이트전극을 포함하는 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 5.

제 4 항에 있어서,

상기 SOI 층은 상기 LOCOS 산화막과 접촉하는 삼각형상 단면 부분을 가지며, 상기 삼각형상 단면은 상기 SOI 층과 상기 LOCOS 산화막 사이의 경계부분으로서 빗변과, 상기 SOI 층의 두께와 동일한 높이와, 상기 SOI 층의 하부 경계부분 상에 밑변을 가지며, 상기 밑변에 대한 상기 높이의 비가 4:1 이하인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 6.

제 4 항에 있어서,

상기 SOI 층의 두께는 약 400 내지 500Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 7.

제 4 항에 있어서,

상기 절연산화막의 두께는 약 1,000 내지 1,500Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 8.

제 4 항에 있어서,

상기 절연질화막의 두께는 약 1,150Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 9.

실리콘기판;

상기 실리콘기판상에 형성된 절연질화막;

상기 절연질화막상에 형성된 SOI 층;

상기 절연질화막상에 형성되어 상기 SOI 층을 절연하기 위해 상기 SOI 층과 접촉하여 형성된 LOCOS 산화막;

상기 SOI 층상에 형성된 게이트절연막; 및

상기 게이트절연막상에 형성된 게이트전극을 구비하는 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 10.

제 9 항에 있어서,

상기 SOI 층은 상기 LOCOS 산화막과 접촉하는 삼각형상 단면 부분을 가지며, 상기 삼각형상 단면은 상기 SOI 층과 상기 LOCOS 산화막 사이의 경계부분으로서 빗변과, 상기 SOI 층의 두께와 동일한 높이와, 상기 SOI 층의 하부 경계부분 상에 밑변을 가지며, 상기 밑변에 대한 상기 높이의 비가 4:1 이하인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 11.

제 9 항에 있어서,

상기 SOI 층의 두께는 약 400 내지 500Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 12.

제 9 항에 있어서,

상기 절연질화막의 두께는 약 1,150Å 인 것을 특징으로 하는 SOI 구조 반도체장치.

청구항 13.

절연산화막 및 상기 절연산화막상에 형성된 실리콘층을 포함하는 SOI 기판을 제공하는 단계;

상기 SOI 기판의 상기 실리콘 층상에 게이트산화막을 형성하는 단계;

상기 게이트산화막상에 질화막을 형성하는 단계;

상기 질화막, 상기 게이트산화막 및 상기 실리콘층의 일부를 선택적으로 제거하여, 그 제거된 두께가 LOCOS 산화막형성 예정영역내의 상기 실리콘층의 3/4 보다 크게 하는 제거단계;

상기 LOCOS 산화막이 형성되도록 LOCOS 산화 형성 영역 내에 일부 제거된 실리콘층을 산화하는 단계; 및

상기 게이트산화막상에 게이트전극을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 14.

제 13 항에 있어서,

상기 SOI 기판의 실리콘층의 두께는 약 400 내지 500Å 인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 15.

제 13 항에 있어서,

상기 실리콘층의 상기 일부 제거된 부분의 두께는 약 100Å 인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 16.

제 13 항에 있어서,

상기 SOI 기판의 상기 절연산화막의 두께는 약 1,000 내지 1,500Å 인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 17.

제 13 항에 있어서,

상기 LOCOS 산화막형성 예정영역내의 상기 일부 제거된 실리콘층 내로 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 18.

제 13 항에 있어서,

상기 LOCOS 산화막형성 예정영역내의 상기 일부 제거된 실리콘층 및 상기 LOCOS 산화막형성 예정영역에 인접한 상기 실리콘층 내로 불순물을 경사주입하는 단계를 더 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 19.

절연산화막 및 상기 절연산화막상에 형성된 실리콘층을 포함하는 SOI 기판을 제공하는 단계;

상기 SOI 기판의 상기 실리콘 층상에 게이트산화막을 형성하는 단계;

상기 게이트산화막상에 질화막을 형성하는 단계;

상기 실리콘층의 일부가 상기 질화막보다 더 넓게 제거되도록, 상기 질화막, 상기 게이트산화막 및 LOCOS 산화막형성 예정영역내의 상기 실리콘층의 일부를 경사 제거하는 단계;

LOCOS 산화막을 형성하도록 상기 LOCOS 산화막형성 예정영역내의 상기 실리콘층의 상기 일부 제거된 부분을 산화하는 단계; 및

상기 게이트산화막상에 게이트전극을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 20.

제 19 항에 있어서,

상기 실리콘층의 상기 일부 제거된 부분의 제거된 두께가 제거되지 않은 실리콘층의 두께의 약 1/2인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 21.

제 19 항에 있어서,

상기 SOI 기판의 실리콘층의 두께는 약 400 내지 500Å 인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 22.

제 19 항에 있어서,

상기 SOI 기판의 상기 절연산화막의 두께는 약 1,000 내지 1,500Å 인 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 23.

표면을 구비하는 실리콘 기판을 제공하는 단계;

상기 실리콘 기판의 상기 표면으로부터의 제 1 깊이에 위치하는 상기 기판내에 산소함유층을 형성하도록 상기 실리콘 기판의 상기 표면으로부터 상기 실리콘 기판내로 산소이온을 도입하는 단계;

상기 실리콘 기판의 상기 표면으로부터 상기 실리콘 기판내로 질소이온을 도입하여, 상기 실리콘 기판의 상기 표면으로부터의 제 2 깊이에 위치하는 상기 기판내에 질소함유층을 형성하는 단계; 및

상기 산소함유층 및 상기 질소함유층을 포함하는 상기 실리콘 기판을 열처리하여, 상기 산소함유층 및 상기 질소함유층이 각각 절연산화막 및 절연질화막으로 변환되는 단계를 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 24.

제 23 항에 있어서,

상기 제 1 깊이는 상기 실리콘 기판의 상기 표면으로부터 약 1,650 내지 3,150Å 인 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 25.

제 23 항에 있어서,

상기 제 2 깊이는 상기 실리콘 기판의 상기 표면으로부터 약 500 내지 1,650Å 인 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 26.

표면을 구비하는 실리콘 기판을 제공하는 단계;

상기 실리콘 기판의 상기 표면으로부터 상기 실리콘 기판내로 질소이온을 도입하여, 상기 실리콘 기판의 상기 표면으로부터의 제 1 깊이에 위치하는 상기 기판내에 질소함유층을 형성하는 단계;

상기 질소함유층을 포함하는 상기 실리콘 기판을 열처리하여, 상기 질소함유층이 절연질화막으로 변환되는 단계를 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 27.

제 26 항에 있어서,

상기 제 1 깊이는 상기 실리콘 기판의 상기 표면으로부터 약 500 내지 1,650Å 인 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 28.

장치형성영역 및 분리영역을 그 표면상에 구비하는 실리콘 기판을 준비하는 단계;

상기 실리콘 기판의 상기 장치형성영역상에, 산소이온의 통과를 방지하는 마스크층을 형성하는 단계;

상기 실리콘 기판의 상기 표면으로부터 상기 실리콘 기판내로 산소이온을 도입하여, 상기 실리콘 기판의 상기 표면으로부터의 제 1 깊이에 위치하는 상기 기판내에 산소함유층을 형성하는 단계;

상기 마스크층을 제거하고 상기 장치형성영역내에 상기 실리콘 기판상에 산화-방지 마스크층을 형성하여, 상기 분리영역내의 상기 실리콘 기판의 상기 표면이 노출되는 단계; 및

상기 산소함유층 및 상기 노출된 분리영역을 포함하는 상기 실리콘 기판을 열처리하여, 상기 산소함유층이 상기 분리영역 아래에서 절연산화막으로 변환되고 상기 노출되는 부분의 상기 실리콘 기판은 LOSCO 산화막으로 변환되며, 상기 LOSCO 산화막 및 상기 절연산화막은 서로 접촉되는 단계를 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 29.

제 28 항에 있어서,

상기 제 1 깊이는 상기 실리콘 기판의 상기 표면으로부터 약 1,650 내지 3,150Å 인 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 30.

실리콘기판, 상기 실리콘기판상에 형성된 절연산화막, 상기 절연산화막상에 형성된 SOI 층, 및 상기 절연산화막상에 형성되어 상기 SOI 층을 절연하기 위해 상기 SOI 층과 접촉하여 형성된 LOCOS 산화막을 구비하는 SOI 구조 반도체장체를 제공하는 단계;

임계값 제어 주입으로써 상기 SOI 층으로 제 1 불순물을 도입하여, 상기 제 1 불순물의 프로파일의 피크값이 상기 SOI 층의 하부에 위치되게 하는 단계;

상기 SOI 층상에 게이트절연막을 형성하는 단계; 및

상기 게이트절연막상에 게이트전극을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

청구항 31.

제 30 항에 있어서,

임계값 제어 주입으로써 상기 SOI 층으로 제 1 불순물과 반대 극성을 가진 제 2 불순물을 도입하여, 상기 제 2 불순물의 프로파일의 피크값이 상기 SOI 층의 상부에 위치되게 하는 단계를 더 포함하는 것을 특징으로 하는 SOI 구조 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, SOI(Silicon On Insulator)기판을 이용한 반도체장치에 관하는 것이고, 특히 반도체장치의 실리콘층부분에 특징을 갖는 장치구조에 관하는 것이다.

SOI 기판에는, 소위 BOX 산화막이라고 불리는 절연성을 가진 층 위에 실리콘층이 형성되어 있다. 실리콘층은 장치를 분리하기 위하여 트랜치구조에 의해 또는 LOCOS (Local Oxidation of Silicon)법에 의해서 분리된다. 실리콘층을 에칭하여 홈을 만들고 그 홈에 산화막을 피착시켜 이루어진 트랜치구조는, 예컨대 "IEEE ELECTRON DEVICE LETTERS, VOL.6, 1995년 6월" 등에 개시되어 있다. 트랜치구조를 이용하는 분리는, 트랜치구조를 형성하는데 요구되는 공정수가 LOCOS 법에 비해 증가하기 때문에, 제조비용이 높다.

한편, LOCOS 법에 의한 SOI 에 대한 장치분리는, "Proceedings IEEE Intr.SOI conf., 116 (1995년)" 에 개시되어 있다. LOCOS 법에 따르면, LOCOS 산화막과 BOX 산화막 사이에 단면이 삼각형상으로 형성된 얇은 실리콘층이 형성되고, 이 층에 기생 MOSFET가 형성된다. 기생 MOSFET는 원래의 MOSFET(기생 MOSFET가 없다고 가정한 경우의 MOSFET)의 전류특성에 상당한 영향을 준다. 이러한 영향은, 범프가 전류특성에 미치는 영향과 유사하여, 범프 특성이라고 불리고 있다. 기생 MOSFET가 존재하는 경우의 임계전압은 원래의 MOSFET보다도 낮게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 기생 MOSFET를 용이하게 형성할 수 없는 SOI 구조의 반도체장치를 제공하는 것이다.

발명의 구성

상기 목적을 성취하기 위하여, 본 발명의 SOI 구조의 반도체장치는, 실리콘기판, 실리콘기판상에 형성된 절연산화막, 절연산화막상에 형성된 실리콘층으로 이루어지는 SOI 층, 절연산화막상에 형성되어 SOI 층을 절연하기 위해 SOI 층과 접촉하여 형성된 LOCOS 산화막, SOI 층상에 형성된 게이트절연막, 및 게이트절연막상에 형성된 게이트전극을 포함한다. SOI 층은 LOCOS 산화막과 접촉하는 삼각형상의 단면의 부분을 가진다. 삼각형상의 단면은 SOI 층과 LOCOS 산화막 사이의 경계로서 빗변을 가지며, 그 높이는 SOI 층의 두께와 동일하며, 그 밑변은 SOI 층 하부 경계에 접해 있고, 높이와 밑변의 비는 4:1 이하이다.

(실시예)

도 1 은 본 발명의 제 1 바람직한 실시예의 SOI 장치구조의 부분단면도이다. 실리콘기판(1)상에 형성된 약 1,000 ~ 1,500Å의 두께의 BOX 산화막(2)상에는, 실리콘층인 SOI 층(3)이 약 400 ~ 500Å의 두께로 형성되어 있다. SOI 층(3)의 일부는 LOCOS 법에 의해서 산화되어, 막두께 약 400Å 정도의 LOCOS 산화막(4)으로 된다. SOI 층(3)상에는, 약 70Å 정도의 비교적 얇은 막두께의 게이트산화막(5)이 형성된다. 게이트산화막(5)상에는 게이트로서 기능하는 폴리실리콘(6)이 막두께 약 2,500 ~ 3,000Å 으로 형성되어 있다.

SOI 층(3)과 LOCOS 산화막(4)의 경계(10)는, 종래기술의 경계선(11)보다 더욱 수직에 가까운 형상을 가진다. 실제적 예를 든다면, 제 1 실시예의 SOI 장치구조에 있어서, BOX 산화막(2)과 SOI 층(3)의 경계선(12), SOI 층(3)의 두께 방향의 수선(13), SOI 층(3)의 수선과 저변의 교점으로부터 SOI 층(3)과 LOCOS 산화막(4)의 경계(10) 까지의 선분으로 이루어지는 삼각형상 부분의 밑변(경계;12) 와 높이 (수선;13) 의 비를 1:4 또는 밑변 자체의 비를 그것보다 작게 하고 있다.

이러한 타입의 구성에 따르면, 기생트랜지스터에 의한 영향을 억제하는 효과를 기대할 수 있다. 도 2 는 제 1 바람직한 실시예의 SOI 장치구조의 전류전압특성의 시뮬레이션결과를 나타내는 도이다. 트랜지스터의 드레인전류(Id)는 세로축에, 게이트바이어스전압(Vg)은 가로축에 도시된다. 도 2 에 있어서, 1e-05 는 $1X10^{-5}$ 를 의미한다. 기생트랜지스터가 형성되지

않은 이상적 전류특성 "A" 에 비교하여, 제 1 실시예의 전류특성 "B" 의 오프-누설 전류가 1자리수이내로 억제되어 있다. 이것은 SOI 장치구조의 삼각형부분의 높이와 밑변의 비가 1:1 로 되어 있는 전류특성 "C" 과 비교하면, 현저히 향상되어 있는 것이 분명하며 이상적 전류특성 "A" 에 유사하다는 것을 도 2 로부터 확인할 수 있다.

도 3 (A) ~ (C) 는 제 1 바람직한 실시예의 SOI 장치구조의 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 1 바람직한 실시예의 SOI 장치구조의 제조방법을 이하에서 설명한다.

우선, 막두께 약 1,000 ~ 1,500Å의 BOX 산화막(2) 및 막두께 약 500Å의 SOI 층(3)이 적층형성된 SIMOX(Separation by Implantation of Oxygen)기판이 준비된다. SIM0X 기판의 SOI 층(3)상에, 막두께 약 70Å의 게이트산화막(5) 및 막두께 약 500Å의 질화막(7)이 순차적으로 형성된다(도 3 (A)). 게이트산화막(5)의 형성 및 그후의 처리 등에 기인하여, SOI 층(3)의 막두께는 약 400Å 정도가 감소한다.

다음, LOCOS 산화막을 형성하는 영역의 질화막(7), 게이트산화막(5) 및 SOI층(3)의 일부가 제거된다(도 3 (B)). SOI 층(3) 이 제거되는 량은 원래의 막두께 약 400Å 의 3/4인 약 300Å이다. 그래서, 제거된 후의 SOI 층(3A)의 막두께는 원래의 SOI 층(3)의 막두께의 1/4인 약 100Å 으로 된다.

다음, LOCOS 산화처리를 수행함으로써, SOI 층(3A) 은 LOCOS 산화막(4)으로 변환된다(도 3(C)). 변환된 LOCOS 산화막(3)과 SOI 층(3)의 경계부분에 형성되는 SOI 층(3)의 삼각형부분은 감소되어, 그 밑변과 높이의 비가 1:4 로 되거나, 밑변의 비가 그것보다 작게 된다.

도 4 (A) 및 (B) 은 제 1 바람직한 실시예에 대비되는 제조공정을 나타내는 단면도이다. 도 4 (A) 의 공정은 도 3 (B) 에 대응하며, SOI 층(3)의 제거된 량은 원래의 막두께 약 400Å의 1/5 인 약 80Å 으로 되어 있다. 따라서, 제거된 후의 SOI 층(3B) 의 막두께는 원래의 SOI 층(3)의 막두께의 4/5인 약 320Å 으로 된다.

다음, LOCOS 산화처리를 수행함으로써, SOI 층(3B)이 LOCOS 산화막(4B)으로 변환된다(도 4 (B)). 변환된 LOCOS 산화막(4B)와 SOI 층(3)의 경계부분에 형성되는 SOI 층(3)의 삼각형부분은 LOCOS 산화막(4B) 쪽으로 성장해 들어가고, 그 밑변과 높이의 비는 1:1 정도로 된다.

실리콘이 산화막내로 침식되는 량과 산화막 위쪽으로 신장되어 가는 량과의 비는 0.44:0.56 이라고 일반적으로 인정되어 있다. 이 때문에, LOCOS 산화막(4)으로 변환되는 SOI 층(3A)의 막두께를 얇게 하는 경우에, 경계부의 삼각형부분의 밑변의 길이(LOCOS 산화막(4) 으로 침식되어 들어가는 량)가 짧게 되도록 억제된다.

도 5 (A) ~ (C) 는 제 1 바람직한 실시예의 SOI 장치구조의 다른 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 1 바람직한 실시예의 SOI 장치구조의 다른 제조방법을 설명한다.

우선, 실리콘기판(1)상에 막두께 약 1,000 ~ 1,500Å의 BOX 산화막(2) 및 막두께 약 500Å의 SOI 층(3)이 적층형성된 SIMOX 기판이 준비된다. SIMOX 기판의 SOI 층(3)상에 막두께 약 70Å의 게이트산화막(5) 및 막두께 약 500Å의 질화막(7)이 순차적으로 형성된다(도 5(A)). 게이트산화막(5)의 형성 및 그후의 처리 등에 기인하여, SOI 층(3)은 약 400Å 정도의 막두께로 감소된다.

다음, LOCOS 산화막을 형성하는 영역의 질화막(7), 게이트산화막(5) 및 SOI 층(3)의 일부가 제거된다. 질화막(7), 게이트산화막(5) 및 SOI 층(3)의 제거는 경사에칭에 의해서 행하여 진다(도 5 (B)). 경사에칭은 반응성 이온 에칭법 등에 의해 실현된다. 경사에칭에 의해 SOI 층(3)의 제거된 량은, 이미 도 3 으로 설명한 제조방법과 같이 원래의 막두께의 약 3/4까지 에칭할 필요는 없다. SOI 층(3)의 제거된 량은 경사에칭의 조건에 의존하지만, 원래의 막두께의 1/2배 인 약 200Å 정도가 제거되는 것이 적절하다.

그후, LOCOS 산화처리를 수행함으로써, SOI 층의 일부(3C)가 LOCOS 산화막(4C)으로 변환된다. 변환된 LOCOS 산화막(4C)과 SOI 층(3)의 경계부분에 형성되는 SOI 층(3)의 삼각형부분은 경사에칭에 의해서 오버에칭되어 있기 때문에, 감소되어, 그 밑변과 높이의 비는 1:4 가 되거나, 밑변의 비가 그것보다 작게 된다.

도 6 (A) 및 (B) 은 본 발명의 제 2 바람직한 실시예의 SOI 장치구조의 부분단면도이다. 도 6 (A) 에 나타낸 바와 같이, 제 2 실시예에 채용된 SOI 기판(60)에는, 실리콘기판(61)상에 형성된 약 1,000 ~ 1,500Å 의 막두께의 BOX 산화막(62)상에 약 1,150Å의 질화막(63)이 형성되어 있다.

질화막(63)상에는, 약 500Å의 막두께의 S0I 층(64)이 형성된다. SOI 기판(60)의 일부는, LOCOS 법에 의해 산화되어, SOI 층(64)의 일부가 약 400Å의 막두께의 LOCOS 산화막(65)이 된다. SOI 층(64) 위에는 비교적 얇은 게이트산화막(66)이 형성되고, 게이트산화막(66)상에는 게이트로서 기능하는 폴리실리콘(67)이 형성된다(도 6(B)).

종래기술의 방법에 따라, SOI 층(3)이 산화되어 LOCOS 산화막(4)으로 변환될 때, LOCOS 산화막이 성장하여 BOX 산화막(2)과 접속된다. 다음, 장치부분(채널부분)으로서 SOI 층(3)은 BOX 산화막(2)으로부터 위쪽방향으로 산화된다.

이러한 현상의 결과로서, SOI 층(3)은 소위 플로팅 상태가 되며, 시뮬레이션 결과가 지시하고 있다. 도 7 (A) 및 그 주요부의 단면도인 도 7 (B) 에 도시된 바와 같이, LOCOS 산화막(4)과 SOI 층(3)의 경계부분에는 얇은 SOI 층이 형성된다.

하지만, 제 2 실시예에 채용된 SOI 기판에 있어서는, BOX 산화막(62)상에 질화막(63)이 형성되어 있다. 질화막은 산화막과는 달리 실리콘층의 산화를 촉진시키지 않기 때문에, 질화막(63)으로부터 위쪽방향으로의 장치부분(채널부분)의 SOI 층(64)이 산화되어 가는 현상은 일어나지 않는다. 따라서, 도 7 (C) 및 그 주요부단면도인 도 7 (D) 에 도시된 바와 같이, L0C0S 산화막(65)과 SOI 층(64)의 경계부분이라 하더라도 하부로부터의 산화가 수행되지 않기 때문에, SOI 층(64)은 비교적 두껍게 형성된다.

이상 설명한 바와 같이, BOX 산화막(62)과 SOI 층(64) 사이에 질화막(63)이 형성되기 때문에, S0I 층(64)의 하부로부터의 방향의 산화는 억제될 수 있다. 그러므로, SOI 층(64)과 필드산화막(65)의 경계부분의 SOI 층(64)의 막두께가 유지될 수 있다. 또한, BOX 산화막(62)이 질화막(63) 아래에 있기 때문에, 질화막의 강한 특성에 기초한 누설전류 문제점이 산화막에 기인한 응력완화에 의해서 감소되는 효과도 기대할 수 있다.

도 8 (A) ~ (D) 는 제 2 실시예의 SOI 기판의 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 2 바람직한 실시예로 이용되는 SOI 기판의 제조방법을 설명한다.

우선, 미리 준비된 실리콘기판(61)(도 8 (A))내로 산소이온이 주입된다. 이온주입에 의해, 산소함유층(62A)이 실리콘기판(61)의 소정의 깊이의 영역내에 형성되고, 그 표면에는 실리콘층(64A)이 남게 된다(도 8 (B)). 산소이온의 주입은, 약 1,650Å 내지 3150Å 정도 깊이의 영역에 산소함유층(62A)가 형성되도록 제어된다. 다음, 산소함유층(62A)이 형성된 실리콘기판(61)내로 질소이온이 주입된다. 이온주입에 의해, 산소함유층(62A) 상에 질소함유층(63A)이 형성된다(도 8 (C)). 질화막(63)은 열처리에 의해서 비틀리는(warp) 성질을 갖고 있기 때문에, 질소함유층(63A)의 두께가 표면으로부터 500Å 내지 1,650Å까지의 막두께 약 1,150Å정도가 되도록, 질소이온 주입이 제어된다.

그후, 열처리를 수행함으로써, 산소함유층(62A)는 BOX 산화막(62)로 변환되고, 질소함유층(63A)은 질화막(63)으로 변환되고, 도 6(A) 의 전제가 되는 SOI 기판이 형성된다(도 8 (D)).

도 9 (A) 및 (B) 은 본 발명의 제 3 바람직한 실시예의 SOI 장치구조의 부분단면도이다. 도 9 (A) 에 나타낸 바와 같이, 이 바람직한 실시예에 채용된 SOI 기판(90)으로서, 두께 약 1,150Å의 질화막(93)이 형성되어 있다. 질화막(93)상에는, 막두께 약 500Å의 SOI 층(94)이 형성된다. 제 3 바람직한 실시예에 채용되는 SOI 기판(90)의 일부는, LOCOS 법에 의해서 산화되고, SOI 층(94)의 일부가 막두께 약 400Å의 LOCOS 산화막(95)이 된다. SOI 층(94)상에는, 막두께 약 70Å 인 비교적 얇은 게이트산화막(96)이 형성된다. 게이트산화막(96)상에는, 게이트로서 기능하는 막두께 약 2,500 ~ 3,000Å의 폴리실리콘(97)이 형성된다(도 9 (B)).

도 7 (A) 및 (B) 에 이미 설명한 바와같이, LOCOS 산화막(4)과 SOI 층(3)의 경계부분에는 얇은 SOI 층(3)이 형성된다. 제 3 바람직한 실시예에 채용되는 SOI 기판상에는, BOX 산화막(2)의 대신에 질화막(93)이 형성되어 있다. 질화막은 산화막과는 달리 실리콘층의 산화를 촉진시키지 않기 때문에, 질화막(93)으로부터 위쪽방향으로 장치부분(채널부분)의 SOI 층(94)을 산화하는 현상은 일어나지 않는다. 따라서, 도 10 (A) 및 그 확대도인 도 10 (B) 에 도시된 시뮬레이션결과가 나타낸 바와 같이, LOCOS 산화막(95)과 SOI 층(94)의 경계부분이 그 하부로부터의 방향으로 산화되지 않기 때문에, SOI 층(94)은 비교적 두껍게 형성된다.

이상 설명한 바와 같이, 제 3 바람직한 실시예에서는 BOX 산화막의 대신에 질화막(93)이 형성되기 때문에, SOI 층(94)의 하부로부터의 방향으로의 산화가 억제될 수 있다. 그결과, SOI 층(94)과 LOCOS 산화막(95)의 경계부분에서 SOI 층(94)의 막두께가 유지될 수 있다. 또한, 종래기술의 BOX 산화막이 질화막으로 대체될 뿐이기 때문에, 제조공정수도 증가하지 않고, 용이하게 실현될 수 있다.

도 11 (A) ~ (C) 는 제 3 바람직한 실시예의 SOI 기판의 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 3 바람직한 실시예에 채용되는 SOI 기판의 제조방법을 설명한다.

우선, 준비된 실리콘기판(91)(도 l1(A)) 내로 질소이온이 주입된다. 이온주입에 의해, 실리콘기판(91)의 소정의 깊이의 영역에 질소함유층(93A)가 형성되고, 그 표면에는 실리콘층(94A)가 남게 된다(도 11(B)). 질소이온의 주입은, 실리콘기판(61)의 표면에서 약 500Å 내지 1,650Å 의 깊이의 영역에 질소함유층(93A)이 형성되도록 제어된다. 질화막(93)은 열처리에 의해서 비틀리는 성질을 갖고 있기 때문에, 질소함유층(93A)는 그 막두께 약 1,150Å정도가 되도록 질소이온의 주입이 제어된다. 그 후 열처리를 수행함으로써, 질소함유층(93A)은 질화막(93)으로 변환되고, 도 9 (A) 의 전제가 되는 S0I 기판(90)이 형성된다(도 11(C)). 제 3 실시예에 채용되는 SOI 기판의 제조방법은, 제 2 바람직한 실시예에 채용되는 SOI 기판의 제조방법에 비교하여, 기대하지 않은 산소와 질소의 화학반응 등이 회피될 수 있다는 이점이 있다. 또한, 이온주입 공정이 1회만 적용되기 때문에, 공정이 간단하고 염가로 제조할 수 있다는 이점도 있다.

도 12 (A) ~ (D) 는 제 4 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 4 바람직한 실시예의 SOI 장치의 제조방법을 설명한다.

준비된 실리콘기판(121)(도 12 (A))의 필드산화막형성 예정영역(122) 보다 약간 넓은 영역상에, 마스크층(123)이 형성된다. 마스크층(123)은, 산소이온을 통과시키지 않은 것이라면, 한정되지 않는다. 마스크층(123)이 형성된 실리콘기판(121)에, 산소이온이 주입된다. 이온주입에 의해, 마스크층(123)이 형성된 영역 이외의 실리콘기판(121)의 소정의 깊이의 영역에 산소함유층(124A)이 형성되고, 그 표면에는 실리콘층(125A)이 남겨 진다(도 12 (B)). 산소이온 주입은, 실리콘기판(121)의 표면으로부터 약 1,650Å 내지 3150Å 깊이의 영역에 산소함유층(124A)이 형성되도록 제어된다.

그후 열처리를 수행함으로써, 산소함유층(124A)은 BOX 산화막(124)으로 변환된다(도 12 (C)). 열처리에 의해서 산소함유층(124A)이 산화막(124)으로 변환될 때, BOX 산화막(124)이 가로방향으로 성장한다. 따라서, BOX 산화막(124)은 필드산화막형성 예정영역(122)의 하부에 형성되지 않게 된다. 다음, LOCOS 산화처리를 수행함으로써, 필드산화막(126)은 실리콘기판(121)의 아래쪽방향으로 성장하여 간다. 필드산화막(126)은, 실리콘기판에 형성된 BOX 산화막(124)들이 접촉되는 것 같은 구조를 갖는다(도 12 (D)). 이 때문에, 제 4 실시예의 SOI 장치의 최종적인 형상은 종래기술의 BOX산화막을 갖은 SIM0X 기판으로써 SOI 장치를 형성한 경우와 거의 같은 형상이 된다. 세부적으로 단면을 조사하면, 도 12 (D) 에 나타낸 바와 같이, 필드산화막(126)의 단부, 즉 실리콘기판(121)에 형성된 산화막(124)의 경계부분은, 슬릿형 부분(129)으로 형성된다. 이것은, 필드산화막(126)이 아래쪽방향으로 성장한 것을 나타내는 것이다. 필드산화막이 아래쪽방향으로 성장하기 때문에, 가로방향으로의 성장은 종래기술의 SIM0X 기판을 이용하는 경우와 비교하여 감소된다. 이 때문에, SOI 층(127)과 필드산화막(126)의 경계부분에 있어서도, 아래쪽방향으로부터의 산화는 완화되고, 비교적 두꺼운 막두께가 유지된 구조가 얻어진다.

도 13 (A) 및 (B) 는 제 5 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도이다. 이들 도면을 참조하면서, 제 5 바람직한 실시예의 SOI 장치의 제조방법을 설명한다.

우선, 실리콘기판(131) 상에 막두께 약 1,000 ~ 1,500Å의 BOX 산화막(132) 및 막두께 약 500Å의 SOI 층(133)이 적층형성된 SIMOX 기판이 준비된다. 이 SIMOX 기판의 SOI 층(131)상에 막두께 약 70Å의 게이트산화막(135) 및 막두께 약 500Å의 질화막(136)이 순차적으로 형성된다. 게이트산화막(135)의 형성 및 그후의 처리 등에 의해, SOI 층(133)은 약 400Å 정도의 막두께로 감소된다. 다음, LOCOS 산화막(137)이 형성되는 영역의 질화막(136), 게이트산화막(135) 및 SOI 층(133)의 일부가 제거된다. SOI 층(133)의 제거된 량은 제 1 바람직한 실시예의 제조방법과 같이 원래의 막두께 약 400Å의 3/4인 약 300Å 이다. 따라서, 제거된 후의 SOI 층(134)의 막두께는 원래의 SOI 층(133)의 막두께의 1/4인 약 100Å 으로 된다.

다음, 질화막(136)을 마스크로서 이용하여, 기판 전면에 불순물이 주입된다(도 13 (A)). 이러한 주입에 의해, 필드산화막형성 예정영역으로서 SOI 층(134)에는 불순물이 도입되어, 고농도영역이 된다. 다음, LOCOS 산화처리를 수행함으로써, SOI 층(134)이 LOCOS 산화막(137)으로 변환된다. 또한, 질화막(136)이 제거된 후에 게이트폴리실리콘(138)이 형성되어, 최종적인 SOI 장치구조가 얻어진다 (도 13 (B)). 변환된 LOCOS 산화막(137)과 SOI 층(133)의 경계부분에 형성되는 SOI 층(133)의 삼각형부분의 하부에는, 고농도영역(139)이 형성되어 있다. 이것은, SOI 층(134)의 고농도영역의 일부가 남은 것을 의미한다. 고농도영역의 일부는, 기생 MOS구조가 형성되었다고 하더라도 채널부분이 고농도영역으로 되기 때문에, MOS로서는 동작하지 않는다.

고농도영역이 SOI 층(133)의 막두께가 얇게 된 부분에 존재하기 때문에, 기생 MOS에 의한 전기 특성에의 영향이 제거되고, 범프 특성이 제거될 수 있다. 제 4 바람직한 실시예에 있어서, 비록 제 1 바람직한 실시예의 제조방법과 같이 필드산화막형성 예정영역으로서의 SOI 층이 원래의 SOI 층의 1/4배로 감소되지만, 고농도영역이 형성되기 때문에, 이러한 제거량은 3/4배보다 적게 될 수도 있다.

도 14 (A) 및 (B) 은 제 5 바람직한 실시예의 SOI 장치의 제조방법의 변형예를 나타내는 단면도이다. 이들 도면을 참조하면서, 제 5 바람직한 실시예의 제조방법의 변형예를 설명한다.

SIN0X 기판에 게이트산화막(145) 및 질화막(147)이 순차적으로 형성된 후, LOCOS 산화막형성예정영역의 질화막(147), 게이트산화막(145) 및 SOI 층(143)의 일부가 제거되는 것은, 도 13 (A) 과 완전히 동일하다. 다음, 질화막(147)을 마스크로 이용하여, 기판 전면에 불순물이 경사 주입된다(도 14 (A)). 경사 주입에 의해, 필드산화막형성 예정영역의 SOI 층(143) 및 채널부분의 SOI 층(143)의 단부에는 불순물이 도입되고, 고농도영역(146)이 된다.

다음, LOCOS 산화처리를 수행함으로써, SOI 층(146)이 LOCOS 산화막(144)으로 변환된다. 또한, 질화막(147)이 제거된 후에 게이트폴리실리콘(148)이 형성되어 최종적인 SOI 장치구조가 얻어진다(도 14 (B)). 변환된 LOCOS 산화막(137)과 SOI 층(143)의 경계부분에 형성되는 SOI 층(143)의 삼각형부분의 하부에는 도 13 (B) 에 도시된 고농도영역(139)보다도 큰 고농도영역(149)이 형성되어 있다. 이것은, 채널부분의 SOI 층(143)의 단부에도 경사 주입에 의해서 고농도영역이 형성되었기 때문이다. 이 고농도영역은, 기생 MOS구조가 형성되었다고 하더라도, 채널부분이 고농도영역으로 되기 때문에, 도 13 (B) 도시된 경우와 마찬가지로 MOS로서는 동작하지 않는다.

도 13 (B) 에 나타낸 경우보다 확대된 크기의 고농도영역이 SOI 층(143)의 막두께가 얇게 된 부분에 존재하기 때문에, 기생 MOS 에 의한 전기적 특성에 대한 영향이 감소되어, 범프 특성이 개선될 수 있다. 이 변형예에 따르면, 도 13 (A) 및 (B) 에 나타낸 제 5 바람직한 실시예보다 SOI 층(143)의 제거된 량을 감소되는 것이 문제가 되지 않는다.

도 15 는 제 6 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도이다. 이 도면을 참조하면서 제 6 바람직한 실시예의 SOI 장치의 제조방법을 설명한다.

제 2 바람직한 실시예에 채용된 SOI 기판상에, 제 2 바람직한 실시예와 같이 SOI 장치가 형성된다. 따라서, 도 15 의 SOI 장치의 구조는, 폴리실리콘(67)의 형성을 제외하고는 도 6 (B) 와 같다. 제 6 바람직한 실시예의 제조방법에 있서는, SOI 장치에 임계값 제어 주입이 수행되며, 그 장치의 구조는 도 6 (B) 에 도시되어 있다. 임계값 제어 주입 에너지는 도 15 의 우측 그래프에 나타낸 바와 같이 불순물농도의 피크치가 SOI 층(64) 보다 적도록, 제어된다. 실제적인 예로서는, SOI 층(64)의 채널로서 이용되는 부분에서 소정의 임계 전압이 얻어질 수 있다. 또한, SOI 층(64)과 필드산화막의 경계부분의 특히 아래쪽의 부분에서 불순물농도가 높게 되도록, 불순물의 도즈량과 주입 에너지를 조합하여 이용하는 주입이 가능하다.

제 6 바람직한 실시예에 있어서, 상술한 주입공정을 도입함으로써 임계 전압제어와 범프 특성의 개선이 동시에 실현될 수 있는 이점이 있다. 또한, SOI 층(64)의 하부 전체가 고농도불순물층으로 되지만, 임계값 제어를 위하여 필요한 SOI 층(64)의 막두께 자체는 유지되고 있기 때문에, 허용될 수 있다. 비록, 제 6 바람직한 실시예의 SOI 기판은 제 2 바람직한 실시예의 SOI 기판과 동일하지만, 제 3 실시예에 이용된 SOI 기판 또는 종래기술의 SIMOX 기판이 이용되는 것도 가능하다.

도 16 은 제 6 바람직한 실시예의 SOI 장치의 제조방법의 변형예를 나타내는 단면도이다. 이들 도 16 을 참조하면서, 제 6 바람직한 실시예의 제조방법의 변형예를 설명한다.

이 변형예에 있어서, 임계값 제어 주입이 수행된 제 6 바람직한 실시예와 같이 SOI 장치가 형성된다. 다음, 임계값 제어 주입이 도 16 의 참조번호 160 의 그래프처럼 수행된다. 임계값 제어 주입에서 이용된 이온과 전기적으로 반대의 극성을 갖는 이온이 주입되는 소위 카운터도핑(counter doping)이, 도 16 의 참조번호 161 의 그래프에 나타낸 바와 같이 불순물농도프로파일로서 수행된다. 2회의 불순물 주입을 수행함으로써, 최종적으로 SOI 층(64)은 도 16 의 참조번호 162의 그래프에 나타내는 것 같은 불순물농도프로파일을 갖게 된다.

발명의 효과

이상 상세히 설명한 바와같이, 본 발명에 의하면 SOI 층과 LOCOS 산화막의 경계부분에 형성되는 기생 MOS트랜지스터에 의한 전류특성의 악영향, 소위 범프 특성을 억제할 수 있다.

도면의 간단한 설명

도 1 은 본 발명의 제 1 바람직한 실시예의 SOI 장치구조의 부분단면도.

도 2 는 제 1 바람직한 실시예의 SOI 장치구조의 전류전압특성의 시뮬레이션 결과를 나타내는 도.

도 3 은 제 1 바람직한 실시예의 SOI 장치구조의 제조방법을 나타내는 단면도.

도 4 는 제 1 바람직한 실시예에 대비되는는 제조공정을 나타내는 단면도.

도 5 는 제 1 바람직한 실시예의 SOI 장치구조의 다른 제조방법을 나타내는 단면도.

도 6 은 제 2 바람직한 실시예의 SOI 장치구조의 부분단면도.

도 7 은 제 2 바람직한 실시예의 SOI 장치구조의 전류전압특성의 시뮬레이션결과를 나타내는 도.

도 8 은 제 2 바람직한 실시예의 SOI 장치구조의 제조방법을 나타내는 단면도.

도 9 는 제 3 바람직한 실시예의 SOI 장치구조의 부분단면도도.

도 10 은 제 3 바람직한 실시예의 SOI 장치구조의 전류전압특성의 시뮬레이션결과를 나타내는 도.

도 11 은 제 3 바람직한 실시예의 SOI 기판의 제조방법을 나타내는 단면도.

도 12 는 제 3 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도.

도 13 은 제 4 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도.

도 14 는 제 5 바람직한 실시예의 SOI 장치의 제조방법의 변형예를 나타내는 단면도.

도 15 는 제 6 바람직한 실시예의 SOI 장치의 제조방법을 나타내는 단면도.

도 16 은 제 6 바람직한 실시예의 SOI 장치의 제조방법의 변형예를 나타내는 단면도.

도면의 주요부분에 대한 부호의 설명

1, 61, 121, 131 : 실리콘기판

2, 62, 124, 132 : BOX 산화막

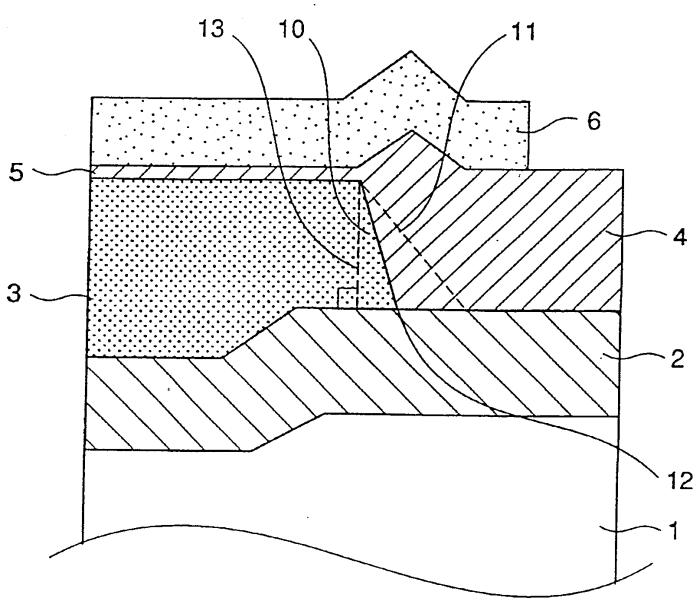
3, 64, 94, 124, 133 : SOI 층

5, 66, 127, 135 : 게이트산화막

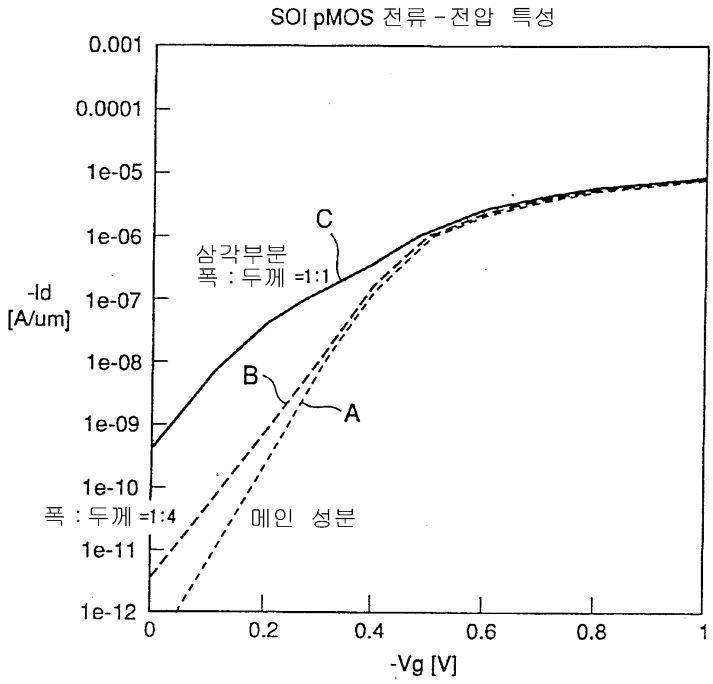
6, 67, 97, 128, 138 : 게이트폴리실리콘

도면

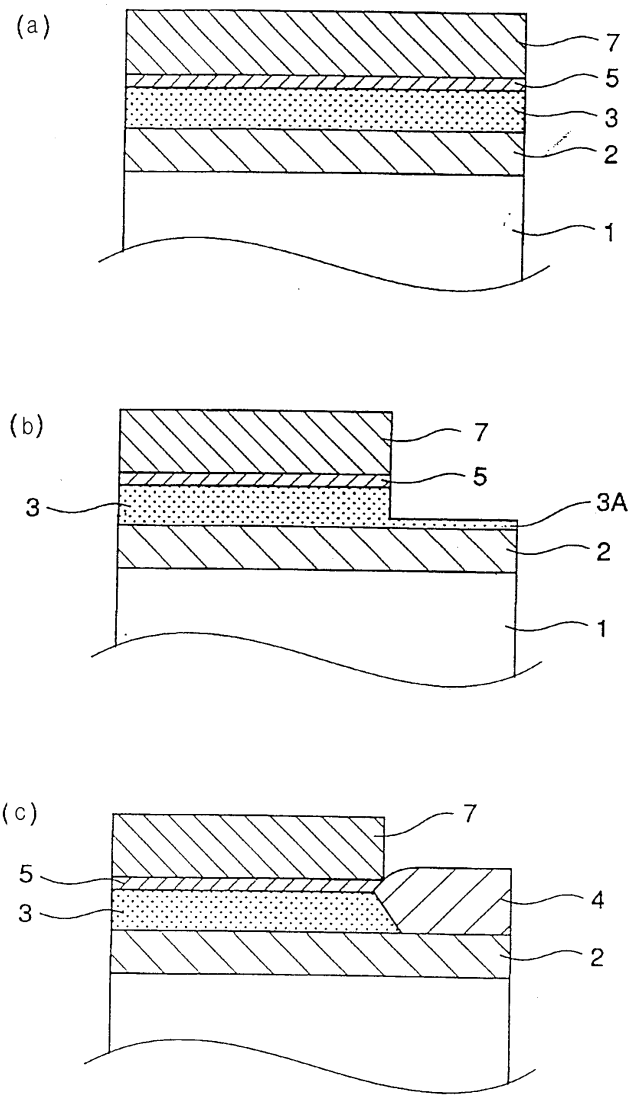
도면1


13
10
11
6
5
4
3
2
12
1

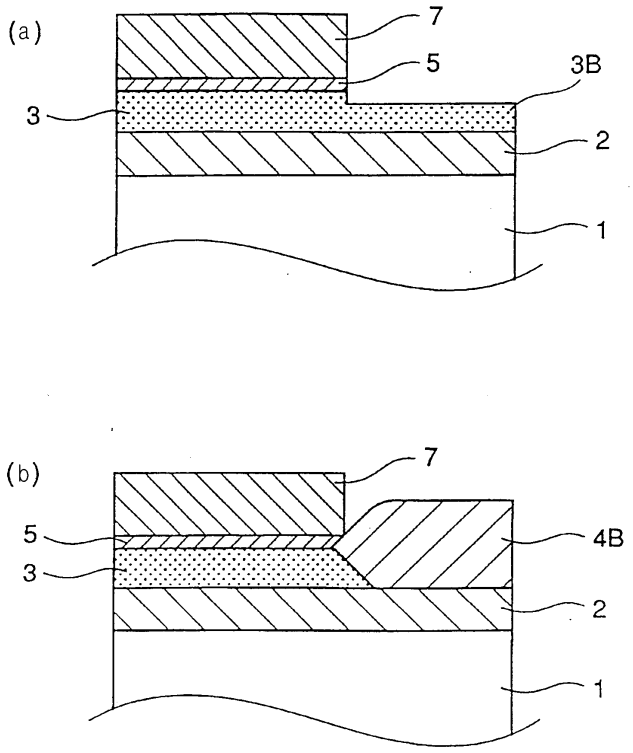
도면2


SOI pMOS 전류 - 전압 특성
0.001
0.0001
1e-05
1e-06
1e-07
1e-08
1e-09
1e-10
1e-11
1e-12
-Id
[A/um]
C
삼각부분
폭 : 두께 =1:1
B
A
폭 : 두께 =1:4
메인 성분
0
0.2
0.4
0.6
0.8
1
-Vg [V]

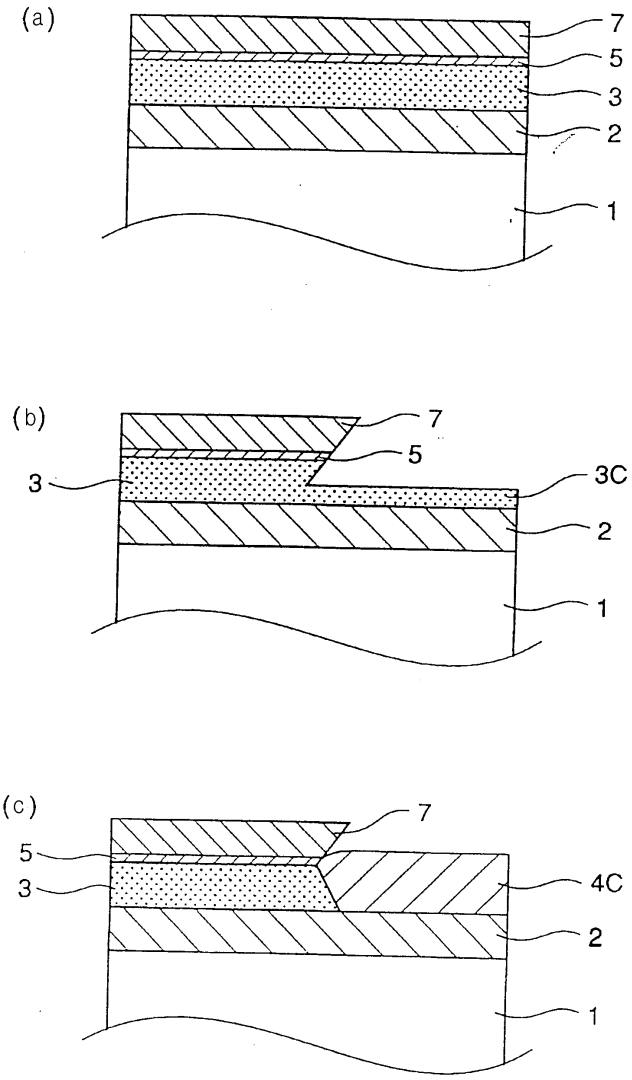
도면3



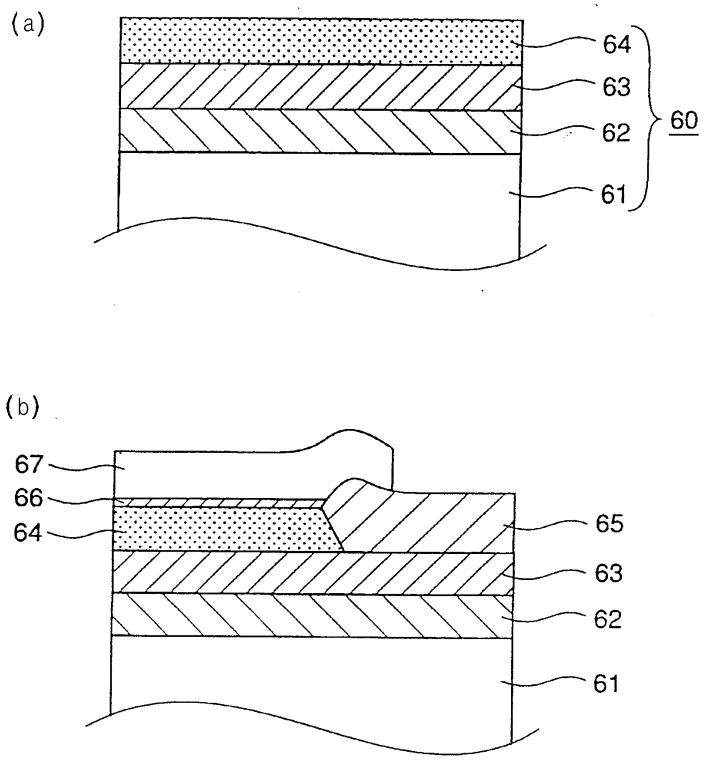
도면4



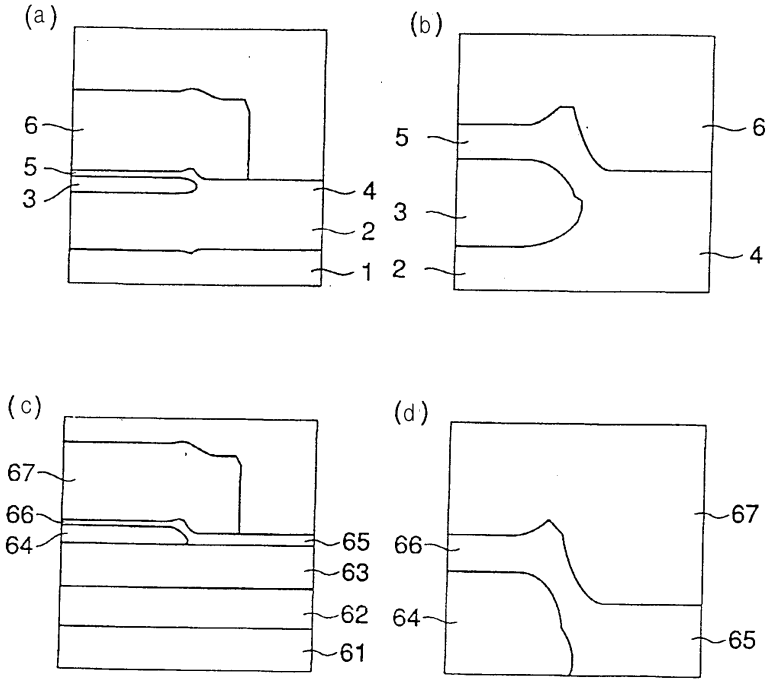
도면5



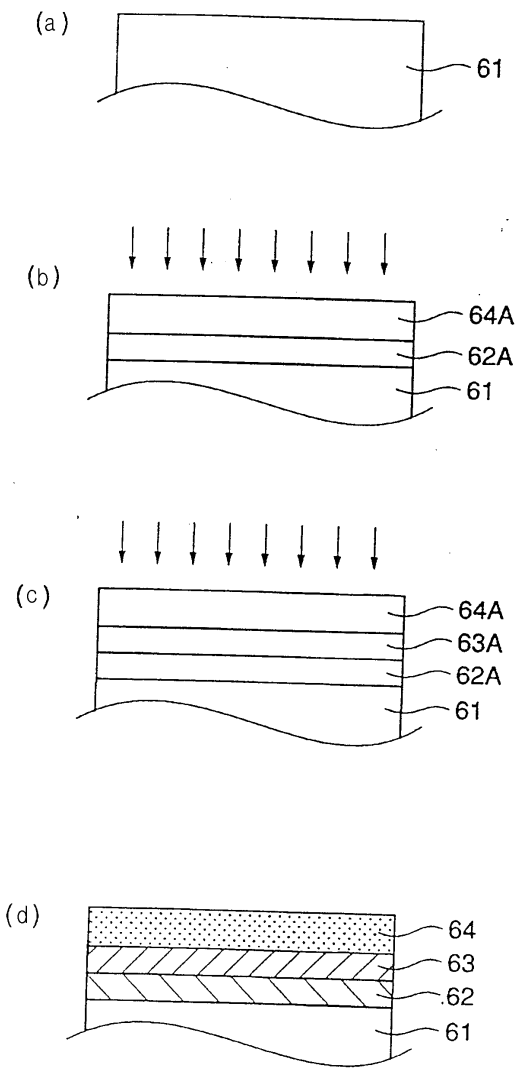
도면6


(a)
64
63
62
60
61
(b)
67
66
64
65
63
62
61

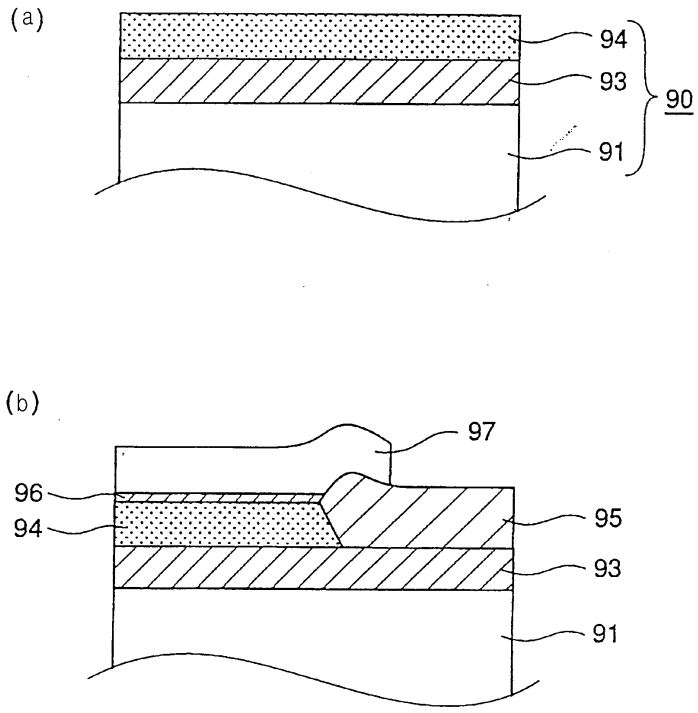
도면7


(a)
6
5
3
4
2
1
(b)
5
6
3
4
2
(c)
67
66
64
65
63
62
61
(d)
67
66
64
65

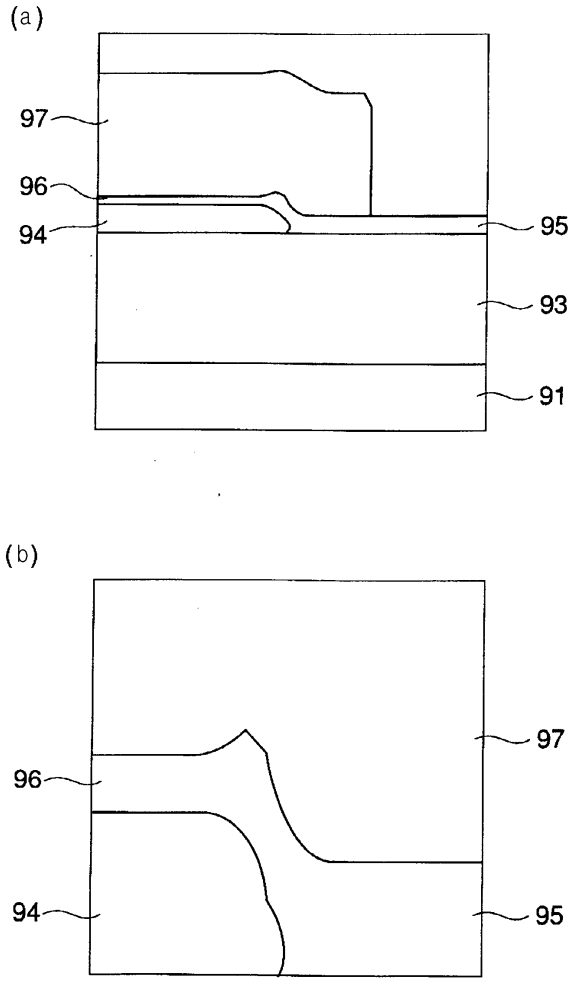
도면8



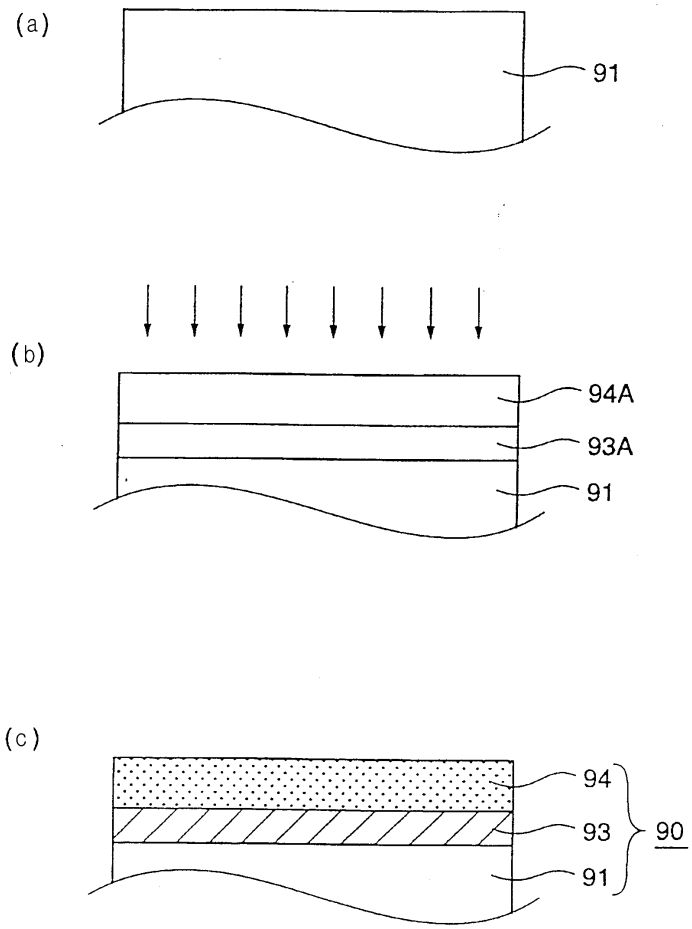
도면9



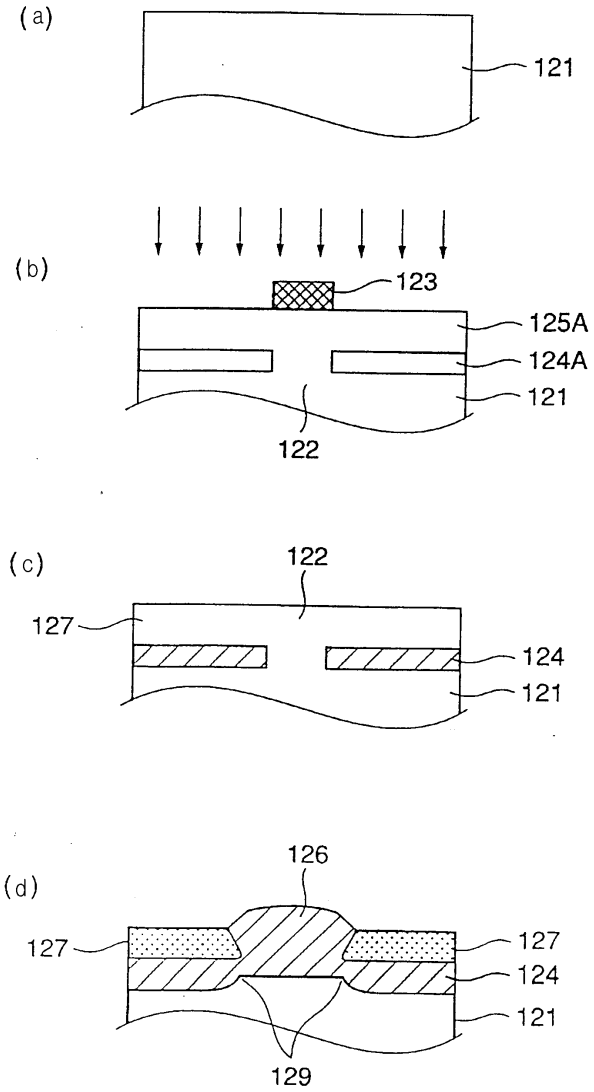
도면10



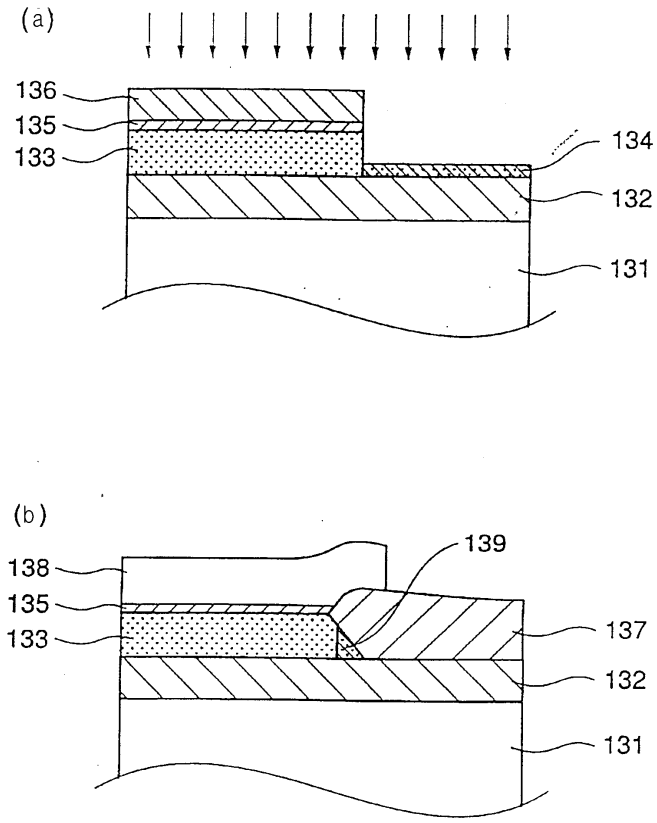
도면11



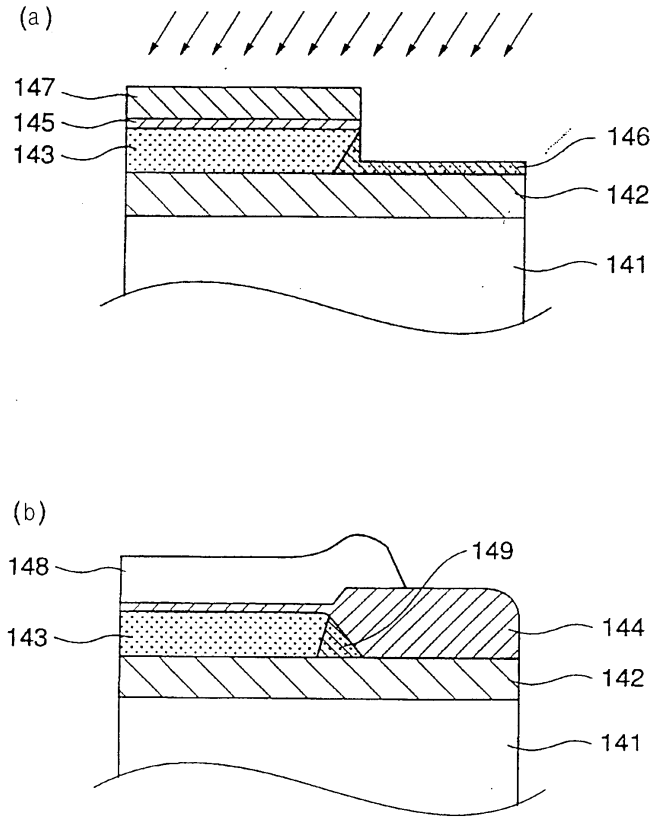
도면12


(a)
121
(b)
123
125A
124A
121
122
(c)
122
127
124
121
(d)
126
127
127
124
121
129

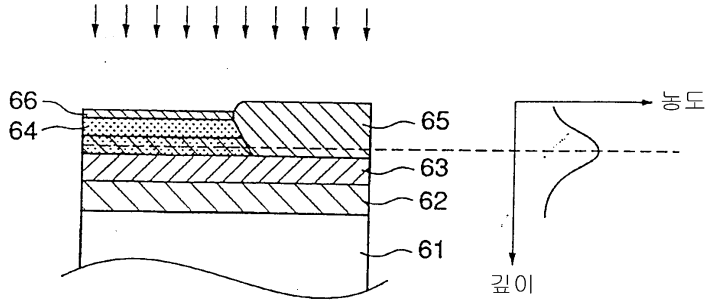
도면13


(a)
136
135
133
134
132
131
(b)
138
135
133
139
137
132
131

도면14


(a)
147
145
143
146
142
141
(b)
148
143
149
144
142
141

도면15



도면16

