

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5378045号  
(P5378045)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int.Cl.	F I	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 P
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 5 F
HO 1 L 29/739 (2006.01)	HO 1 L 29/78	6 5 8 F
HO 1 L 21/336 (2006.01)	HO 1 L 29/06	3 0 1 G
HO 1 L 29/41 (2006.01)	HO 1 L 29/44	Y
請求項の数 5 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2009-97025 (P2009-97025)  
 (22) 出願日 平成21年4月13日(2009.4.13)  
 (65) 公開番号 特開2010-251404 (P2010-251404A)  
 (43) 公開日 平成22年11月4日(2010.11.4)  
 審査請求日 平成23年8月3日(2011.8.3)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 110000350  
 ポレール特許業務法人  
 (72) 発明者 松浦 勝也  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所 日立事業所内  
 (72) 発明者 高柳 雄治  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所 日立事業所内  
 (72) 発明者 佐伯 貴広  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所 日立事業所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の一方の主表面に形成された第2導電型の能動領域と、前記能動領域を取り囲むように前記主表面に形成された第2導電型の複数のガードリングと、前記複数のガードリングからなる領域を取り囲むように前記主表面に形成された第1導電型のチャンネルストップパとを有し、

前記能動領域に接合する第1の電極と、前記複数のガードリングの個々に接合する複数の第2の電極と、前記チャンネルストップパに接合する第3の電極とを有し、

前記能動領域と前記複数のガードリングの最内周のガードリングとに跨り前記主表面上に形成された絶縁膜と、前記複数のガードリング間に跨り前記主表面上に形成された絶縁膜と、前記複数のガードリングの最外周のガードリングと前記チャンネルストップパとに跨り前記主表面上に形成された絶縁膜とを有する半導体装置であって、

前記能動領域と前記第1の電極との間に介在する第1のバリアメタル層と、前記複数のガードリングと前記複数の第2の電極との間に介在する第2のバリアメタル層と、前記チャンネルストップパと前記第3の電極との間に介在する第3のバリアメタル層とを更に有し、前記バリアメタル層は各々に間隔をあけて配設され、

前記複数のガードリングからなる領域を横断する方向において、前記各バリアメタル層(第1乃至第3のバリアメタル層)の幅は接合する前記各電極(第1乃至第3の電極)の幅よりも広く、かつ前記各バリアメタル層の一部は前記各バリアメタル層がそれぞれ接合する前記各電極の前記横断する方向における両側からはみ出していることを特徴とする半導

10

20

体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記各バリアメタル層の一部がはみ出している量  $L1$  と前記第 2 の電極の厚さ  $T$  との関係が「 $T/4 < L1 < T$ 」であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置において、前記各バリアメタル層の前記間隔  $L2$  が「 $3 \mu\text{m} < L2 < 20 \mu\text{m}$ 」であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体装置において、前記第 2 の電極は Al もしくは Al に Si および/または Cu が添加された合金からなり、前記各バリアメタル層は  $\text{MoSi}_2$ , TiW, TiN または Ti のいずれかであることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、前記第 2 の電極の厚さ  $T$  が  $3 \sim 7 \mu\text{m}$  であり、前記各バリアメタル層の厚さ  $t$  が  $10 \sim 700 \text{ nm}$  であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特にガードリングにより半導体能動領域を囲むターミネーション構造を有する電氣的に高耐圧な半導体装置に関する。

【背景技術】

【0002】

パワー半導体装置は、モータ・発電機等の電気機器の制御や電力を変換するために用いられる大電力の半導体装置である。また、当該電気機器の高効率化や大容量化のため、パワー半導体装置の使用環境は、近年、高電圧・大電流化（大電力化）がさらに進展している。電力制御用パワー半導体装置の代表例としては、パワー MOSFET (Metal-Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) など

が挙げられる。

【0003】

電氣的な高耐圧（高い絶縁耐圧）を必要とするパワー半導体装置では、半導体素子となる能動領域を取り囲むように複数のガードリング（FLR: Field Limiting Ring とも言う）が一般的に配設されている。ガードリングによるターミネーション構造は、ガードリングの本数を増加して電界を分散させる（半導体装置の端部に向かって電界を徐々に緩和させる）ことにより、高耐圧化を図る構造である。また、ガードリング（特にガードリングの角部）への電界集中を防止するために、ガードリング上には導電材によるフィールド電極を形成するのが一般的である。

【0004】

図 4 は、従来の高耐圧パワー半導体装置の概略構造の 1 例を表した模式図であり、(a) は平面模式図、(b) は図 4 (a) 中の A - A 線で切断した縦断面模式図である。なお、“n” または “p” を冠した層または領域は、それぞれ電子、正孔を多数キャリアとする層または領域を意味し、上付きの “+”, “-” はそれぞれ該不純物濃度が比較的高い、或いは比較的低いことを意味するものとする。

【0005】

図 4 に示すように、従来の高耐圧パワー半導体装置 200 は、 $n^-$  型の半導体基板 1 の一方の主表面に形成された p 型の能動領域 2 と、該能動領域 2 を取り囲むように前記主表面に形成された p 型のガードリング 3a, 3b, 3c, 3d, 3e と、該複数のガードリング (3a, 3b, 3c, 3d, 3e) からなる領域を取り囲むように前記主表面に形成された  $n^+$  型のチャンネルスト

10

20

30

40

50

ツパ4とを有している。能動領域2には上面主電極となる第1の電極5がオーミック接合され、各ガードリング3a, 3b, 3c, 3d, 3eにはフィールド電極となる第2の電極6a, 6b, 6c, 6d, 6eがそれぞれオーミック接合され、チャンネルストップパ4にはストップパ電極となる第3の電極7がオーミック接合されている。

【0006】

また、能動領域2と最内周のガードリング3aとに跨るように前記主表面上に絶縁膜8aが形成され、各ガードリング3a, 3b, 3c, 3d, 3e間に跨るように前記主表面上に絶縁膜8b, 8c, 8d, 8eが形成され、最外周のガードリング3eとチャンネルストップパ4とに跨るように前記主表面上に絶縁膜8fが形成されている。半導体基板1の他方の主表面にはp<sup>+</sup>型の半導体層9が形成されており、さらに外層には半導体層9とオーミック接合する下面主電極10が形成されている。

10

【0007】

図4のようなパワー半導体装置200に対し、例えば、上面主電極5を0Vとして下面主電極10に1200Vを印加すると、下面主電極10とチャンネルストップパ4とが同電位となり、能動領域2とチャンネルストップパ4は逆バイアスの状態になる。その結果、各ガードリング3a, 3b, 3c, 3d, 3eはその中間の電位を受け持ち、電界を分散させることができる。具体的には、各ガードリング3a, 3b, 3c, 3d, 3eの電位は、それぞれ200V, 400V, 600V, 800V, 1000Vとなる。

【0008】

ここで、各電極(上面主電極5, フィールド電極6a~6e, ストップパ電極7)は、絶縁膜8a~8fを介して半導体基板1に形成される空乏層を拡げ、能動領域2, ガードリング3a~3e, チャンネルストップパ4の角部に掛かる電界集中を緩和する役割を果たす。そのため、絶縁膜8a~8fの上をできるだけ電極で覆うことが好ましいが、前述したように、隣接する電極間には電位差が存在することから最低限の絶縁は必要となる。一方、半導体装置の高耐圧化に伴ってガードリングの本数が増え、半導体装置全体に対するガードリングとチャンネルストップパの領域(総称してターミネーション領域と言う)の占める割合が増加傾向にある。これは、半導体装置の面積増大につながり易く、コスト増を招くとともに装置小型化の要求にも反する。すなわち、該半導体装置は高耐圧化と小型化の両立が求められている。

20

【0009】

そのような要求に対し、特許文献1(特開2001-44414号公報)は、フィールド電極がバリアメタル層のみからなる半導体装置を開示している。また、特許文献2(特開2007-324261号公報)では、表面電極(上面主電極, フィールド電極, ストップパ電極に相当)の隣接する電極間に高抵抗の導電膜が所定膜厚だけ残存するように形成された半導体装置が開示されている。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2001-44414号公報

【特許文献2】特開2007-324261号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0011】

近年、パワー半導体装置に対する高耐圧化の要求と小型化の要求はますます高まっている。特許文献1の半導体装置は、フィールド電極をバリアメタル層のみで構成することで、ガードリング単体の幅寸法を縮小できるとともに加工精度を高めることができるとしている。しかしながら、厚さが薄く電気抵抗率の高いバリアメタル層のみでフィールド電極を構成しているためにフィールド電極自体の電気抵抗が高くなり易く、半導体素子の高速動作への対応(例えば、高速スイッチングに対する応答性など)が制約される可能性がある。言い換えると、フィールド電極の電気抵抗は低いことが望ましい。

50

## 【 0 0 1 2 】

また、特許文献2の半導体装置は、隣接する電極間に形成される導電膜に対応して半導体基板に形成される空乏層を上げられることから半導体装置の耐圧を高くすることができ、製造工程全体を複雑化することなくガードリング領域の面積を小さくすることができるとしている。しかしながら、隣接する電極同士が導電膜で連結されていることから、隣接する電極間の電位差を大きくする設計において不都合が生じる場合がある。

## 【 0 0 1 3 】

すなわち、パワー半導体装置に対する更なる高耐圧化の要求と小型化の要求とに対応していくためには、これまで以上の対策が必要である。従って、本発明の目的は、パワー半導体装置の高耐圧化と小型化とを両立できる半導体装置を提供することにある。

10

## 【課題を解決するための手段】

## 【 0 0 1 4 】

本発明は、上記目的を達成するため、半導体基板の一方の主表面に形成された第2導電型の能動領域と、前記能動領域を取り囲むように前記主表面に形成された第2導電型の複数のガードリングと、前記複数のガードリングからなる領域を取り囲むように前記主表面に形成された第1導電型のチャンネルストッパとを有し、  
前記能動領域に接合する第1の電極と、前記複数のガードリングの個々に接合する複数の第2の電極と、前記チャンネルストッパに接合する第3の電極とを有し、  
前記能動領域と前記複数のガードリングの最内周のガードリングとに跨り前記主表面上に形成された絶縁膜と、前記複数のガードリング間に跨り前記主表面上に形成された絶縁膜と、前記複数のガードリングの最外周のガードリングと前記チャンネルストッパとに跨り前記主表面上に形成された絶縁膜とを有する半導体装置であって、  
前記能動領域と前記第1の電極との間に介在する第1のバリアメタル層と、前記複数のガードリングと前記複数の第2の電極との間に介在する第2のバリアメタル層と、前記チャンネルストッパと前記第3の電極との間に介在する第3のバリアメタル層とを更に有し、  
前記バリアメタル層は各々に間隔をあけて配設され、  
前記複数のガードリングからなる領域を横断する方向において、前記各バリアメタル層(第1乃至第3のバリアメタル層)の幅は接合する前記各電極(第1乃至第3の電極)の幅よりも広く、かつ前記各バリアメタル層の一部が前記接合する各電極の前記横断する方向における両側からはみ出していることを特徴とする半導体装置を提供する。

20

30

## 【 0 0 1 5 】

また、本発明は、上記目的を達成するため、上記の本発明に係る半導体装置において、以下のような改良や変更を加えることができる。

(1) 前記各バリアメタル層の一部がはみ出している量 $L1$ と前記第2の電極の厚さ $T$ との関係が「 $T/4 < L1 < T$ 」である。

(2) 前記各バリアメタル層の前記間隔 $L2$ が「 $3 \mu\text{m} < L2 < 20 \mu\text{m}$ 」である。

(3) 前記第2の電極はAlもしくはAlにSiおよび/またはCuが添加された合金からなり、前記各バリアメタル層は $\text{MoSi}_2$ 、TiW、TiNまたはTiのいずれかである。

(4) 前記第2の電極の厚さ $T$ が $3 \sim 7 \mu\text{m}$ であり、前記各バリアメタル層の厚さ $t$ が $10 \sim 700 \text{ nm}$ である。

40

## 【発明の効果】

## 【 0 0 1 6 】

本発明によれば、パワー半導体装置において高耐圧化と小型化とを両立させることができ、該半導体装置の低コスト化や電力機器の高効率化に貢献する半導体装置を提供することができる。

## 【図面の簡単な説明】

## 【 0 0 1 7 】

【図1】本発明の実施形態に係る半導体装置の1例を示す部分縦断面模式図である。

【図2】図1の部分拡大模式図である。

【図3】本発明に係る半導体装置の製造プロセスの概略を表す部分縦断面模式図である。

50

【図4】従来の高耐圧パワー半導体装置の概略構造の1例を表した模式図であり、(a)は平面模式図、(b)は図4(a)中のA-A線で切断した縦断面模式図である。

【図5】絶縁耐圧とバリアメタル層の間隔L2との関係を示すグラフである。

【発明を実施するための形態】

【0018】

本発明は、パワー半導体装置におけるターミネーション領域の構造が該半導体装置の電氣的耐圧性やその耐久性に与える影響に関する発明者らの精力的な調査・研究により完成したものである。

【0019】

以下、図を参照しながら本発明に係る実施の形態を説明する。ただし、本発明はここで取り上げた実施の形態に限定されることはない。具体的には、本明細書における半導体装置はIGBTを例として説明するが、本発明はIGBT以外のパワー半導体装置（例えば、パワーMOSFETやダイオード）にも適用できる。なお、半導体装置の能動領域の構造は、従前のものを利用できることから図示や説明を省略する。また、図面中で同義の部分には同一の符号を付して重複する説明を省略する。

【0020】

（半導体装置の構造）

図1は、本発明の実施形態に係る半導体装置の1例を示す部分縦断面模式図である。図1に示すように、本発明の実施形態に係る半導体装置100は、 $n^-$ 型の半導体基板1の一方の主表面（上面）に形成されたp型の能動領域2と、該能動領域2を取り囲むように前記主表面に形成されたp型のガードリング3a, 3b, 3c, 3d, 3eと、該複数のガードリング（3a, 3b, 3c, 3d, 3e）からなる領域を取り囲むように前記主表面に形成された $n^+$ 型のチャンネルストップ4とを有している。能動領域2には上面主電極となる第1の電極5がオーミック接合され、各ガードリング3a, 3b, 3c, 3d, 3eにはフィールド電極となる第2の電極6a, 6b, 6c, 6d, 6eがオーミック接合され、チャンネルストップ4にはストップ電極となる7がオーミック接合されている。また、能動領域2と最内周のガードリング3aとに跨るように前記主表面上に絶縁膜8aが形成され、各ガードリング3a, 3b, 3c, 3d, 3e間に跨るように前記主表面上に絶縁膜8b, 8c, 8d, 8eが形成され、最外周のガードリング3eとチャンネルストップ4とに跨るように前記主表面上に絶縁膜8fが形成されている。

【0021】

さらに、能動領域2と第1の電極5との間に介在する第1のバリアメタル層51と、各ガードリング（3a, 3b, 3c, 3d, 3e）と各第2の電極（6a, 6b, 6c, 6d, 6e）との間にそれぞれ介在する第2のバリアメタル層61a, 61b, 61c, 61d, 61eと、チャンネルストップ4と第3の電極7との間に介在する第3のバリアメタル層71とを有している。各バリアメタル層（51, 61a, 61b, 61c, 61d, 61e, 71）は各々に間隔をあけて配設されている。また、ターミネーション領域を横断する方向において、各バリアメタル層（51, 61a, 61b, 61c, 61d, 61e, 71）の幅は接合する各電極（5, 6a, 6b, 6c, 6d, 6e, 7）の幅よりも広く、かつ各バリアメタル層（51, 61a, 61b, 61c, 61d, 61e, 71）の一部は各バリアメタル層がそれぞれ接合する各電極（5, 6a, 6b, 6c, 6d, 6e, 7）の横断方向における両側からはみ出している。なお、ターミネーション領域（または複数のガードリングからなる領域）を横断する方向とは、例えば、該半導体装置を上面から見た場合においてガードリングの接線に対して垂直な方向（すなわち、図4(a)中のA-A線に沿った方向）と定義する。

【0022】

半導体基板1の他方の主表面（下面）には $p^+$ 型の半導体層9が形成されており、その外層には半導体層9とオーミック接合する下面主電極10が形成されている。なお、図1においては $n^-$ 型の半導体基板を用いた場合を説明したが、 $p^-$ 型の半導体基板を用いて他の導電型のp, nを全て逆にした構造としてももちろんよい。また、ガードリングが5本の場合を例示しているが、5本に限定されるものではなく耐圧設計に応じて適宜選択されるものである。

10

20

30

40

50

## 【0023】

図2は、図1の部分拡大模式図である。前述したように、ターミネーション領域を横断する方向において、各バリアメタル層（図2では61a, 61b）の幅は接合する各電極（図2では6a, 6b）の幅よりも広く、かつ各バリアメタル層の一部は各バリアメタル層がそれぞれ接合する各電極の横断方向における両側からはみ出している。

## 【0024】

このとき、図2に示すように、バリアメタル層の一部がはみ出している量をL1、第2の電極の厚さ（絶縁膜上に形成されたバリアメタル層の表面から第2の電極の頂上までの距離）をTとしたときに、L1とTとの関係が「 $T/4 < L1 < T$ 」であることが好ましい。より好ましくは「 $T/3 < L1 < T$ 」である。また、バリアメタル層の間隔（ターミネーション領域を横断する方向において隣接するバリアメタル層間の距離）をL2としたときに、L2が「 $3 \mu\text{m} < L2 < 20 \mu\text{m}$ 」であることが好ましい。より好ましくは「 $T < L2 < 15 \mu\text{m}$ 」である。規定の詳細については後述する。

10

## 【0025】

第1の電極乃至第3の電極は、その素材として従前のものを利用することができるが、Al（アルミニウム）もしくはAlにSi（ケイ素）および/またはCu（銅）が添加された合金を用いることは好ましい。また、バリアメタル層も、その素材として従前のものを利用することができるが、 $\text{MoSi}_2$ （二珪化モリブデン）、TiW（チタン・タングステン合金）、TiN（窒化チタン）またはTi（チタン）を用いることは好ましい。

20

## 【0026】

（半導体装置の製造方法）

本発明に係る半導体装置の製造方法は、結果として所望の構造が形成できれば、その製造方法に特段の限定は無く従前の方法を用いることができる。以下、1例を挙げて本発明に係る半導体装置の製造方法を説明する。

## 【0027】

はじめに、従前の方法に基づいて、 $n^-$ 型の半導体基板（図1における1）の一方の主表面（上面）にp型の能動領域（図1における2）とp型のガードリング（図1における3a~3e）と $n^+$ 型のチャネルストップパ（図1における4）とを形成し、該半導体基板1の他方の主表面（下面）に $p^+$ 型の半導体層（図1における9）と下面主電極（図1における10）とを形成する。その後、該半導体基板1の主表面上に絶縁膜（図1における8a~8f）

30

## 【0028】

図3は、本発明に係る半導体装置の製造プロセスの概略を表す部分縦断面模式図である。上述のように用意した半導体基板1に対し、図3(a)に示すように、半導体基板1の主表面上（図3(a)においてはガードリング3a, 3bの表面上）および絶縁膜（図3(a)においては8a, 8b, 8c）の表面上にバリアメタル層となる薄膜61（例えば、 $\text{MoSi}_2$ 薄膜やTiW薄膜）を厚さ10~700 nmで形成し、その薄膜61の上に第1乃至第3の電極となる金属層60（例えば、Al層）を厚さ3~7  $\mu\text{m}$ で形成する。

## 【0029】

次に、図3(b)に示すように、ホットレジスト20によって第1乃至第3の電極となる金属層60上にパターニングする。このとき、ホットレジスト20の開口部20'の幅がバリアメタル層の間隔L2となるようにする。次に、図3(c)に示すようにウェットエッチによって金属層60をエッチングし第1乃至第3の電極（図3(c)においては第2の電極6a, 6b）を形成する。このとき、ウェットエッチのオーバーエッチング量を制御することで開口部20'の投影よりも広く金属層60をエッチングする（言い換えると、各電極がホットレジスト20の投影よりも小さくなるようにエッチングする）。

40

## 【0030】

次に、図3(d)に示すように、ウェットエッチで使用したホットレジスト20をそのまま利用し、異方性ドライエッチによって薄膜61をエッチングして第1乃至第3のバリアメタル層（図3(d)においては第2のバリアメタル層61a, 61b）を分離形成する。各バリアメタ

50

ル層は、薄膜61を異方性ドライエッチによってエッチングすることから、ホトレジスト20（または開口部20'）のパターンと同形状でエッチングすることができる。その後、ホトレジスト20を除去する。

【0031】

上記のような製造方法によれば、バリアメタル層の一部が電極の横断方向における両側からはみ出している本発明に係る半導体装置を製造できるとともに、バリアメタル層の一部がはみ出している量L1とバリアメタル層の間隔L2とを個別に制御することができる。

【0032】

（バリアメタル層の一部がはみ出している量L1とバリアメタル層の間隔L2の検討）

バリアメタル層の間隔L2は、少なくともパワー半導体装置に求められる絶縁耐圧を満たすように設定される必要がある。ガードリングの設計思想にも依存するが、一般的にガードリング幅の増大を抑えるように設計する場合、隣接するバリアメタル層の間には50 V以上の電位差が生じるため、ある程度以上の間隔が必要となる。一方、バリアメタル層の間隔L2を拡大していくと、電界を延ばし分散させるフィールドプレート効果（絶縁耐圧を向上させる効果と半導体層の表面準位に起因する周波数特性の劣化を改善する効果）が低下してくることが知られている。また、隣接するバリアメタル層の間にある絶縁膜の表面が汚染されたりすると（例えば、半導体装置の製造プロセス過程や実装プロセス過程などにおける汚染）、該汚染に起因して絶縁膜表面に電荷（界面電荷）が蓄電される場合があり、フィールドプレート効果が劣化する不具合が生じる。

【0033】

上記のような要求・課題を解決するために、本発明者らはシミュレーション解析と実証試験を行った。図5は、絶縁耐圧とバリアメタル層の間隔L2との関係を示すグラフである。図5に示したように、必要最小耐圧を確保するためには、少なくともL2を3  $\mu\text{m}$ 以上とする必要があることが判った。また、フィールドプレート効果を必要最小限で維持するためには、L2を20  $\mu\text{m}$ 以下とする必要があることが判った。さらに、界面電荷の影響を考慮すると（界面電荷による悪影響を抑制するためには）、L2を15  $\mu\text{m}$ 以下とすることがより望ましいことが判った。

【0034】

上記に加えて、本発明に係るパワー半導体装置を低コストで製造するためには、製造プロセスに起因した制約がある。前述したように、第1乃至第3の電極の厚さが数  $\mu\text{m}$ オーダと厚いことから、第1乃至第3の電極の形成には、コスト的な観点からウェットエッチングを利用することが望ましい。そして、ウェットエッチングにおけるオーバーエッチング量の制御が、バリアメタル層の一部がはみ出している量L1の制御となる。

【0035】

量産的に安定して制御するためには、第2の電極の厚さTに対してバリアメタル層の一部がはみ出している量L1をT/4以上とすることが望ましい。より望ましくはT/3以上である。一方、L1が過大になると各電極（特に、フィールド電極とストッパ電極）の低電気抵抗化に対する阻害因子となるため、L1はT以下であることが望ましい。

【0036】

加えて、第1乃至第3の電極を形成するためのウェットエッチングの際、エッチング液がホトレジストの開口部から制御性よく浸透・排出できるように、ホトレジストの開口部20'はT以下であることが望ましい。ホトレジストの開口部20'はバリアメタル層の間隔L2となることから、言い換えると、L2はT以上であることが望ましい。

【符号の説明】

【0037】

- 100, 200... パワー半導体装置、 1 ... 半導体基板、
- 2 ... 能動領域、 3a, 3b, 3c, 3d, 3e... ガードリング、 4 ... チャネルストッパ、
- 5 ... 第1の電極（上面主電極）、 51... 第1のバリアメタル層、
- 6a, 6b, 6c, 6d, 6e... 第2の電極（フィールド電極）、
- 61a, 61b, 61c, 61d, 61e... 第2のバリアメタル層、

10

20

30

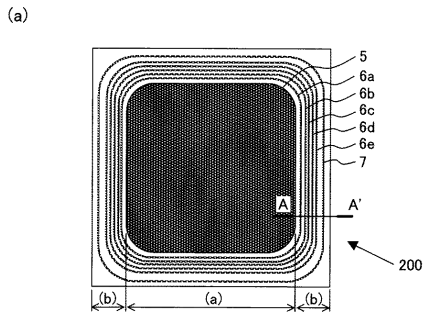
40

50



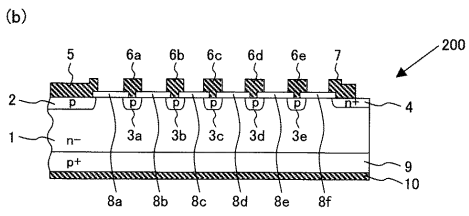
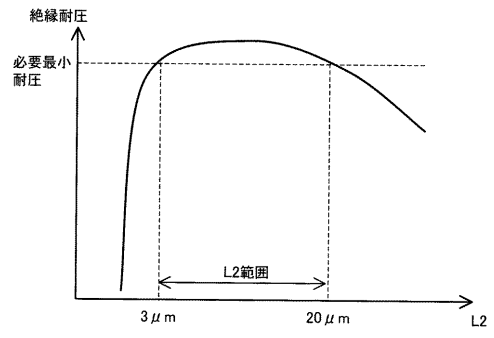
【 図 4 】

図 4



【 図 5 】

図 5



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/28 (2006.01) H 0 1 L 21/28 3 0 1 R

(72)発明者 日和 洋一  
茨城県日立市幸町三丁目1番1号 株式会社日立製作所 日立事業所内

審査官 土谷 慎吾

(56)参考文献 特開2006-196775(JP,A)  
特開2004-158844(JP,A)  
特開2001-044414(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 0 6  
H 0 1 L 2 9 / 4 1  
H 0 1 L 2 9 / 7 3 9  
H 0 1 L 2 9 / 7 8