

I234781

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日 本 2001年08月08日 特願2001-241132 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

五、發明說明(1)

參照之相關申請專利

本申請專利係以先前之2001年8月8日為期之日本申請專利第2001-241132號為依據，且聲明具有該日本申請專利之優先受益權。本申請專利內容所包含之上述日本申請專利之內容，均做為參照之用。

發明背景

1發明之領域

本發明為一種半導體記憶裝置，特指一種磁性記憶裝置(MRAM: Magnetic Random Access Memory)，其係以隧道磁性電阻效應(TMR: Tunneling Magneto Resistive)元件做為記憶元件。

2相關技藝之說明

近年，有關資訊記憶元件方面，已提案提出利用磁性電阻效應之MRAM(Magnetic Random Access Memory)單元。該MRAM具有發展成具有非揮發性、高集成性、高可靠性、及高速動作性之潛力，因此近年來受矚目之程度劇升。

磁性電阻效應元件中，主要已知的有GMR(Giant Magneto Resistive)元件及TMR(Tunneling Magneto Resistive)元件。GMR元件係由2個強磁性層及介於該強磁性層間之導體所構成，該導體之電阻大小會依上下兩層之強磁性層之磁化方向而產生變化。唯，GMR元件之MR(Magneto Resistive)比為較低之10%以下，因此難以確保讀取邊際。為此，GMR元件之用途僅限於特殊用途，未廣泛地普及。另一方面，TMR元件係由2個強磁性層及介於該強磁性層間之絕緣體所

五、發明說明(2)

構成，該導體之電阻大小會依上下兩層之強磁性層之磁化方向而產生變化。在該TMR元件中，目前已發展至能夠確保50%左右之MR比。因此，在此數年間，以應用裝置為目標之研究對象，相較於GMR元件，係以TMR為主流。

為此，MRAM記憶單元中，係以TMR元件做為記憶元件及參考元件。尚且，在讀取資料時，在進行記憶元件之電阻值及參考元件之電阻值之比較下，以判定“1”及“0”之資料。

唯，在上述先前技術中，當參考元件之電阻值有所誤差時，會發生“1”及“0”資料之電阻變化變小之問題。因此，有必要抑制參考元件之電阻值之誤差。

發明概述

依本發明之第一觀點之磁性記憶裝置，其係包含：第一電阻元件，其係設置於記憶單元部；及第二及第三電阻元件，其分別在參考單元部設有至少1個以上，且上述第一、第二及第三之電阻元件係藉由電阻變化來記憶2值之資料，上述第二電阻元件係用以記憶上述2值資料中之一方之資料，上述第三電阻元件係用以記憶上述2值資料中之另一方資料。

圖式之簡要說明

圖1為本發明之第一實施形態之磁性記憶裝置之電路圖。

圖2為本發明之第一實施形態之磁性記憶裝置之概略之平面圖。

圖3為在沿著圖2之III-III線上之記憶單元部上之磁性記憶

五、發明說明(3)

裝置之剖面圖。

圖4為本發明之第一實施形態之記憶單元部及參考單元部之概略之電路圖。

圖5為本發明之第一實施形態之參考單元之電阻分布誤差與MR比間之關係圖。

圖6A為本發明之第一實施形態之記憶單元部及參考單元部之其他概略之電路圖。

圖6B為本發明之第一實施形態之取代TMR元件之相變化記憶元件之剖面圖。

圖7為本發明之第二實施形態之磁性記憶裝置之電路圖。

圖8為本發明之第二實施形態之記憶單元部之磁性記憶裝置之剖面圖。

圖9為本發明之第三實施形態之磁性記憶裝置之電路圖。

圖10為本發明之第三實施形態之記憶單元部之磁性記憶裝置之剖面圖。

圖11為本發明之第四實施形態之磁性記憶裝置之電路圖。

圖12為本發明之第四實施形態之磁性記憶裝置之電路圖案圖。

圖13為本發明之第四實施形態之記憶單元部及參考單元部之概略之電路圖。

圖14為本發明之第四實施形態之磁性記憶裝置之概略之平面圖。

圖15為本發明之第五實施形態之磁性記憶裝置之電路

五、發明說明 (4)

圖。

圖 16 為本發明之第五實施形態之磁性記憶裝置之電路圖案圖。

圖 17 為本發明之第六實施形態之磁性記憶裝置之電路圖。

圖 18 為本發明之第六實施形態之磁性記憶裝置之電路圖案圖。

發明之揭示

本發明之實施形態係關於例如以隧道磁性電阻效應(TMR : Tunneling Magneto Resistive)元件做為記憶元件之磁性記憶裝置(MRAM : Magnetic Random Access Memory)。該 MRAM 係將複數個具有 TMR 元件之記憶單元以矩陣狀配置，形成記憶單元陣列構造，且在該記憶單元陣列周圍設置有解碼器及感測電路等之週邊電路部，藉由對任意之記憶單元進行存取，以進行資訊之寫入及讀取。

接著依如下之圖式進行本發明之實施形態之說明。在該說明過程中，所有圖式中共通之部份，係以共通之參考符號來加以標示。

[第一實施形態]

第一實施形態為 1 位元之記憶單元部由 1 個 TMR 元件及 1 個 MOS 電晶體所構成，且參考單元部由 (1 個 TMR 元件及 1 個 MOS 電晶體) × 4 所構成之例子。此外，參考單元部係指在與 1 個位元之記憶單元同時選取且進行資料讀取之過程中，用以與記憶單元進行比較之單元。

五、發明說明(5)

圖1為本發明之第一實施形態之磁性記憶裝置之電路圖。如圖1所示，在第一實施形態之磁性記憶裝置中，每一位元之記憶單元部10具有TMR元件13及MOS電晶體20。用以對寫入該記憶單元部10之TMR元件13內之資訊進行判定之參考單元部30，具有4組由TMR元件及MOS電晶體所構成之元件組。即，參考單元部30具有：第一組，其係由儲存有資料“0”之第一TMR元件31a及MOS電晶體33a所形成；第二組，其係由儲存有資料“1”之第二TMR元件32a及MOS電晶體34a所形成；第三組，其係由儲存有資料“0”之第三TMR元件31b及MOS電晶體33b所形成；及第四組，其係由儲存有資料“1”之第四TMR元件32b及MOS電晶體34b所形成。

此外，在參考單元部30中，由於儲存資料“0”之TMR元件與儲存資料“1”之TMR元件為2個一組，因此儲存資料“0”之TMR元件與儲存資料“1”之TMR元件最好設置相同個數。

在上述磁性記憶裝置中，係將複數條位元線11與寫入用字元線12以相互垂直之矩陣狀進行配置，位元線11與寫入用字元線12之各相交點附近，則分別配置有TMR元件13、31a、31b、32a、及32b。尚且，記憶單元部10係與該記憶單元部10相對應之參考單元部30使用相同之寫入及讀取用字元線12及22。即，記憶單元部10及參考單元部30上之TMR元件13、31a、31b、32a、及32b係配置於相同之寫入用字元線12之上方。此外，記憶單元部10及參考單元部30上之MOS電晶體20、33a、33b、34a、及34b係與相同之讀取用字元線22做電性連接。

五、發明說明(6)

圖2為第一實施形態之磁性記憶裝置之概略之平面圖。圖3為在沿著圖2之III-III線上之記憶單元部上之磁性記憶裝置之剖面圖。

如圖2所示，參考單元部30之TMR元件31a、31b、32a、及32b與位元線11相連接側之面積 S_1 ，係與記憶單元部10之TMR元件13與位元線11相連接側之面積 S_2 相同。

如圖3所示，第一實施形態之記憶單元部10中，在位元線11與寫入用字元線12之各相交點附近，設置有TMR元件13。該TMR元件13係經由上部電極(未圖示)而與位元線11相連接。且經由下部電極14、第一及第二配線層18、16以及第一、第二及第三接觸層19、17、及15而與MOS電晶體20之源極/汲極擴散層21相連接。該MOS電晶體20為用以存取TMR元件13之讀取用切換元件，且該MOS電晶體20之閘極係做為讀取用字元線22。

在此，TMR元件13具有：磁性記錄層26，其係與下部電極14相連接之強磁性層；磁化固接層27，其係經由上部電極而與位元線11相連接之強磁性層；及隧道接合層28，其係介於上述磁性記錄層26與磁化固接層27間之非磁性層。

此外，TMR元件13並不侷限於上述1重隧道接合構造，也可採用如下所示之2重隧道接合構造。即，在第一磁化固接層上配置第一隧道接合層，且在該第一隧道接合層上配置磁性記錄層。在該磁性記錄層上配置有第二隧道接合層，且在該第二隧道接合層上，配置有第二磁化固接層。當為

五、發明說明(7)

具有上述2重隧道接合構造之TMR元件13時，相較於具有1重隧道接合構造之TMR元件13，施加相同之外部偏壓時之MR(Magneto Resistive)比之惡化較輕微，能夠以更高之偏壓進行動作。

上述1重隧道接合構造或2重隧道接合構造之TMR元件13，係以例如如下之材料所形成。

磁化固接層27及磁化記錄層26之材料，最好為例如Fe、Co、Ni或上述金屬之合金、自旋分極率大之磁鐵礦、 CrO_2 、 RXMnO_{3-y} (R：稀土族，X：Ca、Ba、Sr)等氧化物之外，也以NiMnSb、PtMnSb等惠斯勒(Heusler's)合金等為佳。此外，在上述磁性體中，在不喪失其強磁性下，也可含有少量之Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、及Nb等非磁性原子。

隧道接合層28之材料方面，可使用 Al_2O_3 、 SiO_2 、MgO、AlN、 Bi_2O_3 、 MgF_2 、 CaF_2 、 SrTiO_2 、 AlLaO_3 等介電體。在上述介電體中，可存在氧、氮、及氟短缺。

圖4為第一實施形態之記憶單元部及參考單元部之概略之電路圖。此外，在圖4中，省略了與TMR元件成對配置之MOS電晶體。

如圖4所示，第一實施形態之參考單元部30中，用以儲存資料“0”之第一TMR元件31a及用以儲存資料“1”之第二TMR元件32a，係經由MOS電晶體(未圖示)而串聯連接。同樣地，用以儲存資料“0”之第三TMR元件31b及用以儲存資料“1”之第四TMR元件32b，係經由MOS電晶體(未圖示)而串聯連

五、發明說明(8)

接。尚且，串聯之第一及第二TMR元件31a及32a與串聯之第三及第四TMR元件31b及32b係並聯連接。

在此，用以儲存資料“0”之第一及第三TMR元件31a及31b方面，磁化固接層27與磁性記錄層26之磁化方向係相互呈反向平行。另一方面，用以儲存資料“1”之第二及第四TMR元件32a及32b方面，磁化固接層27與磁性記錄層26之磁化方向係相互平行。

此外，設第一至第四TMR元件31a、32a、31b、及32b之整體之電阻值為 R_r ，用以儲存資料“0”之第一及第三TMR元件31a及31b之電阻值為 R_0 ，用以儲存資料“1”之第二及第四TMR元件32a及32b之電阻值為 R_1 時，該參考單元部30之整體之電阻 R_r 將滿足如下式(1)之關係：

$$R_r = (R_0 + R_1) / 2 \dots (1)$$

如此一般，參考單元部30中，係由用以儲存資料“0”之第一及第三TMR元件31a及31b之之電阻 R_0 及用以儲存資料“1”之第二及第四TMR元件32a及32b之電阻 R_1 ，產生具有介於上述兩電阻值間之中間值之電阻 R_r ，進而以該電阻 R_r 做為“1”及“0”判定之基準值。

接下來，對利用第一實施形態之MRAM記憶單元時之資訊寫入及讀取動作進行簡單之說明。

首先，在寫入動作時，藉由選擇列23及選擇行24所選取之位元線11及選取之寫入用字元線12上，將會有寫入電流流過，進而使各選取配線11及12周圍產生電流磁場。結果，2條之選取配線11及12所產生之電流磁場之合成磁場，僅

五、發明說明(9)

會施加於位在2條選取配線11及12交點附近之TMR元件13上。在此，磁化固接層27之磁化方向通常固定於一個方向。磁性記錄層26具有一軸異向性，且在形成該磁性記錄層26時，係使其磁化方向朝向與磁化固接層27相同之方向。尚且，當磁性記錄層26之磁化方向朝向與磁化固接層27之磁化方向相同之方向時，將寫入資料“1”，當磁化方向相反時，將寫入資料“0”。為使該磁性記錄層26之磁化方向反轉，設定了具有如式(2)關係之臨限值。藉此，可獨對選取之1位元之TMR元件13進行資料“1”及“0”之寫入。

(藉由1條寫入用配線產生之磁場) $<$ (單元寫入磁場之臨限值) $<$ (藉由2條寫入用配線產生之磁場)...(2)

另一方面，在讀取動作時，分別選取對應於選取之記憶單元部10之位元線11及讀取用字元線22，使電流流經選擇位元線11至TMR元件13至下部電極14至第三接觸層15至第二配線層16至第二接觸層17至第一配線層18至第一接觸層19至MOS電晶體20。尚且，在位元線11之外側，藉由比較電路25等，依電流值來讀取TMR元件13之電阻值，以判定資料“1”及“0”。在此過程中，比較電路25係以參照單元部30之電阻值 R_r 為基準，以選取之記憶單元部10之TMR元件13上流通之電流值或電壓值來做判斷。

上述之MRAM中，一般當記憶單元部10之電阻分布誤差為 ΔR_m ，參考單元部30之電阻分布誤差為 ΔR_r 時，TMR元件13之MR比與電阻分布誤差 ΔR_m 及 ΔR_r 間，必須滿足如式(3)之關係。

五、發明說明 (10)

$$\text{MR比} > 2 \times (\triangle R_m + \triangle R_r) \dots (3)$$

例如，當電阻分布誤差 $\triangle R_m$ 及 $\triangle R_f$ 分別為21%時，MR比必須達到84%以上。唯，目前之TMR元件13之MR比僅能達到50%左右，因此有必要分別對電阻分布誤差 $\triangle R_m$ 及 $\triangle R_f$ 進行抑制。在此，對於要求TMR元件13需微細化之記憶單元部10，將難以對電阻分布誤差 $\triangle R_m$ 進行抑制。因此，如第一實施形態一般，將愈加有必要對參考單元部30之電阻分布誤差 $\triangle R_r$ 進行抑制。

在上述現狀下，第一實施形態之參考單元部30中，設置有用以儲存資料“0”之第一及第三TMR元件31a及31b以及用以儲存資料“1”之第二及第四TMR元件32a及32b所形成之2種TMR元件。藉此，即使各TMR元件31a、31b、32a、及32b之電阻值產生分布誤差，參考單元部30之電阻值會為上述TMR元件31a、31b、32a、及32b之平均電阻值，因此可抑制參考單元部30之電阻分布誤差 $\triangle R_r$ 。結果，如圖5所示一般，將可在將MR比維持在例如45%以下的情況下，將參考單元部30之電阻分布誤差 $\triangle R_r$ 抑制在例如8%以內。

此外，在本發明中，即使參考單元部30之電阻分布誤差 $\triangle R_r$ 在8%以上，仍足以可能藉由抑制記憶單元部10分布誤差 $\triangle R_m$ 及開發高MR比之材料等，改善讀取邊際。

依上述第一實施形態，參考單元部30具有用以儲存資料“0”之第一及第三TMR元件31a及31b以、及用以儲存資料“1”之第二及第四TMR元件32a及32b所形成之2種TMR元件。即，參考單元部30之電阻值 R_r 會為TMR元件31a、31b、

五、發明說明 (11)

32a、及32b之電阻值之平均值。因此，由於可抑制參考單元部30之整體之電阻值 R_r 分布誤差，所以能夠確保較寬之讀取邊際。

此外，每一位元之記憶單元部10係由1個TMR元件+1個MOS電晶體所構成。因此，相較於以往具有2個TMR元件13之記憶單元部10，能夠減少記憶單元部10之專用面積。藉此，進而能夠縮小晶片之面積。

此外，記憶單元部10及參考單元部30之TMR元件13、31a、31b、32a、及32b之面積 S_1 及 S_2 係設定為相同之面積，以相同之圖案配置來形成記憶單元部10及參考單元部30。藉此，可得到之效果包括：第一，可輕易地同時形成記憶單元部10及參考單元部30；第二，能夠抑制導因於處理之TMR元件13、31a、31b、32a、及32b之電阻值之分布誤差以及MR比之分布誤差；第三，可提高參考單元部30在配置上之自由度，僅需藉由變更配線連接，便可輕易地變更參考單元部30之元件數，因此易於對記憶單元部10及參考單元部30進行設計；及第四，在以蝕刻法對記憶單元部10進行圖案化處理的過程中，由於參考單元部30能夠做為虛設單元來發揮抑制圖案疏密之功用，因此可抑制圖案崩塌之情形。

此外，參考單元部30之各TMR元件31a、31b、32a、及32b係分別設置於位元線11與寫入用字元線12之之交點。因此，可將資訊寫入參考單元部30之各TMR元件31a、31b、32a、及32b。如此一來，能夠對參考單元部30重新進行寫

五、發明說明 (12)

入，以得到與記憶單元部10之記錄狀態相對應之最佳狀態。為此，可進一步提升讀取邊際。

此外，參考單元30中，如滿足式(1)之關係時，也可增加由儲存資料“0”之TMR元件及儲存資料“1”之TMR元件所構成之元件組組數。例如，如圖6A所示一般，也可設置8個由儲存資料“0”之TMR元件31及8個儲存資料“1”之TMR元件32。如此一般，藉由組合複數個由儲存資料“0”之TMR元件31及儲存資料“1”之TMR元件32所構成之元件組，使得整體之參考單元部30，較不易受到各TMR元件31及32之電阻值分布誤差或MR比之分布誤差之影響，進而能夠提高讀取邊際。

此外，例如如圖6B所示一般，也可利用相變化記憶元件60來取代TMR元件。以相變化記憶元件60做為記憶元件之相變化記憶體，係利用Ge-Sb-Te類之相變化膜之比電阻會隨非晶質狀態與結晶狀態而相異之原理，進行資料“1”及“0”之記憶。另一方面，使脈衝電流流入與相變化膜串聯連接之電阻元件，藉由對相變化膜加熱而進行資料“1”及“0”之改寫。即使利用如上述之相變化記憶元件60時，也能夠得到如上述第一實施形態同樣之效果。藉由利用相變化記憶元件，由於可產生遠大於利用TMR元件時之電阻變化(>100%)，預料可使記憶體穩定地動作。

[第二實施形態]

第二實施形態為1位元之記憶單元部由1個TMR元件及1個二極體所構成，且參考單元部由(1個TMR元件及1個二極體)

五、發明說明 (13)

× 4所構成之例子。在此第二實施形態中，將省略對具有與上述第一實施形態相同構造之部份，僅就相異構造部份進行說明。

圖7為本發明之第二實施形態之磁性記憶裝置之電路圖。如圖7所示，在第二實施形態之磁性記憶裝置中，每一位元之記憶單元部10具有TMR元件13及二極體41。用以對寫入該記憶單元部10之TMR元件13內之資訊進行判定之參考單元部30，具有4組由TMR元件及二極體所構成之元件組。即，參考單元部30具有：第一組，其係由儲存有資料“0”之第一TMR元件31a及二極體42a所形成；第二組，其係由儲存有資料“1”之第二TMR元件32a及二極體43a所形成；第三組，其係由儲存有資料“0”之第三TMR元件31b及二極體42b所形成；及第四組，其係由儲存有資料“1”之第四TMR元件32b及二極體43b所形成。在此，二極體41、42a、42b、43a、及43b，例如為PN接合二極體或肖特二極體般之整流元件均可。

上述般之磁性記憶裝置中，係將複數條位元線11與字元線44以相互垂直之矩陣狀進行配置，位元線11與字元線44之各相交點附近，則分別配置有TMR元件13、31a、31b、32a、及32b。尚且，記憶單元部10係與該記憶單元部10相對應之參考單元部30使用相同之字元線44。即，記憶單元部10上之二極體41以及參考單元部30上之與儲存資料“0”之TMR元件31a及31b相對應之二極體42a及42b，係與相同之字元線44連接。

五、發明說明 (14)

圖8為第二實施形態之記憶單元部之磁性記憶裝置之剖面圖。如圖8所示，第二實施形態之記憶單元部10中，介於位元線11與字元線44間，配置有做為TMR元件13及切換元件之二極體41。即，該TMR元件13之磁化固接層27係連接於位元線11，磁性記錄層26係與二極體41連接。尚且，二極體41係與字元線44連接。

在此構造中，用以將資訊寫入磁性記錄層26之寫入用配線及用以讀取資訊之讀取配線均為共通，僅需以字元線44及位元線11之2條配線來進行資訊之寫入及讀取動作。在此過程中，為了利用二極體41之整流性以獨對選取單元進行資訊之寫入及讀取，有必要分別對字元線44及位元線11之施加偏壓進行控制。

此外，在第二實施形態中，如同第一實施形態，藉由組合複數個儲存資料“0”之TMR元件31a及31b以及儲存資料“1”之TMR元件32a及32b所構成之元件組組數，可形成滿足式(1)關係之參考單元部30之電阻 R_r 。此外，參考單元部30之TMR元件31a、31b、32a、及32b與位元線11相連接側之面積 S_1 ，係與記憶單元部10之TMR元件13與位元線11連接側之面積 S_2 相同。

依上述第二實施形態，將可得到與第一實施形態相同之效果。

再者，由於以二極體41做為切換元件，每一位元之單元面積可比上述第一實施形態更為縮小。

[第三實施形態]

五、發明說明 (15)

第三實施形態為不使用第二實施形態之二極體之構造例。在此第三實施形態中，將省略對具有與上述第一及第二實施形態相同構造之部份，僅就相異構造部份進行說明。

圖9為本發明之第三實施形態之磁性記憶裝置之電路圖。如圖9所示，在第三實施形態之磁性記憶裝置中，每一位元之記憶單元部10僅具有TMR元件13。用以對寫入該記憶單元部10之TMR元件13內之資訊進行判定之參考單元部30，具有4組TMR元件。即，參考單元部30具有：儲存有資料“0”之第一TMR元件31a、儲存有資料“1”之第二TMR元件32a、儲存有資料“0”之第三TMR元件31b、及儲存有資料“1”之第四TMR元件32b。

上述般之磁性記憶裝置中，係將複數條位元線11與字元線12以相互垂直之矩陣狀進行配置，位元線11與字元線12之各相交點附近，則分別配置有TMR元件13、31a、31b、32a、及32b。尚且，記憶單元部10係與該記憶單元部10相對應之參考單元部30使用相同之寫入用字元線12。即，記憶單元部10上之TMR元件13及參考單元部30上之用以儲存資料“0”之TMR元件31a及31b，係與相同之寫入用字元線12連接。

圖10為第三實施形態之記憶單元部之磁性記憶裝置之剖面圖。如圖10所示，第三實施形態之記憶單元部10中，介於位元線11與寫入用字元線12間，配置有TMR元件13。即，該TMR元件13之磁化固接層27係連接於字元線12，磁性

五、發明說明 (16)

記錄層26係與位元線11連接。尚且，與位元線11相離，配置有讀取用字元線22。

在此構造中，係利用讀取用字元線22及寫入用字元線12之2條配線，將資訊寫入選取單元，且由位元線11及讀取用字元線22之2條配線由選取單元讀取出資訊。如上述般，讀取用線及寫入用線中僅共用1條，合計以3條配線對單元進行存取。

此外，在第三實施形態中，如同第一實施形態，藉由組合複數個由儲存資料“0”之TMR元件31a及31b以及儲存資料“1”之TMR元件32a及32b所構成之元件組，可形成滿足式(1)關係之參考單元部30之電阻 R_r 。此外，如同第一實施形態，參考單元部30之TMR元件31a、31b、32a、及32b與位元線11相連接側之面積 S_1 ，係與記憶單元部10之TMR元件13與位元線11連接側之面積 S_2 相同。

依上述第三實施形態，將可得到與第一實施形態相同之效果。

再者，由於不使用切換元件，相較於使用切換元件時之情況，每一位元之單元面積可更為縮小。

[第四實施形態]

第四實施形態為1位元之記憶單元部由1個TMR元件及1個MOS電晶體所構成，且參考單元部由(1個TMR元件及1個MOS電晶體) $\times 2$ 所構成之例子。在此第四實施形態中，將省略對具有與上述第一實施形態相同構造之部份，僅就相異構造部份進行說明。

五、發明說明 (17)

圖 11 為本發明之第四實施形態之磁性記憶裝置之電路圖。如圖 11 所示，在第四實施形態之磁性記憶裝置中，每一位元之記憶單元部 10 具有 TMR 元件 13 及 MOS 電晶體 20。用以對寫入該記憶單元部 10 之 TMR 元件 13 內之資訊進行判定之參考單元部 30，具有 2 組由 TMR 元件及 MOS 電晶體所構成之元件組。即，參考單元部 30 具有：第一組，其係由儲存有資料“0”之第一 TMR 元件 31 及 MOS 電晶體 33 所形成；及第二組，其係由儲存有資料“1”之第二 TMR 元件 32 及 MOS 電晶體 34 所形成。

圖 12 為本發明之第四實施形態之磁性記憶裝置之電路圖案圖。如圖 12 所示，在參考單元部 30 中，係以配線 50 將 MOS 電晶體 33 及第二 TMR 元件 32 連接。藉此，記憶單元部 10 及參考單元部 30 中之 TMR 元件 13、31、32 及 MOS 電晶體 20、33 及 34 係以相同之圖案進行配置。

圖 13 為第四實施形態之記憶單元部及參考單元部之概略之電路圖。如圖 13 所示，第四實施形態之參考單元部 30 中，用以儲存資料“0”之第一 TMR 元件 31 及儲存資料“1”之第二 TMR 元件 32，係經由 MOS 電晶體(未圖示)而串聯連接。此外，在圖 13 中，省略了與 TMR 元件 31 及 32 成對配置之 MOS 電晶體 33 及 34。

如上述之第四實施形態中，相較於第一實施形態，參考單元部 30 之 TMR 元件之個數減至 1/2。因此，為了使形成之參考單元部 30 能夠滿足如第一實施形態中之式(1)關係，相較於第一實施形態中之參考單元部 30 之各 TMR 元件之電阻

五、發明說明 (18)

，第四實施形態中之參考單元部30之各TMR元件之電阻有必要減至1/2。

因此，可設第一及第二TMR元件31及32之整體之電阻值為 R_r ，用以儲存資料“0”之第一TMR元件31之電阻值為 $R_0/2$ ，用以儲存資料“1”之第二TMR元件32之電阻值為 $R_1/2$ 。藉此，第四實施形態中之參考單元部30之整體之電阻 R_r 將滿足如下式(4)之關係：

$$R_r = R_0/2 + R_1/2 = (R_0 + R_1)/2 \dots (4)$$

如此一般，參考單元部30中，係由用以儲存資料“0”之第一TMR元件31之電阻 R_0 及用以儲存資料“1”之第二TMR元件32之電阻 R_1 ，產生具有介於上述兩電阻值間之中間值之電阻 R_r ，進而以該電阻 R_r 做為“1”及“0”判定之基準值。

圖14為第四實施形態之磁性記憶裝置之概略之平面圖。如上所述，第四實施形態之參考單元部30之各TMR元件之電阻，有必要減至第一實施形態之參考單元部30之各TMR元件之電阻之1/2。因此，如圖14所示，參考單元部30之TMR元件31及32與位元線11相連接側之面積 S_3 ，可增加成圖2所示之TMR元件之面積 S_1 之2倍。換言之，將TMR元件面積 S_3 ，增加為記憶單元部10之TMR元件13與位元線11相連接側之面積 S_2 之2倍即可。

此外，為了確實執行資料之寫入及讀取，隨著TMR元件之面積 S_3 之增加，也可增加參考單元部30之位元線11之寬度。即，相較於將複數個用以儲存資料“0”之TMR元件及用以儲存資料“1”之TMR元件設置於參考單元部30之第一實施

五、發明說明 (19)

形態，可加大第四實施形態之參考單元部30中之位元線11之寬度。此外，在第四實施形態中，可將參考單元部30之位元線11之寬度，設置成大於記憶單元部10之位元線11之寬度。

依上述第四實施形態，將可得到與第一實施形態相同之效果。

再者，由於可減少參考單元部30內之TMR元件及MOS電晶體之個數，因此相對於晶片面積，可縮小參考單元部30之專用面積。

[第五實施形態]

第五實施形態為1位元之記憶單元部由1個TMR元件及1個二極體所構成，且參考單元部由(1個TMR元件及1個二極體) $\times 2$ 所構成之例子。在此第五實施形態中，將省略對具有與上述第四實施形態相同構造之部份，僅就相異構造部份進行說明。

圖15為本發明之第五實施形態之磁性記憶裝置之電路圖。如圖15所示，在第五實施形態之磁性記憶裝置中，每一位元之記憶單元部10具有TMR元件13及二極體41。用以對寫入該記憶單元部10之TMR元件13內之資訊進行判定之參考單元部30，具有2組由TMR元件及二極體所構成之元件組。即，參考單元部30具有：第一組，其係由儲存有資料“0”之第一TMR元件31及二極體42所形成；及第二組，其係由儲存有資料“1”之第二TMR元件32及二極體43所形成。

圖16為本發明之第五實施形態之磁性記憶裝置之電路圖

五、發明說明 (20)

案圖。如圖16所示，在參考單元部30中，係以配線50將二極體42及第二TMR元件32連接。藉此，記憶單元部10及參考單元部30中之TMR元件13、31、32及二極體41、42及43能以相同之圖案進行配置。

此外，第五實施形態中，如同第四實施形態，參考單元部30之TMR元件31及32與位元線11相連接側之面積 S_3 ，係增加為記憶單元部10之TMR元件13與位元線11相連接側之面積 S_2 之2倍，以降低TMR元件31及32之電阻。藉此，能夠藉由用以儲存資料“0”之TMR元件31及用以儲存資料“1”之TMR元件32，製作出滿足式(4)關係之參考單元部30之電阻 R_r 。

依上述第五實施形態，將可得到與第四實施形態相同之效果。

再者，由於以二極體41做為切換元件，因此相較於上述第四實施形態，可進一步縮小每一位元之單元面積。

[第六實施形態]

第六實施形態為不使用第五實施形態之二極體之構造例。在此第六實施形態中，將省略對具有與上述第五實施形態相同構造之部份，僅就相異構造部份進行說明。

圖17為本發明之第六實施形態之磁性記憶裝置之電路圖。如圖17所示，在第六實施形態之磁性記憶裝置中，每一位元之記憶單元部10僅具有TMR元件13。用以對寫入該記憶單元部10之TMR元件13內之資訊進行判定之參考單元部30，具有2組TMR元件。即，參考單元部30具有：儲存有資

五、發明說明 (21)

料“0”之第一TMR元件31及儲存有資料“1”之第二TMR元件32。

圖18為本發明之第六實施形態之磁性記憶裝置之電路圖案圖。如圖18所示，在參考單元部30中，係以配線50將第一TMR元件31及第二TMR元件32相連接。藉此，記憶單元部10及參考單元部30中之TMR元件13、31、及32能以相同之圖案進行配置。

此外，第六實施形態中，如同第四實施形態，參考單元部30之TMR元件31及32與位元線11相連接側之面積 S_3 ，係增加為記憶單元部10之TMR元件13與位元線11相連接側之面積 S_2 之2倍，以降低TMR元件31及32之電阻。藉此，能夠藉由用以儲存資料“0”之第一TMR元件31及用以儲存資料“1”之第二TMR元件32，製作出滿足式(4)關係之參考單元部30之電阻 R_r 。

依上述第六實施形態，將可得到與第四實施形態相同之效果。

再者，由於不使用切換元件，相較於使用切換元件時之情況，每一位元之單元面積可更為縮小。

對熟悉本技藝之人士而言，可輕易地了解本發明之其他優點及變通例。因此，本發明並不侷限於上述說明之詳細內容及實施形態。因此，在申請專利範圍所述之本發明概念之範圍內，可以衍生出各種不同之變通例。

六、申請專利範圍

1. 一種磁性記憶裝置，其係包含：
第一電阻元件，其係設置於記憶單元部；及
第二及第三電阻元件，其分別在參考單元部設有至少1個以上，且上述第一、第二及第三之電阻元件係藉由電阻變化來記憶2值之資料，上述第二電阻元件係用以記憶上述2值資料中之一方之資料，上述第三電阻元件係用以記憶上述2值資料中之另一方資料。
2. 如申請專利範圍第1項之磁性記憶裝置，
其中上述第二電阻元件之電阻值為 R_0 ，上述第三電阻元件之電阻值為 R_1 時，上述第一及第二電阻元件之整體之電阻值為 $(R_0+R_1)/2$ 。
3. 如申請專利範圍第1項之磁性記憶裝置，其中尚具有：
第一電晶體或第一整流元件，其係與上述第一電阻元件成對連接；
第二電晶體或第二整流元件，其係與上述第二電阻元件成對連接；及
第三電晶體或第三整流元件，其係與上述第三電阻元件成對連接。
4. 如申請專利範圍第1項之磁性記憶裝置，
其中上述第二電阻元件與上述第三電阻元件係串聯連接。
5. 如申請專利範圍第1項之磁性記憶裝置，
其中上述第一、第二及第三電阻元件之面積為相同。
6. 如申請專利範圍第1項之磁性記憶裝置，

六、申請專利範圍

其中上述參考單元部內分別設有各1個之上述第二及第三電阻元件時，上述第二及第三電阻元件之面積係上述第一電阻元件之面積之2倍。

7. 如申請專利範圍第1項之磁性記憶裝置，其中尚具有：

第一配線，其係沿第一方向上延伸配置；及

第二配線，其係沿與上述第一方向相異之第二方向上延伸配置，且上述第一及第二配線之各交點上，分別配置有上述之第一、第二、及第三電阻元件。

8. 如申請專利範圍第7項之磁性記憶裝置，

其中上述參考單元部內分別設有各一個之上述第二及第三電阻元件時，上述第二及第三電阻元件之面積係上述第一電阻元件之面積之2倍，且上述參考單元部之上述第一或第二配線係大於上述記憶單元部之上述第一或第二配線。

9. 如申請專利範圍第7項之磁性記憶裝置，

其中上述第一、第二及第三電阻元件係配置於相同之上述第一或第二配線之上方。

10. 如申請專利範圍第7項之磁性記憶裝置，其中尚具有：

第一電晶體或第一整流元件，其係與上述第一電阻元件成對連接；

第二電晶體或第二整流元件，其係與上述第二電阻元件成對連接；及

第三電晶體或第三整流元件，其係與上述第三電阻元件成對連接，且

六、申請專利範圍

上述第一、第二及第三電晶體或上述第一、第二及第三之整流元件，係連接於相同之上述第一或第二配線。

11. 如申請專利範圍第1項之磁性記憶裝置，

其中上述第一電阻元件與上述第二及第三電阻元件，係以相同之圖案進行配置。

12. 如申請專利範圍第1項之磁性記憶裝置，

其中上述第二電阻元件之數目與上述第三電阻元件之數目為相同。

13. 如申請專利範圍第1項之磁性記憶裝置，

其中上述第一、第二、及第三電阻元件係磁性電阻效應元件或相變化記憶元件。

14. 如申請專利範圍第1項之磁性記憶裝置，

其中上述第一、第二及第三電阻元件，分別係包含：第一磁性層、第二磁性層及非磁性層等之至少三層，

上述第二電阻元件中之上述第一磁性層之磁化方向與上述第二磁性層之磁化方向係相互反向平行，

上述第三電阻元件中之上述第一磁性層之磁化方向與上述第二磁性層之磁化方向係相互平行。

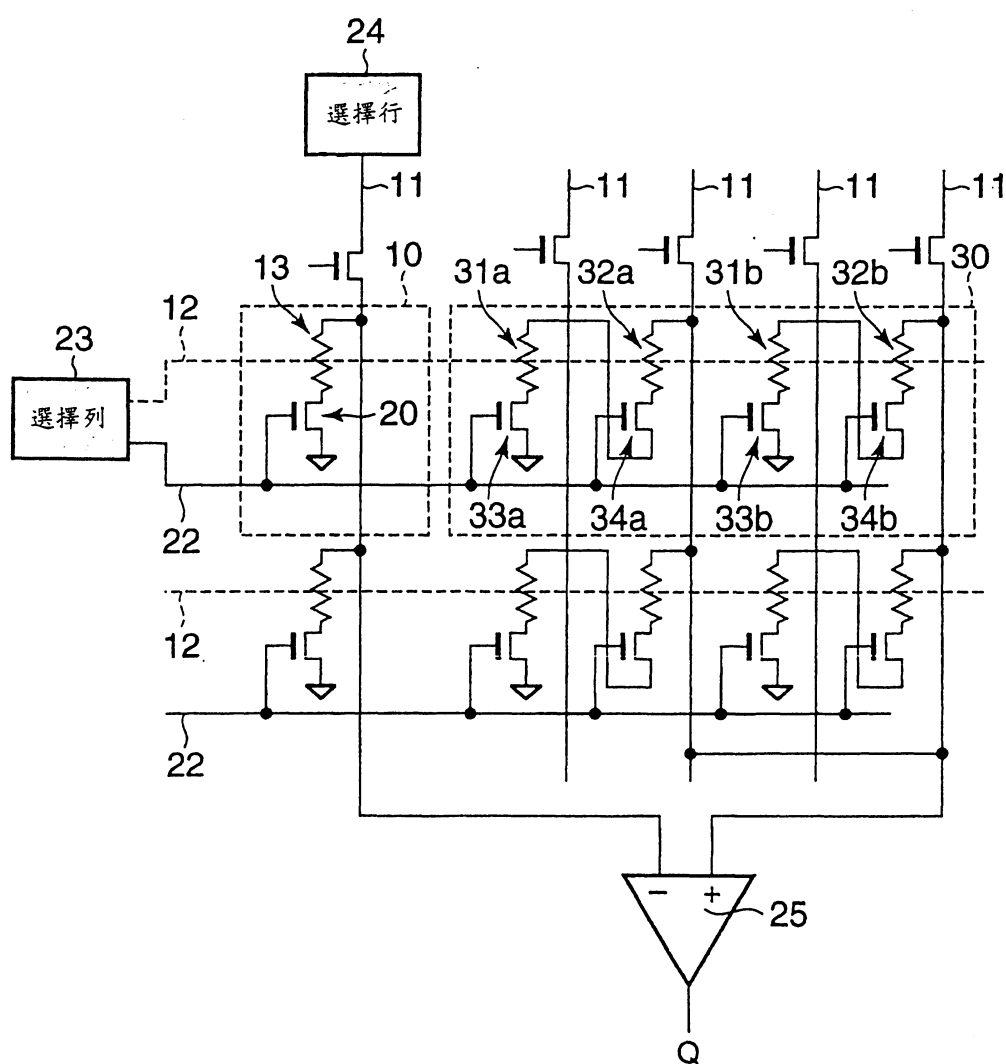


圖 1

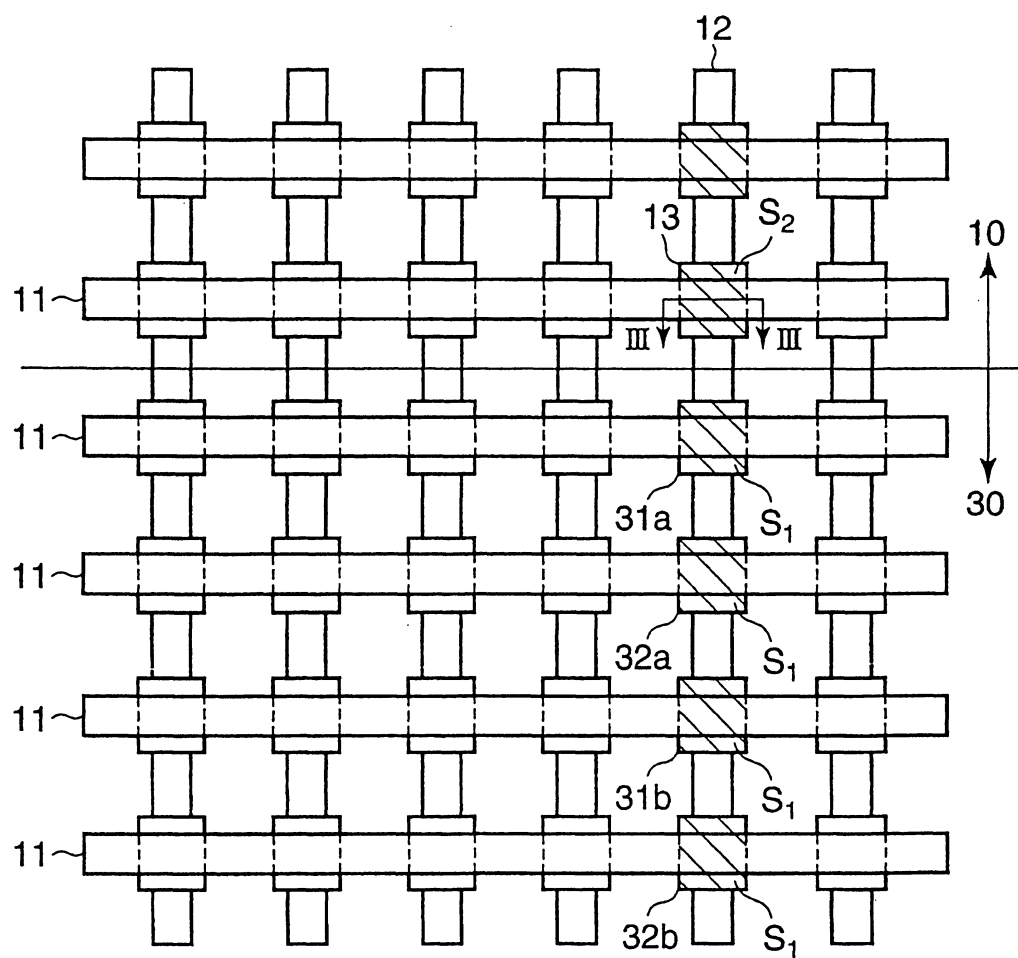


圖 2



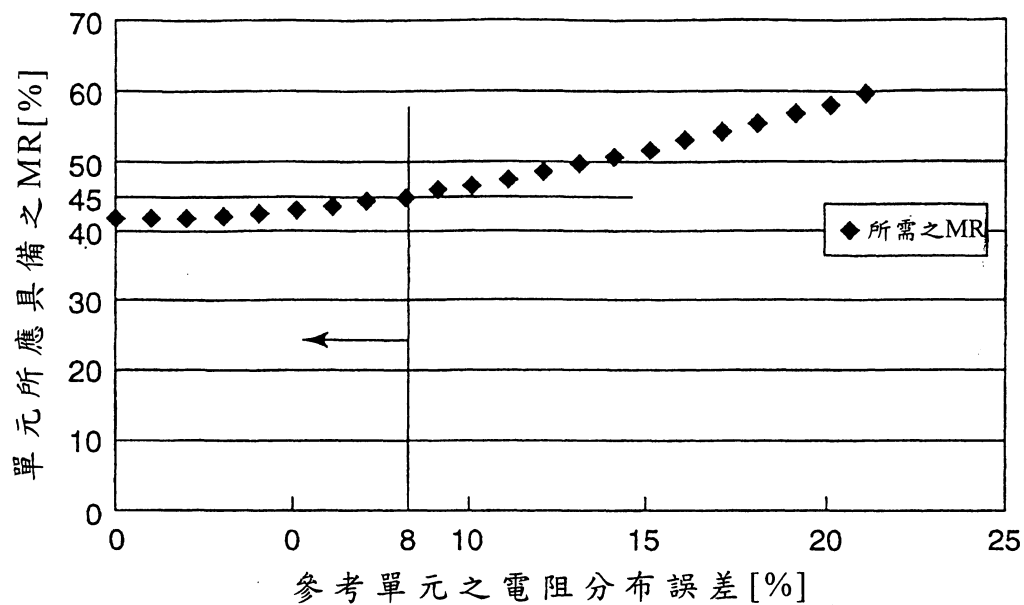


圖 5

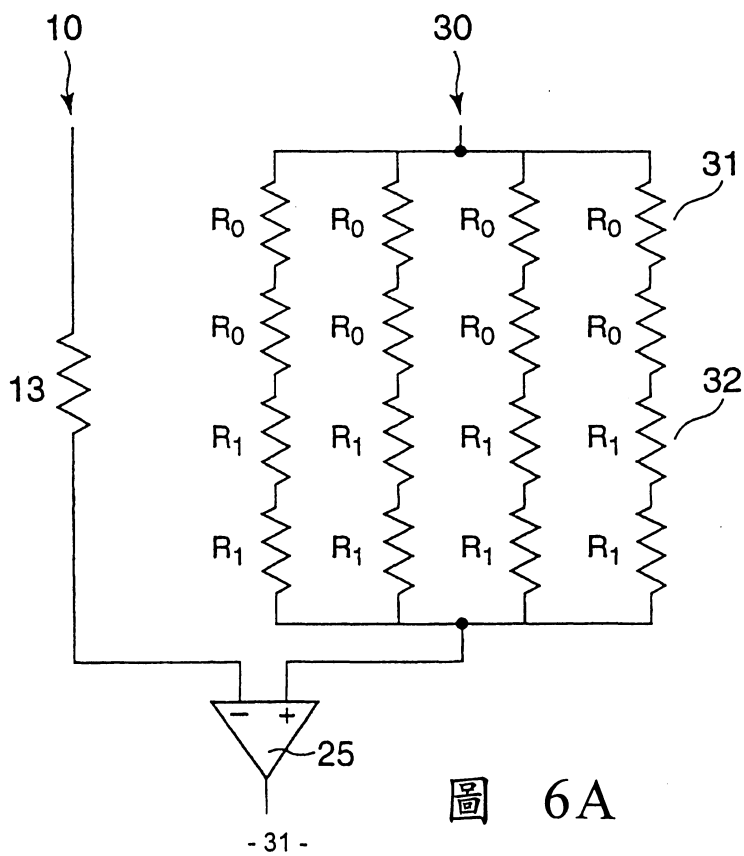


圖 6A

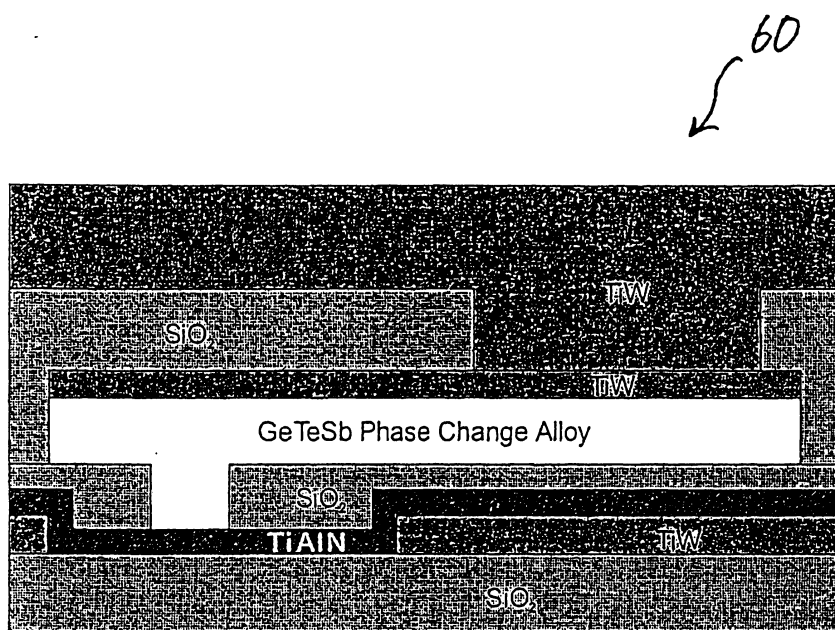


圖 6B

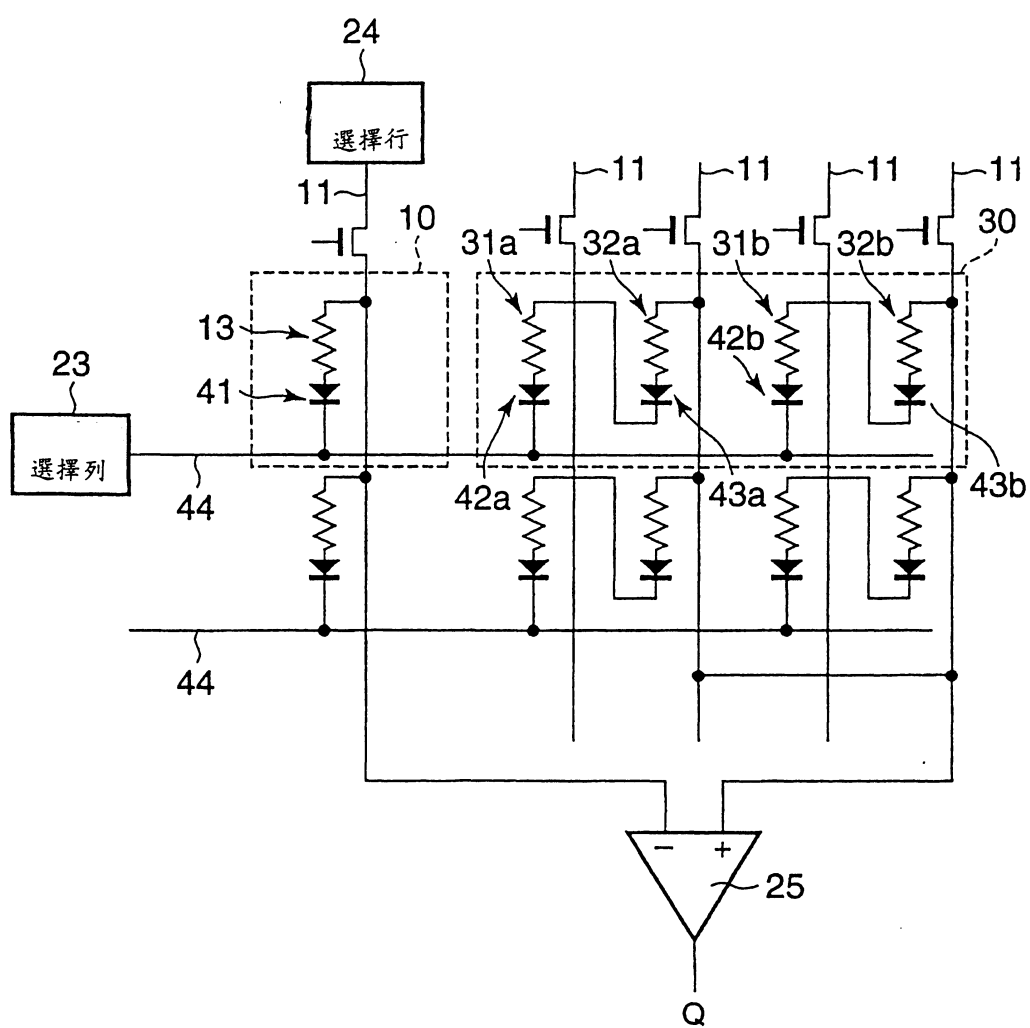


圖 7

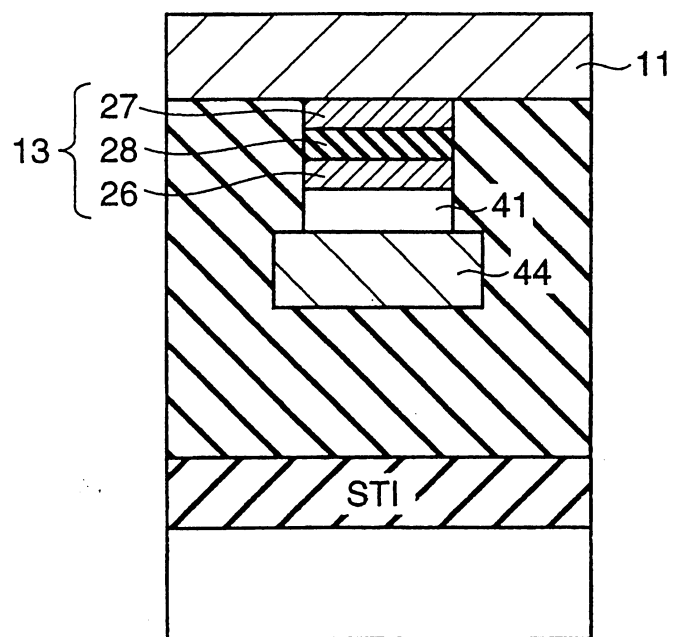


圖 8

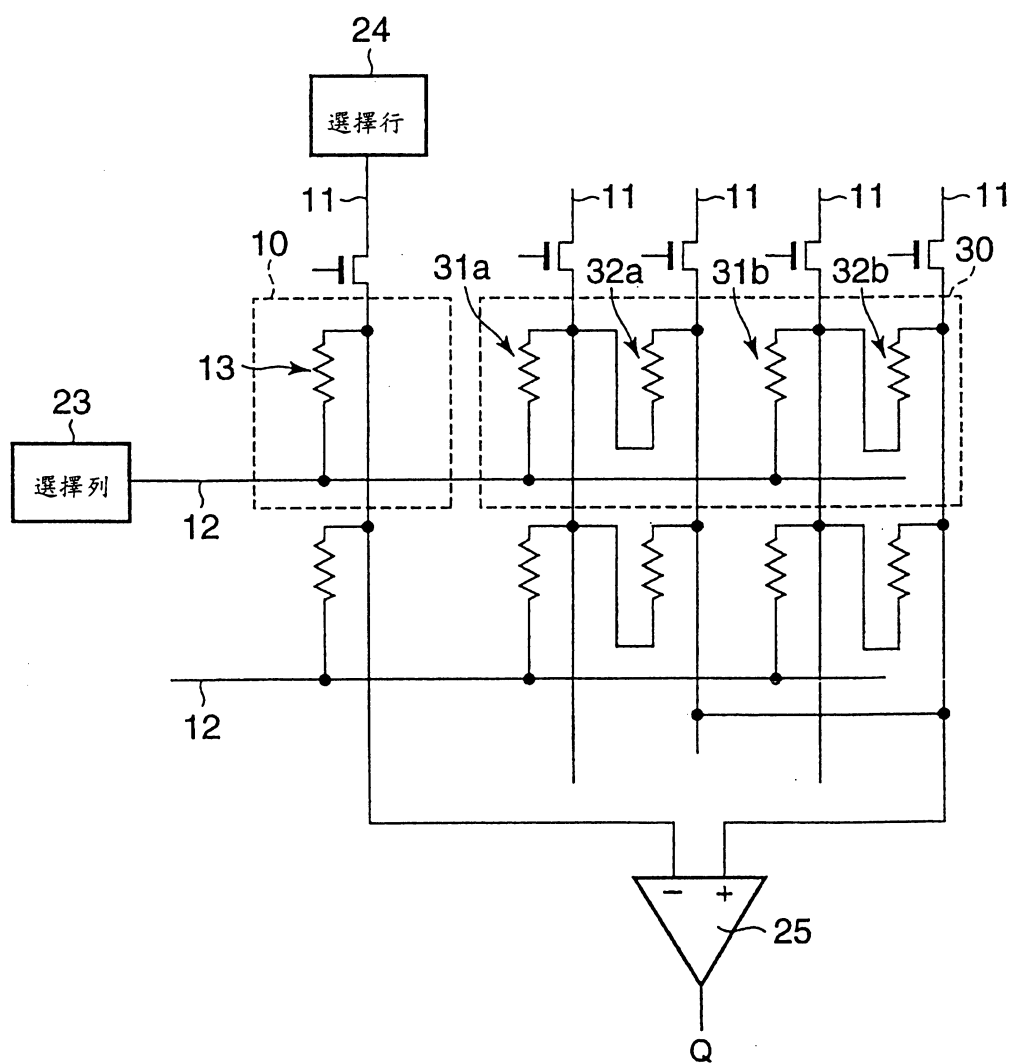


圖 9

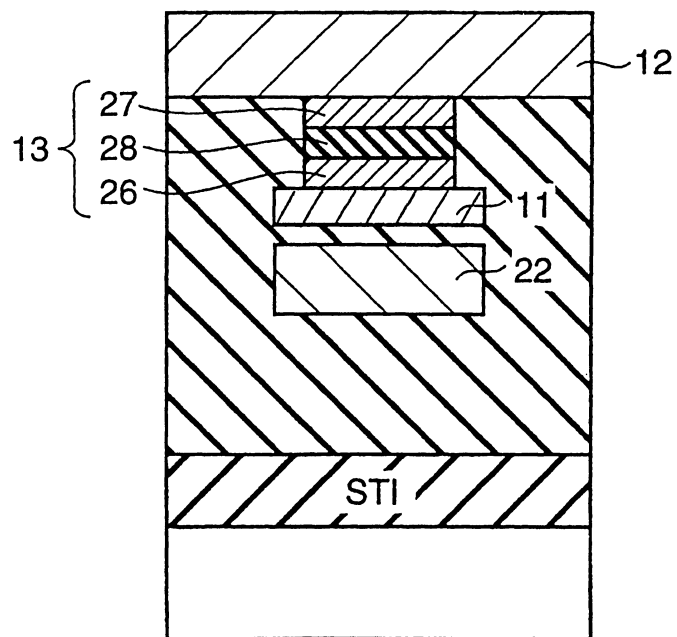


圖 10

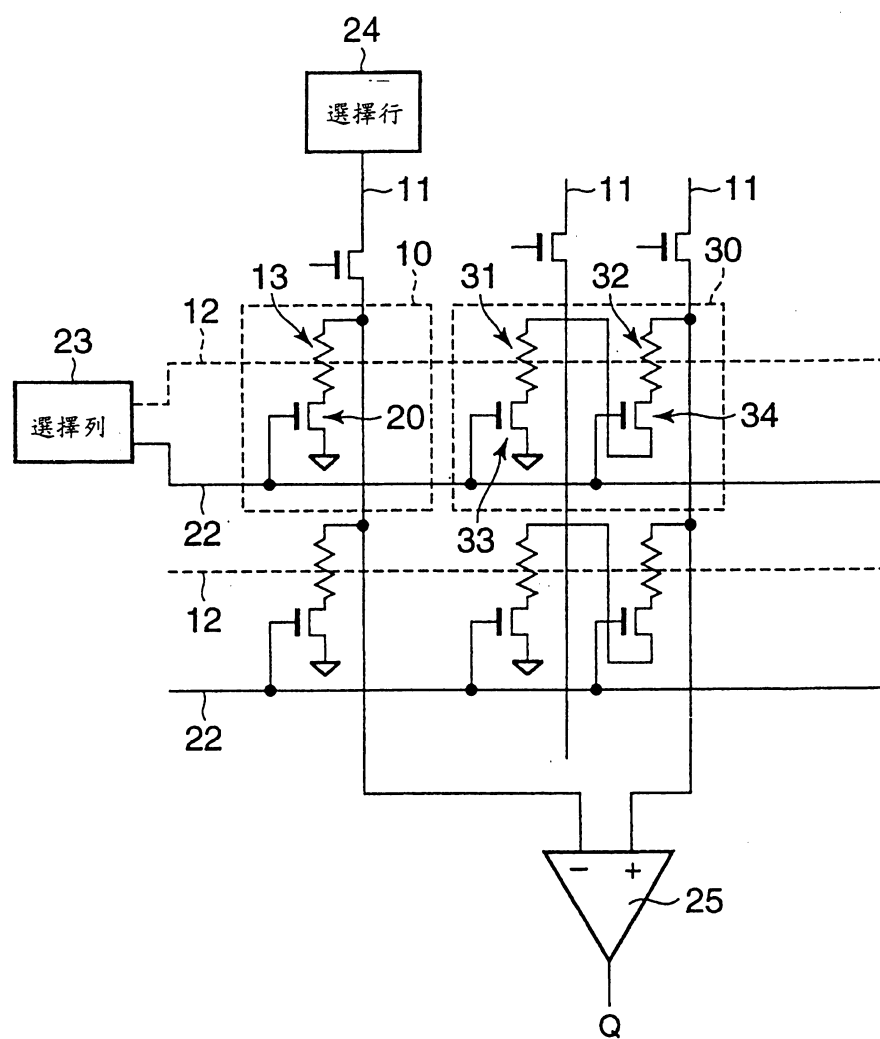


圖 11

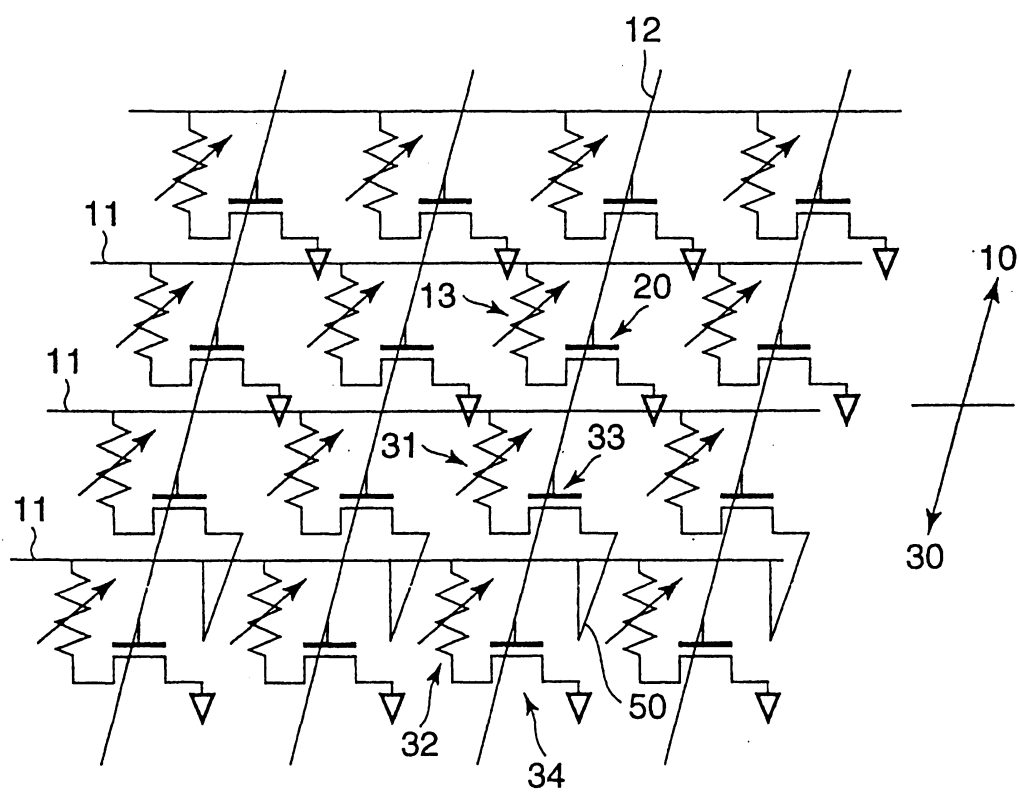


圖 12

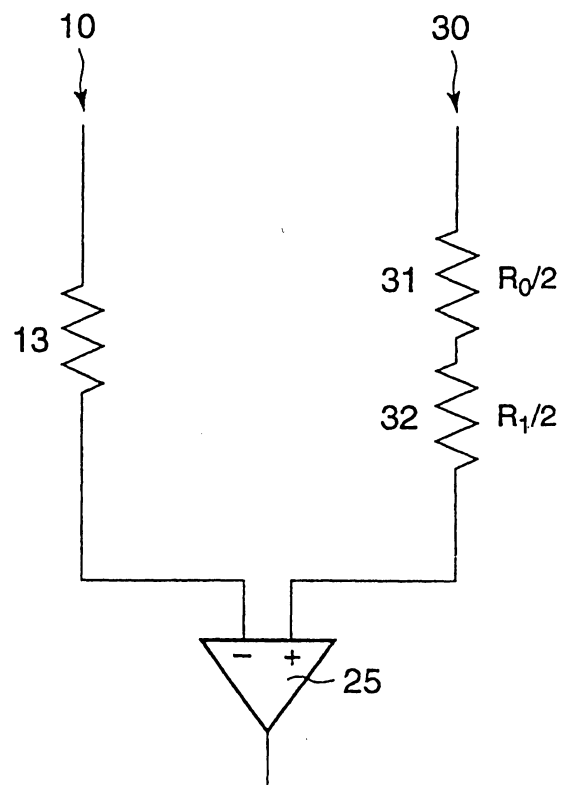


圖 13

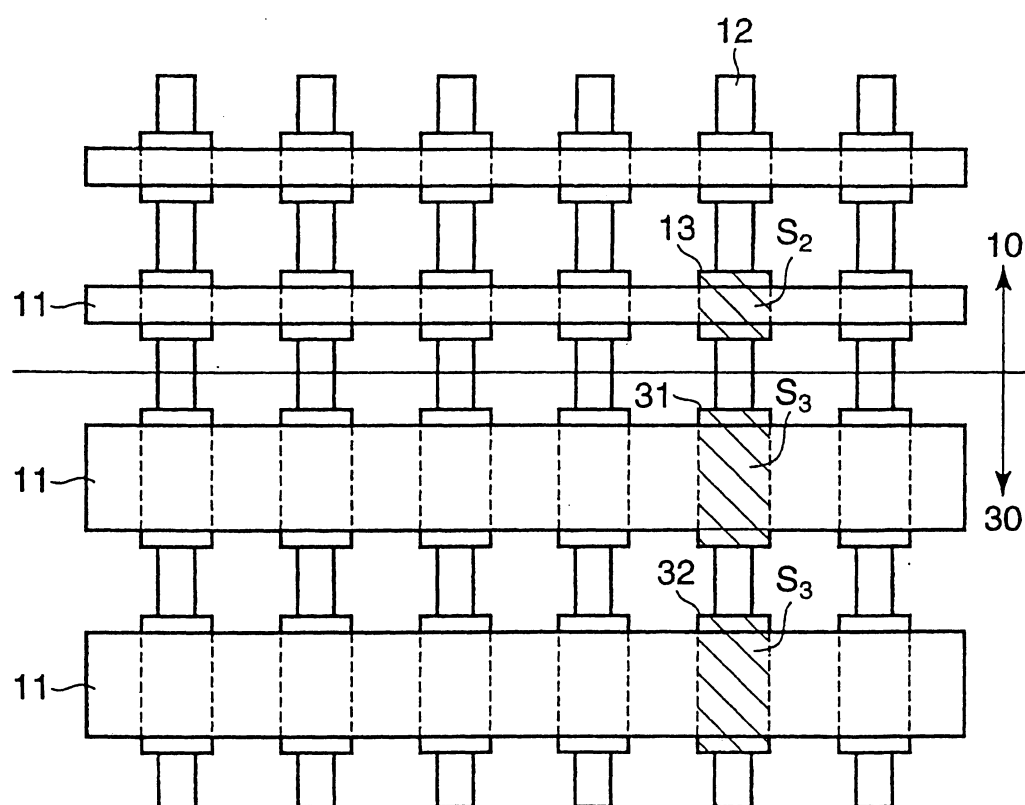


圖 14

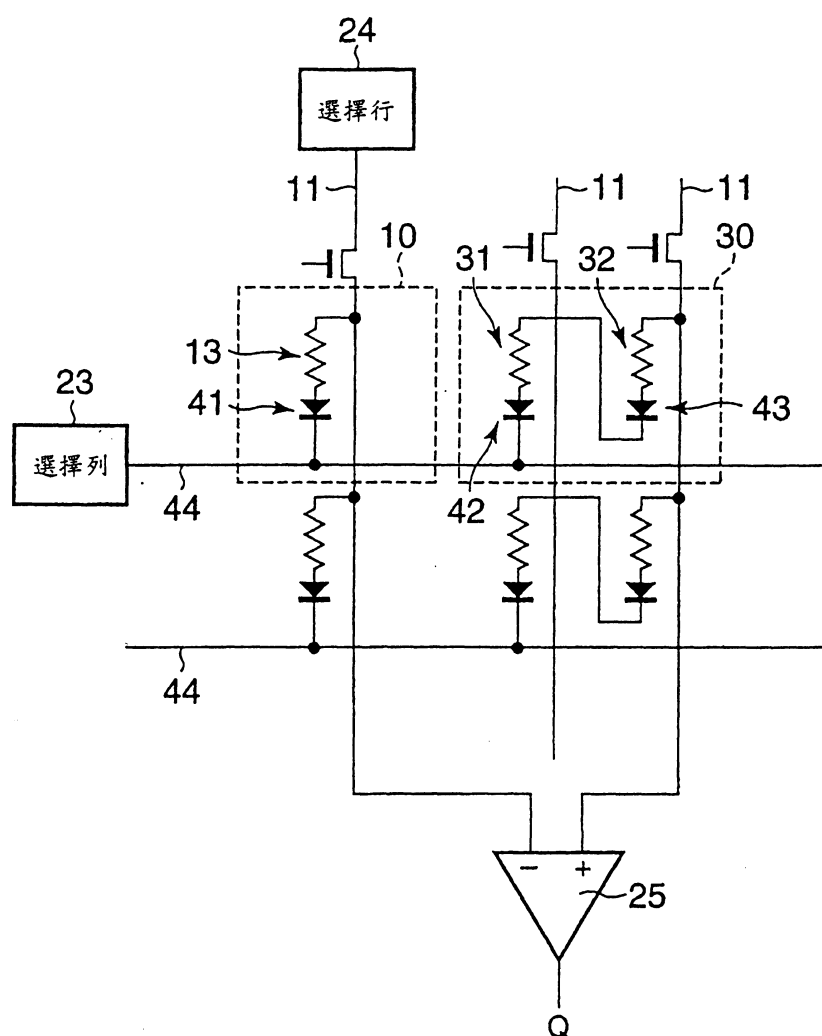


圖 15

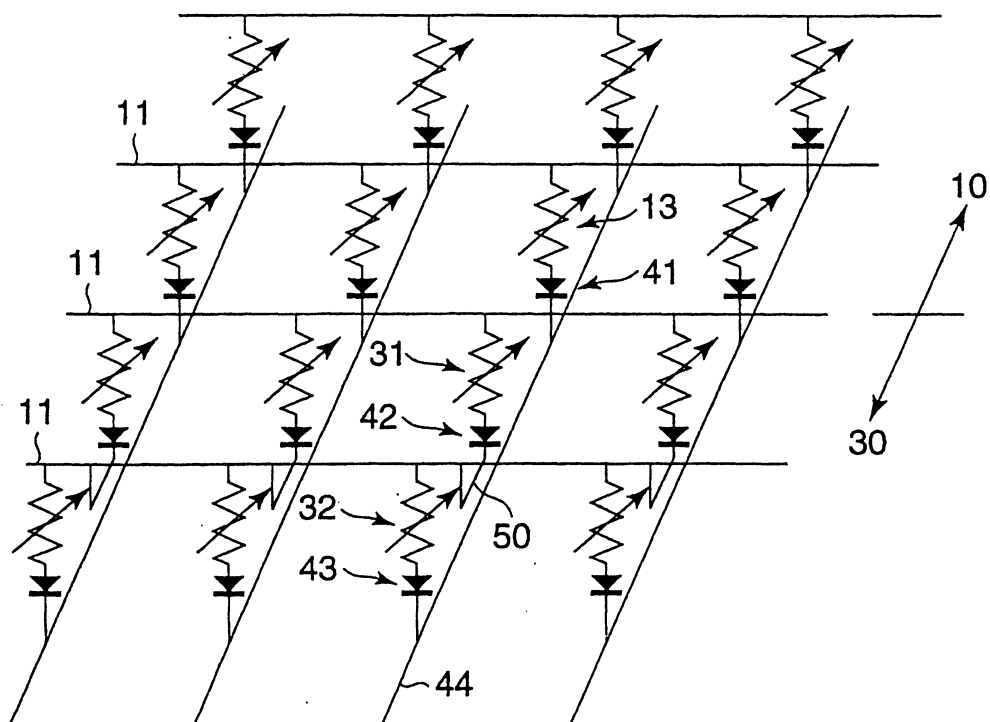


圖 16

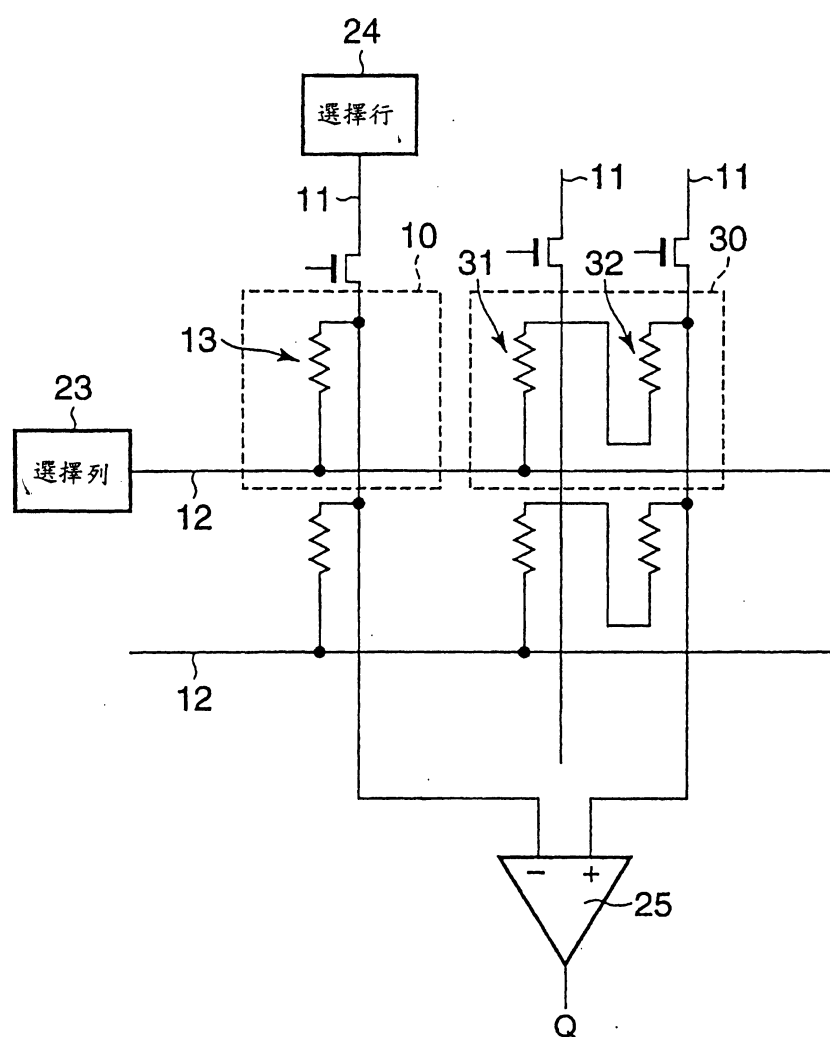


圖 17

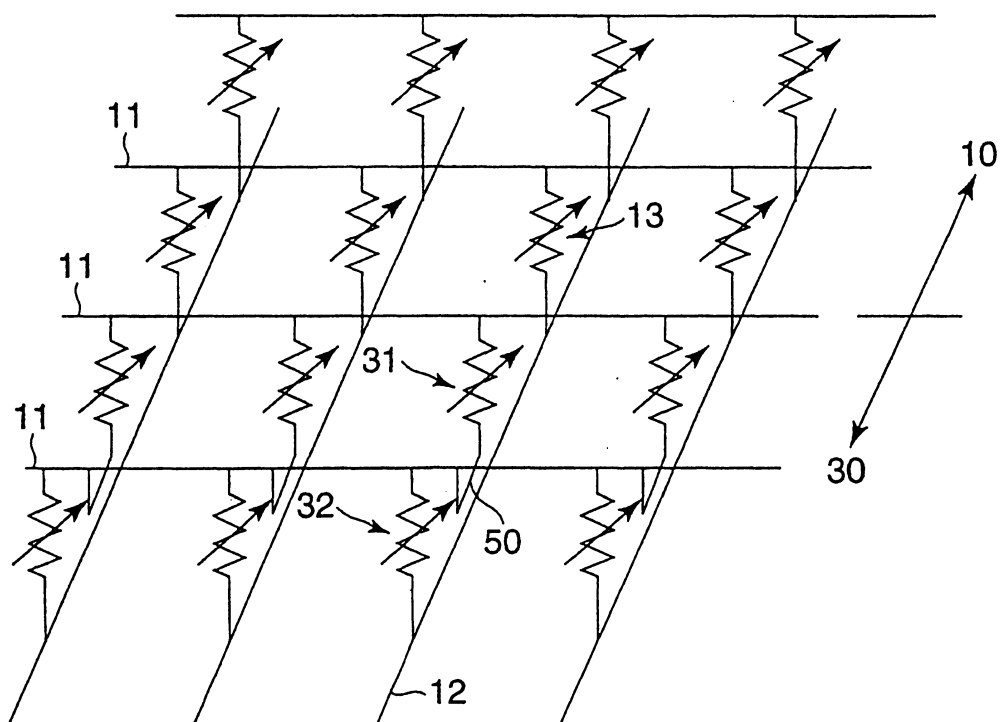


圖 18

公告本

I234781

修正替換頁
93年5月21日

C4

申請日期	91.7.15
案 號	91115699
類 別	G11C11/00

(以上各欄由本局填註)

中文說明書替換頁(93年5月)

發明專利說明書

一、發明名稱	中 文	磁性記憶裝置
	英 文	MAGNETIC RANDOM ACCESS MEMORY INCLUDING MEMORY CELL UNIT AND REFERENCE CELL UNIT
二、發明創作人	姓 名	細谷 啟司
	國 籍	日本 JAPAN
	住、居所	日本國東京都墨田區立花1-28-3-1116
三、申請人	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國東京都港區芝浦1丁目1番1號
	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

四、中文發明摘要(發明之名稱: 磁性記憶裝置)

本發明為一種磁性記憶裝置，其係包含：

第一電阻元件，其係設置於記憶單元部；

及第二及第三電阻元件，其分別在參考單元部設有至少1個以上，且上述第一、第二及第三之電阻元件係藉由電阻變化來記憶2值之資料，上述第二電阻元件係用以記憶上述2值資料中之一方之資料，上述第三電阻元件係用以記憶上述2值資料中之另一方資料。

英文發明摘要(發明之名稱: MAGNETIC RANDOM ACCESS MEMORY INCLUDING MEMORY CELL UNIT AND REFERENCE CELL UNIT)

A magnetic memory device comprises a first resistance element formed in a memory cell unit, and at least one second resistance element and at least one third resistance element formed in a reference cell unit, the first, second, and third resistance elements storing binary data by a resistance change, the second resistance element storing one of the binary data, and the third resistance element storing the other of the binary data.