

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7192121号

(P7192121)

(45)発行日 令和4年12月19日(2022.12.19)

(24)登録日 令和4年12月9日(2022.12.9)

(51)国際特許分類

F I

H 0 1 L 27/11582(2017.01)

H 0 1 L 27/11582

H 0 1 L 27/11573(2017.01)

H 0 1 L 27/11573

H 0 1 L 27/11575(2017.01)

H 0 1 L 27/11575

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 7 1

H 0 1 L 29/788(2006.01)

H 0 1 L 29/78 6 1 3 B

請求項の数 20 (全19頁) 最終頁に続く

(21)出願番号 特願2021-530980(P2021-530980)

(86)(22)出願日 平成31年1月31日(2019.1.31)

(65)公表番号 特表2022-509276(P2022-509276
A)

(43)公表日 令和4年1月20日(2022.1.20)

(86)国際出願番号 PCT/CN2019/074073

(87)国際公開番号 WO2020/154997

(87)国際公開日 令和2年8月6日(2020.8.6)

審査請求日 令和3年5月28日(2021.5.28)

(73)特許権者 519237948

長江存儲科技有限責任公司

Yangtze Memory Technologies Co., Ltd.

中華人民共和国湖北省武漢市東湖新技術
開発区未来三路88号No. 88 Weilai 3rd Road, East Lake High-tech
Development Zone, Wuhan, Hubei, China

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

最終頁に続く

(54)【発明の名称】 3次元メモリデバイスにおける階段構造の形成

(57)【特許請求の範囲】

【請求項1】

3Dメモリデバイスを形成するための方法であって、
 基板の上に配置された複数の誘電体層の対を含む交互層積層体を形成する段階と、
 前記交互層積層体の上に第1のマスク積層体を形成する段階と、
 前記交互層積層体の上にN個のサブ階段構造領域を含む階段構造領域を画定するために
 前記第1のマスク積層体をパターニングする段階であって、Nが1より大きい、前記第1
 のマスク積層体をパターニングする段階と、

前記階段構造領域の上に第1の階段構造を形成する段階であって、前記第1の階段構造
 が前記階段構造領域のそれぞれにおいてM個のステップを有し、Mが1より大きい、第1
 の階段構造を形成する段階と、

前記第1の階段構造の上に第2の階段構造を形成する段階と、を含み、

前記第2の階段構造が、前記階段構造領域において2 * N * M個のステップを有し、
 前記階段構造のステップのそれぞれが異なる高さにある、方法。

【請求項2】

前記第1の階段構造を形成する段階が、

前記第1のマスク積層体を用いて最も上の誘電体層の対の一部を除去する段階と、

前記第1のマスク積層体をトリミングする段階と、

M個のステップが形成されるまで、前記除去及び前記トリミングを順に繰り返すことに
 よって、前記第1の階段構造を形成する段階と、を含む、請求項1に記載の方法。

10

20

【請求項 3】

前記第 2 の階段構造を形成する段階が、
第 2 のマスク積層体を用いて誘電体層の対の M 個の層の一部を除去する段階と、
前記第 2 のマスク積層体をトリミングする段階と、
2 * N * M 個のステップが形成されるまで、前記除去及び前記トリミングを順に繰り返すことによって、前記第 2 の階段構造を形成する段階と、を含む、請求項 1 に記載の方法。

【請求項 4】

前記交互層積層体を形成する段階が、化学気相成膜、物理気相成膜、プラズマ支援 CVD、スパッタリング、金属 - 有機化学気相成長、原子層成長またはそれらの組み合わせを用いて層を成膜する段階を含む、請求項 1 に記載の方法。

10

【請求項 5】

前記基板の上に前記交互層積層体を形成する段階が、前記基板の上に複数の誘電体層の対を成膜する段階を含む、請求項 4 に記載の方法。

【請求項 6】

前記交互層積層体を形成する段階が、前記基板の主面に対して実質的に垂直な方向に、交互導体 / 誘電体層の対を成膜する段階を含む、請求項 4 に記載の方法。

【請求項 7】

前記除去及びトリミングが、前記第 1 のマスク積層体の横方向の縁境界から前記第 1 のマスク積層体の中央に向かう方向に、内側に向かって実施される、請求項 2 に記載の方法。

【請求項 8】

前記除去及びトリミングが、前記第 1 のマスク積層体の中央から前記第 1 のマスク積層体の横方向の縁境界に向かう方向に、外側に向かって実施される、請求項 2 に記載の方法。

20

【請求項 9】

前記第 1 のマスク積層体を用いて、前記最も上の誘電体層の対の一部を除去する段階が、ドライエッチング、ウェットエッチングまたはそれらの組み合わせを含む、請求項 2 に記載の方法。

【請求項 10】

前記第 2 のマスク積層体を用いて誘電体層の対の M 個の層の一部を除去する段階が、ドライエッチング、ウェットエッチングまたはそれらの組み合わせを含む、請求項 3 に記載の方法。

30

【請求項 11】

前記第 1 のマスク積層体または前記第 2 のマスク積層体のトリミングが、等方性ドライエッチング、ウェットエッチングまたはそれらの組み合わせを段階的に用いて、前記第 1 のマスク積層体または前記第 2 のマスク積層体をエッチングする段階を含む、請求項 3 に記載の方法。

【請求項 12】

前記基板上の積層記憶領域の複数の垂直半導体チャネルを形成する段階をさらに含み、前記階段構造領域のそれぞれが、前記積層記憶領域に隣接する、請求項 1 に記載の方法。

【請求項 13】

第 1 の複数の階段構造領域及び第 2 の複数の階段構造領域を画定するために、リソグラフィプロセスを実行する段階をさらに含み、前記第 1 の複数の階段構造領域及び前記第 2 の複数の階段構造領域が、前記積層記憶領域によって分離される、請求項 12 に記載の方法。

40

【請求項 14】

3D メモリデバイスであって、
基板上に配置された交互層積層体と、
複数の垂直半導体チャネルを含む記憶構造と、
前記記憶構造に隣接する複数の階段構造領域と、
前記交互層積層体の複数の層積層体の一部を露出するために前記階段構造領域のそれぞれに配置された階段構造と、を含み、

50

前記階段構造がN個のサブ階段構造領域を含み、
Nが1より大きく、
N個のサブ階段構造領域のそれぞれが2 * M個のステップを含み、
Mが1より大きく、

前記階段構造のステップのそれぞれが異なる高さにある、3 Dメモリデバイス。

【請求項15】

前記階段構造のステップのそれぞれが1つのレベルであり、Nが3であり、Mが4である、請求項14に記載の3 Dメモリデバイス。

【請求項16】

各サブ階段構造領域の階段構造の最も上の層積層体が、前記サブ階段構造領域の中央部分に位置する、請求項14に記載の3 Dメモリデバイス。

10

【請求項17】

各サブ階段構造領域の階段構造の最も上の層積層体が、前記サブ階段構造領域の横方向縁境界に位置する、請求項14に記載の3 Dメモリデバイス。

【請求項18】

前記交互層積層体の各層積層体が、絶縁材料層と、犠牲材料層または導体材料層の少なくとも1つと、を含む、請求項14に記載の3 Dメモリデバイス。

【請求項19】

前記絶縁材料層が酸化シリコンまたは酸化アルミニウムを含み、前記犠牲材料層が多結晶シリコン、窒化シリコン、多結晶ゲルマニウム、多結晶ゲルマニウムシリコン、またはそれらの組み合わせを含む。請求項18に記載の3 Dメモリデバイス。

20

【請求項20】

前記導体材料層が、多結晶シリコン、シリサイド、ニッケル、チタン、白金、アルミニウム、窒化チタン、窒化タンタル、窒化タングステンまたはそれらの組み合わせを含む、請求項18に記載の3 Dメモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、3次元(3D)メモリデバイス及びその製造方法に関する。

【背景技術】

30

【0002】

プレーナメモリセルは、プロセス技術、回路設計、プログラミングアルゴリズムおよび製造プロセスを改善することによってより小さく縮小される。しかし、メモリセルの特徴体の大きさが下限に近づくにつれて、プレーナプロセス及び製造技術は困難になり、高コストになる。結果として、プレーナメモリセルのメモリ密度は上限に近づいている。

【0003】

3Dメモリアーキテクチャは、プレーナメモリセルの密度限界に対処しうる。3Dメモリアーキテクチャは、メモリアレイ及び、メモリアレイへ、及びメモリアレイからの信号を制御するための周辺デバイスを含む。典型的な3Dメモリアーキテクチャは、基板上に配置されたゲート電極と、基板内へのワード線を通り、交差する複数の半導体チャネルとの積層体を含む。ワード線と半導体チャネルとの交点が、メモリセルを形成する。

40

【0004】

3Dメモリアーキテクチャは、個別のメモリセルそれぞれの制御を可能にする電気接点スキームを必要とする。1つの電気接点スキームは、個別のメモリセルそれぞれのワード線へ接続するための階段構造を形成することである。階段構造は、典型的な3Dメモリデバイスにおいて半導体チャネルに沿って32本を超えるワード線を接続するのに使用されてきた。

【0005】

半導体技術が進歩するにつれて、3D NANDメモリデバイスなどの3Dメモリデバイスは、酸化物/窒化物(ON)層が増加し続けている。結果として、そのような階段構

50

造を形成するために使用される既存の複数サイクルトリム及びエッチングプロセスは、スループットが低く、高額である。

【発明の概要】

【課題を解決するための手段】

【0006】

3Dメモリデバイスの階段構造を形成するための方法の実施形態が、本明細書において開示される。開示される構造及び方法は、3Dメモリデバイスの製造の複雑さ及び製造コストの低減を含むがこれに限定しない多数の利益を提供する。

【0007】

いくつかの実施形態において、3Dメモリデバイスを形成するための方法は、基板の上に配置された複数の誘電体層の対を含む交互層積層体を形成する段階と、交互層積層体の上に第1のマスク積層体を形成する段階と、交互層積層体の上にN個のサブ階段構造領域を含む階段構造領域を画定するために、第1のマスク積層体をパターニングする段階であって、Nが1より大きい、第1のマスク積層体をパターニングする段階と、階段構造領域の上に第1の階段構造を形成する段階であって、第1の階段構造が階段構造領域のそれぞれにおいてM個のステップを有し、Mが1より大きい、第1の階段構造を形成する段階と、第1の階段構造の上に第2の階段構造を形成する段階と、を含み、第2の階段構造が、階段構造領域において $2 * N * M$ 個のステップを有する。いくつかの実施形態において、本方法は、基板上の積層記憶領域の複数の垂直半導体チャネルを形成する段階をさらに含む。いくつかの実施形態において、階段構造領域のそれぞれが、積層記憶領域に隣接する。

【0008】

いくつかの実施形態において、3Dメモリデバイスは、基板上に配置された交互層積層体と、複数の垂直半導体チャネルを含む記憶構造と、記憶構造に隣接する複数の階段構造領域と、交互層積層体の複数の層積層体の一部を露出するために階段構造領域のそれぞれに配置された階段構造と、を含む。いくつかの実施形態において、階段構造がN個のサブ階段構造領域を含み、Nが1より大きい。いくつかの実施形態において、N個のサブ階段構造領域のそれぞれが $2 * M$ 個のステップを含み、Mが1より大きい。

【0009】

本開示のその他の態様は、本開示の説明、特許請求の範囲及び図面に照らせば当業者は理解できるであろう。

【0010】

本明細書に組み込まれ、明細書の一部をなす添付した図面は、本開示の実施形態を例示し、説明とともに、本開示の原理を説明する役割をさらに果たし、当業者は本開示の実施及び使用が可能になる。

【図面の簡単な説明】

【0011】

【図1】いくつかの実施形態に従う、パターニングされたフォトリソ積層体による、複数の誘電体層の対の断面図を示す。

【図2】いくつかの実施形態に従う、1つのレベルを有する第1のステップの形成の断面図を示す。

【図3A】いくつかの実施形態に従う、2つのステップを形成するエッチ - トリムプロセスの様々な段階の断面図を示す。

【図3B】いくつかの実施形態に従う、2つのステップを形成するエッチ - トリムプロセスの様々な段階の断面図を示す。

【図4A】いくつかの実施形態に従う、複数のマスク積層体を有する3Dメモリデバイスの上面図を示す。

【図4B】いくつかの実施形態に従う、複数のマスク積層体を有する3Dメモリデバイスの上面図を示す。

【図5A】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第1の階段構造を形成した後の、3Dメモリデバイスの階段構造領域の上面図を示す。

10

20

30

40

50

【図 5 B】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の上面図を示す。

【図 5 C】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の断面図を示す。

【図 5 D】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の断面図を示す。

【図 6 A】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造の上に第 2 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の上面図を示す。

【図 6 B】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造の上に第 2 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の上面図を示す。

10

【図 6 C】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造の上に第 2 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の断面図を示す。

【図 6 D】いくつかの実施形態に従う、階段構造領域のそれぞれにおける第 1 の階段構造の上に第 2 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域の断面図を示す。

【図 7】いくつかの実施形態に従う、3 D メモリデバイスを形成するための例示的な方法のフローチャートである。

20

【発明を実施するための形態】

【0 0 1 2】

特定の構成および配置が議論されるが、これは例示の目的のためにのみなされることは理解されるべきである。当業者であれば、他の構成および配置が、本開示の思想及び範囲を逸脱することなく使用されうることを認識するであろう。本開示はまた、様々な他の用途において採用されうることは当業者には明らかであろう。

【0 0 1 3】

明細書における「1つの実施形態」、「ある実施形態」、「ある例示的な実施形態」、「いくつかの実施形態」などの言及は、説明される実施形態が特定の特徴物、構造または特性を含みうるが、全ての実施形態が、必ずしも特定の特徵体、構造または特性を含むことができるわけではないことを示すことに注意すべきである。さらに、そのような語句は、必ずしも同じ実施形態を指しているわけではない。さらに、特定の特徵体、構造または特性がある実施形態に関して説明される場合、他の実施形態に関してそのような特徴体、構造または特性に影響を与えることは、明示されているか否かによらず、当業者の知識の範囲内である。

30

【0 0 1 4】

一般に、用語は文脈の中での使用から少なくとも部分的に理解可能である。例えば、本明細書で使用されるように「1つまたは複数の」という用語は、少なくとも部分的に文脈に応じて、単数形で任意の特徵体、構造または特性を説明するために使用され、または複数形で特徴体、構造または特性の組み合わせを説明するために使用されうる。同様に、「1つの」、「ある」または「その」という用語も、少なくとも部分的に文脈に応じて、単数での使用を表し、または複数での使用を表すと理解可能である。さらに、「基づいて」という用語は、必ずしも因子の排他的なセットを伝えることを意図していないと理解可能であり、その代わりに、やはり少なくとも部分的に文脈に応じて、追加的な因子の存在が必ずしも明示されていない場合を許容しうる。

40

【0 0 1 5】

本開示において、「上」、「上に」及び「上方」の意味は、「上」が何かの「上に直接」を意味するだけでなく、その間に、介在する特徴体または層を有して何かの「上に」あるという意味を含むように、最も広く解釈されるべきであることは容易に理解されるべきである。さらに、「上に」または「上方に」は、何かの「上に」または「上方に」ある

50

ことを意味するだけでなく、その間に、介在する特徴体または層がなく何かの「上に」または「上方に」（すなわち、何かの上に直接）あるという意味も含みうる。

【 0 0 1 6 】

さらに、「下」、「下に」、「より下方に」、「上方に」、「より上に」などの空間的に相対的な用語は、本明細書では1つの要素または特徴体の、他の要素または特徴体に対する関係を、図面に示されるように説明するための説明を容易にするために使用されうる。空間的に相対的な用語は、図面内に示された配向に加えて、使用時または動作時のデバイスの異なる配向も包含することを意図される。装置は、他の向き（90°回転させたり、他の向きにしたり）にすることもでき、本明細書で使用する空間的に相対的な記載も、それに応じて同様に解釈可能である。

10

【 0 0 1 7 】

本明細書で使用するように、「基板」との用語は、後続の材料層が上に追加される材料を指す。基板は、上面及び底面を含む。基板の上面は、半導体デバイスが形成される場所であり、そのため半導体デバイスは基板の上面に形成される。底面は上面の反対側であり、そのため基板の底面側は基板の上面側の反対側である。基板それ自体はパターニングされうる。基板の上面に追加される材料は、パターニングされ、またはパターニングされないままにされうる。さらに、基板は、シリコン、ゲルマニウム、ガリウムヒ素、インジウムリンなどの幅広い範囲の半導体材料を含みうる。代替的に、基板は、ガラス、プラスチックまたはサファイアウェハーなどの非導電性材料で形成することも可能である。

【 0 0 1 8 】

本明細書で説明されるように、「層」との用語は、ある厚さを有する領域を含む材料の部分の指す。層は、上側および底部側を有し、層の底部側は、相対的に基板に近く、上側は相対的に基板から遠い。層は、下にある、もしくは上にある構造の全体を覆って延在することができ、または下にある、もしくは上にある構造の延在部よりも小さな延在範囲を有することができる。さらに、層は、連続的な構造の厚さよりも小さな厚さを有する均一な、または不均一な連続的な構造の領域でありうる。例えば、層は、連続的な構造の上面及び底面の間またはその場所にある任意のセットの水平な平面の間に位置しうる。層は、水平に、垂直に、及び/または傾斜した表面に沿って延在しうる。基板は層であってもよく、その中に1つもしくは複数の層を含んでも良く、並びに/またはその上、その上方及び/もしくはその下に1つまたは複数の層を有してもよい。層は、複数の層を含みうる。例えば、相互接続層は、1つまたは複数の導体及び接触層（接点、相互接続線及び/またはビアが形成される）並びに1つまたは複数の誘電体層を含みうる。

20

30

【 0 0 1 9 】

本明細書で説明されるように、「公称の/公称には」との用語は、製品もしくはプロセスの設計フェーズにおいて設定された、構成要素またはプロセス動作に対する特性またはパラメータの所望値または目標値を、所望の値の上及びまたは下にある値の範囲とともに指す。値の範囲は、製造プロセスのわずかな変動または許容範囲に起因しうる。本明細書で説明されるように、「約」との用語は、対象の半導体デバイスに関して特定の技術ノードに基づいて変化し得る所定の量の値を指す。特定の技術ノードに基づいて、「約」との用語は、例えば値の10から30%（例えば値の±10%、±20%または±30%）の範囲内で変動する所定の量の値を指しうる。

40

【 0 0 2 0 】

本明細書で使用するように、「3Dメモリデバイス」との用語は、メモリストリングが基板に対して垂直方向に延在するように、横方向に配向された基板の上のメモリセルトランジスタの垂直に配向されたストリング（NANDストリングなど、本明細書では「メモリストリング」と称する）を有する半導体デバイスを指す。本明細書で説明されるように、「垂直な/垂直に」との用語は、基板の横方向の面に対して公称には垂直であることを意味する。

【 0 0 2 1 】

いくつかの実施形態において、NANDストリングまたは3Dメモリデバイスは、複数

50

の導体／誘電体層の対を通して垂直に延在する半導体チャネル（例えばシリコンチャネル）を含む。複数の導体／誘電体層の対はまた、「導体／誘電体の交互積層体」として本明細書で言及される。導体／誘電体の交互積層体の導体層は、ワード線（１つまたは複数の制御ゲートを電氣的に接続する）として使用されうる。ワード線と半導体チャネルとの交点は、メモリセルを形成する。垂直に配向されたメモリストリングは、メモリストリングに沿った、または３Ｄメモリデバイス内のメモリセルのそれぞれが一意に書き込みまたは読み出し機能に関して選択可能であるように、導体材料（例えばワード線プレートまたは制御ゲート）とアクセス線（例えばワード線）との間に電氣的な接続を必要とする。

【００２２】

３Ｄメモリデバイスアーキテクチャにおいて、データを記憶するためのメモリセルは、積層記憶構造を形成するために垂直に積層される。３Ｄメモリデバイスは、ワード線ファンアウトなどの目的のために積層記憶構造の１つまたは複数の側面に形成された階段構造を含むことができ、積層記憶構造は、複数の半導体チャネルを含み、半導体チャネルは垂直または水平でありうる。より高い記憶容量への要求は増加し続けているため、積層記憶構造の垂直レベルの数も増大している。したがって、フォトレジスト（ＰＲ）層などのより厚いマスク層が、増加するレベルを有する階段構造をエッチングするために必要とされる。しかし、マスク層の厚さの増大は、階段構造のエッチングの制御をより困難なものにしうる。

【００２３】

本開示において、階段構造は、少なくとも２つの水平な表面（例えば $x-y$ 平面に沿った）及び少なくとも２つの（例えば第１及び第２の）垂直面（例えば z 軸に沿った）を含む表面のセットを指し、水平な表面のそれぞれは、水平な表面の第１の縁から上方に延在する第１の垂直な表面に隣接し、水平な表面の第２の縁から下方に延在する第２の垂直な表面に隣接する。水平な表面のそれぞれは階段構造の「ステップ」または「階段」と呼ばれる。本開示において、水平方向は、基板（例えばその上に構造の形成のための製造プラットフォームを提供する基板）の上面に平行な方向（例えば x 軸または y 軸）を指し、垂直方向は、構造の上面に対して垂直な方向（例えば z 軸）を指しうる。

【００２４】

階段構造は、積層誘電体の上に形成されたマスク層を使用して積層誘電体を繰り返しエッチングすることによって、積層誘電体から形成されうる。いくつかの実施形態において、マスク層はフォトレジスト（ＰＲ）層を含みうる。本開示において、積層誘電体は、複数の交互に配置された誘電体層の対を含み、各誘電体層の対の厚さは１つのレベルである。換言すれば、誘電体層の対のそれぞれは、垂直に１つのレベルの高さである。本開示において、相互に交換して使用される「階段」との用語及び「ステップ」との用語は、階段構造の１つまたは複数のレベルを指し、ステップ（または階段）は、誘電体層の対の表面の一部を露出する。いくつかの実施形態において、誘電体層の対は、第１の材料層及び第２の材料層を交互に含む。いくつかの実施形態において、第１の材料層は、絶縁材料層を含む。いくつかの実施形態において、第２の材料は犠牲材料層または導電材料層を含む。いくつかの実施形態において、１つの誘電体層の対の第１の材料層及び第２の材料層は、１つのセットが１つのステップを形成できるように、公称として基板の上に同じ高さを有しうる。階段構造の形成において、マスク層はトリムされ（例えば段階的にエッチングされ）、積層誘電体の露出された部分をエッチングするためのエッチングマスクとして使用される。トリムされるマスク層の量は、階段構造の寸法に直接相関（例えば決定）されうる。マスク層のトリミングは、適切なエッチング、例えば等方性ドライエッチングまたはウェットエッチングを用いて得られうる。１つまたは複数のマスク層は、階段構造の形成のために連続して形成され、トリムされうる。誘電体層の対のそれぞれは、マスク層のトリミングの後に、第１の材料層及び第２の材料層の両方の一部を除去するのに適したエッチャントを用いてエッチングされうる。階段構造の形成の後、マスク層は除去されうる。いくつかの実施形態において、第２の材料層は、導電体材料層であり、そのため３Ｄメモリ構造のゲート電極（またはワード線）でありうる。いくつかの実施形態において、階段

10

20

30

40

50

構造の第2の材料層は犠牲材料層であり、3Dメモリ構造のゲート電極（またはワード線）を形成するために金属/導体層（例えばタンゲステン）と置き換えられうる。

【0025】

階段構造は、相互接続形成プロセスの後に、半導体チャネルを制御するためのワード線ファンアウトとして相互接続スキームを提供可能である。階段構造内の誘電体層の対のそれぞれは、半導体チャネルの一部と交差する。犠牲層のそれぞれを金属/導体層で置き換えた後、階段構造の導体材料層のそれぞれは、半導体チャネルの部分を制御できる。相互接続形成プロセスの例は、階段構造の上に酸化シリコン、スピノン誘電体またはホウリンケイ酸ガラス（BPSG）等の第2の絶縁材料を配置またはそうでなければ成膜し、第2の絶縁材料を平坦化することを含む。階段構造の導体材料層のそれぞれは、平坦化された第2の絶縁材料の複数のコンタクトホールを開口するために露出され、コンタクトホールは窒化チタン及びタンゲステンなどの1つまたは複数の導体材料で充填され、複数のVIA（垂直相互接続アクセス）構造を形成する。

10

【0026】

本開示において、「SC」との用語は、階段構造内の誘電体層の対を指す。いくつかの実施形態において、階段構造は、交互層積層体を含み、各層積層体はSC層を表す。

【0027】

図1は、いくつかの実施形態に従う、パターニングされたフォトリソ積層体による複数の誘電体層の対の断面図を示す。構造100は、基板160の上に形成された（例えばその上面などの第1の側に配置された）複数のSC層を含みうる。SC層のそれぞれは、第1の材料層（例えば102、106、110、・・・）及び第2の材料層（例えば104、108、112、・・・）を有する誘電体層の対を含みうる。マスク積層材料（例えばフォトリソ層）は、SC層の上にマスク積層体153を形成するために成膜され、パターニングされる。マスク積層体153は、SC層の領域101及び領域103を画定する。領域101におけるSC層の第1の（例えば上部）表面は露出され、領域103におけるSC層はマスク積層体153によって覆われる。いくつかの実施形態において、マスク積層体153は、フォトリソまたは炭素ベースのポリマー材料を含みうる。いくつかの実施形態において、領域101及び103はともに、リソグラフィ及びエッチングプロセスを含む1つまたは複数のプロセスを用いてマスク積層体153によって画定される。

20

30

【0028】

第1の材料層102は、窒化シリコンを含む犠牲層であってもよく、第2の材料層104は酸化シリコンを含む絶縁層であってもよく、その反対であってもよい。いくつかの実施形態において、犠牲層は続いて3Dメモリデバイスのワード線を形成するために導体材料層（例えばゲート金属材料）で置き換えられる。いくつかの実施形態において、第2の材料層は、導体材料層でありうる。

【0029】

いくつかの実施形態において、上に構造100が形成される基板は、3Dメモリ構造を支持するための任意の適切な材料を含みうる。例えば、基板はシリコン、シリコンゲルマニウム、炭化シリコン、シリコンオンインシュレーター（SOI）、ゲルマニウムオンインシュレーター（GOI）、ガラス、窒化ガリウム、ガリウムヒ素、任意の適切なIII-V化合物、任意のその他の適切な材料、及びまたはそれらの組み合わせを含みうる。

40

【0030】

いくつかの実施形態において、各SC層の厚さは互いに同じであるか、または互いに異なってもよい。いくつかの実施形態において、犠牲層は絶縁材料層とは異なる任意の適切な材料を含む。例えば、犠牲層は多結晶シリコン、窒化シリコン、多結晶ゲルマニウム、多結晶ゲルマニウム-シリコン、任意の他の適切な材料及び/またはそれらの組み合わせの1つまたは複数を含みうる。いくつかの実施形態において、犠牲層は窒化シリコンを含みうる。絶縁層は、例えば酸化シリコンまたは酸化アルミニウムなどの任意の適切な絶縁材料を含みうる。導体材料層は、任意の適切な導体材料を含みうる。いくつかの実施

50

形態において、導体材料層は、多結晶シリコン、シリサイド、ニッケル、チタン、白金、アルミニウム、窒化チタン、窒化タンタル、窒化タングステン、任意のその他の適切な材料及び／またはそれらの組み合わせの１つまたは複数を含みうる。絶縁材料層、犠牲材料層及び導体材料層の形成は、例えば、化学気相成膜（ＣＶＤ）、物理気相成膜（ＰＶＤ）、プラズマ支援ＣＶＤ（ＰＥＣＶＤ）、スパッタリング、金属－有機化学気相成膜（ＭＯＣＶＤ）、原子層成膜（ＡＬＤ）、任意のその他の適切な成膜方法、及び／またはそれらの組み合わせなどの任意の適切な成膜方法を含みうる。いくつかの実施形態において、絶縁層、犠牲材料層及び導体材料層は、それぞれＣＶＤによって形成される。

【００３１】

図２は、いくつかの実施形態に従う１つのレベルを有するステップの形成の断面図を示す。階段構造２００は、構造１００の上にステップＳＣ２４Ｂ（１つのレベルのステップを有する階段）を生成することによって形成される。いくつかの実施形態において、マスク積層体１５３は、ステップＳＣ２４Ｂの形成後に除去される。ステップＳＣ２４Ｂは層２９４及び２９６を含む１つのレベルを有し、マスク積層体１５３によって画定された第１の領域１０１から単一のＳＣ層の少なくとも一部を除去するためにエッチングプロセスを実行することによって形成される。いくつかの実施形態において、エッチングプロセスは、第１の材料層１９４及び第２の材料層１９６の一部を順に除去するために任意の適切なエッチャント（例えば、ウェットエッチング及び／またはドライエッチング）の使用を含む。いくつかの実施形態において、第１の材料層１９４の一部及び第２の材料層１９６の一部をそれぞれ除去するために２つの異なるエッチャントが使用される。第１の材料層１９４のためのエッチャントは、第２の材料層１９６に対して十分高いエッチング選択性を有し、及び／またはその逆である。したがって、下のＳＣ層は、エッチングストップ層として機能することができ、単一のＳＣ層のみがパターンニング／エッチングされる。いくつかの実施形態において、第１及び第２の材料層は、反応性イオンエッチング（ＲＩＥ）またはその他のドライエッチングなどの異方性エッチングを用いてエッチングされる。いくつかの実施形態において、エッチャントはフッ化炭素（ＣＦ_４）ベースのガスまたは６フッ化エタン（Ｃ_２Ｆ_６）ベースのガスを含む。いくつかの実施形態において、１つのエッチャント（例えば時間管理ウェットエッチングプロセス）が用いられて第１の材料層及び第２の材料層の両方を除去し、エッチャントはリン酸を含む。様々な実施形態において、単一のＳＣ層を除去するための方法及びエッチャントは、本開示の実施形態によって限定されるべきではない。

【００３２】

図３Ａ及び３Ｂは、エッチ－トリムプロセスでの構造３００Ａ及び３００Ｂを示し、これらはトリミングプロセス（図３Ａに示される）及びエッチングプロセス（図３Ｂに示される）を含む。図３Ａを参照すると、マスク積層体１５３（図１及び図２に示される）にトリミングプロセスを適用したのち、マスク積層体３５３が形成される。トリミングプロセスは、適切なエッチング（例えば等方性ドライエッチングまたはウェットエッチング）を含み、基板の表面に対して平行な方向に生じる。トリムされるマスク層の量は、階段構造の横方向寸法に直接相関しうる。いくつかの実施形態において、マスク積層体３５３は、エッチングプロセスによって形成された第１のステップ（図２に示される）の一部（例えば３０３）を覆う。図３Ｂを参照すると、それぞれ１つのレベルを有する２つのステップが、階段構造３００Ａから１つのＳＣ層を除去するためのエッチングプロセスによって生成される。いくつかの実施形態において、エッチングプロセスは、エッチングプロセスを繰り返し実行することを含みうる。

【００３３】

図４Ａ及び４Ｂは、本開示のいくつかの実施形態に従う３Ｄメモリデバイス（例えば４００Ａ及び４００Ｂ）の上面図を示す。図４Ａ及び４Ｂを参照すると、３Ｄメモリデバイス４００Ａ及び４００Ｂは、積層記憶構造領域４６０及び、スリット４７０によって分離された複数の階段構造４８０を含む。積層記憶構造領域４６０は、複数の半導体チャネルを含みうる。いくつかの実施形態において、階段構造領域４８０及び４９０は、積層記憶

10

20

30

40

50

構造領域 460 に隣接した異なる領域に分布される。いくつかの実施形態において、階段構造領域 480 のそれぞれは、基板の表面に対して平行な方向（例えば x 方向または y 方向）に、積層記憶領域 460 によって階段構造領域 490 のそれぞれから分離される。いくつかの実施形態において、相互接続形成プロセスの後、階段構造領域 480 及び 490 は、積層記憶構造領域 460 の半導体チャネルに沿ってメモリセルのそれぞれを一意に選択するためのワード線ファンアウトを提供する。マスク積層体材料（例えばフォトレジスト層）が、階段構造領域の SC 層の上にマスク積層体（例えば図 4A の 453_A 及び図 4B の 453_B）を形成するために成膜され、パターニングされる。階段構造領域における SC 層の上面の一部（例えばフォトレジストのない領域）が露出され、SC 層の上面の一部がマスク積層体（例えば図 4A の 453_A 及び図 4B の 453_B）で覆われる。いくつかの実施形態において、マスク積層体 453_A 及び 453_B は、フォトレジストまたは炭素ベースのポリマー材料を含みうる。いくつかの実施形態において、リソグラフィ及びエッチングプロセスを含む 1 つまたは複数のプロセスが、階段構造領域において実行される。いくつかの実施形態において、エッチ - トリムプロセスが、第 1 のマスク積層体の横方向の縁境界からマスク積層体の中央方向に向かう方向に内側に向かって実行される（例えば図 1 から 3 及び図 4A）。いくつかの実施形態において、エッチ - トリムプロセスは、第 1 のマスク積層体の中央からマスク積層体の横方向の縁境界に向かう方向に外側に向かって実行される（例えば図 4B）。本明細書で使用されるように、「横方向の縁境界」は、積層マスクの水平方向表面（例えば上面及び底面）の縁を指す。上面及び底面は、マスク積層体の 2 つの主面であり、これらは互いに対向し、互いに対して平行である。本明細書で使用されるように、「中央」はマスク積層体の水平方向表面の中間点であり、水平方向表面の周縁の全ての点から等距離にあることを指す。いくつかの実施形態において、各階段構造領域 480 または 490 は、複数のサブ階段構造領域（例えば図 4A に示されるようなサブ階段構造領域 481、483、485 及び図 4B に示されるようなサブ階段構造領域 482、484、486）として画定される。いくつかの実施形態において、マスク積層体は、リソグラフィプロセスを用いて交互層積層体の上に N 個のサブ階段構造領域を含む階段構造領域を画定するためにパターニングされ、N は 1 よりも大きい（ $N > 1$ ）。いくつかの実施形態において、N は 2、3、4、5 または 6 である。いくつかの実施形態において、N は 3 である。

【0034】

図 5A 及び 5B は、階段構造領域 480_A 及び 480_B のそれぞれに第 1 の階段構造を形成した後の、3D メモリデバイスの階段構造領域 580_A 及び 580_B の上面図のいくつかの実施形態を示す。第 1 の階段構造は、3D メモリデバイス 400_A 及び 400_B の階段構造領域 480_A 及び 480_B においてエッチ - トリムプロセスを繰り返し適用することによって形成される。いくつかの実施形態において、第 1 の階段構造は、階段構造領域 580_A（SC24_A、SC23_A、SC22_A、SC21_A）及び 580_B（SC24_B、SC23_B、SC22_B、SC21_B）のそれぞれに 4 つのステップを有し、4 つのステップのそれぞれは 1 つのレベルである。結果として、第 1 の階段構造は 4 つの最も上の SC 層の一部を露出する。いくつかの実施形態において、第 1 の階段構造は階段構造領域 580_A 及び 580_B のそれぞれにおいて第 1 の数（M）のステップを有し、M 個のステップのそれぞれは 1 つのレベルであり、第 1 の数 M は 1 よりも大きい（ $M > 1$ ）。いくつかの実施形態において、M は 2、3、4、5 または 6 である。いくつかの実施形態において、M は 4 である。いくつかの実施形態において、第 1 の階段構造は積層記憶領域（図 4 に示されるような積層記憶領域 460）には形成しない。

【0035】

図 5C 及び 5D は、階段構造領域 480_A 及び 480_B のそれぞれに第 1 の階段構造を形成した後の 3D メモリデバイスの階段構造領域 580_A 及び 580_B の断面図を示し、第 1 の階段構造は 4 つのステップ（ $M = 4$ ）を階段構造領域 580_A 及び 580_B のそれぞれに有する。図 5C 及び 5D に示されるように、第 1 の階段構造は 4 つのステップ（ $M = 4$ ）を示し、4 つのステップのそれぞれは 1 つのレベルである。

【 0 0 3 6 】

図 6 A から 6 D は、3 D メモリデバイスの階段構造領域 6 8 0 A 及び 6 8 0 B のそれぞれにおける第 1 の階段構造の上に第 2 の階段構造を形成した後の、3 D メモリデバイスの階段構造領域 6 8 0 A 及び 6 8 0 B の上面図のいくつかの実施形態を示す（例えば、第 2 の階段構造を第 1 の階段構造の上に重ねる）。図 6 A 及び 6 B は 3 D メモリデバイスの階段構造領域 6 8 0 A 及び 6 8 0 B の上面図を示し、図 6 C 及び 6 D は、3 D メモリデバイスの階段構造領域 6 8 0 A 及び 6 8 0 B の断面図を示す。第 2 の階段構造の形成は、3 D メモリデバイス（図 5 A 及び 5 B に示されるような 3 D メモリデバイス 5 8 0 A 及び 5 8 0 B）の上面の上に形成され、パターンニングされたマスク積層体（図示されない）を用いたエッチ - トリムプロセスを繰り返し適用することを含む。いくつかの実施形態において、マスク積層体は、フォトレジストまたは炭素ベースのポリマー材料を含みうる。マスク積層体は、第 1 の方向（例えば x 方向）の階段構造領域 5 8 0 A 及び 5 8 0 B のそれぞれの第 1 の部分（例えば、図 5 A 及び 5 B に示されるような S 1 A 及び S 1 B）を露出する。いくつかの実施形態において、エッチ - トリムプロセスは、M 個のレベルの連続する S C 層を除去することであり、したがって、エッチングプロセスの繰り返しまたは任意の他のウェット / ドライエッチングプロセスを含みうる。マスク積層体は、階段構造領域 5 8 0 A 及び 5 8 0 B のそれぞれの第 2 の部分（例えば図 5 A 及び 5 B に示されるような S 2 A 及び S 2 B）を露出するためにトリム可能であり、続いて連続する S C 層の M 個のレベルを除去するためにエッチングプロセスが行われうる。いくつかの実施形態において、エッチ - トリムプロセスは、S C 層の全ての上面（例えば図 6 C に示されるような S C 1 A、S C 2 A、・・・ S C 2 4 A 及び図 6 D に示されるような S C 1 B、S C 2 B、・・・ S C 2 4 B）が電氣的接続のために露出されるまで繰り返される。第 2 の階段構造の形成後、階段構造領域に $2 \times N \times M$ 個（例えば、図 6 A から 6 D に示されるように $2 * 4 * 3 = 24$ 個）のステップを有する階段構造が形成される。そして、N 個のサブ階段構造のそれぞれは、 $2 \times M$ 個のステップを含む。いくつかの実施形態において、第 1 の階段構造を形成するためのエッチ - トリムプロセスは、第 1 のマスク積層体の横方向縁境界からマスク積層体の中央に向かう方向に、内側に向かって実行されうる（例えば図 1 から 3 及び図 4 A）。そして、各サブ階段構造領域（例えばサブ階段構造領域 4 8 1、4 8 3 及び 4 8 5）の階段構造の最も上の層積層体は、サブ階段構造領域の中央部に位置する。いくつかの実施形態において、エッチ - トリムプロセスは、第 1 のマスク積層体の中央からマスク積層体の横方向の縁境界に向かう方向に、外側に向かって実行されうる（例えば図 4 B）。そして、各サブ階段領域（例えばサブ階段領域 4 8 2、4 8 4、4 8 6）の階段構造の最も上の層積層体は、サブ階段構造領域の境界に位置する。

【 0 0 3 7 】

本開示の実施形態はさらに、3 D メモリデバイスの階段構造を形成するための方法を提供する。図 7 は、いくつかの実施形態に従う 3 D メモリデバイスを形成するための例示的な方法 7 0 0 を示す。方法 7 0 0 の実施は、図 1 から 6 D に示されたメモリデバイス構造を形成するために使用可能である。方法 7 0 0 に示された動作は網羅的ではなく、その他の動作が、図示された動作のいずれかの前、後、または間に実行されうることは理解されるべきである。いくつかの実施形態において、例示的な方法 7 0 0 のいくつかの動作が省略され、または単純化のために本明細書では説明されない他の動作を含みうる。いくつかの実施形態において、方法 7 0 0 の動作は、異なる順序で実施され、及び / または変動しうる。

【 0 0 3 8 】

動作 7 1 0 において、基板が 3 D メモリデバイスを形成するために提供される。基板は、3 次元メモリ構造を形成するための任意の適切な材料を含みうる。例えば、基板はシリコン、シリコンゲルマニウム、炭化シリコン、S O I、G O I、ガラス、窒化ガリウム、ガリウムヒ素、プラスチックシート及び / またはその他の適切な I I I - V 化合物を含みうる。

【 0 0 3 9 】

動作 7 2 0 において、交互層積層体が基板上に成膜される。交互層積層体の各層積層体は S C 層を表す。S C 層は、第 1 の材料層及び第 2 の材料層を有する誘電体層の対を含みうる。いくつかの実施形態において、第 1 の材料層は絶縁層であり、第 2 の材料層は犠牲層であり、またはその逆でありうる。いくつかの実施形態において、第 1 の材料層は絶縁層であり、第 2 の材料層は導体材料層であり、またはその逆でありうる。犠牲層は、窒化シリコン、多結晶シリコン、多結晶ゲルマニウム、多結晶ゲルマニウム - シリコン、任意の他の適切な材料及び / またはそれらの組み合わせなどの材料を含みうる。絶縁層は、酸化シリコン、酸化アルミニウムまたはその他の適切な材料などの材料を含みうる。導体材料層は、タングステン、窒化チタン、窒化タンタル、窒化タングステン、任意の他の適切な材料及び / またはそれらの組み合わせなどの材料を含みうる。絶縁、犠牲及び導体材料層のそれぞれは、C V D、P V D、A L D またはそれらの任意の組み合わせを含むがそれらに限定しない 1 つまたは複数の薄膜成膜プロセスによって成膜された材料を含みうる。複数の S C 層の例は、図 1 において上述したような交互層 1 0 2 および 1 0 4 でありうる。

10

【 0 0 4 0 】

動作 7 3 0 において、マスク積層体が、積層記憶領域及び複数の階段構造領域を S C 層の上面にパターニングするために使用される。階段構造領域のそれぞれは、積層記憶領域に隣接する。いくつかの実施形態において、第 1 の複数の階段構造領域は、積層記憶領域によって水平方向に、第 2 の複数の階段構造領域から分離される。いくつかの実施形態において、積層記憶領域及び複数の階段構造領域は、リソグラフィを含む複数のプロセスを用いてマスク積層体によってパターニングされる。いくつかの実施形態において、マスク積層体は、フォトレジストまたは炭素ベースのポリマー材料を含みうる。積層記憶領域及び複数の S C 層の例は、図 4 A において上述したように領域 4 6 0、4 8 0 A 及び 4 9 0 A でありうる。いくつかの実施形態において、第 1 のマスク積層体は、リソグラフィプロセスを用いて交互層積層体の上に N 個のサブ階段構造領域を含む階段構造領域を画定するためにパターニングされ、N は 1 より大きい。

20

【 0 0 4 1 】

動作 7 4 0 において、第 1 の階段構造が階段構造領域のそれぞれに形成される。第 1 の階段構造は、マスク積層体を用いてエッチ - トリムプロセスを繰り返し実行することによって、階段構造領域のそれぞれに形成されうる。エッチ - トリムプロセスは、エッチングプロセス及びトリミングプロセスを含む。いくつかの実施形態において、エッチングプロセスは S C 層の一部をエッチングする。いくつかの実施形態において、エッチングプロセスは、複数の S C 層の一部をエッチングする。いくつかの実施形態において、1 つまたは複数のエッチャントがエッチングプロセスで用いられ、エッチャントのそれぞれは、第 2 の材料層よりもずっと高いエッチングレートで第 1 の材料層をエッチングし、またはその逆である（例えば、第 1 の材料層と第 2 の材料層との間に高いエッチング選択性がある）。いくつかの実施形態において、エッチングプロセスは、第 1 の材料層と第 2 の材料層との間の高いエッチング選択性のために、S C 層のエッチングを精度良く制御可能である。トリミングプロセスは、マスク積層体の適切なエッチング（例えば等方性ドライエッチングまたはウェットエッチング）を含み、基板の表面に対して平行な方向に生じる。トリミングされるマスク積層体の量は、第 1 の階段構造の横方向寸法に直接相関しうる。エッチ - トリムプロセスを繰り返した後、得られる第 1 の階段構造は、M 個のステップを含み、M 個のステップのそれぞれは 1 つのレベルである。いくつかの実施形態において、M は 1 よりも大きい。いくつかの実施形態において、M は 2、3、4、5 または 6 である。いくつかの実施形態において、M は 4 である（図 5 A から 5 D に示されるように）。エッチ - トリムプロセスは、図 1 から 3 の説明を参照可能である。第 1 の階段構造の形成は、図 4 A から 5 D の説明を参照可能である。

30

40

【 0 0 4 2 】

動作 7 5 0 において、第 2 の階段構造が第 1 の階段構造の上に形成される。いくつかの実施形態において、マスク積層体が、階段構造領域の第 1 の部分（例えば S C 1 A 及び S C 1 B）を露出し、階段構造領域の残りの部分を覆うためにパターニングされる。いくつ

50

かの実施形態において、マスク積層体は積層記憶領域を覆う。いくつかの実施形態において、マスク積層体はリソグラフィプロセスによってパターンニングされる。エッチングプロセスは、エッチ - トリムプロセスで使用されるエッチングプロセスと同様に、露出された第1の階段構造領域からM個のレベルのSC層を除去するために適用される。マスク積層体は、エッチングプロセス後に除去される。結果として、第1の複数の階段構造領域における最も上のSC層（例えば図6Cに示されるようにSC4_A）は、第2の複数の階段構造領域における最も上のSC層（例えば図6Cに示されるようにSC4_B）よりも低いMのレベルである。マスク積層体を用いた、エッチ - トリムプロセスの繰り返しは、SC層の全ての上面（例えば図6Cに示されるようなSC1_A、SC2_A、・・・SC24_A及び図6Dに示されるようなSC1_B、SC2_B、・・・SC24_B）が電氣的接続のために露出されるまで実行されうる。いくつかの実施形態において、エッチ - トリムプロセスは、トリミングプロセス及び、SC層のM個をエッチングするエッチングプロセスを含む。第1の階段構造の上に第2の階段構造を形成することは、図6Aから6Dの説明を参照できる。

10

【0043】

段階760において、半導体チャネルを含む記憶構造が、積層記憶領域に形成される。さらなるプロセスステップは、3Dメモリデバイスの階段構造領域のそれぞれに相互接続構造を形成することを含みうる。いくつかの実施形態において、半導体チャネルは、積層記憶領域においてSC層を通して形成され、延在される。3Dメモリデバイスのワード線は、SC層のそれぞれの犠牲材料層を導体層と置き換えることによって形成される。階段構造領域における階段構造は、3Dメモリデバイスの各ワード線の一部を露出し、これによって相互接続構造（例えばVIA構造）が半導体チャネルのそれぞれを制御するための各ワード線のファンアウトを提供可能になる。

20

【0044】

本明細書で説明された様々な実施形態は、3Dメモリデバイスの階段構造及びその製造方法に関する。例示的な製造方法は、基板の上に配置された複数の誘電体層の対を含む交互層積層体を形成する段階と、交互層積層体の上に第1のマスク積層体を形成する段階と、交互層積層体の上のN個のサブ階段構造を含む階段構造を画定するために第1のマスク積層体をパターンニングする段階と、階段構造領域の上に第1の階段構造を形成する段階であって、第1の階段構造が階段構造領域のそれぞれにおいてM個のステップを有する、段階と、第1の階段構造の上に第2の階段構造を形成する段階と、を含む。N及びMはともに1より大きく、第2の階段構造は、階段構造領域において2 * N * M個のステップを有する。いくつかの実施形態において、本方法はさらに、基板の上の積層記憶領域に複数の垂直半導体チャネルを形成する段階を含み、階段構造領域のそれぞれは、積層記憶領域に隣接する。いくつかの実施形態において、3Dメモリデバイスは、基板上に配置された交互層積層体と、複数の垂直半導体チャネルを含む記憶構造と、記憶構造に隣接する複数の階段構造領域と、交互層積層体の複数の層積層体の一部を露出するために、階段構造領域のそれぞれに設けられた階段構造と、を含む。いくつかの実施形態において、階段構造は、N個のサブ階段構造領域を含み、Nは1より大きい。いくつかの実施形態において、N個のサブ階段構造領域のそれぞれは、2 * M個のステップを含み、Mは1より大きい。開示された構造及び方法は、3Dメモリデバイスの製造の複雑さ及び製造コストを低減することを含むがそれに限定しない多数の利益を提供する。

30

40

【0045】

特定の実施形態の前述の説明は、当業者の知識を適用することによって、容易に他者が、そのような特定の実施形態を、不要な実験を行うことなく、本開示の一般的な概念を逸脱することなく改変及び/または様々な用途に適合することが可能である、本開示の一般的な本質を完全に明らかにする。したがって、そのような適合及び改変は、本明細書で示された教示及びガイダンスに基づき、開示された実施形態の等価物の意味及び範囲内にあることが意図される。本明細書の用語や語句は、説明のためのものであり、限定の目的ではなく、本明細書の用語や語句は、当業者が教示やガイダンスに照らして解釈されるもの

50

であることは理解されるべきである。

【 0 0 4 6 】

本開示の実施形態は、その特定の機能及び関係性の実施を示す機能的な構成ブロックを用いて前述された。これらの機能的な構成ブロックの境界は、説明の便宜上、本明細書では任意に定義されている。特定の機能とその関係性が適切に実施される限り、代替的な境界も定義されうる。

【 0 0 4 7 】

概要及び要約は、発明者が考えている本開示の 1 つ以上ではあるが全てではない例示的な実施形態を示しうるものであり、そのため、本開示及び添付の特許請求の範囲をいかなる方法でも限定することを意図されていない。

10

【 0 0 4 8 】

本開示の幅及び範囲は、上述の例示的な実施形態のいずれかによって限定されるべきではなく、以下の特許請求の範囲及びその均等物のみに従って定義されるべきである。

【 符号の説明 】

【 0 0 4 9 】

1 0 0 構造

1 0 1、1 0 3 S C 層の領域

1 0 2、1 0 6、1 1 0、・・・ 第 1 の材料層

1 0 4、1 0 8、1 1 2、・・・ 第 2 の材料層

1 5 3 マスク積層体

20

1 6 0 基板

1 9 4 第 1 の材料層

1 9 6 第 2 の材料層

2 0 0 階段構造

2 9 4、2 9 6 層

3 0 0 A、3 0 0 B 階段構造

3 5 3 マスク積層体

4 0 0 A、4 0 0 B 3 D メモリデバイス

4 5 3 A、4 5 3 B マスク層

4 6 0 積層記憶構造領域

30

4 7 0 スリット

4 8 0、4 9 0 階段構造

4 8 1 ~ 4 8 6 サブ階段構造領域

5 8 0 A、5 8 0 B 階段構造領域

6 8 0 A、6 8 0 B 階段構造領域

S C 1 A ~ S C 2 4 A、S C 1 B ~ S C 2 4 B ステップ

40

【図面】
【図 1】

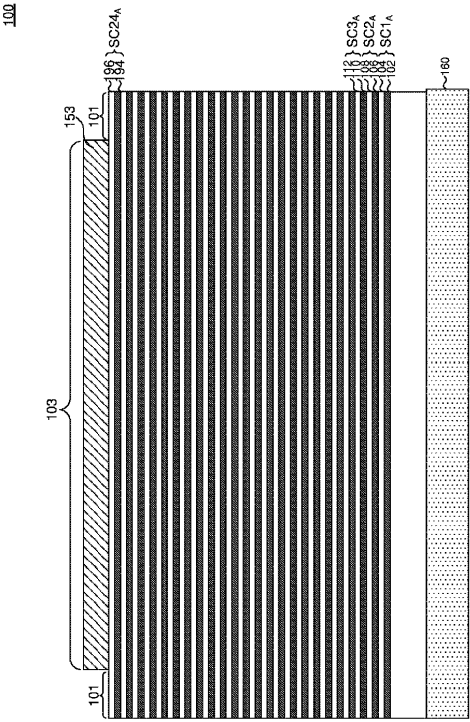


FIG. 1

【図 2】

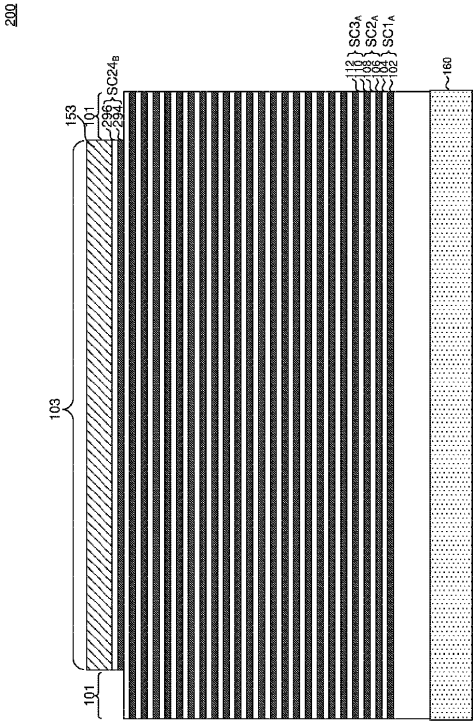


FIG. 2

【図 3 A】

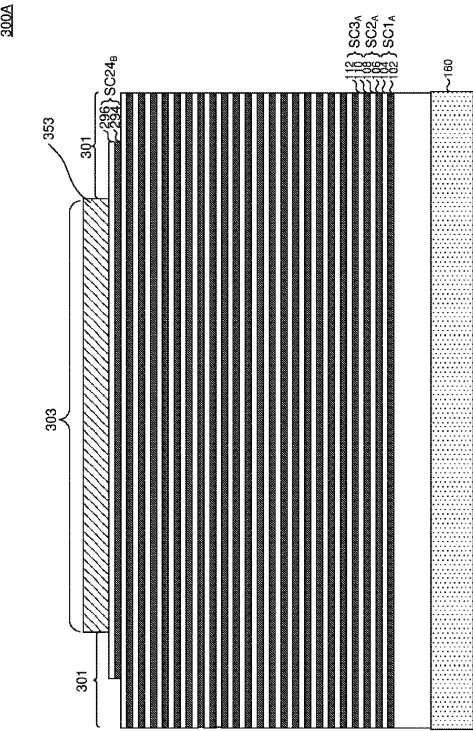


FIG. 3A

【図 3 B】

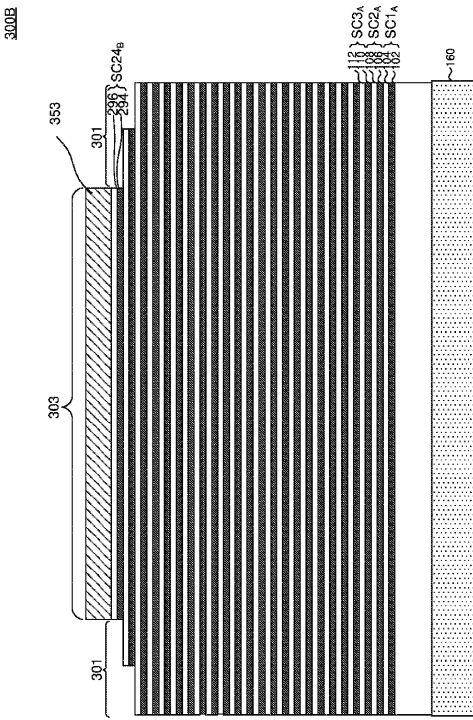


FIG. 3B

【 4 A 】

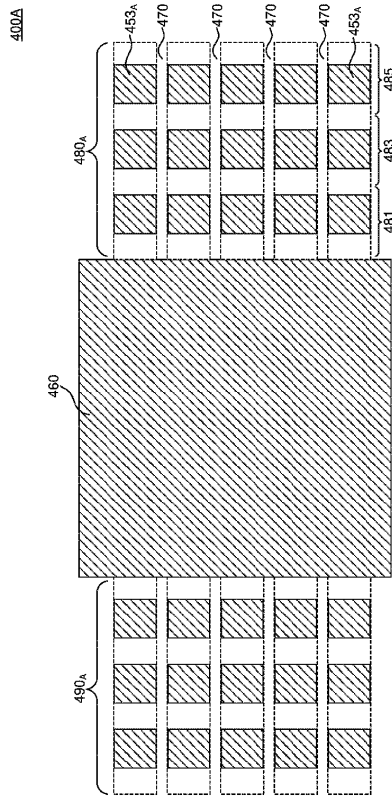


FIG. 4A

【 4 B 】

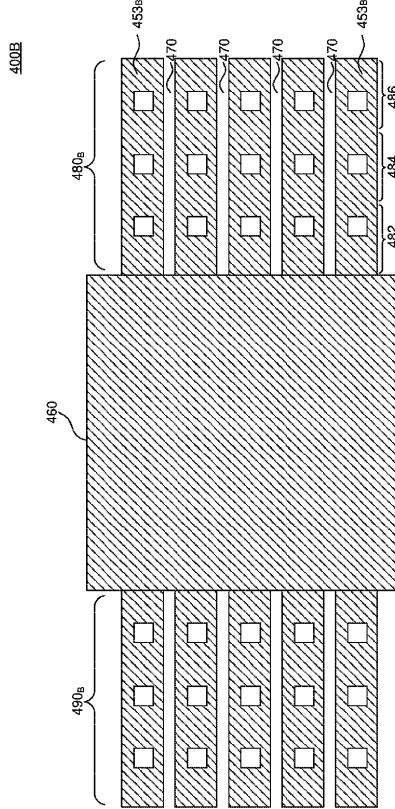


FIG. 4B

【 5 A 】

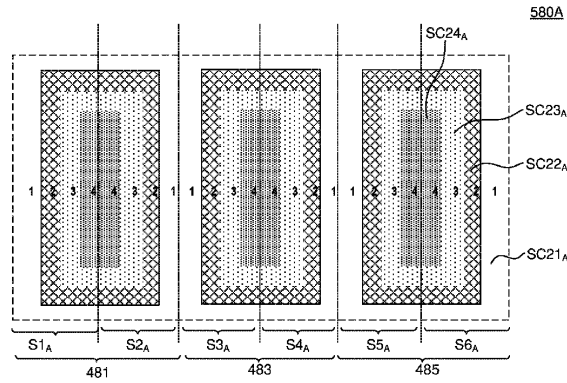


FIG. 5A

【 5 B 】

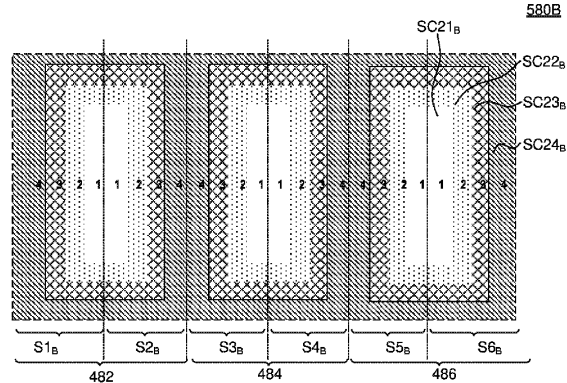


FIG. 5B

10

20

30

40

50

【図 5 C】

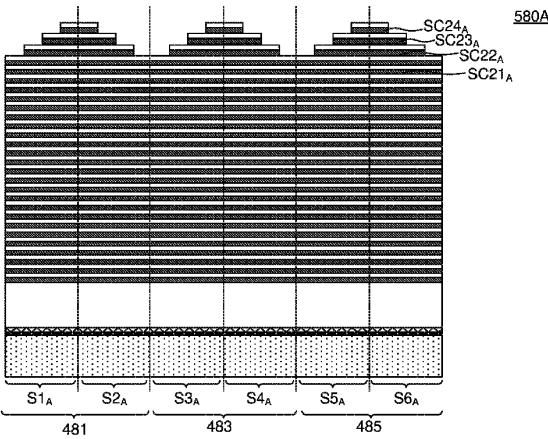


FIG. 5C

【図 5 D】

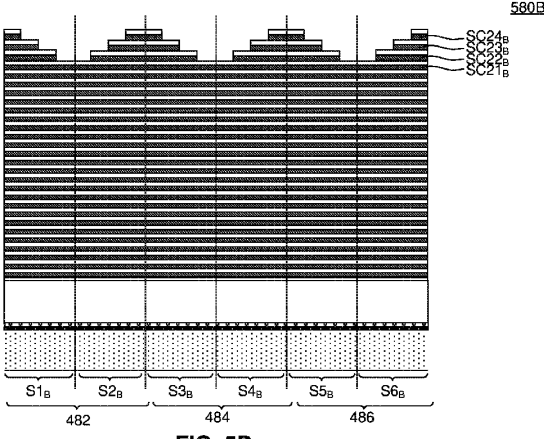


FIG. 5D

【図 6 A】

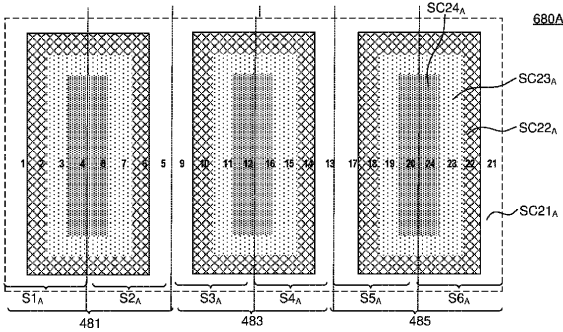


FIG. 6A

【図 6 B】

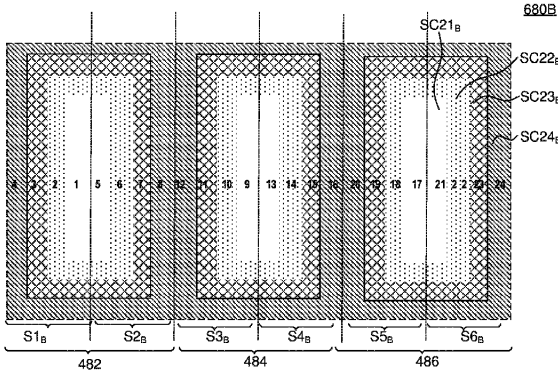


FIG. 6B

10

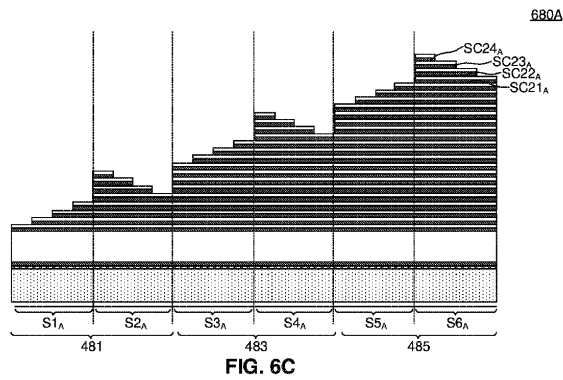
20

30

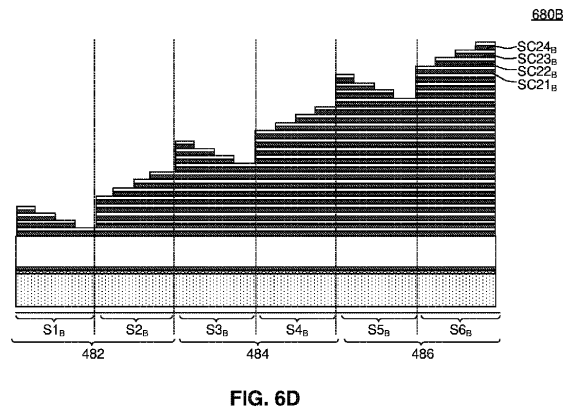
40

50

【図 6 C】



【図 6 D】



10

【図 7】

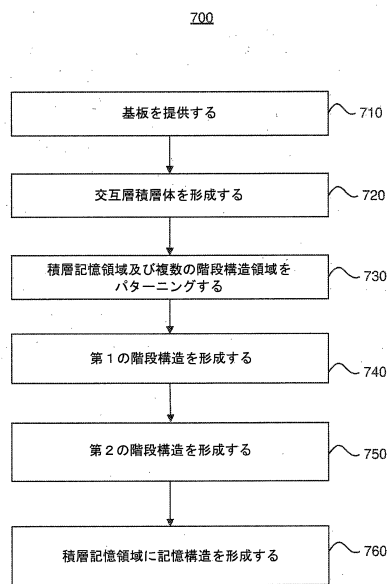


FIG. 7

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/78 6 2 6 A

H 0 1 L 29/786 (2006.01)

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者 ユ・ティン・ジョウ

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

審査官 小山 満

(56)参考文献

米国特許出願公開第2017/0373088 (US, A1)

米国特許出願公開第2017/0317088 (US, A1)

米国特許出願公開第2018/0301372 (US, A1)

特開2020-126928 (JP, A)

特開2020-113766 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 27/11582

H 0 1 L 27/11573

H 0 1 L 27/11575

H 0 1 L 21/336

H 0 1 L 29/788

H 0 1 L 29/792

H 0 1 L 29/786