

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2012-199526

(P2012-199526A)

(43) 公開日 平成24年10月18日 (2012. 10. 18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 7 T	5 F 0 5 8
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 0 3
H O 1 L 21/316 (2006.01)	H O 1 L 29/78 6 1 9 A	5 F 1 1 0
H O 1 L 21/363 (2006.01)	H O 1 L 21/316 Y	
	H O 1 L 21/363	
審査請求 未請求 請求項の数 18 O L (全 33 頁)		

(21) 出願番号	特願2012-42715 (P2012-42715)	(71) 出願人	000153878
(22) 出願日	平成24年2月29日 (2012. 2. 29)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2011-47098 (P2011-47098)		神奈川県厚木市長谷 3 9 8 番地
(32) 優先日	平成23年3月4日 (2011. 3. 4)	(72) 発明者	佐藤 瞳
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
		(72) 発明者	齋藤 隆行
			神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
		(72) 発明者	野田 耕生
			神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
		(72) 発明者	高山 徹
			神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
		最終頁に続く	

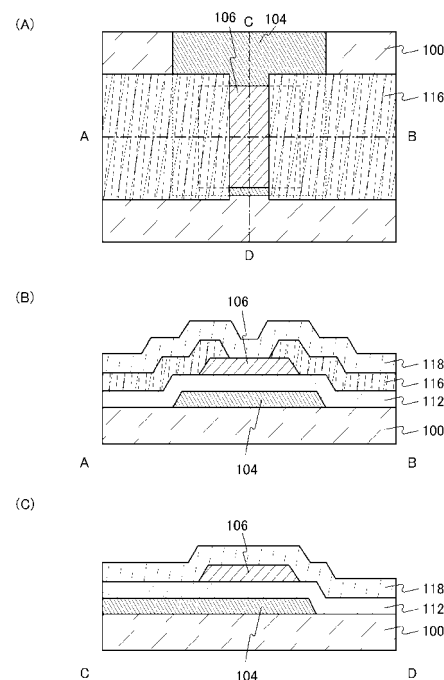
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 しきい値電圧の制御が困難な半導体膜を活性層に用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を提供する。

【解決手段】 トランジスタの活性層と接する膜または活性層近傍の膜に負の固定電荷を有する酸化シリコン膜を用いることで、負の固定電荷により活性層に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜上の一对の電極と、
前記ゲート絶縁膜を介して、前記ゲート電極と少なくとも一部が重畳し、かつ前記一对の電極と少なくとも一部が接する半導体膜と、
前記半導体膜上の絶縁膜と、を有し、
前記ゲート絶縁膜および前記絶縁膜の少なくともいずれかが負の固定電荷を有する酸化シリコン膜を含むことを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、
前記半導体膜は、In、Ga、Zn、およびSnから選ばれた二種以上を含む酸化物半導体膜であることを特徴とする半導体装置。

【請求項 3】

請求項 1 において、
前記負の固定電荷を有する酸化シリコン膜は、B、Al、Ga、Inから選ばれた一種又は複数種の不純物を含むことを特徴とする半導体装置。

【請求項 4】

請求項 3 において、
前記不純物の量は $0.01 \text{ atomic \%}$ 以上 $10 \text{ atomic \%}$ 以下であることを特徴とする半導体装置。

20

【請求項 5】

請求項 1 において、
前記負の固定電荷を有する酸化シリコン膜は、前記半導体膜側の表面電荷密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上 $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする半導体装置。

【請求項 6】

請求項 1 において、
前記半導体膜は、チャネル領域、ソース領域およびドレイン領域を有し、
前記一对の電極は、前記絶縁膜に設けられた開口部を介して、前記半導体膜の前記ソース領域および前記ドレイン領域とそれぞれ接することを特徴とする半導体装置。

30

【請求項 7】

下地絶縁膜と、
前記下地絶縁膜上の半導体膜と、
前記半導体膜と一部が接する一对の電極と、
前記半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜を介して前記半導体膜と少なくとも一部が重畳するゲート電極と、を有し、
前記下地絶縁膜および前記ゲート絶縁膜の少なくともいずれかが負の固定電荷を有する酸化シリコン膜を含むことを特徴とする半導体装置。

40

【請求項 8】

請求項 7 において、
前記半導体膜は、In、Ga、Zn、およびSnから選ばれた二種以上を含む酸化物半導体膜であることを特徴とする半導体装置。

【請求項 9】

請求項 7 において、
前記負の固定電荷を有する酸化シリコン膜は、B、Al、Ga、Inから選ばれた一種又は複数種の不純物を含むことを特徴とする半導体装置。

【請求項 10】

請求項 9 において、

50

前記不純物の量は $0.01 \text{ atomic \%}$ 以上 $10 \text{ atomic \%}$ 以下であることを特徴とする半導体装置。

【請求項 11】

請求項 7 において、

前記負の固定電荷を有する酸化シリコン膜は、前記半導体膜側の表面電荷密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上 $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする半導体装置。

【請求項 12】

請求項 7 において、

前記半導体膜は、チャンネル領域、ソース領域およびドレイン領域を有し、

前記一対の電極と前記半導体膜との間に絶縁膜を有し、

前記一対の電極は、前記絶縁膜に設けられた開口部を介して、前記半導体膜の前記ソース領域および前記ドレイン領域とそれぞれ接することを特徴とする半導体装置。

【請求項 13】

ゲート電極と、

前記ゲート電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜上の一対の電極と、

前記ゲート絶縁膜を介して、前記ゲート電極と少なくとも一部が重畳し、かつ前記一対の電極と少なくとも一部が接する半導体膜と、

前記半導体膜上の絶縁膜と、を有し、

前記ゲート絶縁膜および前記絶縁膜の少なくともいずれかが B、Al、Ga、In から選ばれた一種又は複数種の不純物を含む酸化シリコン膜であることを特徴とする半導体装置。

【請求項 14】

請求項 13 において、

前記半導体膜は、In、Ga、Zn、および Sn から選ばれた二種以上を含む酸化物半導体膜であることを特徴とする半導体装置。

【請求項 15】

請求項 13 において、

前記不純物の量は $0.01 \text{ atomic \%}$ 以上 $10 \text{ atomic \%}$ 以下であることを特徴とする半導体装置。

【請求項 16】

下地絶縁膜と、

前記下地絶縁膜上の半導体膜と、

前記半導体膜と一部が接する一対の電極と、

前記半導体膜上のゲート絶縁膜と、

前記ゲート絶縁膜を介して前記半導体膜と少なくとも一部が重畳するゲート電極と、を有し、

前記下地絶縁膜および前記ゲート絶縁膜の少なくともいずれかが B、Al、Ga、In から選ばれた一種又は複数種の不純物を含む酸化シリコン膜であることを特徴とする半導体装置。

【請求項 17】

請求項 16 において、

前記半導体膜は、In、Ga、Zn、および Sn から選ばれた二種以上を含む酸化物半導体膜であることを特徴とする半導体装置。

【請求項 18】

請求項 16 において、

前記不純物の量は $0.01 \text{ atomic \%}$ 以上 $10 \text{ atomic \%}$ 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。また、半導体装置に用いられる酸化物に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

10

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタの多くはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面积化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面积化には適していないという欠点を有している。

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、 $In-Ga-Zn-O$ 系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2で開示されている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

酸化物半導体はn型の導電性を有することが多く、また酸化物半導体膜の酸素欠損は、その一部がドナーとなりキャリアである電子を放出することが知られている。その結果、酸化物半導体膜をトランジスタの活性層に用いると、酸素欠損が原因でしきい値電圧がマイナス方向にシフトしてしまうことがある。また、酸化物半導体膜中に生じる酸素欠損は、僅かでもトランジスタのしきい値電圧をマイナスシフトさせるため、ノーマリーオンの電気特性となりやすい。

【0007】

そのため、酸化物半導体膜は、酸素欠損が生じないように形成する必要があるが、形成後の加熱処理や減圧下への暴露における、微量の酸素の放出までも抑制することは困難である。

40

【0008】

また、炭化シリコンや窒化ガリウムなどを活性層に用いたトランジスタにおいても、しきい値電圧の制御が困難であり、ノーマリーオンの電気特性となりやすいことが問題となっている。

【0009】

上記問題に鑑み、しきい値電圧の制御が困難な半導体膜を活性層に用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することを課題の一とする。

【課題を解決するための手段】

50

【0010】

本発明の一態様は、トランジスタの活性層と接する膜または活性層近傍の膜として、少なくとも負の固定電荷を有する酸化シリコン膜を用いることを技術的思想とする。

【0011】

負の固定電荷を有する酸化シリコン膜とは、例えば、アルミニウム濃度が0.01 atomic %以上10 atomic %以下、好ましくは0.02 atomic %以上5 atomic %以下、さらに好ましくは0.05 atomic %以上2 atomic %以下含まれる酸化シリコン膜のことをいう。また、負の固定電荷を有する酸化シリコン膜として、アルミニウムに代えて、ホウ素、ガリウム、インジウムなどの13族の元素が酸化シリコン膜に含まれていてもよい。

10

【0012】

トランジスタの活性層と接する膜または活性層近傍の膜に負の固定電荷を有する酸化シリコン膜を用いることで、負の固定電荷により活性層に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【0013】

以下に負の固定電荷を有する酸化シリコン膜の成膜方法を示す。例えば、酸化アルミニウムを酸化シリコン（石英）ターゲットに混ぜてスパッタリング法で成膜すればよい。または酸化シリコンターゲット上に酸化アルミニウム焼結体またはアルミニウム金属片を設置してスパッタリング法で成膜すればよい。または、酸化シリコンターゲットおよび酸化アルミニウムターゲットを用いた多元スパッタリング法によって成膜すればよい。

20

【0014】

具体的に、本発明の一態様は、ゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート絶縁膜上の一对の電極と、ゲート絶縁膜を介して、ゲート電極と少なくとも一部が重畳し、かつ一对の電極と少なくとも一部が接する半導体膜と、半導体膜上の絶縁膜と、を有し、ゲート絶縁膜および絶縁膜の少なくともいずれかが負の固定電荷を有する酸化シリコン膜を含む半導体装置である。

【0015】

上記構成において、負の固定電荷を有する酸化シリコン膜は、半導体膜側の表面電荷密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上 $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることが好ましい。また、負の固定電荷を有する酸化シリコン膜は、0.01 atomic %以上10 atomic %以下のアルミニウムを含むことが好ましい。また、負の固定電荷を有する酸化シリコン膜は、0.01 atomic %以上10 atomic %以下のアルミニウムを含む酸化シリコンターゲットを用いたスパッタリング法、または酸化アルミニウム焼結体が設置された酸化シリコンターゲットを用いたスパッタリング法により形成される。

30

【0016】

上記各構成において、半導体膜は、チャネル領域、ソース領域およびドレイン領域を有し、一对の電極は、絶縁膜に設けられた開口部を介して、半導体膜のソース領域およびドレイン領域とそれぞれ接する。

【0017】

また、本発明の一態様は、下地絶縁膜と、下地絶縁膜上の半導体膜と、半導体膜と一部が接する一对の電極と、半導体膜上のゲート絶縁膜と、ゲート絶縁膜を介して半導体膜と少なくとも一部が重畳するゲート電極と、を有し、下地絶縁膜およびゲート絶縁膜の少なくともいずれかが負の固定電荷を有する酸化シリコン膜を含む半導体装置である。

40

【0018】

上記構成において、負の固定電荷を有する酸化シリコン膜は、半導体膜側の表面電荷密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上 $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることが好ましい。また、負の固定電荷を有する酸化シリコン膜は、アルミニウムを0.01 atomic %以上10 atomic %以下含むことが好ましい。また、負の固定電荷を有する酸化シリコン膜は、0.01 atomic %以上10 atomic %以下のアルミニウムを含む酸化シリコ

50

ンターゲットを用いたスパッタリング法、または酸化アルミニウム焼結体が設置された酸化シリコンターゲットを用いたスパッタリング法により形成される。

【0019】

上記各構成において、半導体膜は、チャンネル領域、ソース領域およびドレイン領域を有し、一対の電極と半導体膜との間に絶縁膜を有し、一対の電極は、絶縁膜に設けられた開口部を介して、半導体膜の前記ソース領域およびドレイン領域とそれぞれ接する。

【0020】

上記各構成において、半導体膜は、In、Ga、Zn、およびSnから選ばれた二種以上を含む酸化物半導体膜であることが好ましい。

【発明の効果】

10

【0021】

しきい値電圧の制御が困難な半導体膜を活性層に用いたトランジスタに、安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図2】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図3】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図4】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図5】本発明の一態様である半導体装置の一例を示す上面図および断面図。

20

【図6】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図7】本発明の一態様であるトランジスタを用いた液晶表示装置の一例を示す回路図。

【図8】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図およびグラフ。

【図9】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図およびグラフ。

【図10】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図。

【図11】本発明の一態様であるトランジスタを用いたCPUの具体例を示すブロック図およびその一部の回路図。

30

【図12】本発明の一態様である電子機器の一例を示す斜視図。

【図13】本発明の一形態である負の固定電荷を有する酸化シリコン膜の成膜方法の一例を説明する図。

【図14】本発明の一形態におけるC-V特性を示す図。

【図15】本発明の一形態における酸化シリコン膜中のアルミニウム濃度と V_{fb} および酸化シリコン膜中のアルミニウム濃度と Q_{ss}/q の関係を示す図。

【図16】本発明の一形態におけるJ-E特性を示す図。

【図17】本発明の一形態における酸化シリコン膜のTDSスペクトルを示す図。

【発明を実施するための形態】

【0023】

40

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0024】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースと呼ぶ。すなわち、電位の高低によって、それらを区別しない。従って

50

、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【0025】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0026】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。

【0027】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0028】

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置であるトランジスタの一例について図1を用いて説明する。

【0029】

図1（A）はトランジスタの上面図である。図1（A）に示した一点鎖線A－Bおよび一点鎖線C－Dにおける断面は、それぞれ図1（B）に示すA－B断面および図1（C）に示すC－D断面に対応する。

【0030】

ここでは、図1（B）に示すA－B断面について詳細に説明する。

【0031】

半導体装置は、基板100と、基板100上のゲート電極104と、基板100およびゲート電極104を覆うゲート絶縁膜112と、ゲート絶縁膜112を介してゲート電極104上にある半導体膜106と、半導体膜106上にあり半導体膜106と一部が接する一対の電極116と、ゲート絶縁膜112、半導体膜106および一対の電極116を覆う層間絶縁膜118と、を有する。

【0032】

ゲート絶縁膜112は、少なくとも負の固定電荷を有する酸化シリコン膜を含む。また、負の固定電荷を有する酸化シリコン膜として、酸化シリコン膜に、アルミニウムに代えて、ホウ素、ガリウム、インジウムなどの13族の元素が酸化シリコン膜に含まれていてもよい。

【0033】

負の固定電荷を有する酸化シリコン膜とは、例えば、アルミニウム濃度が0.01 atomic %以上10 atomic %以下、好ましくは0.02 atomic %以上5 atomic %以下、さらに好ましくは0.05 atomic %以上2 atomic %以下含まれる酸化シリコン膜のことをいう。酸化シリコン膜中で、アルミニウムは負の固定電荷を生成する。酸化シリコン膜中のアルミニウム濃度が10 atomic %を超えても酸化シリコン膜中の負の固定電荷は大きく増加しない。反対に、アルミニウム濃度が高すぎること

【0034】

ここで、負の固定電荷を有する酸化シリコン膜の半導体膜106側の表面電荷密度は、 $1 \times 10^{10} \text{ cm}^{-2}$ 以上 $5 \times 10^{11} \text{ cm}^{-2}$ 以下、好ましくは $1 \times 10^{11} \text{ cm}^{-2}$ 以上 $3 \times 10^{11} \text{ cm}^{-2}$ 以下とする。

【0035】

酸化シリコン膜中のアルミニウムは、酸化シリコン膜を構成する酸素の一部と結合してい

10

20

30

40

50

てもよいし、酸化シリコン膜中の格子間に含まれていてもよい。

【0036】

アルミニウムを含む酸化シリコン膜は、例えば、アルミニウムを0.01 atomic %以上10 atomic %以下、好ましくは0.02 atomic %以上5 atomic %以下、さらに好ましくは0.05 atomic %以上2 atomic %以下含む酸化シリコンターゲットを用いてスパッタリング法で成膜すればよい。または酸化シリコンターゲット上に酸化アルミニウム焼結体またはアルミニウム金属片を適宜設置してスパッタリング法で成膜すればよい。なお、酸化シリコンターゲットに代えて、シリコンターゲットを用いても構わない。酸化アルミニウム焼結体またはアルミニウム金属片の設置量は、酸化シリコンターゲット、酸化アルミニウム焼結体またはアルミニウム金属片の成膜レートに応じて、酸化シリコン膜におけるアルミニウム濃度が0.01 atomic %以上10 atomic %以下、好ましくは0.02 atomic %以上5 atomic %以下、さらに好ましくは0.05 atomic %以上2 atomic %以下含まれるように設定すればよい。または、酸化シリコンターゲットおよび酸化アルミニウムターゲットを用いた多元スパッタリング法によって成膜すればよい。多元スパッタリング法を用いる場合、酸化シリコンターゲットおよび酸化アルミニウムターゲットに印加する電力によって成膜レートを調整し、アルミニウム濃度が前述の範囲に収まるよう成膜条件を選択すればよい。

10

【0037】

アルミニウムを含む酸化シリコン膜の成膜方法は、スパッタリング法に限定されるものではない。パルスレーザ堆積法、プラズマCVD法、分子線エピタキシー法などを適用しても構わない。

20

【0038】

例えば、イオンドーピング法またはイオン注入法などによって、酸化シリコン膜中にアルミニウムを添加させる場合、アルミニウムの添加と同時に酸化シリコン膜にダメージが入ってしまう。そのため、トランジスタの活性層と接する膜としては不適格である。即ち、ダメージが入った酸化シリコン膜は欠陥を多く含むことにより、トランジスタの電気特性を悪化させ、かつ信頼性を低下させてしまう。仮に、酸化シリコン膜の欠陥を修復するとしても、高温の熱処理を行うなど負荷の高いプロセスを行わなくてはならない。よって、スパッタリング法、パルスレーザ体積法などを用いて、成膜時にアルミニウムを含む酸化シリコン膜を成膜することにより、酸化シリコン膜にダメージを与えずにアルミニウムを添加することができるため、好ましい。

30

【0039】

また、アルミニウムを含む酸化シリコン膜中に、0.01 atomic %以上5 atomic %以下の窒素、希ガス（ヘリウム、ネオン、アルゴン、クリプトン、およびキセノンなど）、または炭素が含まれていてもよい。

【0040】

また、ゲート絶縁膜112は、負の固定電荷を有する酸化シリコン膜の単層構造で形成してもよいし、積層構造で形成してもよい。積層構造で形成する場合、負の固定電荷を有する酸化シリコン膜に加えて、酸化シリコン膜（意図的に負の固定電荷を含ませた酸化シリコン膜を除く）、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、または酸化ジルコニウム膜などを組み合わせて用いることができる。例えば、上述の膜は、熱酸化法、CVD法（プラズマCVD法、熱CVD法など）、スパッタリング法などで形成すればよい。ゲート絶縁膜112を積層構造で形成する場合には、半導体膜106と接する側の膜に、負の固定電荷を有する酸化シリコン膜を設けてもよいし、他の絶縁膜を介して負の固定電荷を有する酸化シリコン膜が設けられていてもよい。

40

【0041】

また、層間絶縁膜118も、少なくとも負の固定電荷を有する酸化シリコン膜を含むことが好ましい。ゲート絶縁膜112と同様に、層間絶縁膜118も、負の固定電荷を有する酸化シリコン膜の単層で形成してもよいし、積層構造で形成してもよい。積層構造で形成する場合、負の固定電荷を有する酸化シリコン膜に加えて、窒化シリコン膜、酸化アルミ

50

ニウム膜、酸化ハフニウム膜、酸化イットリウム膜、または酸化ジルコニウム膜などを組み合わせて用いることができる。例えば、上述の膜は、熱酸化法、CVD法（プラズマCVD法、熱CVD法など）、スパッタリング法などで形成すればよい。層間絶縁膜118を積層構造で形成する場合には、半導体膜106と接する側の膜に、負の固定電荷を有する酸化シリコン膜を設けてもよいし、他の絶縁膜を介して負の固定電荷を有する酸化シリコン膜が設けられていてもよい。

【0042】

なお、負の固定電荷を有する酸化シリコン膜は、ゲート絶縁膜112および層間絶縁膜118のいずれか一方に含まれていてもよく、両方に含まれていてもよい。例えば、層間絶縁膜118に、負の固定電荷を有する酸化シリコン膜が含まれている場合には、ゲート絶縁膜112は、他の絶縁膜を用いてもよい。

10

【0043】

負の固定電荷を有する酸化シリコン膜をゲート絶縁膜112および層間絶縁膜118のいずれか一方または両方に用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、チャネルを形成するためにゲートに印加する電圧を高くする必要がある。そのため、しきい値電圧をプラスシフトさせることができる。

【0044】

半導体膜106が酸化物半導体膜である場合、ゲート絶縁膜112および層間絶縁膜118のいずれか一方または両方に、加熱処理により酸素を放出する膜を用いることが好ましい。加熱処理により酸素を放出する膜を用いることで、半導体膜106に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。また、負の固定電荷を有する酸化シリコン膜が、加熱処理により酸素を放出する膜を兼ねていてもよいし、負の固定電荷を有する酸化シリコン膜とは別に、加熱処理により酸素を放出する膜を設けてもよい。

20

【0045】

本明細書等において、「加熱処理により酸素を放出する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上、好ましくは $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上であることをいう。

【0046】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

30

【0047】

TDS分析したときの気体の放出量は、イオン強度の積分値に比例する。このため、測定したイオン強度の積分値と、標準試料との比により、気体の放出量を計算することができる。標準試料の基準値とは、所定の密度の原子を含む試料において、当該原子に相当するイオン強度の積分値に対する当該原子の密度の割合である。

【0048】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量 (NO_2) は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

40

【0049】

$$\text{NO}_2 = \text{NH}_2 / \text{SH}_2 \times \text{SO}_2 \times \alpha \quad (\text{数式1})$$

【0050】

NH_2 は、標準試料から脱離した水素分子を密度で換算した値である。 SH_2 は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、N

50

H_2/S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した。

【0051】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

10

【0052】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0053】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン(SiO_X ($X > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_X ($X > 2$))とは、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)により測定した値である。

20

【0054】

ゲート絶縁膜112および層間絶縁膜118のいずれか一方または両方から酸化物半導体膜である半導体膜106に酸素が供給されることで、半導体膜106とゲート絶縁膜112との界面準位、半導体膜106と層間絶縁膜118との界面準位のいずれか一方または両方を低減できる。この結果、トランジスタの動作などに起因して、半導体膜106とゲート絶縁膜112との界面、半導体膜106と層間絶縁膜118との界面のいずれか一方または両方にキャリアが捕獲されることを抑制することができ、電気特性の劣化の少ないトランジスタを得ることができる。

【0055】

さらに、酸化物半導体膜の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。ゲート絶縁膜112または層間絶縁膜118から半導体膜106に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜の酸素欠損を低減することができる。

30

【0056】

即ち、ゲート絶縁膜112または層間絶縁膜118に、加熱処理により酸素を放出する膜を設けることで、半導体膜106とゲート絶縁膜112との界面の界面準位、または半導体膜106と層間絶縁膜118との界面の界面準位、ならびに酸化物半導体膜である半導体膜106の酸素欠損を低減し、酸化物半導体膜である半導体膜106とゲート絶縁膜112または層間絶縁膜118との界面におけるキャリア捕獲の影響を小さくすることができる。

40

【0057】

負の固定電荷を有する酸化シリコン膜を半導体膜106と接してまたは半導体膜106の近傍に設け、さらに、半導体膜106のしきい値電圧がマイナスシフトする要因をできる限り取り除くとより好ましい。

【0058】

基板100に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半

50

導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【0059】

基板100として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接トランジスタを作製すればよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0060】

ゲート電極104は、単層または積層構造とすればよく、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一以上選択し、単層または積層で用いればよい。また、ゲート電極104として酸化物を用いる場合は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上20 atomic %以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上7 atomic %以下の窒素を含んでもよい。例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上7 atomic %以下の窒素を含み、かつIn、GaおよびZnを含む酸化物膜を用いるとよい。酸化物膜をゲート電極104に用いる場合、酸化物膜は金属膜と比べて抵抗が高いため、ゲート電極全体の抵抗を低減するために、シート抵抗が $10 \Omega/\text{sq}$ 以下の低抵抗膜を積層して設けると好ましい。なお、単位が cm^{-3} の濃度はSIMS (Secondary Ion Mass Spectrometry) 分析によって定量化でき、単位がatomic %の濃度はXPS (X-ray Photoelectron Spectroscopy) 分析によって定量化できる。

【0061】

なお、図1ではゲート電極104が半導体膜106よりも縦、横ともに大きい形状にすることで半導体膜106の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。半導体膜106がゲート電極104よりも、上面図において縦および横ともに大きい形状としても構わない。

【0062】

半導体膜106として酸化物半導体膜を用いる場合、スパッタリング法、プラズマCVD法、PLD (Pulse Laser Deposition) 法、MBE (Molecular Beam Epitaxy) 法または蒸着法などを用い、例えば、In、Ga、ZnおよびSnから選ばれた二種以上を含む材料を用いればよい。

【0063】

酸化物半導体膜として、例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、In-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いればよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでもよい。このとき、酸化物半導体膜の化学量論比に対し、Oを過剰にすると好ましい。Oを過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

【0064】

なお、一例として、酸化物半導体膜としてIn-Zn-O系の材料を用いる場合、原子数比で、In:Zn=0.5以上50以下:1、好ましくはIn:Zn=1以上20以下:1、さらに好ましくはIn:Zn=3以上30以下:2とする。Znの原子数比を前述の範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、

化合物の原子数比が $I n : Z n : O = X : Y : Z$ のとき、 $Z > 1$ 、 $5 X + Y$ とすると好ましい。

【0065】

酸化物半導体膜として、化学式 $I n M O_3 (Z n O)_m$ ($m > 0$) で表記される材料を用いてもよい。ここで、 M は、 $G a$ 、 $A l$ 、 $M n$ および $C o$ から選ばれた一または複数の金属元素を示す。例えば、 M として、 $G a$ 、 $G a$ および $A l$ 、 $G a$ および $M n$ または $G a$ および $C o$ などを用いてもよい。

【0066】

酸化物半導体膜は、トランジスタのオフ電流を低減するため、バンドギャップが $2.5 e V$ 以上、好ましくは $3.0 e V$ 以上の材料を選択する。ただし、酸化物半導体膜に代えて、

10

【0067】

酸化物半導体膜は、水素、アルカリ金属およびアルカリ土類金属などが低減され、極めて不純物濃度の低い酸化物半導体膜である。そのため、酸化物半導体膜をチャネル領域に用いたトランジスタはオフ電流を小さくできる。

【0068】

酸化物半導体膜中の水素濃度は、 $5 \times 10^{18} cm^{-3}$ 未満、好ましくは $1 \times 10^{18} cm^{-3}$ 以下、より好ましくは $5 \times 10^{17} cm^{-3}$ 以下、さらに好ましくは $1 \times 10^{16} cm^{-3}$ 以下とする。

【0069】

アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちナトリウム ($N a$) は、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して $N a^+$ となる。また、 $N a$ は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリーオン化、電界効果移動度の低下などの、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタ特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が $1 \times 10^{18} cm^{-3}$ 以下、より好ましくは $1 \times 10^{17} cm^{-3}$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、 $N a$ 濃度の測定値は、 $5 \times 10^{16} cm^{-3}$ 以下、好ましくは $1 \times 10^{16} cm^{-3}$ 以下、更に好ましくは $1 \times 10^{15} cm^{-3}$ 以下とするとよい。同様に、リチウム ($L i$) 濃度の測定値は、 $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下とするとよい。同様に、カリウム (K) 濃度の測定値は、 $5 \times 10^{15} cm^{-3}$ 以下、好ましくは $1 \times 10^{15} cm^{-3}$ 以下とするとよい。

20

30

【0070】

以上に示した酸化物半導体膜を半導体膜 106 に用いることでトランジスタのオフ電流を小さくできる。具体的には、トランジスタのオフ電流を $1 \times 10^{-18} A$ 以下、または $1 \times 10^{-21} A$ 以下、または $1 \times 10^{-24} A$ 以下とすることができる。

40

【0071】

酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0072】

好ましくは、酸化物半導体膜は、 $C A A C - O S$ (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜とする。

【0073】

$C A A C - O S$ 膜は、完全な単結晶ではなく、完全な非晶質でもない。 $C A A C - O S$ 膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が $100 nm$ 未満の立方体内に収まる大きさであること

50

が多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OSS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OSS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OSS膜は、粒界に起因する電子移動度の低下が抑制される。

【0074】

CAAC-OSS膜に含まれる結晶部は、c軸がCAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

10

【0075】

なお、CAAC-OSS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OSS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OSS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0076】

CAAC-OSS膜に含まれる結晶部のc軸は、CAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OSS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OSS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

20

【0077】

CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0078】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

30

【0079】

また、半導体膜106として、酸化物半導体を用いる場合について説明したが、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い、炭化シリコンや窒化ガリウムなどの化合物半導体を用いてもよい。

【0080】

一対の電極116は、ゲート電極104で示した金属膜、金属窒化物膜、金属酸化物膜または合金膜などを単層でまたは積層で用いればよい。

【0081】

一対の電極116にCuを含む膜を用いると、配線の抵抗を低減でき、大型表示装置などでも配線遅延等の発生を低減することができる。一対の電極116にCuを用いる場合、基板100の材質によっては密着性が悪くなるため、基板100と密着性のよい膜との積層構造にすることが好ましい。基板100と密着性のよい膜として、Ti、Mo、Mn、CuまたはAlなどを含む膜を用いればよい。例えば、Cu-Mn-Al合金を用いてもよい。

40

【0082】

以上のように、半導体膜106と接する膜または半導体膜106の近傍の膜に負の固定電荷を有する酸化シリコン膜を用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、トランジスタのしきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体

50

装置を作製することができる。

【0083】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0084】

(実施の形態2)

本実施の形態では、実施の形態1に示したトランジスタとは異なる構造のトランジスタについて説明する。

【0085】

図2は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図2(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図2(B)に示すA-B断面および図2(C)に示すC-D断面に対応する。

10

【0086】

以下に、図2(B)に示すA-B断面について詳細に説明する。

【0087】

半導体装置は、基板100と、基板100上のゲート電極104と、基板100およびゲート電極104を覆うゲート絶縁膜112と、ゲート絶縁膜112上の一对の電極216と、ゲート絶縁膜112を介してゲート電極104上にある一对の電極216と一部が接する半導体膜206と、ゲート絶縁膜112、一对の電極216および半導体膜206を覆う層間絶縁膜218と、を有する。ここで、一对の電極216、半導体膜206および層間絶縁膜218は、実施の形態1で示した一对の電極116、半導体膜106および層間絶縁膜118と同様の構成とすればよい。

20

【0088】

負の固定電荷を有する酸化シリコン膜を、ゲート絶縁膜112および層間絶縁膜218のいずれか一方または両方に用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【0089】

また、ゲート絶縁膜112および層間絶縁膜218のいずれか一方または両方に、加熱処理により酸素を放出する膜を用いることが好ましい。加熱処理により酸素を放出する膜を用いることで、半導体膜106に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。負の固定電荷を有する酸化シリコン膜が、加熱処理により酸素を放出する膜を兼ねていてもよいし、負の固定電荷を有する酸化シリコン膜とは別に、加熱処理により酸素を放出する膜を設けてもよい。

30

【0090】

図3は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図3(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図3(B)に示すA-B断面および図3(C)に示すC-D断面に対応する。

【0091】

以下に、図3(B)に示すA-B断面について詳細に説明する。

40

【0092】

半導体装置は、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上の半導体膜306と、半導体膜306上にあり半導体膜306と一部が接する一对の電極316と、半導体膜306および一对の電極316を覆うゲート絶縁膜312と、ゲート絶縁膜312を介して半導体膜306上にあるゲート電極304と、を有する。ここで、一对の電極316、半導体膜306、ゲート電極304およびゲート絶縁膜312は、実施の形態1で示した一对の電極116、半導体膜106、ゲート電極104およびゲート絶縁膜112と同様の構成とすればよい。

【0093】

下地絶縁膜302は、負の固定電荷を有する酸化シリコン膜の単層構造で形成してもよい

50

し、積層構造で形成してもよい。積層構造で形成する場合、負の固定電荷を有する酸化シリコン膜に加えて、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、または酸化ジルコニウム膜などを組み合わせて用いることができる。例えば、上述の膜は、熱酸化法、CVD法（プラズマCVD法、熱CVD法など）、スパッタリング法などで形成すればよい。ゲート絶縁膜312を積層構造で形成する場合には、半導体膜306と接する側の膜に、負の固定電荷を有する酸化シリコン膜を設けてもよいし、他の絶縁膜を介して負の固定電荷を有する酸化シリコン膜が設けられていてもよい。

【0094】

負の固定電荷を有する酸化シリコン膜を、下地絶縁膜302およびゲート絶縁膜312のいずれか一方または両方に用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

10

【0095】

また、下地絶縁膜302およびゲート絶縁膜312のいずれか一方または両方に、加熱処理により酸素を放出する膜を用いることが好ましい。加熱処理により酸素を放出する膜を用いることで、半導体膜306に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。負の固定電荷を有する酸化シリコン膜が、加熱処理により酸素を放出する膜を兼ねていてもよいし、負の固定電荷を有する酸化シリコン膜とは別に、加熱処理により酸素を放出する膜を設けてもよい。

20

【0096】

図4は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図4(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図4(B)に示すA-B断面および図4(C)に示すC-D断面に対応する。

【0097】

以下に、図4(B)に示すA-B断面について詳細に説明する。

【0098】

半導体装置は、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上の一对の電極416と、一对の電極416上にあり一对の電極416と一部が接する半導体膜406と、半導体膜406および一对の電極416を覆うゲート絶縁膜412と、ゲート絶縁膜412を介して半導体膜406上にあるゲート電極404と、を有する。ここで、一对の電極416、半導体膜406、ゲート電極404およびゲート絶縁膜412は、実施の形態1で示した一对の電極116、半導体膜106、ゲート電極104およびゲート絶縁膜112と同様の構成とすればよい。

30

【0099】

下地絶縁膜302およびゲート絶縁膜412に実施の形態1で示した負の固定電荷を有する酸化シリコン膜を用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。

【0100】

なお、図4ではゲート電極404が半導体膜406よりも縦、横ともに大きい形状にすることで半導体膜406の光による劣化、電荷の発生を抑制しているが、これに限定されるものではない。半導体膜406がゲート電極404よりも、上面図において縦および横ともに大きい形状としても構わない。なお、図2に示すゲート電極104、半導体膜206、図3に示すゲート電極304、半導体膜306についても同様である。

40

【0101】

図5は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図5(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図5(B)に示すA-B断面および図5(C)に示すC-D断面に対応する。

【0102】

以下に、図5(B)に示すA-B断面について詳細に説明する。

50

【0103】

半導体装置は、基板100と、基板100上の下地絶縁膜302と、下地絶縁膜302上の領域526および領域521を有する半導体膜506と、領域521上のゲート絶縁膜512と、ゲート絶縁膜512上のゲート電極504と、下地絶縁膜302、領域526、ゲート絶縁膜512およびゲート電極504を覆う層間絶縁膜518と、層間絶縁膜518に設けられた領域526を露出する開口部を介して領域526と接する一対の電極516と、を有する。ここで、一対の電極516、半導体膜506、ゲート電極504、層間絶縁膜518およびゲート絶縁膜512は、実施の形態1で示した一対の電極116、半導体膜106、ゲート電極104、層間絶縁膜118およびゲート絶縁膜112と同様の構成とすればよい。

10

【0104】

負の固定電荷を有する酸化シリコン膜を、下地絶縁膜302およびゲート絶縁膜512のいずれか一方または両方に用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【0105】

また、下地絶縁膜302およびゲート絶縁膜512のいずれか一方または両方に、加熱処理により酸素を放出する膜を用いることが好ましい。加熱処理により酸素を放出する膜を用いることで、半導体膜506に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。負の固定電荷を有する酸化シリコン膜が、加熱処理により酸素を放出する膜を兼ねていてもよいし、負の固定電荷を有する酸化シリコン膜とは別に、加熱処理により酸素を放出する膜を設けてもよい。

20

【0106】

ここで、ゲート絶縁膜512およびゲート電極504は概略同一の上面形状としてもよい。この形状は、ゲート電極504およびゲート絶縁膜512を同一のマスクを用いて加工することで得られる。なお、ゲート電極504およびゲート絶縁膜512を形成後、プラズマ処理または薬液処理によってゲート電極504の幅を細くしても構わない。

【0107】

図示しないが、ゲート絶縁膜512が半導体膜506を覆う形状であっても構わない。

30

【0108】

領域521は、ゲート絶縁膜512またはゲート電極504と概略同一の上面形状としてもよい。この形状は、ゲート絶縁膜512またはゲート電極504をマスクに半導体膜506の領域526を形成することで得られる。例えば、ゲート絶縁膜512またはゲート電極504をマスクに、半導体膜506に直接的にまたは間接的にキャリアを生成する不純物（ボロン、リン、水素、希ガス、窒素など）を導入し、低抵抗化された領域を領域526とすることができる。なお、領域521は、領域526以外の領域である。

【0109】

領域521は、トランジスタのチャネル領域としての機能を有する。また、領域526は、トランジスタのソース領域およびドレイン領域としての機能を有する。

40

【0110】

図6は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図6(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図6(B)に示すA-B断面および図6(C)に示すC-D断面に対応する。

【0111】

以下に、図6(B)に示すA-B断面について詳細に説明する。

【0112】

半導体装置は、基板100と、基板100上の基板上のゲート電極604と、ゲート電極604上のゲート絶縁膜612と、ゲート絶縁膜612を介してゲート電極604上にある領域626および領域621を有する半導体膜606と、該半導体膜606およびゲート

50

ト絶縁膜 612 を覆う層間絶縁膜 618 と、層間絶縁膜 618 に設けられた領域 626 を露出する開口部を介して領域 626 と接する一対の電極 616 と、を有する。ここで、一対の電極 616、半導体膜 606、ゲート電極 604、層間絶縁膜 618 およびゲート絶縁膜 612 は、実施の形態 1 で示した一対の電極 116、半導体膜 106、ゲート電極 104、層間絶縁膜 118 およびゲート絶縁膜 112 と同様の構成とすればよい。また、領域 621 および領域 626 は領域 521 および領域 526 と同様の構成とすればよい。

【0113】

負の固定電荷を有する酸化シリコン膜を、ゲート絶縁膜 612 および層間絶縁膜 618 のいずれか一方または両方に用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、しきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

10

【0114】

また、ゲート絶縁膜 612 および層間絶縁膜 618 のいずれか一方または両方に、加熱処理により酸素を放出する膜を用いることが好ましい。加熱処理により酸素を放出する膜を用いることで、半導体膜 606 に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。負の固定電荷を有する酸化シリコン膜が、加熱処理により酸素を放出する膜を兼ねていてもよいし、負の固定電荷を有する酸化シリコン膜とは別に、加熱処理により酸素を放出する膜を設けてもよい。

【0115】

図 6 は、ゲート絶縁膜 612 およびゲート電極 604 と領域 621 が概略同一の上面形状として図示されているが、これに限定されない。ゲート絶縁膜 612 およびゲート電極 604 と領域 621 の形状が異なっても構わない。

20

【0116】

以上のように、半導体膜 106 と接する膜または半導体膜 106 の近傍の膜に負の固定電荷を有する酸化シリコン膜を用いることで、負の固定電荷によりチャネル領域に負の電界が常に重畳していることになり、トランジスタのしきい値電圧をプラスシフトさせることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【0117】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

30

【0118】

(実施の形態 3)

本実施の形態では、実施の形態 1 または実施の形態 2 に示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、E L (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到しうるものである。

【0119】

図 7 にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線 S L _ 1 乃至 S L _ a、ゲート線 G L _ 1 乃至 G L _ b および複数の画素 200 を有する。画素 200 は、トランジスタ 230 と、キャパシタ 220 と、液晶素子 210 と、を含む。こうした画素 200 が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線 S L またはゲート線 G L と記載することもある。

40

【0120】

トランジスタ 230 は、実施の形態 1 または実施の形態 2 で示したトランジスタを用いる。本発明の一態様であるトランジスタを用いることで、消費電力が小さく、電気特性が良好かつ信頼性の高い表示装置を得ることができる。

【0121】

50

ゲート線 G L はトランジスタ 2 3 0 のゲートと接続し、ソース線 S L はトランジスタ 2 3 0 のソース電極と接続し、トランジスタ 2 3 0 のドレイン電極は、キャパシタ 2 2 0 の一方の容量電極および液晶素子 2 1 0 の一方の画素電極と接続する。キャパシタ 2 2 0 の他方の容量電極および液晶素子 2 1 0 の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線 G L と同一層かつ同一材料で設けてもよい。

【0122】

また、ゲート線 G L は、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態 1 または実施の形態 2 に示したトランジスタを含んでもよい。該トランジスタはしきい値電圧が制御されているため、トランジスタをオン状態にするための電圧を小さくすることができる。そのため、消費電力を低減することができる。

10

【0123】

また、ソース線 S L は、ソース駆動回路と接続される。ソース駆動回路は、実施の形態 1 または実施の形態 2 に示したトランジスタを含んでもよい。該トランジスタはしきい値電圧が制御されているため、オフ電流を小さくでき、またトランジスタをオン状態にするための電圧を小さくすることができる。そのため、消費電力を低減することができる。

【0124】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG (Chip On Glass)、ワイヤボンディング、またはTAB (Tape Automated Bonding) などの方法を用いて接続してもよい。

20

【0125】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0126】

ゲート線 G L にトランジスタ 2 3 0 のしきい値電圧以上になるように電位を印加すると、ソース線 S L から供給された電荷がトランジスタ 2 3 0 のドレイン電流となってキャパシタ 2 2 0 に電荷が蓄積される。一列分の充電後、該列にあるトランジスタ 2 3 0 はオフ状態となり、ソース線 S L から電圧が掛からなくなるが、キャパシタ 2 2 0 に蓄積された電荷によって必要な電圧を維持することができる。その後、次の列のキャパシタ 2 2 0 の充電に移る。このようにして、1 列から a 列の充電を行う。

30

【0127】

なお、トランジスタ 2 3 0 にオフ電流の小さなトランジスタを用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像（静止画を含む。）では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ 2 2 0 の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【0128】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい液晶表示装置を得ることができる。

【0129】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

40

【0130】

（実施の形態 4）

本実施の形態では、実施の形態 1 または実施の形態 2 に示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0131】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する DRAM (Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持する SRAM (Static Random Access Memory) が

50

ある。

【0132】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持することで記憶を行うフラッシュメモリがある。

【0133】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態1または実施の形態2で示したトランジスタを適用することができる。

【0134】

まずは、実施の形態1または実施の形態2で示したトランジスタを適用したDRAMについて図8を用いて説明する。

10

【0135】

DRAMは、ビット線BLと、ワード線WLと、センスアンプSampと、トランジスタTrと、キャパシタCと、を有する(図8(A)参照。)

【0136】

キャパシタに保持された電圧の時間変化は、トランジスタTrのオフ電流によって図8(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電圧は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T₁とする。即ち、2値DRAMの場合、保持期間T₁の間にリフレッシュをする必要がある。

20

【0137】

ここで、トランジスタTrに実施の形態1または実施の形態2で示したトランジスタを適用すると、しきい値電圧が制御されており、かつオフ電流が小さいため、保持期間T₁を長くすることができる。即ち、リフレッシュ期間を長くすることが可能となるため、消費電力を低減することができる。例えば、高純度化されオフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となった酸化物半導体膜を用いたトランジスタでDRAMを構成すると、電力を供給せずに数日間～数十年間に渡ってデータを保持することが可能となる。

【0138】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さいDRAMを得ることができる。

30

【0139】

次に、実施の形態1または実施の形態2で示したトランジスタを適用した不揮発性メモリについて図9を用いて説明する。

【0140】

図9(A)は、NOR型不揮発性メモリの回路図である。不揮発性メモリは、トランジスタTr₁と、トランジスタTr₁のゲートと接続するゲート線GL₁と、トランジスタTr₁のソースと接続するソース線SL₁と、トランジスタTr₂と、トランジスタTr₂のソースと接続するソース線SL₂と、トランジスタTr₂のドレインと接続するドレイン線DL₂と、キャパシタCと、キャパシタCの一端と接続する容量線CLと、キャパシタCの他端、トランジスタTr₁のドレインおよびトランジスタTr₂のゲートと接続するフローティングゲートFGと、を有する。

40

【0141】

なお、本実施の形態に示す不揮発性メモリは、フローティングゲートFGの電圧に応じて、トランジスタTr₂のしきい値電圧が変動することを利用したものである。例えば、図9(B)は容量線CLの電圧V_{CL}と、トランジスタTr₂を流れるドレイン電流I_{ds2}との関係を説明する図である。

【0142】

ここで、フローティングゲートFGは、トランジスタTr₁を介して、電圧を調整することができる。例えば、SL₁の電圧をV_{DD}とする。このとき、ゲート線GL₁の

50

電圧をトランジスタ $T r_1$ のしきい値電圧 V_{th} に V_{DD} を加えた電圧以上とすることで、フローティングゲート FG の電圧を $HIGH$ にすることができる。また、ゲート線 GL_1 の電圧をトランジスタ $T r_1$ のしきい値電圧 V_{th} 以下とすることで、フローティングゲート FG の電圧を LOW にすることができる。

【0143】

そのため、 $FG=LOW$ で示した $V_{CL}-I_{ds_2}$ カーブと、 $FG=HIGH$ で示した $V_{CL}-I_{ds_2}$ カーブのいずれかを得ることができる。即ち、 $FG=LOW$ では、 $V_{CL}=0V$ にて I_{ds_2} が小さいため、データ 0 となる。また、 $FG=HIGH$ では、 $V_{CL}=0V$ にて I_{ds_2} が大きいため、データ 1 となる。このようにして、データを記憶することができる。

10

【0144】

ここで、トランジスタ $T r_1$ に実施の形態 1 または実施の形態 2 で示したトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、フローティングゲート FG に蓄積された電荷がトランジスタ $T r_1$ を通して意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様を用いることでトランジスタ $T r_1$ のしきい値電圧が制御されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

【0145】

なお、トランジスタ $T r_2$ に、実施の形態 1 または実施の形態 2 で示したトランジスタを適用しても構わない。

20

【0146】

次に、図 9 に示した不揮発性メモリにおいて、キャパシタを含まない構成について図 10 を用いて説明する。

【0147】

図 10 は、 NOR 型不揮発性メモリの回路図である。不揮発性メモリは、トランジスタ $T r_1$ と、トランジスタ $T r_1$ のゲートと接続するゲート線 GL_1 と、トランジスタ $T r_1$ のソースと接続するソース線 SL_1 と、トランジスタ $T r_2$ と、トランジスタ $T r_2$ のソースと接続するソース線 SL_2 と、トランジスタ $T r_2$ のドレインと接続するドレイン線 DL_2 と、トランジスタ $T r_1$ のドレインと接続するトランジスタ $T r_2$ のゲートと、を有する。

30

【0148】

トランジスタ $T r_1$ にオフ電流の小さなトランジスタを用いる場合、キャパシタを設けなくてもトランジスタ $T r_1$ のドレインとトランジスタ $T r_2$ のゲートの間に電荷を保持できる。キャパシタを設けない構成であるため、小面積化が可能となり、キャパシタを設けた場合と比べ集積化することができる。

【0149】

また、本実施の形態では、配線を 4 本または 5 本用いる NOR 型不揮発性メモリを示したが、これに限定されるものではない。例えば、ソース線 SL_1 とドレイン線 DL_2 を共通にする構成としても構わない。また、 $NAND$ 型不揮発性メモリに本発明の一態様を適用しても構わない。

40

【0150】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0151】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0152】

(実施の形態 5)

酸化物半導体を活性層に用いたトランジスタを少なくとも一部に用いて CPU (Central Processing Unit) を構成することができる。

50

【0153】

図11(A)は、CPUの具体的な構成を示すブロック図である。図11(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic Logic Unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図11(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

10

【0154】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0155】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0156】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

30

【0157】

図11(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態4に記載されている記憶素子を用いることができる。

【0158】

図11(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

40

【0159】

電源停止に関しては、図11(B)または図11(C)に示すように、記憶素子群と、電源電位 V_{DD} または電源電位 V_{SS} の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図11(B)および図11(C)の回路の説明を行う。

【0160】

図11(B)および図11(C)では、記憶素子への電源電位の供給を制御するスイッチ

50

ング素子に、酸化物半導体を活性層に用いたトランジスタを含む記憶回路の構成の一例を示す。

【0161】

図11(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、各記憶素子1142には、実施の形態4に記載されている記憶素子を用いることができる。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位 V_{DD} が供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位 V_{SS} の電位が与えられている。

【0162】

図11(B)では、スイッチング素子1141として、酸化物半導体などのバンドギャップの大きい半導体を活性層に有するトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号SigAによりスイッチングが制御される。

【0163】

なお、図11(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わせられて接続されていてもよい。

【0164】

また、図11(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位 V_{DD} の供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位 V_{SS} の供給が制御されていてもよい。

【0165】

また、図11(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位 V_{SS} が供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位 V_{SS} の供給を制御することができる。

【0166】

記憶素子群と、電源電位 V_{DD} または電源電位 V_{SS} の与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

【0167】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

【0168】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0169】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態3を適用した電子機器の例について説明する。

【0170】

図12(A)は携帯型情報端末である。筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、表示部9303およびカメラ

10

20

30

40

50

9305に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一態様を適用することもできる。

【0171】

図12(B)は、ディスプレイである。筐体9310と、表示部9311と、を具備する。本発明の一態様は、表示部9311に適用することができる。本発明の一態様を用いることで、表示部9311のサイズを大きくしたときにも表示品位の高いディスプレイとすることができる。

【0172】

図12(C)は、デジタルスチルカメラである。筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一態様は、表示部9323に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一態様を適用することもできる。

10

【0173】

本発明の一態様を用いることで、電子機器のコストを下げるることができる。また表示品位の高い表示装置を得ることができる。

【0174】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【実施例1】

【0175】

本実施例では、本発明の一態様である負の固定電荷を有する酸化シリコン膜の物性について説明する。

20

【0176】

負の固定電荷を有する酸化シリコン膜は、酸化アルミニウム焼結体を設置した酸化シリコンターゲットを用いて作製した。具体的には、図13(A)に示す配置で直径300mmの円形状の酸化シリコンターゲット4001上に10mm×10mmの酸化アルミニウム焼結体4002を24個設置した。なお、酸化アルミニウム焼結体4002の設置箇所は、酸化シリコンターゲット4001に形成されることになるエロージョン領域と重畳する。

【0177】

ここで、酸化シリコンターゲット4001、酸化アルミニウム焼結体4002および基板4003の位置関係を示す。図13(B)は図13(A)の一点鎖線A-Bに対応した断面A-Bである。基板4003を図13(A)および図13(B)の位置に設置することで、酸化シリコン膜に、アルミニウムを意図的に添加し、基板4003面内に、アルミニウムの濃度勾配を有する酸化シリコン膜を成膜した。また、比較例として上記と同じ酸化シリコンターゲット4001を用い、酸化アルミニウム焼結体を設置せずに、酸化シリコン膜を成膜した基板を用意した。

30

【0178】

酸化シリコン膜は、スパッタリング法を用いて、基板4003上に、100nmの厚さで成膜した。基板4003とターゲット間の距離を60mmとし、DC電源を用いて2kWの電力とし、圧力0.4Paにて成膜した。また、成膜中の基板温度を、100℃とし、スパッタリングガスは、アルゴンの流量を25sccm、酸素の流量を25sccmとした。なお、基板4003は、シリコンウェハを用いた。

40

【0179】

基板4003において、point4011、point4012、point4013、point4014での酸化シリコン膜のアルミニウム濃度をそれぞれ、条件1、条件2、条件3、条件4とした(図13(C))。また、アルミニウムが添加されていない酸化シリコン膜は条件5とした。

【0180】

条件1から条件5の酸化シリコン膜中のアルミニウム濃度を、ICP-MS(Inductively Coupled Plasma Mass Spectrometry)

50

で定量化し、その結果を表 1 に示す。なお、 cm^{-3} 単位を $\text{atomic}\%$ に換算する際に、酸化シリコン膜の膜密度は別途行った RBS により導出した値 $6.4 \times 10^{22} \text{cm}^{-3}$ を用いた。なお、ICP-MS のサンプルは基板面内の平均膜厚が 100nm 程度となるように酸化シリコン膜を成膜した。

【0181】

【表 1】

	条件1	条件2	条件3	条件4	条件5
アルミニウム 濃度 [cm^{-3}]	6.5×10^{19}	1.2×10^{20}	2.0×10^{20}	5.6×10^{20}	7.4×10^{17}
アルミニウム 濃度 [atomic%]	0.10	0.19	0.32	0.88	0

10

【0182】

表 1 に示すように、酸化シリコンターゲット上に酸化アルミニウム焼結体を設置する位置や量によって、酸化シリコン膜中のアルミニウム濃度を制御することができることが示された。また、基板面内において、酸化シリコン膜に含まれるアルミニウムの濃度を異ならせることができることが示された。

【0183】

条件 1 乃至条件 4 で成膜した酸化シリコン膜を用いて、MOS (Metal Oxide Semiconductor) キャパシタを作製し、C-V (Capacitance-Voltage) 測定を行った。なお、MOS キャパシタは基板面内の平均膜厚が 100nm 程度となるように酸化シリコン膜を成膜し、その酸化シリコン膜上に直径が 1mm の円形状に加工されたアルミニウムチタン (チタン $1 \text{weight}\%$) を形成することで作製した。また、比較例として、アルミニウムが添加されていない条件 5 で成膜した酸化シリコン膜を用いて、MOS キャパシタを作製し、C-V 測定を行った。

20

【0184】

それぞれの条件において、基板に n 型シリコンウェハおよび p 型シリコンウェハを用いた 2 種類の MOS キャパシタを作製した。なお、C-V 測定前に MOS キャパシタに対し、 100% 水素雰囲気、 350°C にて 1 時間の水素化処理を行った。

【0185】

ここで、図 14 (A) は n 型シリコンウェハを用いたとき、図 14 (B) は p 型シリコンウェハを用いたときの C-V カーブである。縦軸は酸化膜の容量値で規格化した容量値 (C/C_{OX})、横軸はゲート電極であるアルミニウムチタンに印加した電圧 (V_g) を示す。

30

【0186】

図 14 (A) において、4021 は条件 1 の C-V カーブであり、4022 は条件 2 の C-V カーブであり、4023 は条件 3 の C-V カーブであり、4024 は条件 4 の C-V カーブであり、4025 は条件 5 の C-V カーブである。また、図 14 (B) において、4031 は条件 1 の C-V カーブであり、4032 は条件 2 の C-V カーブであり、4033 は条件 3 の C-V カーブであり、4034 は条件 4 の C-V カーブであり、4035 は条件 5 の C-V カーブである。

40

【0187】

n 型シリコンウェハを用いたときの C-V カーブから導出したフラットバンド電圧 (V_{fb})、酸化膜容量値 (C_{OX})、酸化膜の膜厚 (t_{OX})、比誘電率 (ϵ_{OX}) および界面電荷密度 (Q_{SS}/q) を表 2 に、p 型シリコンウェハを用いたときの C-V カーブから導出した V_{fb} 、 C_{OX} 、 t_{OX} 、 ϵ_{OX} および Q_{SS}/q を表 3 にそれぞれ示す。

【0188】

【表 2】

	条件1	条件2	条件3	条件4	条件5
V_{fb} [V]	0.84	0.91	1.11	1.22	-0.64
C_{ox} [F]	2.6×10^{-10}	2.6×10^{-10}	2.7×10^{-10}	2.8×10^{-10}	2.6×10^{-10}
t_{ox} [nm]	101	101	97	94	102
ϵ_{ox}	3.81	3.82	3.80	3.81	3.82
Q_{ss}/q [cm ⁻²]	1.9×10^{11}	2.1×10^{11}	2.6×10^{11}	2.9×10^{11}	1.1×10^{11}

【0189】

10

【表 3】

	条件1	条件2	条件3	条件4	条件5
V_{fb} [V]	0.39	0.56	0.65	0.68	-1.38
C_{ox} [F]	2.6×10^{-10}	2.6×10^{-10}	2.7×10^{-10}	2.8×10^{-10}	2.6×10^{-10}
t_{ox} [nm]	101	101	97	94	101
ϵ_{ox}	3.80	3.82	3.80	3.81	3.74
Q_{ss}/q [cm ⁻²]	2.1×10^{11}	2.5×10^{11}	2.8×10^{11}	3.0×10^{11}	1.5×10^{11}

【0190】

20

なお、 C_{ox} 、 t_{ox} および ϵ_{ox} の関係は数式 2 に示す通りである。ここでは、C-V 測定により C_{ox} を、光干渉式膜厚測定機（NANO Metrics 社製 NanoSpec 6100）にて膜厚測定を行うことにより t_{ox} を導出し、数式 2 を適用して ϵ_{ox} を算出した。

【0191】

【数 1】

$$C_{ox} = \frac{S}{t_{ox}} \cdot \epsilon_0 \cdot \epsilon_{ox} \quad (\text{数式 2})$$

30

【0192】

ここで、 S はゲート電極面積、 ϵ_0 は真空の誘電率である。

【0193】

また、 Q_{ss}/q と C_{ox} 、 t_{ox} 、 V_{fb} の関係を数式 3 に示す。

【0194】

【数 2】

$$\frac{Q_{ss}}{q} = \frac{C_{ox}}{S \times q} |\phi_{MS} - V_{fb}| \quad (\text{数式 3})$$

40

【0195】

ここで、 q は電気素量、 ϕ_{MS} はゲート電極の仕事関数からシリコンウェハの仕事関数を引いた値である。なお、ゲート電極であるアルミニウムチタンの仕事関数は大気中光電子分光装置（理研計器株式会社製 AC-2）にて測定したところ、4.26 eV であった。また、n 型シリコンウェハおよび p 型シリコンウェハの仕事関数を抵抗率から導出すると、それぞれ 4.34 eV および 4.90 eV であった。即ち、 ϕ_{MS} は、n 型シリコンウェハでは -0.084 eV、p 型シリコンウェハでは -0.641 eV と見積もれる。

【0196】

ここで、 V_{fb} が ϕ_{MS} と一致すると、酸化膜中に固定電荷が存在しないことになる。条件 1 から条件 4 は、 V_{fb} が ϕ_{MS} よりも小さいため、負の固定電荷を有することがわか

50

る。一方、条件 5 は、 V_{fb} が ϕ_{ms} よりも大きいと、正の固定電荷を有することがわかる。

【0197】

次に、酸化シリコン膜中のアルミニウム濃度と V_{fb} の関係および酸化シリコン膜中のアルミニウム濃度と Q_{ss}/q の関係を、それぞれ図 15 (A) および図 15 (B) に示す。ここで、 n 型シリコンウェハの V_{fb} を黒抜き丸で、 p 型シリコンウェハの V_{fb} を黒丸で示す。

【0198】

図 15 (A) より、酸化シリコン膜中のアルミニウム濃度が高くなるに従い、 n 型シリコンウェハ、 p 型シリコンウェハによらず V_{fb} が高くなることがわかる。また、図 15 (B) より、酸化シリコン膜中のアルミニウム濃度が高くなるに従い、 n 型シリコンウェハ、 p 型シリコンウェハによらず酸化シリコン膜中の負の固定電荷が増加することがわかる。

10

【0199】

次に、 $C-V$ 測定に使った MOS 基板を用いて、 $J-E$ (電流密度-電界強度) 測定を行った。

【0200】

図 16 には、代表的にアルミニウム濃度がもっとも高い条件 4 の酸化シリコン膜における $J-E$ カーブを示す。図 16 (A) は n 型シリコンウェハを用いた場合を、図 16 (B) は p 型シリコンウェハを用いた場合である。図 16 より、条件 4 の酸化シリコン膜はトランジスタの動作に耐える十分な耐圧を有することがわかる。

20

【0201】

次に、ガラス基板上にアルミニウムの濃度勾配を有する酸化シリコン膜 (条件 1 乃至条件 4 で作製した膜を含む) について TDS を行い、酸素放出量を調査した。代表として条件 1 の TDS スペクトルを図 17 に示す。ここで、図 17 (A) は $m/z = 16$ における TDS スペクトル、図 17 (B) は $m/z = 32$ における TDS スペクトルである。

【0202】

得られた TDS スペクトルより、酸化シリコン膜における単位体積あたりの酸素放出量を算出すると、条件 1 は $1.7 \times 10^{20} \text{ cm}^{-3}$ 、条件 2 は $1.5 \times 10^{20} \text{ cm}^{-3}$ 、条件 3 は $1.6 \times 10^{20} \text{ cm}^{-3}$ 、条件 4 は $1.7 \times 10^{20} \text{ cm}^{-3}$ であった。この結果より、条件 1 から条件 4 で得られた酸化シリコン膜は加熱処理により酸素放出する膜であることがわかる。

30

【0203】

本実施例より、酸化シリコン膜に添加されるアルミニウムの量を増加させることにより、負の固定電荷が増加することがわかった。また、酸化シリコン膜の成膜時にアルミニウムを添加することによって、酸化シリコン膜の特性を低下させないことがわかった。

【符号の説明】

【0204】

100	基板
104	ゲート電極
106	半導体膜
112	ゲート絶縁膜
116	電極
118	層間絶縁膜
200	画素
206	半導体膜
210	液晶素子
216	電極
218	層間絶縁膜
220	キャパシタ

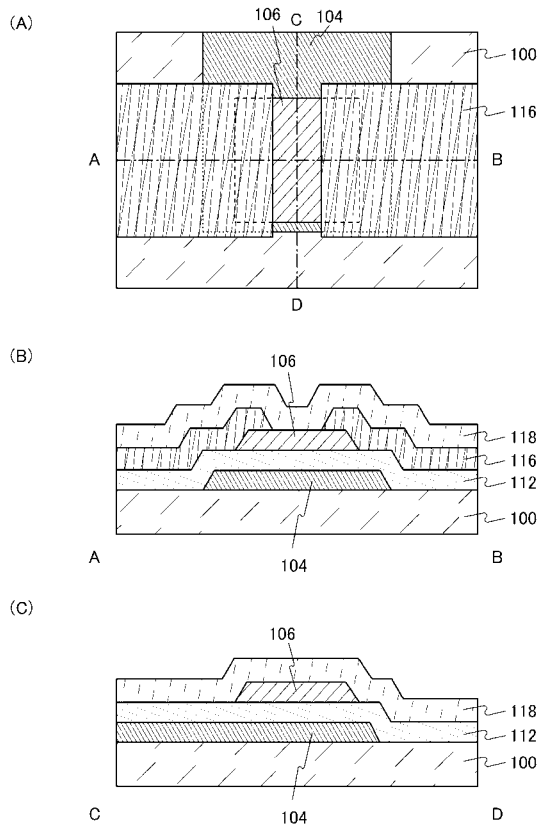
40

50

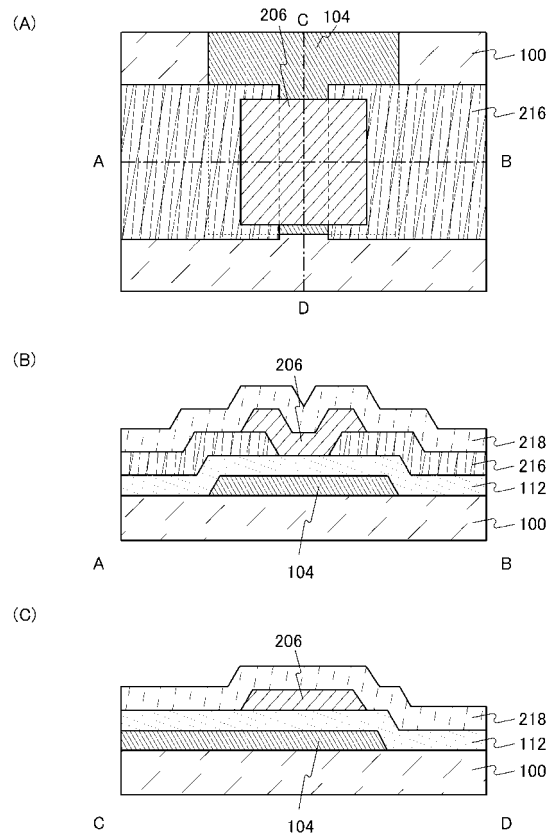
2 3 0	トランジスタ	
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 6	半導体膜	
3 1 2	ゲート絶縁膜	
3 1 6	電極	
4 0 4	ゲート電極	
4 0 6	半導体膜	
4 1 2	ゲート絶縁膜	
4 1 6	電極	10
5 0 4	ゲート電極	
5 0 6	半導体膜	
5 1 2	ゲート絶縁膜	
5 1 6	電極	
5 1 8	層間絶縁膜	
5 2 1	領域	
5 2 6	領域	
6 0 4	ゲート電極	
6 0 6	半導体膜	
6 1 2	ゲート絶縁膜	20
6 1 6	電極	
6 1 8	層間絶縁膜	
6 2 1	領域	
6 2 6	領域	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	30
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
4 0 0 1	酸化シリコンターゲット	
4 0 0 2	酸化アルミニウム焼結体	40
4 0 0 3	基板	
4 0 1 1	point	
4 0 1 2	point	
4 0 1 3	point	
4 0 1 4	point	
9 3 0 0	筐体	
9 3 0 1	ボタン	
9 3 0 2	マイクロフォン	
9 3 0 3	表示部	
9 3 0 4	スピーカ	50

9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部

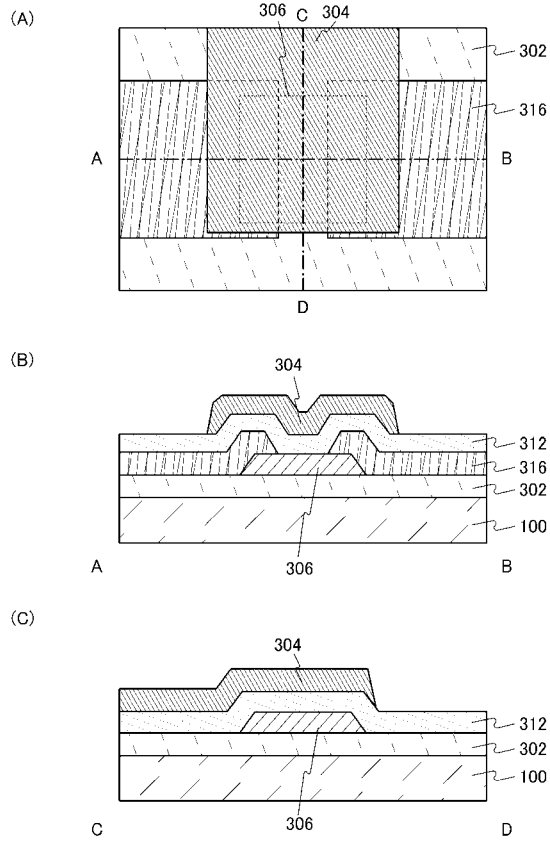
【図 1】



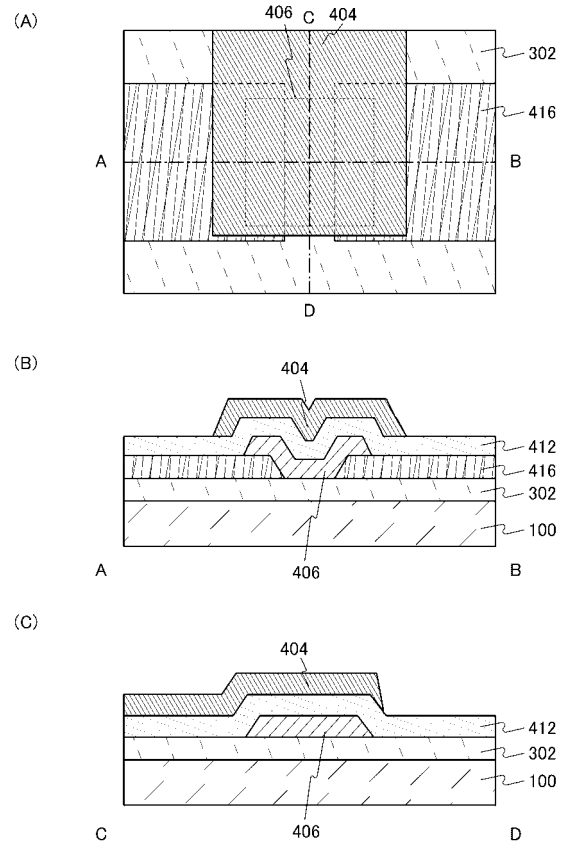
【図 2】



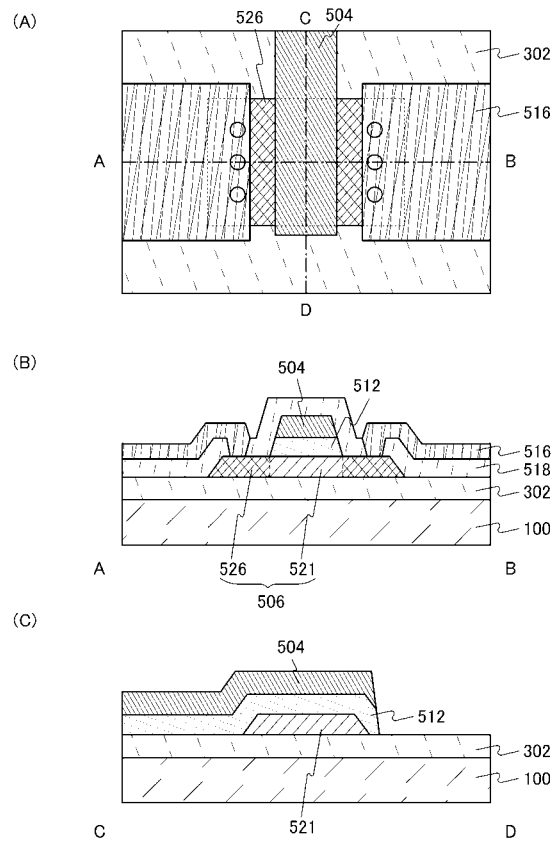
【図 3】



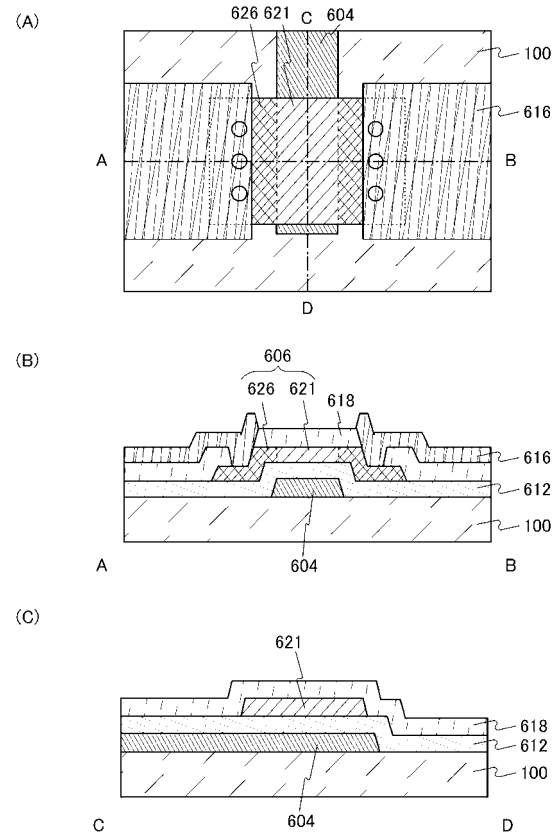
【図 4】



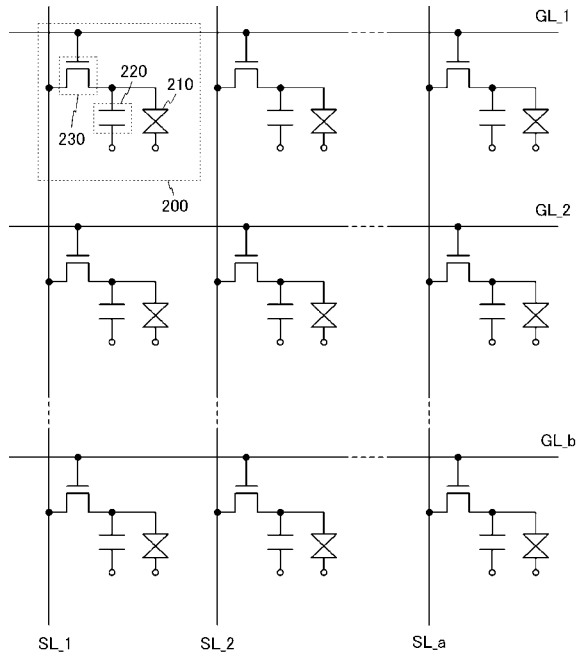
【図 5】



【図 6】

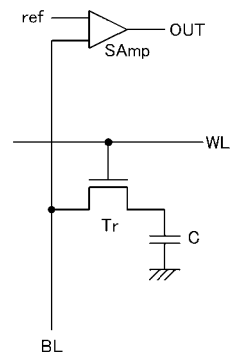


【図 7】

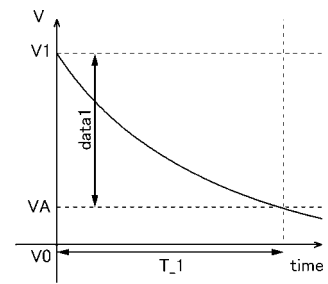


【図 8】

(A)

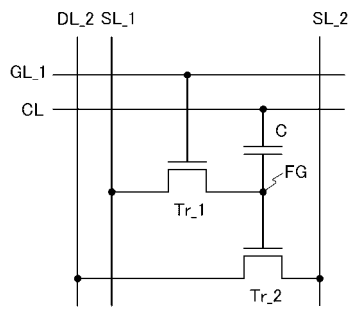


(B)

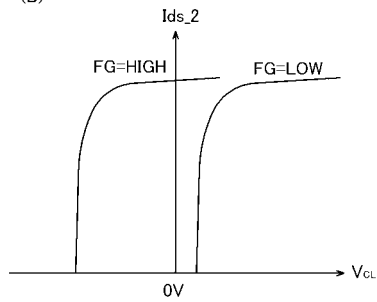


【図 9】

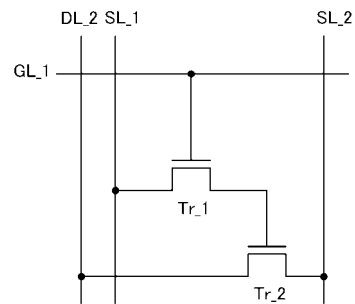
(A)



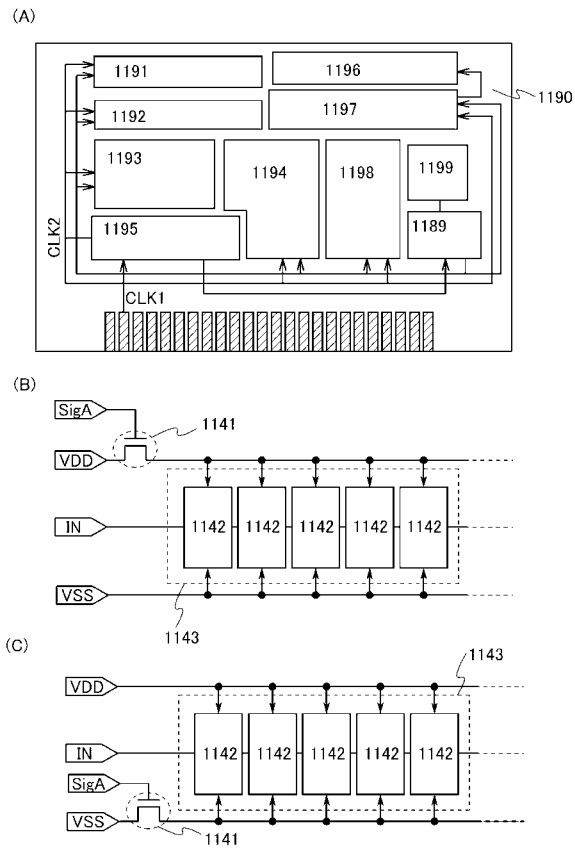
(B)



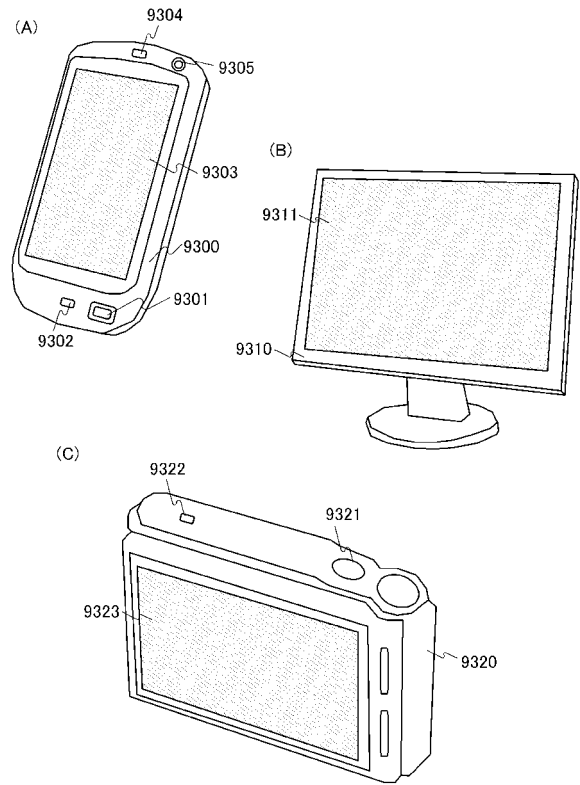
【図 10】



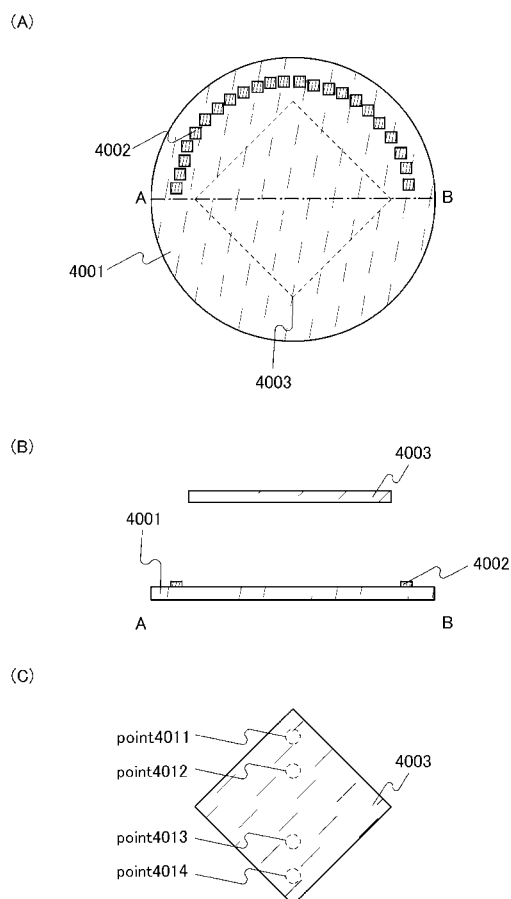
【図 1 1】



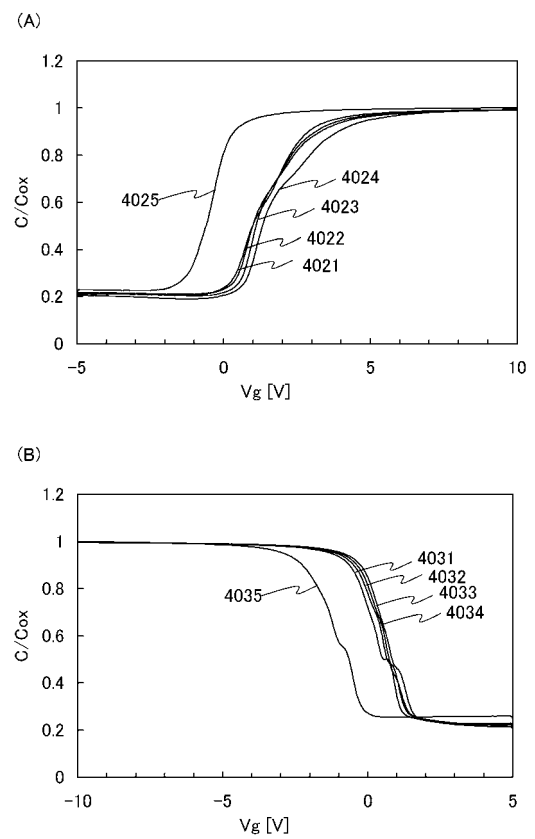
【図 1 2】



【図 1 3】

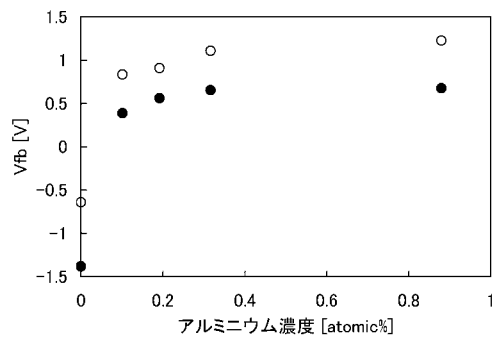


【図 1 4】

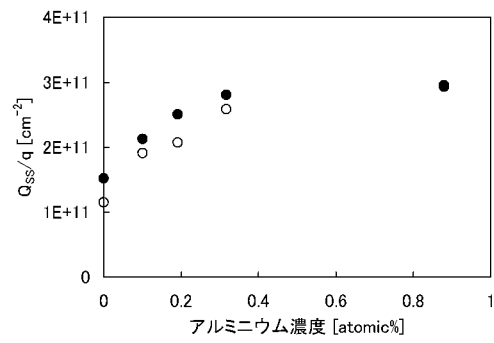


【図 15】

(A)

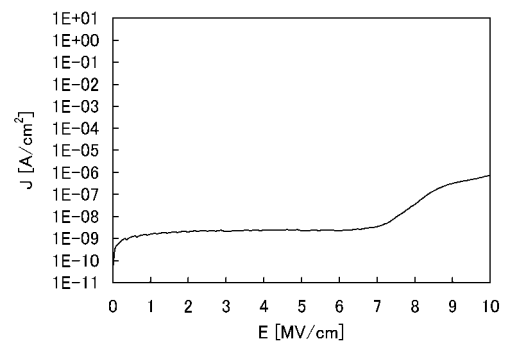


(B)

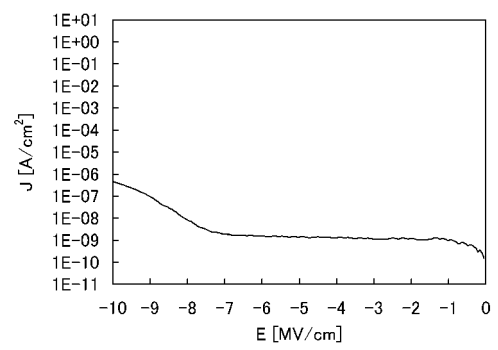


【図 16】

(A)

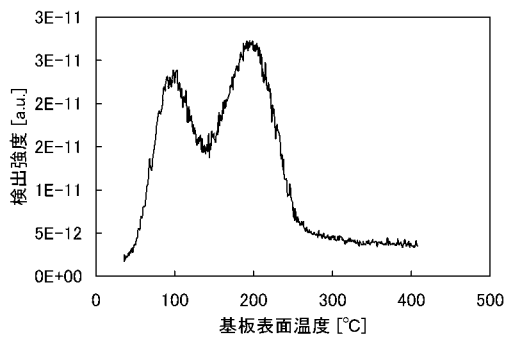


(B)

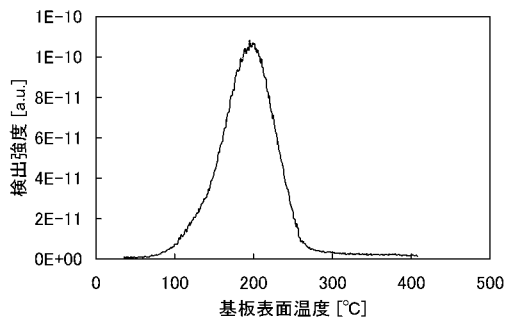


【図 17】

(A)



(B)



フロントページの続き

Fターム(参考) 5F058 BA06 BA09 BA11 BC02 BC04 BF07 BF12 BF20 BJ04
5F103 AA01 AA04 AA08 AA10 BB05 BB22 DD30 GG01 GG02 GG03
LL08 LL13
5F110 AA08 BB01 BB06 BB07 CC01 CC03 CC05 CC07 DD01 DD02
DD03 DD04 DD05 DD13 EE01 EE02 EE03 EE04 FF01 FF02
FF07 FF09 FF23 FF27 FF28 FF29 FF30 GG01 GG12 GG13
GG15 GG17 GG33 GG34 GG42 GG43 GG45 NN02 NN03 NN22
NN23 NN33 NN34 NN35 PP36