

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成25年5月2日(2013.5.2)

【公開番号】特開2011-150270(P2011-150270A)

【公開日】平成23年8月4日(2011.8.4)

【年通号数】公開・登録公報2011-031

【出願番号】特願2010-66383(P2010-66383)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

【F I】

G 0 9 G 3/30 J

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 4 2 C

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 2 2 B

H 0 5 B 33/14 A

【手続補正書】

【提出日】平成25年3月15日(2013.3.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

互いに直列に接続されると共に高電圧線および低電圧線の間に挿入された入力側インバータ回路および出力側インバータ回路を備え、

前記出力側インバータ回路は、

ドレインが前記高電圧線側に接続され、ソースが当該出力側インバータ回路の出力側に接続された第 1 トランジスタと、

ドレインが前記低電圧線側に接続され、ソースが当該出力側インバータ回路の出力側に接続された第 2 トランジスタと、

前記第 1 トランジスタおよび前記第 2 トランジスタのゲート電圧の補正を行う補正回路と

を有する

駆動回路。

【請求項 2】

前記補正回路は、前記第 1 トランジスタのゲートに対して、前記第 1 トランジスタの閾値電圧または前記第 1 トランジスタの閾値電圧に対応する電圧をオフセットとして設定すると共に、前記第 2 トランジスタのゲートに対して、前記第 2 トランジスタの閾値電圧または前記第 2 トランジスタの閾値電圧に対応する電圧をオフセットとして設定する

請求項 1 に記載の駆動回路。

【請求項 3】

前記補正回路は、

ソースまたはドレインが前記第 1 トランジスタのゲート側に接続され、かつソースおよびドレインのうち前記第 1 トランジスタのゲート側に未接続の方が前記第 1 トランジスタのソース側に接続された第 3 トランジスタと、

一方が前記第 1 トランジスタのゲート側に接続され、かつ他方が前記出力側インバータ回路の入力側に接続された第 1 容量素子と

を有する

請求項 2 に記載の駆動回路。

【請求項 4】

前記補正回路は、ソースまたはドレインが前記第 1 トランジスタのソース側に接続され、かつソースおよびドレインのうち前記第 1 トランジスタのソース側に未接続の方が前記出力側インバータ回路の出力側に接続された第 4 トランジスタをさらに有する

請求項 3 に記載の駆動回路。

【請求項 5】

前記補正回路は、ソースまたはドレインが前記第 1 トランジスタのゲート側に接続され、かつソースおよびドレインのうち前記第 1 トランジスタのゲート側に未接続の方が前記第 2 トランジスタのドレイン側に接続された第 5 トランジスタをさらに有する

請求項 4 に記載の駆動回路。

【請求項 6】

前記補正回路は、

ソースまたはドレインが前記第 2 トランジスタのゲート側に接続され、かつソースおよびドレインのうち前記第 2 トランジスタのゲート側に未接続の方が前記第 2 トランジスタのソース側に接続された第 6 トランジスタと、

一方が前記第 2 トランジスタのゲート側に接続され、かつ他方が前記出力側インバータ回路の入力側に接続された第 2 容量素子と

を有する

請求項 2 または請求項 3 に記載の駆動回路。

【請求項 7】

前記補正回路は、ソースまたはドレインが前記第 2 トランジスタのソース側に接続され、かつソースおよびドレインのうち前記第 2 トランジスタのソース側に未接続の方が前記出力側インバータ回路の出力側に接続された第 7 トランジスタをさらに有する

請求項 6 に記載の駆動回路。

【請求項 8】

前記補正回路は、ソースまたはドレインが前記第 2 トランジスタのゲート側に接続され、かつソースおよびドレインのうち前記第 2 トランジスタのゲート側に未接続の方が前記第 1 トランジスタのドレイン側に接続された第 8 トランジスタをさらに有する

請求項 7 に記載の駆動回路。

【請求項 9】

行状に配置された複数の走査線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を備え、

前記駆動部は、前記走査線ごとに 1 つずつ設けられた複数の駆動回路を有し、

前記駆動回路は、互いに直列に接続されると共に高電圧線および低電圧線の間に挿入された入力側インバータ回路および出力側インバータ回路を有し、

前記出力側インバータ回路は、

ドレインが前記高電圧線側に接続され、ソースが当該出力側インバータ回路の出力側に接続された第 1 トランジスタと、

ドレインが前記低電圧線側に接続され、ソースが当該出力側インバータ回路の出力側に

接続された第2トランジスタと、

前記第1トランジスタおよび前記第2トランジスタのゲート電圧の補正を行う補正回路と

を有する

表示装置。

【請求項10】

前記複数の画素の各々は、

発光素子と、

映像信号を書き込むように構成された書き込みトランジスタと、

書き込まれた前記映像信号に応じた駆動電流を前記発光素子に供給する駆動トランジスタと

を含み、

前記駆動部は、前記各画素において、前記駆動トランジスタの特性に対する前記駆動電流の依存性を補正する補正動作を行うように構成され、

前記補正動作の補正期間は、前記駆動回路から前記走査線を介して供給されるパルス波形に依存する

請求項9記載の表示装置。

【請求項11】

前記駆動トランジスタの特性は、該トランジスタの閾値または移動度である

請求項10記載の表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

バッファ回路3の入力端INに V_{dd} が入力される(T_1)。すると、接続点Aの電圧が V_{ss} となり、トランジスタ T_{r22} がオフする。このとき、制御信号AZ5は V_{dd} となっている。これにより、トランジスタ T_{r27} がオフしている。次に、低電圧線 L_{L2} の電圧が V_{ss} から V_{dd} に立ち上がり(T_2)、その後、制御信号AZ5が V_{ss} となり(T_3)、トランジスタ T_{r27} がオンする。すると、接続点Cの電圧が V_{dd} となる。次に、制御信号AZ5が V_{dd} となり(T_4)、トランジスタ T_{r27} がオフしたのち、入力端INに V_{ss} が入力される(T_5)。すると、接続点Aの電圧が V_{dd} となり、トランジスタ T_{r22} がオンする。このとき、接続点Cの電圧は、容量素子 C_{22} によるカップリングにより、 $2V_{dd} - V_{ss}$ まで上がる。続いて、再び、制御信号AZ5が V_{ss} となり(T_6)、トランジスタ T_{r27} がオンする。すると、トランジスタ T_{r27} 、 T_{r22} に電流が流れ、接続点Cの電圧が徐々に低下し、やがて $V_{dd} + V_{th2}$ となったところで、トランジスタ T_{r22} がオフする。これにより、接続点Cの電圧の低下が $V_{dd} + V_{th2}$ で停止し、接続点Cの電圧が $V_{dd} + V_{th2}$ に保持される。つまり、上記の一連の動作を行うことにより、トランジスタ T_{r22} のゲートに対して、トランジスタ T_{r22} の閾値電圧 V_{th2} またはトランジスタ T_{r22} の閾値電圧 V_{th2} に対応する電圧をオフセットとして設定する。その結果、トランジスタ T_{r22} の閾値電圧 V_{th2} にばらつきがあった場合であっても、バッファ回路3の入力端INへの V_{dd} の入力パルスに応じて、バッファ回路3の出力端OUTから V_{dd} の出力パルスを、幅のばらつきなく正確に出力することができる。従って、バッファ回路3の出力電圧が V_{dd} から V_{ss} に立ち下がるタイミングにおいて、ばらつきを低減することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正の内容】

【 0 0 8 3 】

(V_{th} 補正準備期間)

まず、 V_{th} 補正の準備を行う。具体的には、書込線 WSL の電圧が V_{off} となっており、信号線 DTL の電圧が V_{sig} となっており、電源線 PSL の電圧が V_{ccH} となっている時（つまり有機 EL 素子 1 1 1 が発光している時）に、電源線駆動回路 1 2 5 が電源線 PSL の電圧を V_{ccH} から V_{ccL} に下げる（ T_1 ）。すると、ソース電圧 V_s が V_{ccL} となり、有機 EL 素子 1 1 1 が消光する。次に、信号線駆動回路 1 2 3 が信号線 DTL の電圧を V_{sig} から V_{ofs} に切り替えたのち、電源線 PSL の電圧が V_{ccH} となっている間に、書込線駆動回路 1 2 4 が書込線 WSL の電圧を V_{off} から V_{on} に上げる。すると、ゲート電圧 V_g が V_{ofs} に下がる。このとき、ゲート - ソース間電圧 $V_{gs} (= V_{ofs} - V_{ccL})$ が駆動トランジスタ $Tr1$ の閾値電圧 V_{th} よりも大きくなるように、電源線駆動回路 1 2 5 および信号線駆動回路 1 2 3 では、電源線 PSL および信号線 DTL への印加電圧（ V_{ccL} 、 V_{ofs} ）が設定されている。

【 手続補正 4 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 8 4

【 補正方法 】 変更

【 補正の内容 】

【 0 0 8 4 】

(最初の V_{th} 補正期間)

次に、 V_{th} の補正を行う。具体的には、信号線 DTL の電圧が V_{ofs} となっている間に、電源線駆動回路 1 2 5 が電源線 PSL の電圧を V_{ccL} から V_{ccH} に上げる（ T_2 ）。すると、駆動トランジスタ $Tr1$ のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、信号線駆動回路 1 2 3 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 1 2 4 が書込線 WSL の電圧を V_{on} から V_{off} に下げる（ T_3 ）。すると、駆動トランジスタ $Tr1$ のゲートがフローティングとなり、 V_{th} の補正が停止する。