

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-55015

(P2011-55015A)

(43) 公開日 平成23年3月17日(2011.3.17)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|----------------|-------------|
| HO 1 L 27/04 (2006.01) | HO 1 L 27/04 C | 5 F 0 3 3 |
| HO 1 L 21/822 (2006.01) | HO 1 L 21/90 B | 5 F 0 3 8 |
| HO 1 L 21/768 (2006.01) | | |
| HO 1 L 23/522 (2006.01) | | |

審査請求 有 請求項の数 8 O L (全 44 頁)

| | | | |
|------------|-------------------------------------|----------|---------------------------------------|
| (21) 出願番号 | 特願2010-280660 (P2010-280660) | (71) 出願人 | 302062931 ルネサスエレクトロニクス株式会社 |
| (22) 出願日 | 平成22年12月16日 (2010.12.16) | | 神奈川県川崎市中原区下沼部1753番地 |
| (62) 分割の表示 | 特願2000-382285 (P2000-382285) の分割 | (74) 代理人 | 110001195 特許業務法人深見特許事務所 |
| 原出願日 | 平成12年12月15日 (2000.12.15) | (72) 発明者 | 堀 和伸 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 |
| | | (72) 発明者 | 松沼 健司 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 |
| | | (72) 発明者 | 塩澤 謙一郎 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 |

最終頁に続く

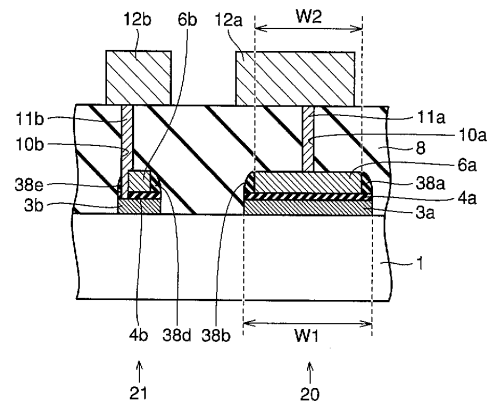
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】一定の静電容量を確保すると同時に、小型化を図ることが可能なキャパシタを備える半導体装置を提供する。

【解決手段】半導体装置は、金属膜を含むキャパシタ下部電極3aと、キャパシタ下部電極3aの上部表面上に配置され、キャパシタ下部電極3aの厚みより薄い厚みを有する誘電体膜4aと、誘電体膜4a上に配置され、金属膜を含むキャパシタ上部電極6aと、キャパシタ上部電極6aと同一レベルの層により構成される下部配線部分6bと、下部配線部分6b上に配置される層間絶縁膜8と、層間絶縁膜8上に配置される上部配線部分12bとを備える。

【選択図】 図4 4



【特許請求の範囲】**【請求項 1】**

金属膜を含むキャパシタ下部電極と、
前記キャパシタ下部電極の上部表面上に配置され、前記キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、
前記誘電体膜上に配置され、金属膜を含むキャパシタ上部電極と、
前記キャパシタ上部電極と同一レベルの層により構成される下部配線部分と、
前記下部配線部分上に配置される層間絶縁膜と、
前記層間絶縁膜上に配置される上部配線部分とを備える半導体装置。

【請求項 2】

前記キャパシタ上部電極の幅は前記キャパシタ下部電極の幅より狭い、請求項 1 に記載の半導体装置。

【請求項 3】

前記キャパシタ上部電極の幅は前記キャパシタ下部電極の幅より広い、請求項 1 に記載の半導体装置。

【請求項 4】

溝を有する層間絶縁膜と、
前記溝の内部を充填し、金属膜を含むキャパシタ下部電極と、
前記キャパシタ下部電極上に配置され、前記層間絶縁膜の厚みより薄い厚みを有する誘電体膜と、
前記誘電体膜上に配置され、金属膜を含むキャパシタ上部電極とを備える半導体装置。

【請求項 5】

第一の延在部と、この第一の延在部と水平方向に間隔を隔てて配置される第二の延在部とを含むキャパシター方電極と、
前記第一の延在部と前記第二の延在部との間に位置し、前記第一および第二の延在部とそれぞれ誘電体膜を介して対向する第三の延在部と、前記第二の延在部から見て前記第三の延在部とは反対側に位置し、前記第二の延在部とは他の誘電体膜を介して対向する第四の延在部とを含むキャパシタ他方電極とを備える、半導体装置。

【請求項 6】

複数の孔を有する層間絶縁膜と、
前記層間絶縁膜の複数の孔の内部に配置され、金属膜を含む複数のキャパシタ下部電極と、
前記複数のキャパシタ下部電極上に配置された誘電体膜と、
前記誘電体膜上に配置され、金属膜を含むキャパシタ上部電極とを備える半導体装置。

【請求項 7】

金属膜を含むキャパシタ下部電極と、
前記キャパシタ下部電極上に配置され、前記キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、
前記誘電体膜上に配置され、前記誘電体膜を露出させる開口部を有する層間絶縁膜と、
前記開口部の内部に配置され、金属膜を含むキャパシタ上部電極とを備える半導体装置。

【請求項 8】

前記キャパシタ上部電極と前記誘電体膜と前記キャパシタ下部電極とからなるキャパシタは、特定用途向け集積回路において用いられる、請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、半導体装置およびその製造方法に関し、より特定的には、キャパシタを備える半導体装置およびその製造方法に関する。

10

20

30

40

50

【背景技術】**【0002】**

従来、アナログ/デジタルコンバータ(A/Dコンバータ)、デジタル/アナログコンバータ(D/Aコンバータ)などのアナログまたはアナログ・デジタルLSI(Large scale integration)においては、フィルタ回路や積分集積回路の構成要素としてキャパシタ(容量素子)が内蔵されている。図89は、従来のアナログ・デジタルLSIなどの半導体装置におけるキャパシタが形成された容量部と配線が形成された配線部とを示す断面模式図であり、図90は、図89の線分XC-XCにおける断面模式図である。図89および90を参照して、従来の半導体装置を説明する。

【0003】

図89および90を参照して、半導体基板101上に絶縁膜102が形成されている。容量部120においては、絶縁膜102上に金属膜からなる一方電極103aが形成されている。また、この一方電極103aを取り囲むように、間隔を隔てて他方電極103bが形成されている。一方電極103aおよび他方電極103bの上には層間絶縁膜108が形成されている。また、一方電極103aと他方電極103bの間には、キャパシタ誘電体膜としての層間絶縁膜部分108aが配置されている。この一方電極103a、層間絶縁膜部分108aおよび他方電極103bによりキャパシタが構成される。

【0004】

層間絶縁膜108においては、一方電極103a上に位置する領域にコンタクトホール110aが形成されている。コンタクトホール110aの内部にはタングステンプラグ111aが充填されている。タングステンプラグ111a上には上層配線112aが形成されている。上層配線112aは、タングステンプラグ111aを介して一方電極103aと電氣的に接続されている。

【0005】

配線部121においては、絶縁膜102上に一層目配線103cが形成されている。この一層目配線103cは、一方電極103aおよび他方電極103bと同一レベルの層により構成されている。一層目配線103c上には層間絶縁膜108が配置されている。一層目配線103c上に位置する領域では、層間絶縁膜108にコンタクトホール110bが形成されている。コンタクトホール110bの内部にはタングステンプラグ111bが充填されている。タングステンプラグ111b上には上層配線112bが形成されている。上層配線112bは、タングステンプラグ111bを介して一層目配線103cと電氣的に接続されている。

【発明の概要】**【発明が解決しようとする課題】****【0006】**

しかし、上述した従来の半導体装置においては、以下のような問題があった。すなわち、半導体装置の微細化・高集積化の要求はますます強くなってきている一方、図89および90に示したようなキャパシタにおいては、一定の静電容量を確保する必要がある。図89および90に示したキャパシタの占有面積を小さくする一方で、必要な静電容量を確保する方法としては、たとえば、一方電極103aおよび他方電極103bの高さ方向の厚みを大きくすることにより、電極として作用する一方電極103aおよび他方電極103bの側壁の表面積を大きくする、あるいは一方電極103aと他方電極103bとの間の距離を小さくするといった手法が考えられる。

【0007】

しかし、一方電極103aおよび他方電極103bの高さ方向の厚みを大きくすると、一方電極103aおよび他方電極103bを形成するためのエッチング加工が難しくなり、現実的ではない。また、一方電極103aと他方電極103bとの間の距離を小さくする場合、半導体装置の製造工程において用いる写真製版加工の最小加工寸法より一方電極103aと他方電極103bとの間の距離を小さくすることは難しいため、キャパシタの占有面積を小さくすることには限界があった。

10

20

30

40

50

【0008】

このように、従来の半導体装置では、一定の静電容量を確保した上で、キャパシタの占有面積を小さくすることは困難であった。

【0009】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、一定の静電容量を確保すると同時に、小型化を図ることが可能なキャパシタを備える半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0010】

この発明による半導体装置は、金属膜を含むキャパシタ下部電極と、キャパシタ下部電極の上部表面上に配置され、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極と、キャパシタ上部電極と同一レベルの層により構成される下部配線部分と、下部配線部分上に配置される層間絶縁膜と、層間絶縁膜上に配置される上部配線部分とを備える。

10

【0011】

上記半導体装置において、記キャパシタ上部電極の幅はキャパシタ下部電極の幅より狭くてもよい。

【0012】

また、上記半導体装置において、キャパシタ上部電極の幅はキャパシタ下部電極の幅より広くてもよい。

20

【0013】

上記半導体装置において、キャパシタ上部電極と誘電体膜とキャパシタ下部電極とからなるキャパシタは、特定用途向け集積回路において用いられてもよい。

【0014】

この発明の1の局面における半導体装置は、上部表面を有し、金属膜を含むキャパシタ下部電極と、キャパシタ下部電極の上部表面上に配置され、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、誘電体膜上に配置され、キャパシタ下部電極の幅より狭い幅を有し、金属膜を含むキャパシタ上部電極とを備える。

【0015】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層して配置する事により、縦方向のキャパシタを形成することができる。そして、誘電体膜の膜厚は、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さい値となるように制御することが可能である。したがって、一定の静電容量を確保した状態で、誘電体膜の膜厚を従来より薄くすることでキャパシタ上部電極およびキャパシタ下部電極の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

30

【0016】

また、キャパシタ上部電極の幅はキャパシタ下部電極より小さくなるように設定されているので、キャパシタ上部電極を形成する際の写真製版加工における重ね合わせ余裕を大きくすることができる。この結果、キャパシタ上部電極とキャパシタ下部電極との位置がずれて、キャパシタ下部電極の側壁などとキャパシタ上部電極とが短絡する不良の発生を防止できる。

40

【0017】

また、キャパシタ下部電極およびキャパシタ上部電極は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタ(容量素子)を実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。

【0018】

上記1の局面における半導体装置では、キャパシタ上部電極は側壁を有していてもよく、キャパシタ下部電極の上部表面上においてキャパシタ上部電極の側壁上に形成されたサ

50

イドウォール絶縁膜を備えていてもよい。

【0019】

この場合、キャパシタ上部電極の側壁とキャパシタ下部電極の上部表面との間にサイドウォール絶縁膜が配置されているので、キャパシタ上部電極とキャパシタ下部電極との短絡を確実に防止できる。

【0020】

また、後述する製造工程において示すように、キャパシタ上部電極とサイドウォール絶縁膜とを、キャパシタ下部電極を形成するためのエッチングにおけるマスクとして用いれば、キャパシタ上部電極下に位置し、キャパシタ上部電極より幅の広いキャパシタ下部電極を確実に形成できる。

10

【0021】

上記1の局面における半導体装置では、サイドウォール絶縁膜はシリコン酸化窒化膜を含むことが好ましい。

【0022】

ここで、シリコン酸化窒化膜はARC (Anti Reflection Coat) としての機能を有する。したがって、サイドウォール絶縁膜を形成するためにシリコン酸化窒化膜をキャパシタ上部電極上から他の領域にまで延在するように形成し、この他の領域において配線などを形成する際、この配線を形成するためのエッチングに用いるフォトレジスト膜をシリコン酸化窒化膜上に形成すれば、別途ARCを形成する必要がない。この結果、製造工程を簡略化できる。

20

【0023】

上記1の局面における半導体装置では、キャパシタ下部電極はアルミニウムを含んでいてもよく、キャパシタ上部電極はタングステンを含んでいてもよい。

【0024】

この場合、キャパシタ下部電極とキャパシタ上部電極とを構成する材料を異なるものとするにより、キャパシタ下部電極を形成するためのエッチング工程において、キャパシタ上部電極をマスクとして確実に利用できる。この結果、キャパシタ下部電極とキャパシタ上部電極との位置ずれの発生を防止できる。

【0025】

上記1の局面における半導体装置は、キャパシタ下部電極と同一レベルの層により構成される下部配線部分と、下部配線部分上に配置される他の誘電体膜と、他の誘電体膜上に配置され、下部配線部分より狭い幅を有し、キャパシタ上部電極と同一レベルの層により構成される上部配線部分と、上部配線部分上に形成された層間絶縁膜とを備えていてもよい。層間絶縁膜には、上部配線部分の表面を露出させるとともに、下部配線部分の上面に到達する接続孔が形成されていてもよい。さらに、上記1の局面における半導体装置は、接続孔の内部に配置され、上部配線部分と下部配線部分とを電気的に接続する導電体膜を備えていてもよい。

30

【0026】

この場合、キャパシタ下部電極、誘電体膜およびキャパシタ上部電極からなるキャパシタを形成する工程において、キャパシタと同時に上部配線部分と下部配線部分とからなる配線を形成できる。また、導電体膜により上部配線部分と下部配線部分とを電気的に接続することにより、上部配線部分と下部配線部分とを1つの配線として作用させることができる。

40

【0027】

この発明の他の局面における半導体装置は、上部表面と側壁面とを有し、金属膜を含むキャパシタ下部電極と、キャパシタ下部電極の上部表面上から側壁面上にまで延在するように配置され、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極とを備える。

【0028】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層し

50

て配置する事により、縦方向のキャパシタを形成することができる。そして、誘電体膜の膜厚は、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さい値となるように制御することが可能である。したがって、誘電体膜の膜厚を従来より薄くすることでキャパシタ上部電極およびキャパシタ下部電極の表面積をより小さくしても一定の静電容量を確保できるので、従来よりキャパシタの小型化を図ることができる。

【0029】

また、キャパシタ下部電極の上部表面から側壁面上にまで誘電体膜が延在するので、キャパシタ上部電極の位置がずれてキャパシタ下部電極の側壁面上にまでキャパシタ上部電極が延在するような場合にも、キャパシタ上部電極とキャパシタ下部電極との間に誘電体膜が存在することになる。したがって、キャパシタ下部電極とキャパシタ上部電極との短絡を確実に防止できる。

10

【0030】

また、キャパシタ下部電極およびキャパシタ上部電極は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタ（容量素子）を実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。

【0031】

上記他の局面における半導体装置では、キャパシタ上部電極の幅はキャパシタ下部電極の幅より狭くてもよい。

20

【0032】

この場合、キャパシタ上部電極を形成する際の写真製版加工におけるキャパシタ下部電極との重ね合わせ余裕を大きくすることができる。この結果、キャパシタ上部電極とキャパシタ下部電極との位置がずれることに起因して、キャパシタ下部電極の側壁などとキャパシタ上部電極とが短絡する不良の発生を防止できる。

【0033】

上記他の局面における半導体装置では、キャパシタ上部電極の幅はキャパシタ下部電極の幅より広くてもよい。

【0034】

この場合、キャパシタ下部電極の側壁面上にも、誘電体膜を介してキャパシタ上部電極が位置することになる。この結果、キャパシタ下部電極の側壁面もキャパシタの電極として利用できるので、キャパシタの静電容量を増大させることができる。

30

【0035】

この発明の別の局面における半導体装置は、溝を有する層間絶縁膜と、溝の内部を充填し、金属膜を含むキャパシタ下部電極と、キャパシタ下部電極上に配置され、層間絶縁膜の厚みより薄い厚みを有する誘電体膜と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極とを備える。

【0036】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層して配置する事により、縦方向のキャパシタを形成することができる。そして、誘電体膜の膜厚は、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さい値となるように制御することが可能である。したがって、一定の静電容量を確保した状態で、誘電体膜の膜厚を従来より薄くすることでキャパシタ上部電極およびキャパシタ下部電極の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

40

【0037】

また、キャパシタ下部電極は、層間絶縁膜の溝の内部に充填されたいわゆるダマシン構造となっているので、配線としてダマシン配線を用いている半導体装置において、そのような配線の一部をキャパシタ下部電極として利用できる。この結果、このようなダマシン配線を用いた半導体装置において、縦型のキャパシタを容易に実現できる。

50

【0038】

また、キャパシタ下部電極およびキャパシタ上部電極は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタ（容量素子）を実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。

【0039】

この発明のもう一つの局面における半導体装置は、第一の延在部と、この第一の延在部と水平方向に間隔を隔てて配置される第2の延在部とを含むキャパシタ一方電極と、第一の延在部と第2の延在部との間に位置し、第1および第2の延在部とそれぞれ誘電体膜を介して対向する第3の延在部と、第2の延在部から見て第3の延在部とは反対側に位置し、第2の延在部とは他の誘電体膜を介して対向する第4の延在部とを含むキャパシタ他方電極とを備える。

10

【0040】

このようにすれば、第1および第2の延在部と、第3および第4の延在部とが交互に配置されるので、キャパシタ一方電極およびキャパシタ他方電極の第1～第4の延在部において互いに対向する側壁面をキャパシタの電極面として利用できる。具体的には、第2および第3の延在部の側壁面のほぼ全てをキャパシタ電極面として利用できる。ここで、図89および90に示した従来のキャパシタでは、一方電極の周りを囲むように他方電極を配置しているので、他方電極において一方電極とは対向しない外周側の側壁面はキャパシタ電極面として作用していない。一方、本願発明によるキャパシタでは、一方電極において第1の延在部を形成することにより、上述の従来のキャパシタでは電極面として作用していなかった他方電極の外周側の側壁面（第3の延在部において第1の延在部に対向する側壁面）を、キャパシタ電極として利用できる。したがって、図89および90に示したような従来のキャパシタを複数個配置することで一定の静電容量を確保する場合より、キャパシタの占有する領域の体積を低減できる。また、延在部の数を変更することにより、キャパシタの電極面の面積を容易に変更できるので、キャパシタの静電容量を容易に変更できる。

20

【0041】

この発明のさらに他の局面における半導体装置は、複数の孔を有する層間絶縁膜と、層間絶縁膜の複数の孔の内部に配置され、金属膜を含む複数のキャパシタ下部電極と、複数のキャパシタ下部電極上に配置された誘電体膜と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極とを備える。

30

【0042】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層して配置する事により、縦方向のキャパシタを形成することができる。そして、誘電体膜の膜厚は、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さい値となるように制御することが可能である。したがって、一定の静電容量を確保した状態で、誘電体膜の膜厚を従来より薄くすることでキャパシタ上部電極およびキャパシタ下部電極の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

40

【0043】

また、層間絶縁膜に形成される複数の孔の数や断面積を変更することにより、キャパシタ下部電極において誘電体膜と対向する部分の面積を容易に変更できる。この結果、キャパシタの静電容量を容易に変更できる。

【0044】

また、キャパシタ下部電極およびキャパシタ上部電極は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタ（容量素子）を実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。

【0045】

50

この発明のさらに別の局面における半導体装置は、金属膜を含むキャパシタ下部電極と、キャパシタ下部電極上に配置され、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜と、誘電体膜上に配置され、誘電体膜を露出させる開口部を有する層間絶縁膜と、開口部の内部に配置され、金属膜を含むキャパシタ上部電極とを備える。

【0046】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層して配置する事により、縦方向のキャパシタを形成することができる。そして、誘電体膜の膜厚は、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さい値となるように制御することが可能である。したがって、一定の静電容量を確保した状態で、誘電体膜の膜厚を従来より薄くすることでキャパシタ上部電極およびキャパシタ下部電極の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

10

【0047】

また、開口部の内部にキャパシタ上部電極を配置するので、キャパシタ上部電極を形成した後、従来必要であったキャパシタ上部電極と上層配線とを接続するためのコンタクトホールを形成する工程を省略できる。したがって、半導体装置の製造工程を簡略化できる。

【0048】

また、キャパシタ下部電極およびキャパシタ上部電極は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタ（容量素子）を実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。

20

【0049】

上記1の局面または他の局面または別の局面またはもう一つの局面またはさらに他の局面またはさらに別の局面における半導体装置では、キャパシタ上部電極と誘電体膜とキャパシタ下部電極とからなるキャパシタが、特定用途向け集積回路において用いられることが好ましい。

【0050】

この場合、特定用途向け集積回路（ASIC：Application Specific Integrated Circuit）においては、特に高精度で電圧依存性がなく、微細化が容易なキャパシタを実装することが求められている。したがって、本発明をASICに適用すれば、特にASICの高性能化および微細化に顕著な効果を得ることができる。

30

【0051】

この発明のさらにもう一つの局面における半導体装置の製造方法は、上部表面を有するキャパシタ下部電極を形成する工程と、キャパシタ下部電極の上部表面上に、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜を形成する工程と、誘電体膜上に金属膜を形成する工程と、金属膜上に、キャパシタ下部電極の幅より狭い幅を有するレジスト膜を形成する工程と、レジスト膜をマスクとして用いて、エッチングにより金属膜を部分的に除去することにより、キャパシタ下部電極の幅より狭い幅を有するキャパシタ上部電極を形成する工程とを備える。

40

【0052】

このようにすれば、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層した縦方向のキャパシタを容易に形成することができる。

【0053】

また、キャパシタ上部電極を形成するためのレジスト膜の幅はキャパシタ下部電極の幅より小さくなるように設定されているので、このレジスト膜を形成する際の写真製版加工における、レジスト膜とキャパシタ下部電極との重ね合わせ余裕を大きくすることができる。この結果、キャパシタ上部電極とキャパシタ下部電極との位置がずれて、キャパシタ下部電極の側壁などとキャパシタ上部電極とが短絡する不良の発生を防止できる。

50

【0054】

この発明のまた別の局面における半導体装置の製造方法は、上部表面と側壁面とを有するキャパシタ下部電極を形成する工程と、キャパシタ下部電極の上部表面上から側壁面上にまで延在し、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜を形成する工程と、誘電体膜上に金属膜を形成する工程と、記金属膜上にレジスト膜を形成する工程と、レジスト膜をマスクとして用いて、エッチングにより金属膜を部分的に除去することにより、キャパシタ上部電極を形成する工程とを備える。

【0055】

このようにすれば、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層した縦方向のキャパシタを容易に形成することができる。

10

【0056】

また、キャパシタ下部電極の上部表面から側壁面上にまで誘電体膜が延在するので、キャパシタ上部電極を形成するためのレジスト膜の位置がずれてキャパシタ下部電極の側壁面上にまでキャパシタ上部電極が延在するような場合、キャパシタ上部電極とキャパシタ下部電極の側壁との間に誘電体膜が存在することになる。したがって、キャパシタ下部電極とキャパシタ上部電極との短絡を確実に防止できる。

【0057】

上記また別の局面における半導体装置の製造方法では、レジスト膜を形成する工程が、キャパシタ下部電極の幅より小さい幅を有するレジスト膜を形成することを含んでいてもよい。

20

【0058】

この場合、レジスト膜を形成する際の写真製版加工における、レジスト膜とキャパシタ下部電極との重ね合わせ余裕を大きくすることができる。

【0059】

上記また別の局面における半導体装置の製造方法では、レジスト膜を形成する工程が、キャパシタ下部電極の幅より大きい幅を有するレジスト膜を形成することを含んでいてもよい。

【0060】

この場合、キャパシタ下部電極の上部表面から側壁面上にまで、誘電体膜を介してキャパシタ上部電極が延在することになるので、キャパシタ下部電極の側壁面をキャパシタ電極として利用できる。このため、キャパシタの静電容量を大きくすることができる。

30

【0061】

この発明のまたもう一つの局面における半導体装置の製造方法は、キャパシタ下部電極となるべき下部金属膜を形成する工程と、下部金属膜上に誘電体膜を形成する工程と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極を形成する工程と、キャパシタ上部電極をマスクとして用いて、エッチングにより下部金属膜を部分的に除去することにより、キャパシタ下部電極を形成するキャパシタ下部電極形成工程とを備える。

【0062】

このようにすれば、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層した縦方向のキャパシタを容易に形成することができる。

40

【0063】

また、キャパシタ上部電極をマスクとしてキャパシタ下部電極を形成するので、キャパシタ上部電極とキャパシタ下部電極との位置がずれることを確実に防止できる。

【0064】

上記またもう一つの局面における半導体装置の製造方法では、誘電体膜を形成する工程において、誘電体膜は下部金属膜を用いて配線を形成する領域上にまで延在するように形成されていてもよい。さらに、上記またもう一つの局面における半導体装置の製造方法は、キャパシタ下部電極形成工程に先立ち、下部金属膜を用いて配線を形成する領域上において、誘電体膜上にレジスト膜を形成する工程と、レジスト膜をマスクとして下部金属膜を部分的に除去することにより配線を形成する工程とを備えていてもよい。

50

【0065】

この場合、誘電体膜としてARC (Anti Reflection Coat)として作用する材料を用いれば、誘電体膜上に形成されるレジスト膜のためのARCを別途形成する工程を省略できる。この結果、半導体装置の製造工程を簡略化できる。

【0066】

上記またもう一つの局面における半導体装置の製造方法では、誘電体膜はシリコン酸化窒化膜を含むことが好ましい。

【0067】

この場合、シリコン酸化窒化膜はARCとしての機能を有する。したがって、シリコン酸化窒化膜をキャパシタ誘電体膜として用いれば、上述のようにキャパシタ誘電体膜をARCとして容易に作用させることができる。

10

【0068】

上記またもう一つの局面における半導体装置の製造方法では、キャパシタ下部電極形成工程に先立ち、キャパシタ上部電極の側壁面上にサイドウォール膜を形成する工程を備えていてもよい。さらに、上記またもう一つの局面における半導体装置の製造方法は、キャパシタ下部電極形成工程において、キャパシタ上部電極とサイドウォール膜とをマスクとして用いてもよい。

【0069】

この場合、キャパシタ上部電極とサイドウォール絶縁膜とを、キャパシタ下部電極を形成するためのエッチングにおけるマスクとして用いることにより、キャパシタ上部電極下に位置し、かつ、キャパシタ上部電極より幅の広いキャパシタ下部電極を確実に形成できる。

20

【0070】

上記またもう一つの局面における半導体装置の製造方法では、キャパシタ下部電極形成工程に先立って、誘電体膜上に配置され、側壁面を有し、配線層となるべき上部配線部分を形成する工程を備えていてもよい。さらに、上記またもう一つの局面における半導体装置の製造方法は、上部配線部分の側壁面上に配線サイドウォール膜を形成する工程と、配線サイドウォール膜と上部配線部分とをマスクとして用いて、エッチングにより下部金属膜を部分的に除去することにより下部配線部分を形成する工程と、上部配線部分上に層間絶縁膜を形成する工程と、層間絶縁膜に、上部配線部分の表面を露出させるとともに、下部配線部分の上面に到達する接続孔を形成する工程と、接続孔の内部において、上部配線部分および下部配線部分と電氣的に接続された導電体膜を形成する工程とを備えていてもよい。

30

【0071】

この場合、キャパシタ下部電極、誘電体膜およびキャパシタ上部電極からなるキャパシタを形成する工程において、キャパシタと同時に上部配線部分と下部配線部分とからなる配線を形成できる。

【0072】

この発明のその他の局面における半導体装置の製造方法は、層間絶縁膜を準備する工程と、層間絶縁膜に溝を形成する工程と、溝を充填し、金属膜を含むキャパシタ下部電極を形成する工程と、キャパシタ下部電極上に配置され、層間絶縁膜の厚みより薄い厚みを有する誘電体膜を形成する工程と、誘電体膜上に配置され、金属膜を含むキャパシタ上部電極を形成する工程とを備える。

40

【0073】

この場合、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層して配置する事により、縦方向のキャパシタを形成することができる。

【0074】

また、キャパシタ下部電極は、層間絶縁膜の溝の内部に充填されたいわゆるダマシン構造となっているので、配線としてダマシン配線を用いている半導体装置において、そのような配線の一部をキャパシタ下部電極として容易に利用できる。

50

【0075】

この発明のまた他の局面における半導体装置の製造方法は、金属膜を形成する工程と、金属膜上にレジスト膜を形成する工程と、レジスト膜をマスクとして用いて、金属膜を部分的に除去することにより、第一の延在部と、この第一の延在部と間隔を隔てて配置される第二の延在部とを含むキャパシター方電極と、第一の延在部と第二の延在部との間に位置し、第一および第二の延在部とそれぞれ誘電体膜を介して対向する第三の延在部と、第二の延在部から見て第三の延在部とは反対側に位置し、第二の延在部とは他の誘電体膜を介して対向する第四の延在部とを含むキャパシタ他方電極とを形成する工程を備える。

【0076】

このようにすれば、キャパシター方電極およびキャパシタ他方電極の第一～第四の延在部において互いに対向する側壁面をキャパシタの電極面として利用するキャパシタを容易に形成できる。

10

【0077】

この発明のもう一つ別の局面における半導体装置の製造方法は、層間絶縁膜を準備する工程と、層間絶縁膜に複数の孔を形成する工程と、複数の孔の内部から層間絶縁膜の上部表面上にまで延在するように、金属膜を形成する工程と、化学機械研磨法を用いて、層間絶縁膜の上部表面上に位置する金属膜を除去することにより、複数の孔の内部に配置され金属膜を含む複数のキャパシタ下部電極を形成するとともに、複数の孔が位置する領域において、層間絶縁膜の上部表面に凹部を形成する工程と、凹部に誘電体膜を充填する工程と、誘電体膜膜上に、金属膜を含むキャパシタ上部電極を形成する工程とを備える。

20

【0078】

このようにすれば、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層した縦方向のキャパシタを容易に形成することができる。

【0079】

また、層間絶縁膜に複数の孔を形成する工程において、形成される複数の孔の数や断面積を変更することにより、キャパシタ下部電極において誘電体膜と対向する部分の面積を容易に変更できる。この結果、キャパシタの静電容量を容易に変更できる。

【0080】

この発明のもう一つ他の局面における半導体装置の製造方法は、金属膜を含むキャパシタ下部電極を形成する工程と、キャパシタ下部電極上に配置され、キャパシタ下部電極の厚みより薄い厚みを有する誘電体膜を形成する工程と、誘電体膜上に層間絶縁膜を形成する工程と、層間絶縁膜の誘電体膜上に位置する領域において、誘電体膜を露出させる開口部を形成する工程と、開口部の内部に配置され、金属膜を含むキャパシタ上部電極を形成する工程とを備える。

30

【0081】

このようにすれば、縦方向にキャパシタ下部電極、誘電体膜およびキャパシタ上部電極を積層した縦方向のキャパシタを容易に形成することができる。

【0082】

また、開口部の内部にキャパシタ上部電極を配置するので、キャパシタ上部電極を形成した後、従来必要であったキャパシタ上部電極と上層配線とを接続するためのコンタクトホールを形成する工程を省略できる。

40

【発明の効果】

【0083】

このように、本発明によれば、縦方向に金属膜を含む電極と誘電体とを積層した縦型のキャパシタを形成することにより、一定の静電容量を確保すると同時に、小型化を図ることが可能なキャパシタを備える半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【0084】

【図1】本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】図1に示した半導体装置の製造方法の第1工程を説明するための断面模式図であ

50

る。

【図 3】図 1 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 4】図 1 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 5】図 1 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 6】図 1 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 7】図 1 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 8】本発明による半導体装置の実施の形態 2 を示す断面模式図である。

【図 9】図 8 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 10】図 8 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 11】図 8 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 12】図 8 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 13】図 8 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 14】図 8 に示した本発明による半導体装置の実施の形態 2 の第 1 の変形例を示す断面模式図である。

【図 15】図 14 に示した半導体装置の製造方法を説明するための断面模式図である。

【図 16】図 8 に示した本発明による半導体装置の実施の形態 2 の第 2 の変形例を示す断面模式図である。

【図 17】図 16 に示した半導体装置の製造方法を説明するための断面模式図である。

【図 18】本発明による半導体装置の実施の形態 3 を示す断面模式図である。

【図 19】図 18 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 20】図 18 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 21】図 18 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 22】図 18 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 23】図 18 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 24】図 18 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 25】図 18 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 26】図 18 に示した半導体装置の製造方法の第 8 工程を説明するための断面模式図である。

【図 27】本発明による半導体装置の実施の形態 4 を示す断面模式図である。

【図 28】図 27 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 29】図 27 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

10

20

30

40

50

【図 3 0】図 2 7 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 3 1】図 2 7 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 3 2】図 2 7 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 3 3】図 2 7 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 3 4】図 2 7 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 3 5】本発明による半導体装置の実施の形態 5 を示す断面模式図である。

【図 3 6】図 3 5 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 3 7】図 3 5 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 3 8】図 3 5 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 3 9】図 3 5 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 4 0】図 3 5 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 4 1】図 3 5 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 4 2】図 3 5 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 4 3】図 3 5 に示した半導体装置の製造方法の第 8 工程を説明するための断面模式図である。

【図 4 4】本発明による半導体装置の実施の形態 6 を示す断面模式図である。

【図 4 5】図 4 4 における配線部 2 1 を示す部分拡大断面模式図である。

【図 4 6】図 4 4 および 4 5 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

【図 4 7】図 4 4 および 4 5 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。

【図 4 8】図 4 4 および 4 5 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。

【図 4 9】図 4 4 および 4 5 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。

【図 5 0】図 4 4 および 4 5 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。

【図 5 1】図 4 4 および 4 5 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。

【図 5 2】図 4 4 および 4 5 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 5 3】図 4 4 および 4 5 に示した半導体装置の製造方法の第 8 工程を説明するための断面模式図である。

【図 5 4】図 4 4 および 4 5 に示した半導体装置の製造方法の第 9 工程を説明するための断面模式図である。

【図 5 5】本発明による半導体装置の実施の形態 7 を示す断面模式図である。

【図 5 6】図 5 5 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。

10

20

30

40

50

- 【図 5 7】図 5 5 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。
- 【図 5 8】図 5 5 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。
- 【図 5 9】図 5 5 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。
- 【図 6 0】図 5 5 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。
- 【図 6 1】本発明による半導体装置の実施の形態 8 を示す断面模式図である。
- 【図 6 2】図 6 1 の線分 L X I I - L X I I における水平方向の断面を示す平面模式図である。 10
- 【図 6 3】図 6 1 および 6 2 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。
- 【図 6 4】図 6 1 および 6 2 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。
- 【図 6 5】図 6 1 および 6 2 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。
- 【図 6 6】図 6 1 および 6 2 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。
- 【図 6 7】図 6 1 および 6 2 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。 20
- 【図 6 8】図 6 1 および 6 2 に示した本発明による半導体装置の実施の形態 8 の変形例を示すための平面模式図である。
- 【図 6 9】本発明による半導体装置の実施の形態 9 を示す断面模式図である。
- 【図 7 0】図 6 9 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。
- 【図 7 1】図 6 9 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。
- 【図 7 2】図 6 9 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。 30
- 【図 7 3】図 6 9 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。
- 【図 7 4】図 6 9 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。
- 【図 7 5】図 6 9 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図である。
- 【図 7 6】図 6 9 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。
- 【図 7 7】本発明による半導体装置の実施の形態 1 0 を示す断面模式図である。
- 【図 7 8】図 7 7 に示した半導体装置の製造方法の第 1 工程を説明するための断面模式図である。 40
- 【図 7 9】図 7 7 に示した半導体装置の製造方法の第 2 工程を説明するための断面模式図である。
- 【図 8 0】図 7 7 に示した半導体装置の製造方法の第 3 工程を説明するための断面模式図である。
- 【図 8 1】図 7 7 に示した半導体装置の製造方法の第 4 工程を説明するための断面模式図である。
- 【図 8 2】図 7 7 に示した半導体装置の製造方法の第 5 工程を説明するための断面模式図である。
- 【図 8 3】図 7 7 に示した半導体装置の製造方法の第 6 工程を説明するための断面模式図 50

である。

【図 8 4】図 7 7 に示した半導体装置の製造方法の第 7 工程を説明するための断面模式図である。

【図 8 5】図 7 7 に示した半導体装置の製造方法の第 8 工程を説明するための断面模式図である。

【図 8 6】図 7 7 に示した半導体装置の製造方法の第 9 工程を説明するための断面模式図である。

【図 8 7】本発明による半導体装置の製造方法の実施の形態 1 1 の第 1 工程を説明するための断面模式図である。

【図 8 8】本発明による半導体装置の製造方法の実施の形態 1 1 の第 2 工程を説明するための断面模式図である。

【図 8 9】従来のアナログ・デジタル L S I などの半導体装置におけるキャパシタが形成された容量部と配線が形成された配線部とを示す断面模式図である。

【図 9 0】図 8 9 の線分 X C - X C における断面模式図である。

【発明を実施するための形態】

【0085】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0086】

(実施の形態 1)

図 1 は、本発明による半導体装置の実施の形態 1 を示す断面模式図である。図 1 を参照して、本発明による半導体装置の実施の形態 1 を説明する。

【0087】

図 1 を参照して、半導体装置は特定用途向け集積回路 (A S I C) であって、容量が形成された容量部 2 0 と配線が形成された配線部 2 1 とを備える。半導体基板 1 の上部表面上には絶縁膜 2 が形成されている。そして、容量部 2 0 においては、絶縁膜 2 上に金属膜からなる下部電極 3 a が配置されている。下部電極 3 a の上部表面上にはキャパシタ誘電体膜 4 a が配置されている。キャパシタ誘電体膜 4 a 上には金属膜からなる上部電極 6 a が配置されている。ここで、下部電極 3 a の幅 W 1 よりも、上部電極 6 a の幅 W 2 の方が小さくなっている。

【0088】

また、配線部 2 1 においては、絶縁膜 2 上に 1 層目配線 3 b が形成されている。1 層目配線 3 b の上部表面上には誘電体膜 4 b が配置されている。

【0089】

誘電体膜 4 b および上部電極 6 a 上には層間絶縁膜 8 が形成されている。層間絶縁膜 8 においては、1 層目配線 3 b および上部電極 6 a 上に位置する領域において、それぞれコンタクトホール 1 0 a、1 0 b が形成されている。コンタクトホール 1 0 a、1 0 b の内部にはバリアメタル膜 (図示せず) が形成されている。そして、このコンタクトホール 1 0 a、1 0 b を充填するように、バリアメタル膜上にタングステンプラグ 1 1 a、1 1 b が形成されている。タングステンプラグ 1 1 a、1 1 b 上には、上層配線 1 2 a、1 2 b がそれぞれ形成されている。

【0090】

この場合、縦方向にキャパシタ下部電極としての下部電極 3 a、キャパシタ誘電体膜 4 a およびキャパシタ上部電極としての上部電極 6 a を積層して配置する事により、縦方向のキャパシタを形成することができる。そして、キャパシタ誘電体膜 4 a の膜みは、半導体装置を形成する際に用いる写真製版加工工程における最小加工寸法よりはるかに小さく設定できる。したがって、一定の静電容量を確保した状態で、キャパシタ誘電体膜 4 a の膜厚を従来より薄くすることで上部電極 6 a および下部電極 3 a の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

【0091】

10

20

30

40

50

また、上部電極 6 a の幅 W 2 は下部電極 3 a の幅 W 1 より小さくなるように設定されているので、上部電極 6 a を形成する際の写真製版加工工程における重ね合わせ余裕を大きくすることができる。この結果、上部電極 6 a と下部電極 3 a との位置がずれて、下部電極 3 a の側壁などと上部電極 6 a とが短絡する不良の発生を防止できる。

【 0 0 9 2 】

また、下部電極 3 a および上部電極 6 a は金属膜からなるため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタを実現できる。この結果、高精度フィルタ回路などに必要なキャパシタを容易に実現できる。また、このような高精度で電圧依存性の少ないキャパシタは、A S I C において特に必要とされており、本発明を A S I C に適用することで A S I C の高性能化および微細化を容易に図ることができる。

10

【 0 0 9 3 】

図 2 ~ 7 は、図 1 に示した半導体装置の製造方法を説明するための断面模式図である。図 2 ~ 7 を参照して、本発明による半導体装置の製造方法を説明する。

【 0 0 9 4 】

まず、図 2 に示すように、半導体基板 1 の上部表面上に絶縁膜 2 を形成する。絶縁膜 2 上に下層金属膜 3 を形成する。この下層金属膜 3 としては、スパッタリング法を用いてアルミニウム合金膜を堆積する。このアルミニウム合金膜からなる下層金属膜の厚みは 0 . 4 μ m 程度とする。下層金属膜 3 上にキャパシタ誘電体膜となる誘電体膜 4 を形成する。誘電体膜 4 としては、プラズマ C V D (Chemical Vapor Deposition) 法を用いて形成したシリコン酸化膜を用いることができる。誘電体膜 4 の厚みは 3 0 n m 程度とする。誘電体膜 4 上にレジスト膜 5 a 、 5 b を形成する。なお、ここでは下層金属膜 3 としてアルミニウム合金膜を用いたが、アルミニウム合金以外にたとえばタングステン膜などを用いてもよい。また、下層金属膜 3 の厚みを 0 . 4 μ m としたが、この下層金属膜 3 の厚みは適宜変更することが可能である。また、誘電体膜 4 としてはシリコン酸化膜を用いているが、シリコン酸化膜以外の材料、たとえばシリコン窒化膜を用いてもよい。また、誘電体膜 4 の厚みを 3 0 n m としたが、この誘電体膜 4 の厚みは適宜変更することが可能である。

20

【 0 0 9 5 】

次に、レジスト膜 5 a 、 5 b をマスクとして用いて、異方性エッチングにより誘電体膜 4 および下層金属膜 3 を部分的に除去する。その後、プラズマアッシングなどを用いてレジスト膜 5 a 、 5 b を除去する。このようにして、図 3 に示すようにキャパシタの下部電極 3 a およびキャパシタ誘電体膜 4 a 、そして 1 層目配線 3 b を形成する。なお、1 層目配線 3 b の上部表面上には誘電体膜 4 b が残存している。

30

【 0 0 9 6 】

次に、図 4 に示すように、キャパシタ誘電体膜 4 a および誘電体膜 4 b 上に上部電極となるべき金属膜 6 を形成する。金属膜 6 としては、スパッタリング法を用いて堆積されたアルミニウム合金膜を用いることができる。金属膜 6 の厚みとしては 0 . 4 μ m 程度とした。金属膜 6 上に写真製版加工技術を用いてレジスト膜 7 を形成する。なお、このレジスト膜 7 は上部電極 6 a (図 1 参照) を形成するために用いられるものであるため、レジスト膜 7 の幅 W 2 は上部電極 6 a の幅に対応する。そのため、レジスト膜 7 の幅 W 2 は下部電極 3 a の幅 W 1 よりも小さくなるように設定されている。なお、金属膜 6 としてはアルミニウム合金膜以外の金属膜、たとえばタングステン膜などを用いることができる。また、金属膜 6 の厚みは適宜変更することが可能である。

40

【 0 0 9 7 】

このようにレジスト膜 7 の幅 W 2 を下部電極 3 a の幅 W 1 よりも小さくすることにより、レジスト膜 7 を形成する際の写真製版加工工程における重ね合せ余裕を大きくすることができる。この結果、次工程における金属膜 6 のエッチング工程における残渣などによって、上部電極 6 a と下部電極 3 a とが短絡するといった不良の発生をより確実に防止できる。

【 0 0 9 8 】

50

次に、レジスト膜 7 をマスクとして用いて、異方性エッチングにより金属膜 6 を部分的に除去する。その後プラズマアッシングなどによってレジスト膜 7 を除去する。この結果、キャパシタの上部電極 6 a (図 5 参照) を形成することができる。その後、上部電極 6 a と誘電体膜 4 b との上に層間絶縁膜 8 を形成する。この層間絶縁膜 8 の上部表面は、化学機械研磨法 (CMP 法: Chemical Mechanical Polishing) を用いて平坦化されている。このようにして、図 5 に示すような構造を得る。

【 0 0 9 9 】

次に、層間絶縁膜 8 の上部表面上にレジスト膜 9 (図 6 参照) を形成する。このレジスト膜 9 をマスクとして用いて、異方性エッチングにより層間絶縁膜 8 および誘電体膜 4 b の一部を除去することにより、コンタクトホール 10 a、10 b を形成する。このようにして、図 6 に示すような構造を得る。なお、コンタクトホール 10 a の底部においては上部電極 6 a の上部表面が露出している。また、コンタクトホール 10 b の底部においては 1 層目配線 3 b の上部表面が露出している。

10

【 0 1 0 0 】

次に、レジスト膜 9 を除去する。そして、コンタクトホール 10 a、10 b の内部から層間絶縁膜 8 の上部表面上にまで延在するようにバリアメタル膜 (図示せず) およびタングステン膜 (図示せず) を形成する。層間絶縁膜 8 の上部表面上に位置するタングステン膜およびバリアメタル膜をドライエッチング法や化学機械研磨法などを用いて除去することにより、図 7 に示すように、コンタクトホール 10 a、10 b の内部を充填するタングステンプラグ 11 a、11 b およびバリアメタル膜 (図示せず) を形成する。

20

【 0 1 0 1 】

次に、層間絶縁膜 8 の上部表面上に 3 層目の金属膜 (図示せず) を形成する。この金属膜としては、スパッタリング法により形成されたアルミニウム合金膜を用いることができる。3 層目の金属膜の厚みは 0.4 μm 程度である。この金属膜上にレジスト膜 (図示せず) を形成する。レジスト膜をマスクとして用いて、異方性エッチングにより金属膜を部分的に除去する。その後レジスト膜を除去する。この結果、タングステンプラグ 11 a、11 b の上にそれぞれ位置する上層配線 12 a、12 b が形成される。このようにして、図 1 に示すような半導体装置を得る。なお、ここで上層配線 12 a、12 b となる 3 層目の金属膜としては、アルミニウム合金膜以外の金属膜、たとえばタングステン膜などを用いることができる。また、この 3 層目の金属膜の厚みは適宜変更することができる。

30

【 0 1 0 2 】

(実施の形態 2)

図 8 は、本発明による半導体装置の実施の形態 2 を示す断面模式図である。図 8 を参照して、本発明による半導体装置の実施の形態 2 を説明する。

【 0 1 0 3 】

図 8 を参照して、半導体装置は基本的には図 1 に示した半導体装置と同様の構造を備える。ただし、図 8 に示した半導体装置では、キャパシタ誘電体膜 4 a を含む誘電体膜 4 が下部電極 3 a の上部表面上から側壁面上にまで延在するように形成されている。

【 0 1 0 4 】

また、図 8 に示した半導体装置では、キャパシタの下部電極 3 a の幅 W_1 と上部電極 6 a の幅 W_2 とがほぼ等しくなっている。

40

【 0 1 0 5 】

この場合、本発明の実施の形態 1 と同様に、キャパシタ下部電極としての下部電極 4 a、キャパシタ誘電体膜 4 a およびキャパシタ上部電極としての上部電極 6 a を積層することにより縦方向のキャパシタを形成することができる。したがって、キャパシタ誘電体膜 4 a の膜厚を従来より薄くすることで上部電極 6 a および下部電極 3 a の表面積をより小さくしても一定の静電容量を確保できるので、従来よりキャパシタの小型化を図ることができる。

【 0 1 0 6 】

また、下部電極 3 a の上部表面上から側壁面上にまでキャパシタ誘電体膜 4 a を含む誘

50

電体膜 4 が延在するので、上部電極 6 a の位置がずれて下部電極 3 a の側壁面上にまで上部電極 6 a が延在するような場合にも、上部電極 6 a と下部電極 3 a との間に誘電体膜 4 が存在することになる。したがって、下部電極 3 a と上部電極 6 a との短絡を確実に防止できる。

【0107】

また、下部電極 3 a および上部電極 6 a は金属膜からなるため、本発明の実施の形態 1 による半導体装置と同様に、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より高精度で電圧依存性の少ないキャパシタを実現できる。

【0108】

図 9 ~ 13 は、図 8 に示した半導体装置の製造方法を説明するための断面模式図である。図 9 ~ 13 を参照して、図 8 に示した半導体装置の製造方法を説明する。

10

【0109】

まず、本発明の実施の形態 1 における半導体装置の製造方法と同様に、半導体基板 1 の上部表面上に絶縁膜 2 を形成する。絶縁膜 2 上に下層金属膜 3 を形成する。この下層金属膜 3 としては、スパッタリング法を用いて形成されたアルミニウム合金膜を用いることができる。下層金属膜 3 の厚みは $0.4 \mu\text{m}$ 程度である。なお、下層金属膜 3 の材料として、アルミニウム合金以外の材料、たとえばタングステンなどを用いることができる。また、下層金属膜 3 の厚みを $0.4 \mu\text{m}$ としたが、この下層金属膜 3 の厚みは適宜変更することが可能である。そして、下層金属膜 3 の上部表面上に写真製版加工技術を用いてレジスト膜 5 a、5 b を形成する。このようにして、図 9 に示したような構造を得る。

20

【0110】

次に、レジスト膜 5 a、5 b をマスクとして用いて、異方性エッチングにより下層金属膜 3 を部分的に除去する。その後、プラズマアッシングなどを用いてレジスト膜 5 a、5 b を除去する。この結果、下部電極 3 a (図 10 参照) および 1 層目配線 3 b (図 10 参照) が形成される。そして、下部電極 3 a および 1 層目配線 3 b 上に誘電体膜 4 を形成する。このようにして、図 10 に示したような構造を得る。

【0111】

なお、誘電体膜 4 としては、プラズマ CVD 法を用いて形成されたシリコン酸化膜を用いることができる。また、誘電体膜 4 の厚みは 30nm 程度とした。この誘電体膜 4 の厚みは適宜変更することができる。また、誘電体膜 4 の材料としては、シリコン酸化膜以外の材料、たとえばシリコン窒化膜などの他の誘電体膜を用いることができる。

30

【0112】

次に、誘電体膜 4 上に上部電極 6 a (図 8 参照) となるべき金属膜 6 (図 11 参照) を形成する。金属膜 6 としてはスパッタリング法により形成されるアルミニウム合金膜を用いることができる。また、金属膜 6 の厚みは $0.4 \mu\text{m}$ 程度とした。なお、金属膜 6 の材料としては、アルミニウム合金膜以外の金属膜、たとえばタングステン膜などを用いることができる。この金属膜 6 上に写真製版加工技術を用いてレジスト膜 7 (図 11 参照) を形成する。このようにして、図 11 に示すような構造を得る。なお、下部電極 3 a の幅 W_1 と、レジスト膜 7 の幅 W_2 とはほぼ等しくなっている。

【0113】

次に、レジスト膜 7 をマスクとして用いて、異方性エッチングにより金属膜 6 を部分的に除去することにより、上部電極 6 a (図 12 参照) を形成する。その後、プラズマアッシングなどを用いてレジスト膜 7 を除去する。そして、図 12 に示すように、上部電極 6 a と誘電体膜 4 との上に層間絶縁膜 8 を形成する。この層間絶縁膜 8 の上部表面は化学機械研磨法などを用いて平坦化されている。

40

【0114】

このようにすれば、下部電極 3 a の上部表面上から側壁面上にまで誘電体膜 4 が延在するので、レジスト膜 7 の位置がずれて下部電極 3 a の側壁面上にまで上部電極 6 a が延在するような場合にも、上部電極 6 a と下部電極 3 a の側壁との間に誘電体膜 4 が存在することになる。したがって、下部電極 3 a と上部電極 6 a との短絡を確実に防止できる。

50

【0115】

次に、本発明の実施の形態1における図6および7に示した工程と同様の工程を用いて、層間絶縁膜8にコンタクトホール10a、10b(図13参照)を形成するとともに、このコンタクトホール10a、10bの内部にバリアメタル膜(図示せず)を形成する。さらに、このコンタクトホール10a、10bの内部を充填するタングステンプラグ11a、11bを形成する。このようにして、図13に示すような構造を得る。

【0116】

この後、本発明の実施の形態1と同様にタングステンプラグ11a、11b上に上層配線12a、12bを形成する。このようにして、図8に示すような半導体装置を得ることができる。

10

【0117】

図14は、図8に示した本発明による半導体装置の実施の形態2の第1の変形例を示す断面模式図である。図14を参照して、本発明による半導体装置の実施の形態2の第1の変形例を説明する。

【0118】

図14を参照して、半導体装置は基本的に図8に示した半導体装置と同様の構造を備えるが、上部電極6aの幅W2が下部電極3aの幅W1より小さくなっている。

【0119】

この場合、本発明による半導体装置の実施の形態1と同様に、上部電極6aを形成する際の写真製版加工における上部電極6aと下部電極3aとの重ね合わせ余裕を大きくすることができる。この結果、下部電極3aの側壁などと上部電極6aとが短絡する不良の発生を防止できる。

20

【0120】

図15は、図14に示した半導体装置の製造方法を説明するための断面模式図である。図15を参照して、図14に示した半導体装置の製造方法を説明する。

【0121】

まず、図9および10に示した工程を実施した後、図15に示すように、金属膜6およびレジスト膜7を形成する。なお、図15に示した工程は、図11に示した工程に対応している。図15に示すように、レジスト膜7の幅W2を、下部電極3aの幅W1よりも小さくしておく。この結果、レジスト膜7を形成する際の写真製版加工における、レジスト膜7と下部電極3aとの重ね合わせ余裕を大きくすることができる。

30

【0122】

その後、図12および13に示した工程を実施することにより、図14に示した半導体装置を得ることができる。

【0123】

図16は、図8に示した本発明による半導体装置の実施の形態2の第2の変形例を示す断面模式図である。図16を参照して、本発明による半導体装置の実施の形態2の第2の変形例を説明する。

【0124】

図16を参照して、半導体装置は基本的に図8に示した半導体装置と同様の構造を備えるが、上部電極6aの幅W2が下部電極3aの幅W1よりも大きくなっている。

40

【0125】

この場合、下部電極3aの側壁面上にも、誘電体膜4を介して上部電極6aが位置することになる。この結果、下部電極3aの側壁面もキャパシタの電極として利用できるので、キャパシタの静電容量を増大させることができる。

【0126】

図17は、図16に示した半導体装置の製造方法を説明するための断面模式図である。図17を参照して、図16に示した半導体装置の製造方法を説明する。

【0127】

まず、図9および10に示した工程を実施した後、誘電体膜4上に金属膜6とレジスト

50

膜 7 を形成する。このとき、レジスト膜 7 の幅 W_2 は、下部電極 3 a の幅 W_1 よりも大きくなるように設定されている。なお、この図 1 7 に示した工程は図 1 1 に示した工程に対応している。このようにすれば、レジスト膜 7 をマスクとして金属膜 6 を異方性エッチングにより部分的に除去することにより、下部電極 3 a の上部表面から側壁面上にまで、誘電体膜 4 を介して上部電極 6 a が延在することになる。

【 0 1 2 8 】

その後、図 1 2 および 1 3 に示した工程を実施することにより、図 1 6 に示した半導体装置を得ることができる。

【 0 1 2 9 】

(実施の形態 3)

図 1 8 は、本発明による半導体装置の実施の形態 3 を示す断面模式図である。図 1 8 を参照して、本発明による半導体装置の実施の形態 3 を説明する。

【 0 1 3 0 】

図 1 8 を参照して、半導体装置は基本的には図 1 に示した半導体装置と同様の構造を備える。ただし、図 1 8 に示した半導体装置では、キャパシタを構成する上部電極 6 a、下部電極 3 a およびキャパシタ誘電体膜 4 a のそれぞれの側壁の位置がほぼ一致している。上部電極 6 a はタングステン膜からなってもよく、また、下部電極 3 a はアルミニウム合金膜など、アルミニウムを含む金属膜であってもよい。

【 0 1 3 1 】

この場合、本発明による半導体装置の実施の形態 1 と同様に、縦方向のキャパシタを形成することによりキャパシタの小型化を図ることができるとともに、金属膜からなる上部電極 6 a および下部電極 3 a を用いることで、電圧依存性の少ない高精度なキャパシタを実現できる。また、後述する製造工程において示すように、下部電極 3 a と上部電極 6 a とを構成する材料を異なるものとすることにより、下部電極 3 a を形成するためのエッチング工程において、上部電極 6 a をマスクとして確実に利用できる。

【 0 1 3 2 】

図 1 9 ~ 2 6 は、図 1 8 に示した半導体装置の製造方法を説明するための断面模式図である。図 1 9 ~ 2 6 を参照して、図 1 8 に示した半導体装置の製造方法を説明する。

【 0 1 3 3 】

まず、図 1 9 に示すように、半導体基板 1 の上部表面上に絶縁膜 (図示せず) を形成する。絶縁膜上に下部電極となる下層金属膜 3 を形成する。下層金属膜 3 上にキャパシタ誘電体膜となる誘電体膜 4 を形成する。誘電体膜 4 上に上部電極となる金属膜 6 を形成する。

【 0 1 3 4 】

次に、図 2 0 に示すように、金属膜 6 上に写真製版加工技術を用いてレジスト膜 5 a を形成する。

【 0 1 3 5 】

次に、このレジスト膜 5 a をマスクとして用いて、異方性エッチングにより金属膜 6 を部分的に除去する。その後、プラズマアッシングなどを用いてレジスト膜 5 a を除去する。その結果、図 2 1 に示すように、上部電極 6 a が形成される。

【 0 1 3 6 】

次に、図 2 2 に示すように、写真製版加工技術を用いて 1 層目配線 3 b を形成するためのレジスト膜 5 b を誘電体膜 4 上に形成する。ここで、誘電体膜 4 としてシリコン酸化窒化膜 ($SiON$ 膜) を用いる。このようにすれば、レジスト膜 5 b を形成する際の A R C (Anti Reflection Coat) としてこの誘電体膜 4 を利用することができる。この結果、レジスト膜 5 b を形成する際に新たに誘電体膜 4 上に A R C を形成する必要がない。すなわち、工程を簡略化することができる。

【 0 1 3 7 】

次に、上部電極 6 a およびレジスト膜 5 b をマスクとして、異方性エッチングを用いて誘電体膜 4 および下層金属膜 3 を部分的に除去することにより、キャパシタ誘電体膜 4 a

10

20

30

40

50

(図23参照)、下部電極3a(図23参照)および1層目配線3b(図23参照)を形成する。

【0138】

このように、上部電極6aをマスクとして下部電極3aを形成するので、上部電極6aと下部電極3aとの位置がずれを確実に防止できる。

【0139】

その後、レジスト膜5bおよび1層目配線3b上に位置する誘電体膜を除去する。そして、1層目配線3bおよび上部電極6a上に層間絶縁膜8(図23参照)を形成する。層間絶縁膜8の上部表面は化学機械研磨法(CMP法)を用いて平坦化されている。

【0140】

次に、図24に示すように、層間絶縁膜8の上部表面上に写真製版加工技術を用いてレジスト膜9を形成する。

【0141】

次に、レジスト膜9をマスクとして、異方性エッチングを用いて層間絶縁膜8を部分的に除去することにより、コンタクトホール10a、10b(図25参照)を形成する。その後、プラズマアッシングなどによりレジスト膜9を除去する。このようにして、図25に示すような構造を得る。

【0142】

次に、コンタクトホール10a、10bの内部から層間絶縁膜8の上部表面上にまで延在するようにバリアメタル膜(図示せず)を形成する。バリアメタル膜上にタングステン膜(図示せず)を形成する。その後、層間絶縁膜8の上部表面上に位置するバリアメタル膜およびタングステン膜をCMP法などを用いて除去する。その結果、図26に示すように、コンタクトホール10a、10bの内部に位置するバリアメタル膜と、バリアメタル膜上に形成され、コンタクトホール10a、10bの内部を充填するタングステンプラグ11a、11bを得ることができる。

【0143】

その後、本発明の実施の形態1および2と同様に、タングステンプラグ11a、11b上に上層配線12a、12bを形成することにより、図18に示した半導体装置を得ることができる。

【0144】

(実施の形態4)

図27は、本発明による半導体装置の実施の形態4を示す断面模式図である。図27を参照して、本発明による半導体装置の実施の形態4を説明する。

【0145】

図27を参照して、半導体装置は基本的には図1に示した半導体装置と同様の構造を備える。ただし、図27に示した半導体装置では、キャパシタの上部電極6aの側壁上に誘電体膜からなるサイドウォール膜38a、38bが形成されている。そして、上部電極6aの幅とサイドウォール膜38a、38bの幅との合計の長さ、下部電極3aの幅W1とがほぼ等しくなっている。つまり、上部電極6aの幅W2は、下部電極3aの幅W1より小さくなっている。この結果、本発明による半導体装置の実施の形態1と同様の効果を得ることができる。

【0146】

また、上部電極6aの側壁と下部電極3aの上部表面との間にサイドウォール絶縁膜としてのサイドウォール膜38a、38bが配置されているので、上部電極6aと下部電極3aとの短絡を確実に防止できる。

【0147】

また、後述する製造工程において示すように、上部電極6aとサイドウォール膜38a、38bとを、下部電極3aを形成するための異方性エッチングにおけるマスクとして用いれば、上部電極6a下に位置し、上部電極6aより幅の広い下部電極3aを確実に形成できる。

10

20

30

40

50

【0148】

なお、上部電極6aと下部電極3aとを異なる材料により形成してもよい。たとえば、上部電極6aの材料としてタングステン膜を、下部電極3aの材料としてアルミニウム合金膜を用いてもよい。この場合、下部電極3aを形成するためのエッチング工程において、上部電極6aをマスクとして確実に利用できる。

【0149】

図28～34は、図27に示した半導体装置の製造方法を説明するための断面模式図である。図28～34を参照して、図27に示した半導体装置の製造方法を説明する。

【0150】

まず、図19～21に示した製造工程を実施した後、図28に示すように、上部電極6aと誘電体膜4との上にサイドウォール膜38a、38b(図27参照)となるべき絶縁膜38を形成する。

10

【0151】

次に、絶縁膜38を異方性エッチングにより部分的に除去することにより、上部電極6aの側壁上にサイドウォール膜38a、38b(図29参照)を形成する。そして、1層目配線3b(図27参照)が形成されるべき領域上において、誘電体膜4上にレジスト膜5bを形成する。このようにして、図29に示すような構造を得る。

【0152】

このように、上部電極6aとサイドウォール膜38a、38bとを、下部電極3aを形成するためのエッチングにおけるマスクとして用いることにより、上部電極6a下に位置し、かつ、上部電極6aより幅の広い下部電極3aを確実に形成できる。

20

【0153】

次に、上部電極6a、サイドウォール膜38a、38bおよびレジスト膜5bをマスクとして用いて、誘電体膜4および下層金属膜3を異方性エッチングにより部分的に除去する。その後、レジスト膜5bを除去する。この結果、図30に示すように、下部電極3a、キャパシタ誘電体膜4aおよび1層目配線3bが形成される。なお、1層目配線3b上には誘電体膜4bが残存している。このように、上部電極6aとサイドウォール膜38a、38bとを、下部電極3aを形成するためのマスクとして用いるので、上部電極6aの幅W2よりも下部電極3aの幅W1の方が大きくなっている。

【0154】

なお、ここで上部電極6aを構成する金属膜の材料と、下部電極3aを構成する金属膜の材料とは異なる材料を用いる。また、下層金属膜3をエッチングする際のエッチング条件としては、下層金属膜3を構成する材料のエッチング速度は十分大きな値となる一方、上部電極6aを構成する材料はほとんど当該エッチングにより除去されないようなエッチング条件を用いることが好ましい。

30

【0155】

次に、図31に示すように、上部電極6a、サイドウォール膜38a、38bおよび誘電体膜4b上に層間絶縁膜8を形成する。層間絶縁膜8の上部表面はCMP法などを用いて平坦化されている。

【0156】

次に、図32に示すように、層間絶縁膜8の上部表面上にレジスト膜9を形成する。次に、レジスト膜9をマスクとして用いて、異方性エッチングにより層間絶縁膜8および誘電体膜4bを部分的に除去することにより、コンタクトホール10a、10b(図33参照)を形成する。その後、レジスト膜9を除去する。その結果、図33に示すような構造を得る。

40

【0157】

次に、図26において示した工程と同様に、コンタクトホール10a、10bの内部に位置するバリアメタル膜(図示せず)およびコンタクトホール10a、10bの内部を充填するタングステンプラグ11a、11bを形成する。この結果、図34に示したような構造を得る。

50

【0158】

その後、本発明の実施の形態3と同様にタングステンプラグ11a、11b上に上層配線12a、12b(図27)を形成することにより、図27に示す半導体装置を得ることができる。

【0159】

(実施の形態5)

図35は、本発明による半導体装置の実施の形態5を示す断面模式図である。図35を参照して、本発明による半導体装置の実施の形態5を説明する。

【0160】

図35を参照して、半導体装置は基本的には図27に示した半導体装置と同様の構造を備える。ただし、図35においては、上部電極6aとキャパシタ誘電体膜4aとの側壁上にサイドウォール膜38a、38bが形成されている。また、1層目配線3b上にはサイドウォール膜38a、38bと同一レベルの層からなる絶縁膜38cが残存している。サイドウォール膜38a、38bおよび絶縁膜38cはシリコン酸化窒化膜からなる。ここで、同一レベルの層からなるとは、サイドウォール膜38a、38bおよび絶縁膜38cが、1つの層である絶縁膜38(図37参照)を加工することにより得られることを意味する。

10

【0161】

図35に示した半導体装置によっても、本発明による半導体装置の実施の形態4と同様の効果を得ることができる。

20

【0162】

また、サイドウォール膜38a、38bおよび絶縁膜38cを構成するシリコン酸化窒化膜はARC(Anti Reflection Coat)としての機能を有する。したがって、後述する製造工程で示すように、1層目配線3bを形成するために用いるレジスト膜のためのARCとして、サイドウォール膜38a、38bおよび絶縁膜38cを構成するシリコン酸化窒化膜を利用できる。

【0163】

図36~43は、図35に示した半導体装置の製造方法を説明するための断面模式図である。図36~43を参照して、図35に示した半導体装置の製造方法を説明する。

【0164】

まず、図19および20に示した本発明の実施の形態3における半導体装置の製造方法の工程と同様の工程を実施する。そして、レジスト膜5a(図20参照)をマスクとして用いて、金属膜6と誘電体膜4(図20参照)を部分的に除去することにより、上部電極6aとキャパシタ誘電体膜4a(図36参照)を形成する。その後、レジスト膜5aを除去する。このようにして、図36に示すような構造を得る。

30

【0165】

次に、図37に示すように、上部電極6aと下層金属膜3の上部表面上とに絶縁膜38を形成する。絶縁膜38としては、シリコン酸化窒化膜を用いる。

【0166】

次に、図38に示すように、1層目配線3b(図35参照)が形成されるべき領域上において、絶縁膜38上にレジスト膜5bを形成する。

40

【0167】

ここで、すでに述べたようにシリコン酸化窒化膜はARCとしての機能を有する。したがって、サイドウォール膜38a、38bを形成するためにシリコン酸化窒化膜からなる絶縁膜38を上部電極6a上から1層目配線3bが形成されるべき領域にまで延在するように形成し、この領域においてレジスト膜5bをシリコン酸化窒化膜上に形成すれば、レジスト膜5bのために別途ARCを形成する必要がない。この結果、製造工程を簡略化できる。

【0168】

次に、レジスト膜5bをマスクとして、異方性エッチングにより絶縁膜38を部分的に

50

除去することにより、絶縁膜 38c を形成する。このとき、上部電極 6a およびキャパシタ誘電体膜 4a の側壁上にサイドウォール膜 38a、38b (図 39 参照) も形成される。その後、レジスト膜 5b を除去する。そして、上部電極 6a、サイドウォール膜 38a、38b および絶縁膜 38c をマスクとして、異方性エッチングにより下層金属膜 3 を部分的に除去する。このようにして、図 39 に示すような構造を得る。この異方性エッチングにより、下部電極 3a と 1 層目配線 3b とが形成される。

【0169】

次に、図 40 に示すように、上部電極 6a、サイドウォール膜 38a、38b および絶縁膜 38c 上に層間絶縁膜 8 を形成する。層間絶縁膜 8 の上部表面は CMP 法などを用いて平坦化されている。

10

【0170】

次に、図 41 に示すように、図 32 に示した工程と同様に層間絶縁膜 8 の上部表面上にレジスト膜 9 を形成する。

【0171】

次に、レジスト膜 9 をマスクとして異方性エッチングにより層間絶縁膜 8 および絶縁膜 38c を部分的に除去することにより、コンタクトホール 10a、10b (図 42 参照) を形成する。その後、レジスト膜 9 を除去する。このようにして、図 42 に示すような構造を得る。

【0172】

次に、図 43 に示すように、図 34 に示した本発明の実施の形態 4 における半導体装置の製造方法と同様に、コンタクトホール 10a、10b の内部に位置するバリアメタル膜 (図示せず) およびコンタクトホール 10a、10b の内部を充填するように配置されたタングステンプラグ 11a、11b を形成する。

20

【0173】

その後、タングステンプラグ 11a、11b 上にそれぞれ上層配線 12a、12b (図 35 参照) を形成することにより、図 35 に示すような半導体装置を得ることができる。

【0174】

(実施の形態 6)

図 44 は、本発明による半導体装置の実施の形態 6 を示す断面模式図である。また、図 45 は、図 44 における配線部 21 を示す部分拡大断面模式図である。図 44 および 45 を参照して、本発明による半導体装置の実施の形態 6 を説明する。

30

【0175】

図 44 および 45 を参照して、半導体装置は基本的には図 27 に示した半導体装置と同様の構造を備える。ただし、図 44 および 45 に示した半導体装置では、配線部 21 の構造が図 27 に示した半導体装置とは異なる。すなわち、図 44 および 45 に示した半導体装置の配線部 21 においては、1 層目配線 3b 上に誘電体膜 4b が配置されている。そして、誘電体膜 4b 上には上部電極 6a と同一レベルの層からなる上部配線 6b が配置されている。上部配線 6b の側壁上にはサイドウォール膜 38d、38e が形成されている。そして、この 1 層目配線 3b と上部配線 6b とは、コンタクトホール 10b の内部に充填されたバリアメタル膜 (図示せず) およびタングステンプラグ 11b により電氣的に接続されることにより、1 つの配線として作用する。つまり、コンタクトホール 10b は、その側壁の一部分に上部配線 6b の上部表面および側壁面が露出すると同時に、その底壁において 1 層目配線 3b の上部表面の一部が露出している。そして、このバリアメタル膜およびタングステンプラグ 11b は、1 層目配線 3b の上部表面および上部配線 6b の上部表面および側壁面のそれぞれと電氣的に接続されている。図 45 に示すように、コンタクトホール 10b はサイドウォール膜 38e および誘電体膜 4b を貫通して、1 層目配線 3b の上部表面にまで到達するように形成されている。

40

【0176】

このように、図 44 および 45 に示した半導体装置では、本発明による半導体装置の実施の形態 4 と同様の効果を得ることができる。

50

【0177】

また、下部電極3 a、キャパシタ誘電体膜4 aおよび上部電極6 aからなる縦型のキャパシタを形成する工程において、キャパシタと同時に上部配線部分としての上部配線6 bと下部配線部分としての1層目配線3 bとからなる配線を形成できる。また、導電体膜としてのタングステンプラグ1 1 bにより上部配線6 bと1層目配線3 bとを電氣的に接続することにより、上部配線6 bと1層目配線3 bとを1つの配線として作用させることができる。

【0178】

図4 6 ~ 5 4は、図4 4および4 5に示した半導体装置の製造方法を説明するための断面模式図である。図4 6 ~ 5 4を参照して、図4 4および4 5に示した半導体装置の製造方法を説明する。

10

【0179】

まず、図1 9に示した工程を実施した後、図4 6に示すように、金属膜6上にレジスト膜5 a、5 bを形成する。

【0180】

次に、このレジスト膜5 a、5 bをマスクとして用いて、異方性エッチングにより金属膜6を部分的に除去する。その後レジスト膜5 a、5 bを除去する。この結果、図4 7に示すように、上部電極6 aと上部配線6 bとが形成される。

【0181】

次に、図4 8に示すように、上部電極6 a、上部配線6 bおよび誘電体膜4上に絶縁膜3 8を形成する。

20

【0182】

次に、異方性エッチングを用いて絶縁膜3 8を部分的に除去することにより、図4 9に示すように、上部電極6 aの側壁上に位置するサイドウォール膜3 8 a、3 8 bと、上部配線6 bの側壁上に位置するサイドウォール膜3 8 d、3 8 eを形成する。

【0183】

次に、上部電極6 a、上部配線6 bおよびサイドウォール膜3 8 a、3 8 b、3 8 d、3 8 eをマスクとして用いて、異方性エッチングにより誘電体膜4および下層金属膜3を部分的に除去する。この結果、図5 0に示すように下部電極3 a、キャパシタ誘電体膜4 a、1層目配線3 bおよび誘電体膜4 bを形成する。このとき、サイドウォール膜3 8 a、3 8 bが存在することにより、上部電極6 aの幅W 2よりも、下部電極3 aの幅W 1は大きくなっている。また、同様に上部配線6 bの幅よりも1層目配線3 bの幅の方が大きくなっている。

30

【0184】

次に、図5 1に示すように、上部電極6 aおよび上部配線6 b上に層間絶縁膜8を形成する。層間絶縁膜8の上部表面はCMP法などを用いて平坦化されている。

【0185】

次に、図5 2に示すように、層間絶縁膜8の上部表面上にレジスト膜9を形成する。次に、レジスト膜9をマスクとして用いて、異方性エッチングにより層間絶縁膜8、サイドウォール膜3 8 e、誘電体膜4 bを部分的に除去することにより、コンタクトホール1 0 a、1 0 b(図5 3参照)を形成する。その後レジスト膜9を除去する。このようにして、図5 3に示すような構造を得る。

40

【0186】

このとき、コンタクトホール1 0 bの側壁においては、上部配線6 bの上部表面の一部および側壁面が露出すると同時に、コンタクトホール1 0 bの底部においては1層目配線3 bの上部表面の一部が露出している。

【0187】

次に、図5 4に示すように、図4 3に示した工程と同様にバリアメタル膜(図示せず)およびコンタクトホール1 0 a、1 0 bの内部を充填するタングステンプラグ1 1 a、1 1 bを形成する。

50

【0188】

このように、下部電極3 a、キャパシタ誘電体膜4 aおよび上部電極6 aからなる縦型のキャパシタを形成する工程において、キャパシタと同時に上部配線6 bと1層目配線3 bとが導電体としてのタングステンプラグ1 1 bにより電氣的に接続された配線を形成できる。

【0189】

その後、上層配線1 2 a、1 2 b（図4 4参照）を形成することにより、図4 4および4 5に示したような半導体装置を得ることができる。

【0190】

（実施の形態7）

図5 5は、本発明による半導体装置の実施の形態7を示す断面模式図である。図5 5を参照して、本発明による半導体装置の実施の形態7を説明する。

【0191】

図5 5を参照して、半導体装置は容量部2 0と配線部2 1とを備える。容量部2 0においては、半導体基板（図示せず）上に形成された層間絶縁膜2 5に、ビアホール2 7およびこのビアホール2 7の上部に接続された溝2 6が形成されている。溝2 6およびビアホール2 7の壁面にはバリアメタル膜2 8が形成されている。バリアメタル膜2 8上には、溝2 6およびビアホール2 7を充填するように金属膜2 9が形成されている。このバリアメタル膜2 8の材料としては窒化チタン（TiN）を用いることができる。また、金属膜2 9の材料としてはたとえばタングステンを用いることができる。このバリアメタル膜2 8および金属膜2 9は、キャパシタの下部電極3 1として作用する。そして、バリアメタル膜2 8および金属膜2 9の上部表面の位置は、層間絶縁膜2 5の上部表面の位置とほぼ一致している。後述するように、下部電極3 1はいわゆるデュアルダマシン法により形成されている。

【0192】

下部電極3 1上にはキャパシタ誘電体膜3 0が形成されている。キャパシタ誘電体膜3 0を覆うように金属膜からなる上部電極3 2 aが形成されている。金属膜からなる上部電極3 2 a上には層間絶縁膜3 3が形成されている。上部電極3 2 a上に位置する領域においては、層間絶縁膜3 3にコンタクトホール3 4 aが形成されている。コンタクトホール3 4 aの壁面上にはバリアメタル膜3 7 aが形成されている。バリアメタル膜3 7 a上には、コンタクトホール3 4 aを充填するようにタングステンプラグ1 1 aが形成されている。タングステンプラグ1 1 a上には上層配線1 2 aが形成されている。

【0193】

また、配線部2 1においては、層間絶縁膜2 5上に上部電極3 2 aと同一レベルの層からなり、金属膜からなる配線3 2 bが形成されている。配線3 2 b上には層間絶縁膜3 3が形成されている。配線3 2 b上に位置する領域においては、層間絶縁膜3 3にコンタクトホール3 4 bが形成されている。コンタクトホール3 4 bの壁面上にはバリアメタル膜3 7 bが形成されている。バリアメタル膜3 7 b上には、コンタクトホール3 4 bの内部を充填するようにタングステンプラグ1 1 bが形成されている。タングステンプラグ1 1 b上には上層配線1 2 bが形成されている。

【0194】

このように、縦方向にキャパシタ下部電極としての下部電極3 1、キャパシタ誘電体膜3 0およびキャパシタ上部電極としての上部電極3 2 aを積層して配置する事により、縦方向のキャパシタを形成することができる。このため、本発明の実施の形態1による半導体装置と同様に、一定の静電容量を確保した状態で、誘電体膜の膜厚を従来より薄くすることで上部電極3 2 aおよび下部電極3 1の表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

【0195】

また、下部電極は、層間絶縁膜の溝の内部に充填されたいわゆるダマシン構造となっているので、配線としてダマシン配線を用いている半導体装置において、そのような配線の

10

20

30

40

50

一部を下部電極 3 1 として利用できる。この結果、このようなダマシン配線を用いた半導体装置において、縦型のキャパシタを容易に実現できる。

【 0 1 9 6 】

また、下部電極 3 1 および上部電極 3 2 a は金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタを実現できる。

【 0 1 9 7 】

図 5 6 ~ 6 0 は、図 5 5 に示した半導体装置の製造方法を説明するための断面模式図である。図 5 6 ~ 6 0 を参照して、図 5 5 に示した半導体装置の製造方法を説明する。

【 0 1 9 8 】

まず、図 5 6 に示すように、半導体基板（図示せず）上に層間絶縁膜 2 5 を形成する。

次に、図 5 7 に示すように、デュアルダマシン法を実施するため、層間絶縁膜 2 5 において溝 2 6 およびこの溝 2 6 に接続されたビアホール 2 7 を形成する。

【 0 1 9 9 】

次に、溝 2 6 およびビアホール 2 7 の壁面上から層間絶縁膜 2 5 の上部表面上にまで延在するように C V D 法などを用いてバリアメタル膜（図示せず）を堆積する。

【 0 2 0 0 】

次に、バリアメタル膜上に、溝 2 6 およびビアホール 2 7 の内部を充填するとともに、層間絶縁膜 2 5 の上部表面上にまで延在するようにタングステンなどの金属膜（図示せず）を C V D 法などを用いて堆積する。その後、C M P 法を用いて、層間絶縁膜 2 5 の上部表面上に位置する金属膜およびバリアメタル膜を除去する。このようにして、図 5 8 に示すように、バリアメタル膜 2 8 および金属膜 2 9 を形成する。このバリアメタル膜 2 8 および金属膜 2 9 によってキャパシタの下部電極 3 1 が構成される。

【 0 2 0 1 】

次に、金属膜 2 9 上から層間絶縁膜 2 5 の上部表面上にまで延在するように誘電体膜（図示せず）を形成する。この誘電体膜としては、C V D 法などを用いて堆積されるシリコン酸化膜を用いてもよい。このとき、誘電体膜としてのシリコン酸化膜の厚みは 3 0 n m 程度とした。その後、写真製版加工技術を用いて誘電体膜上にレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして誘電体膜を部分的に除去する。その後、レジスト膜を除去する。この結果、図 5 9 に示すように、下部電極 3 1 上に位置するキャパシタ誘電体膜 3 0 を形成する。

【 0 2 0 2 】

次に、キャパシタ誘電体膜 3 0 上から層間絶縁膜 2 5 の上部表面上にまで延在するように金属膜（図示せず）を形成する。この金属膜としては、スパッタリング法を用いて堆積されたアルミニウム膜などを用いることができる。このアルミニウム膜などの金属膜上に写真製版加工技術を用いてレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、異方性エッチングにより金属膜を部分的に除去する。その後レジスト膜を除去する。その結果、図 6 0 に示すように、金属膜からなる配線 3 2 b と上部電極 3 2 a とを形成する。ここで、キャパシタ誘電体膜 3 0 の幅は下部電極 3 1 の幅よりも広がっている。また、上部電極 3 2 a の幅はキャパシタ誘電体膜 3 0 の幅よりも広がっている。

【 0 2 0 3 】

その後、上部電極 3 2 a および配線 3 2 b 上に層間絶縁膜 3 3（図 5 5 参照）を形成する。層間絶縁膜 3 3 上にレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして異方性エッチングにより層間絶縁膜 3 3 を部分的に除去することにより、コンタクトホール 3 4 a、3 4 b（図 5 5 参照）を形成する。このコンタクトホール 3 4 a、3 4 b の内部から層間絶縁膜 3 3 の上部表面上にまで延在するようにバリアメタル膜（図示せず）を形成する。このバリアメタル膜としては C V D 法などを用いて堆積された窒化チタン膜などを用いることができる。バリアメタル膜上に、コンタクトホール 3 4 a、3 4 b の内部を充填するとともに層間絶縁膜 3 3 の上部表面上にまで延在するタングステン膜（図

10

20

30

40

50

示せず)を形成する。その後、層間絶縁膜 33 の上部表面上に位置するタングステン膜およびバリアメタル膜をCMP法などを用いて除去する。その結果、コンタクトホール 34 a、34 b の内部にバリアメタル膜 37 a、37 b およびタングステンプラグ 11 a、11 b を形成する。その後、タングステンプラグ 11 a、11 b 上に上層配線 12 a、12 b (図 55 参照)を形成する。このようにして、図 55 に示すような縦方向のキャパシタを有する半導体装置を得ることができる。

【0204】

(実施の形態 8)

図 61 は、本発明による半導体装置の実施の形態 8 を示す断面模式図である。また、図 62 は、図 61 の線分 L X I I - L X I I における水平方向の断面を示す平面模式図である。図 61 および図 62 を参照して、本発明による半導体装置の実施の形態 8 を説明する。

10

【0205】

図 61 および図 62 を参照して、半導体装置は容量部 20 と配線部 21 とを備える。容量部 20 においては、層間絶縁膜 25 上に一方電極 36 a と、他方電極 36 b とが形成されている。図 62 からわかるように、一方電極 36 a は、延在部 39 a、39 c、39 e を有する。また、他方電極 36 b は、延在部 39 b、39 d、39 f を有する。これらの延在部 39 a ~ 39 f は互いにキャパシタ誘電体膜として作用する層間絶縁膜 33 の一部を介して対向するように配置されている。そして、他方電極 36 b 下に位置する領域においては、層間絶縁膜 25 にコンタクトホール 35 a が形成されている。コンタクトホール 35 a の内部には、バリアメタル膜 28 a と金属膜 29 a とが形成されている。金属膜 29 a は他方電極 36 b と電氣的に接続されている。また、層間絶縁膜 33 においては、一方電極 36 a 上に位置する領域にコンタクトホール 34 a が形成されている。このコンタクトホール 34 a の内部には、バリアメタル膜 37 a とタングステンプラグ 11 a とが形成されている。このタングステンプラグ 11 a 上に位置する領域には、上層配線 12 a が形成されている。上層配線 12 a と一方電極 36 a とは、バリアメタル膜 37 a およびタングステンプラグ 11 a を介して電氣的に接続されている。

20

【0206】

また、配線部 21 においては、層間絶縁膜 25 にコンタクトホール 35 b が形成されている。コンタクトホール 35 b の内部には、バリアメタル膜 28 b および金属膜 29 b が形成されている。金属膜 29 b 上に位置する領域には、配線 36 c が形成されている。この配線 36 c は、後述する製造方法からわかるように一方電極 36 a および他方電極 36 b と同一レベルの層により構成される。配線 36 c 上においては、層間絶縁膜 33 にコンタクトホール 34 b が形成されている。コンタクトホール 34 b の内部には、バリアメタル膜 37 b およびタングステンプラグ 11 b が形成されている。タングステンプラグ 11 b 上には上層配線 12 b が形成されている。

30

【0207】

このように、第 1 および第 2 の延在部としての延在部 39 a、39 c、39 e と、第 3 および第 4 の延在部としての延在部 39 b、39 d、39 f とが交互に配置されるので、キャパシタ一方電極としての一方電極 36 a およびキャパシタ他方電極としての他方電極 36 b の延在部 39 a ~ 39 f において互に対向する側壁面をキャパシタの電極面として利用できる。具体的には、延在部 39 b ~ 39 e の側壁面のほぼ全てをキャパシタ電極面として利用できる。したがって、図 89 および 90 に示したような従来のキャパシタを複数個配置することで一定の静電容量を確保する場合より、キャパシタの占有する領域の体積を低減できる。

40

【0208】

図 63 ~ 67 は、図 61 および 62 に示した半導体装置の製造方法を説明するための断面模式図である。図 63 ~ 67 を参照して、図 61 および 62 に示した半導体装置の製造方法を説明する。

【0209】

50

まず、半導体基板（図示せず）上に層間絶縁膜 25（図 6 3 参照）を形成する。この層間絶縁膜 25 は CVD 法などを用いて形成する。そして、層間絶縁膜 25 上に写真製版加工技術を用いてレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして、層間絶縁膜 25 の一部を異方性エッチングにより除去することにより、コンタクトホール 35 a、35 b（図 6 3 参照）を形成する。その後レジスト膜を除去する。このようにして、図 6 3 に示すような構造を得る。

【0210】

次に、コンタクトホール 35 a、35 b の内部から層間絶縁膜 25 の上部表面上にまで延在するようにバリアメタル膜（図示せず）を形成する。このバリアメタル膜としては、CVD 法などを用いて堆積された窒化チタン膜などを用いることができる。そして、バリアメタル膜上に金属膜（図示せず）を形成する。この金属膜はコンタクトホール 35 a、35 b の内部を充填するように形成する。この金属膜の材料としては、タングステンなどを用いることができる。そして、層間絶縁膜 25 の上部表面上に位置する金属膜およびバリアメタル膜を、CMP 法などを用いて除去する。その結果、図 6 4 に示すように、コンタクトホール 35 a、35 b の内部にバリアメタル膜 28 a、28 b および金属膜 29 a、29 b を形成する。

10

【0211】

次に、層間絶縁膜 25 上にスパッタリング法などを用いて金属膜（図示せず）を堆積する。この金属膜上に、写真製版加工技術を用いてレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、異方性エッチングにより金属膜を部分的に除去する。その後、レジスト膜を除去する。その結果、図 6 5 に示すように、横方向のキャパシタを構成する金属膜からなる一方電極 36 a および他方電極 36 b と配線 36 c とを形成する。このとき、他方電極 36 b は、コンタクトホール 35 a の内部に形成された金属膜 29 a と接触するように配置される。

20

【0212】

次に、一方電極 36 a および他方電極 36 b と配線 36 c 上とに層間絶縁膜 33（図 6 6 参照）を形成する。この層間絶縁膜 33 を形成する際には、CVD 法などを用いてもよい。層間絶縁膜 33 上に写真製版加工技術を用いてレジスト膜（図示せず）を形成する。このレジスト膜をマスクとして用いて、異方性エッチングにより層間絶縁膜 33 の一部を除去することによりコンタクトホール 34 a、34 b（図 6 6 参照）を形成する。その後レジストを除去する。このようにして、図 6 6 に示すような構造を得る。

30

【0213】

このとき、コンタクトホール 34 a の底部においては、一方電極 36 a の上部表面の一部が露出するようになっている。また、コンタクトホール 34 b の底部においては、配線 36 c の上部表面が露出している。

【0214】

次に、バリアメタル膜 28 b および金属膜 29 a、29 b を形成した方法と同様の方法により、コンタクトホール 34 a、34 b の内部にバリアメタル膜 37 a、37 b およびタングステンプラグ 11 a、11 b を形成する。このようにして、図 6 7 に示すような構造を得る。

40

【0215】

その後、タングステンプラグ 11 a、11 b 上に上層配線 12 a、12 b（図 6 1 参照）を形成することにより、図 6 1 および 6 2 に示すような半導体装置を得ることができる。

【0216】

なお、容量部における横方向のキャパシタの静電容量を変更するには、たとえば図 6 8 に示すように、延在部 39 a ~ 39 p の数を変更することにより、キャパシタ電極として作用する領域の面積を変更できるので、容易にキャパシタの静電容量を変更することができる。ここで、図 6 8 は、図 6 1 および 6 2 に示した本発明による半導体装置の実施の形態 8 の変形例を示すための平面模式図であり、図 6 2 に対応している。

50

【0217】

(実施の形態9)

図69は、本発明による半導体装置の実施の形態9を示す断面模式図である。図69を参照して、本発明による半導体装置の実施の形態9を説明する。

【0218】

図69を参照して、半導体装置は容量部20と配線部21とを備える。容量部20においては、半導体基板1上に絶縁膜2が形成されている。絶縁膜2上にはキャパシタ用下層配線3cが形成されている。キャパシタ用下層配線3c上には層間絶縁膜8が形成されている。層間絶縁膜8においては、キャパシタ用下層配線3c上に位置する領域にコンタクトホール13a~13gが形成されている。また、コンタクトホール13a~13gの内部を充填するようにタングステン膜14a~14gが形成されている。コンタクトホール13a~13g上に位置する領域には、層間絶縁膜8の上部表面から窪んだ凹部16が形成されている。凹部16にはキャパシタ誘電体膜としてのスピノングラス法(Spin On Glass法)により形成されたシリコン酸化膜(以下、SOG膜とよぶ)が形成されている。SOG膜上には金属膜からなる上部電極18aが形成されている。

【0219】

配線部21においては、絶縁膜2上に1層目配線3bが形成されている。3b上に位置する領域においては、層間絶縁膜8にコンタクトホール13hが形成されている。コンタクトホール13hの内部を充填するようにタングステン膜14hが形成されている。タングステン膜14h上には上層配線18bが形成されている。なお、コンタクトホール13a~13hの壁面上にはバリアメタル膜(図示せず)が形成されていることが好ましい。

【0220】

このようにすれば、縦方向にキャパシタ下部電極としてのタングステン膜14a~14g、誘電体膜としてのSOG膜17aおよびキャパシタ上部電極としての上部電極18aを積層して配置する事により、縦方向のキャパシタを形成することができる。このため、本発明による半導体装置の実施の形態1と同様に、一定の静電容量を確保した状態で、SOG膜17aの膜厚を従来より薄くすることでキャパシタ下部電極の表面積に対応するタングステン膜14a~14gのSOG膜17aに対向する領域の面積および上部電極18aの表面積をより小さくできるので、従来よりキャパシタの小型化を図ることができる。

【0221】

また、層間絶縁膜8に形成される複数の孔としてのコンタクトホール13a~13gの数や断面積を変更することにより、タングステン膜14a~14gにおいてSOG膜17aと対向する部分の面積を容易に変更できる。この結果、キャパシタの静電容量を容易に変更できる。

【0222】

また、キャパシタ下部電極としてのタングステン膜14a~14gおよび上部電極18aは金属膜を含むため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタを実現できる。

【0223】

図70~76は、図69に示した半導体装置の製造方法を説明するための断面模式図である。図70~76を参照して、図69に示した半導体装置の製造方法を説明する。

【0224】

まず、図70に示すように、半導体基板1上に絶縁膜2を形成する。絶縁膜2上に金属膜3を形成する。この金属膜3としては、スパッタリング法を用いて形成されたアルミニウム合金膜を用いることができる。金属膜3の厚みは0.4μm程度とする。なお、この金属膜3の材質および厚みは任意に変更することが可能である。また、金属膜3の材料としてはタングステンなどを用いてもよい。

【0225】

そして、金属膜3上に写真製版加工技術を用いてレジスト膜5a、5bを形成する。

次に、このレジスト膜5a、5bをマスクとして用いて、異方性エッチングにより金属

10

20

30

40

50

膜 3 を部分的に除去する。その後、レジスト膜 5 a、5 b を除去する。このようにして、図 7 1 に示すようにキャパシタ用下層配線 3 c と 1 層目配線 3 b とを形成する。

【0226】

次に、キャパシタ用下層配線 3 c および 1 層目配線 3 b 上に層間絶縁膜 8 (図 7 2 参照) を形成する。この層間絶縁膜 8 の上部表面は CMP 法などを用いて平坦化する。そして、層間絶縁膜 8 上に写真製版加工技術を用いてレジスト膜 (図示せず) を形成する。このレジスト膜をマスクとして異方性エッチングにより層間絶縁膜 8 を部分的に除去することにより、コンタクトホール 1 3 a ~ 1 3 h (図 7 2 参照) を形成する。次に、コンタクトホール 1 3 a ~ 1 3 h の内部から層間絶縁膜 8 の上部表面上にまで延在するように CVD 法を用いてタングステン膜 1 4 (図 7 2 参照) を形成する。このようにして、図 7 2 に示すような構造を得る。なお、このタングステン膜 1 4 の厚みは 400 nm 程度とする。また、このタングステン膜 1 4 の厚みは任意に変更することができる。

10

【0227】

ここで、形成される複数の孔としてのコンタクトホール 1 3 a ~ 1 3 g の数や断面積を変更することにより、タングステン膜 1 4 a ~ 1 4 g (図 6 9 参照) において誘電体膜としての SOG 膜 (図 6 9 参照) と対向する部分の面積を容易に変更できる。この結果、キャパシタの静電容量を容易に変更できる。

【0228】

次に、CMP 法を用いて層間絶縁膜 8 の上部表面上に位置するタングステン膜 1 4 を除去する。このとき、コンタクトホール 1 3 a ~ 1 3 g が密集して形成された部分においては CMP 法を行なっている際にエロージョンが発生し、層間絶縁膜 8 の上部表面に凹部 1 6 が形成される。ここでは CMP 法のプロセス条件を調整することにより、層間絶縁膜 8 の上部表面 1 5 から凹部 1 6 底面までの深さを 50 nm とした。なお、CMP 法のプロセス条件を変更することにより、凹部 1 6 の深さを任意に変更することができる。この結果、図 7 3 に示すような構造を得る。

20

【0229】

次に、図 7 4 に示すように、SOG を塗布した後、所定の熱処理を行なうことによりキャパシタ誘電体膜となる SOG 膜 1 7 を形成する。この SOG の塗布膜厚は 0.5 μm とした。なお、この SOG 1 7 の塗布膜厚は任意に変更することができる。また、ここではキャパシタ誘電体膜として SOG 膜を用いているが、凹部 1 6 を埋込むことができる誘電体であれば他の材料を用いてもよい。

30

【0230】

次に、図 7 5 に示すように、CMP 法などを用いて凹部 1 6 以外の領域から SOG 膜 1 7 (図 7 4 参照) を除去する。その結果、凹部 1 6 の内部にキャパシタ誘電体膜として作用する SOG 膜 1 7 a が残存する。

【0231】

次に、図 7 6 に示すように、SOG 膜 1 7 a 上に金属膜 1 8 を形成する。この金属膜 1 8 としては、スパッタリング法を用いて形成されたアルミニウム合金膜を用いることができる。また、金属膜 1 8 の厚みとしては 0.4 μm という値を用いる。なお、金属膜 1 8 の材質および厚みは任意に変更することができる。その後、金属膜 1 8 上に写真製版加工技術を用いてレジスト膜 1 9 a、1 9 b を形成する。

40

【0232】

次に、レジスト膜 1 9 a、1 9 b をマスクとして用いて、異方性エッチングにより金属膜 1 8 を部分的に除去する。その後、レジスト膜 1 9 a、1 9 b を除去する。この結果、上部電極 1 8 a および上層配線 1 8 b (図 6 9 参照) が形成される。このようにして、図 6 9 に示す半導体装置を得ることができる。

【0233】

(実施の形態 10)

図 7 7 は、本発明による半導体装置の実施の形態 10 を示す断面模式図である。図 7 7 を参照して、本発明による半導体装置の実施の形態 10 を説明する。

50

【 0 2 3 4 】

図 7 7 を参照して、半導体装置は基本的には図 2 7 に示した半導体装置と同様の構造を備える。ただし、図 7 7 に示した半導体装置においては、容量部 2 0 において、キャパシタ誘電体膜 4 a の上部表面を露出させるように上部電極用コンタクトホール 2 2 が形成されている。上部電極用コンタクトホール 2 2 の内部にはタングステン膜 2 3 a が形成されている。タングステン膜 2 3 a 上には、上部電極用コンタクトホール 2 2 の内部を充填するとともに層間絶縁膜 8 の上部表面上にまで延在し、キャパシタの上部電極を兼ねる上層配線 2 4 a が形成されている。

【 0 2 3 5 】

また、配線部 2 1 においても、1 層目配線 3 b 上に位置する領域において、層間絶縁膜 8 にコンタクトホール 1 0 が形成されている。コンタクトホール 1 0 の内部にはタングステン膜 2 3 b が充填されている。タングステン膜 2 3 b 上には上層配線 2 4 b が形成されている。

10

【 0 2 3 6 】

このようにすれば、縦方向にキャパシタ下部電極としての下部電極 3 a、キャパシタ誘電体膜 4 a およびキャパシタ上部電極としてのタングステン膜 2 3 a および上層配線 2 4 a を積層して配置する事により、本発明の実施の形態 1 と同様に縦方向のキャパシタを形成することができる。このため、一定の静電容量を確保した状態で、キャパシタ誘電体膜 4 a の膜厚を従来より薄くすることでタングステン膜 2 3 a のキャパシタ誘電体膜 4 a と対向する領域の面積および下部電極 3 a の表面積をより小さくできるので、従来よりキャ

20

【 0 2 3 7 】

また、開口部としての上部電極用コンタクトホール 2 2 の内部にキャパシタ上部電極としてのタングステン膜 2 3 a および上層配線 2 4 a を配置するので、キャパシタの上部電極を形成した後、従来必要であった上部電極と上層配線とを接続するためのコンタクトホールを形成する工程を省略できる。したがって、半導体装置の製造工程を簡略化できる。

【 0 2 3 8 】

また、下部電極 3 a、タングステン膜 2 3 a および上層配線 2 4 a はそれぞれ金属膜からなるため、キャパシタ電極としてポリシリコンなどの半導体を用いた場合より、高精度で電圧依存性の少ないキャパシタを実現できる。

30

【 0 2 3 9 】

図 7 8 ~ 8 6 は、図 7 7 に示した半導体装置の製造方法を説明するための断面模式図である。図 7 8 ~ 8 6 を参照して、半導体装置の製造方法を説明する。

【 0 2 4 0 】

まず、図 7 8 に示すように、半導体基板 1 上に絶縁膜（図示せず）を形成する。絶縁膜上に下層金属膜 3 を形成する。下層金属膜 3 上に誘電体膜 4 を形成する。

【 0 2 4 1 】

次に、図 7 9 に示すように、誘電体膜 4 上に写真製版加工技術を用いてレジスト膜 5 a、5 b を形成する。このとき、誘電体膜 4 として A R C (Anti Reflection Coat) としての役割を果たすような材料、たとえばシリコン酸化窒化膜を用いれば、レジスト膜 5 a、5 b の下において、誘電体膜 4 とは別に A R C を形成する必要がない。

40

【 0 2 4 2 】

次に、レジスト膜 5 a、5 b をマスクとして用いて誘電体膜 4 および下層金属膜 3 を部分的に異方性エッチングにより除去する。その後レジスト膜 5 a、5 b を除去する。このようにして、図 8 0 に示すように、下部電極 3 a、キャパシタ誘電体膜 4 a、1 層目配線 3 b および誘電体膜 4 b を形成する。

【 0 2 4 3 】

次に、図 8 1 に示すように、キャパシタ誘電体膜 4 a、誘電体膜 4 b 上に層間絶縁膜 8 を形成する。

【 0 2 4 4 】

50

次に、図 8 2 に示すように、層間絶縁膜 8 上に写真製版加工技術を用いてレジスト膜 7 を形成する。

【 0 2 4 5 】

次に、このレジスト膜 7 をマスクとして用いて、異方性エッチングにより層間絶縁膜 8 および誘電体膜 4 b を部分的に除去することにより、コンタクトホール 1 0 (図 8 3 参照) を形成する。その後、レジスト膜 7 を除去する。この結果、図 8 3 に示すような構造を得る。

【 0 2 4 6 】

次に、図 8 4 に示すように、層間絶縁膜 8 上に写真製版加工技術を用いてレジスト膜 9 を形成する。

【 0 2 4 7 】

次に、レジスト膜 9 をマスクとして用いて、異方性エッチングにより層間絶縁膜 8 を部分的に除去することにより、上部電極用コンタクトホール 2 2 (図 8 5 参照) を形成する。その後レジスト膜 9 を除去する。この結果、図 8 5 に示すような構造を得る。

【 0 2 4 8 】

次に、上部電極用コンタクトホール 2 2 およびコンタクトホール 1 0 の内部から層間絶縁膜 8 の上部表面上にまで延在するようにタングステン膜を形成する。その後、CMP 法などを用いて層間絶縁膜 8 の上部表面上に位置するタングステン膜を除去することにより、図 8 6 に示すような構造を得る。

【 0 2 4 9 】

次に、タングステン膜 2 3 a、2 3 b 上に金属膜を形成する。この金属膜上に写真製版加工技術を用いてレジスト膜を形成する。このレジスト膜をマスクとして用いて、異方性エッチングにより金属膜を部分的に除去する。その後レジスト膜を除去する。このようにして、上層配線 2 4 a、2 4 b (図 7 7 参照) を形成する。このようにして図 7 7 に示した半導体装置を得ることができる。

【 0 2 5 0 】

また、上部電極用コンタクトホール 2 2 の内部にキャパシタ上部電極として作用するタングステン膜 2 3 a を配置し、この上部電極用コンタクトホール 2 2 が上層配線 2 4 a との接続孔を兼ねているので、キャパシタ上部電極を形成した後、従来必要であったキャパシタ上部電極と上層配線とを接続するためのコンタクトホールを形成する工程を省略できる。

【 0 2 5 1 】

(実施の形態 1 1)

図 8 7 および 8 8 は、本発明による半導体装置の製造方法の実施の形態 1 1 を説明するための断面模式図である。図 8 7 および 8 8 を参照して、本発明による半導体装置の製造方法の実施の形態 1 1 を説明する。

【 0 2 5 2 】

まず、本発明による半導体装置の製造方法の実施の形態 1 0 における図 7 8 ~ 8 1 に示した工程を実施する。その後、図 8 7 に示すように、層間絶縁膜 8 上に写真製版加工技術を用いてレジスト膜 7 を形成する。このとき、レジスト膜 7 においては、コンタクトホール 1 0 および上部電極用コンタクトホール 2 2 を形成するためのホールパターンが形成されている。

【 0 2 5 3 】

次に、このレジスト膜 7 をマスクとして用いて、異方性エッチングにより層間絶縁膜 8 および誘電体膜 4 b を部分的に除去することにより上部電極用コンタクトホール 2 2 (図 8 8 参照) およびコンタクトホール 1 0 (図 8 8 参照) を形成する。このとき、コンタクトホール 1 0 のような直径の小さな孔では誘電体膜 4 b がエッチングされるが、上部電極用コンタクトホール 2 2 のような直径の比較的大きな孔では誘電体膜 4 a がエッチングされないように、エッチング条件を調整する。

【 0 2 5 4 】

10

20

30

40

50

たとえば、コンタクトホール10の平面形状が直径0.2 μ mの円形状であり、上部電極用コンタクトホール22の平面形状が縦2 μ m、横2 μ mの正方形形状である場合を考える。この場合、2周波平行平板RIE(Reactive Ion Etching)装置を用いて、反応容器内の圧力を4Pa、RFパワー(Top/Bottom)が1400W/1400W、反応ガスとして4フッ化炭素ガス(CF₄)、トリフルオロメタンガス(CHF₃)、酸素ガス(O₂)、アルゴンガス(Ar)を用い、それぞれのガスの流量は、CF₄の流量が0.01リットル/分(10sccm)、CHF₃の流量が0.03リットル/分(30sccm)、O₂の流量が0.009リットル/分(9sccm)、Arの流量が0.4リットル/分(400sccm)といった条件を用いることで、上述のように上部電極用コンタクトホール22ではキャパシタ誘電体膜4aがエッチングされず、一方コンタクトホール10では誘電体膜4bがエッチングされるといってエッチングを実施できる。

10

【0255】

このようにすれば、上部電極用コンタクトホール22とコンタクトホール10とを同時に形成できるので、本発明実施の形態10における製造方法より、工程を簡略化できる。

【0256】

その後レジスト膜7を除去する。このようにして、図88に示すような構造を得る。

その後、図86と同様の工程を実施することにより図77に示した本発明による半導体装置の実施の形態10と同様の半導体装置を得ることができる。

20

【0257】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0258】

この発明は、キャパシタを備える半導体装置に特に有利に適用される。

【符号の説明】

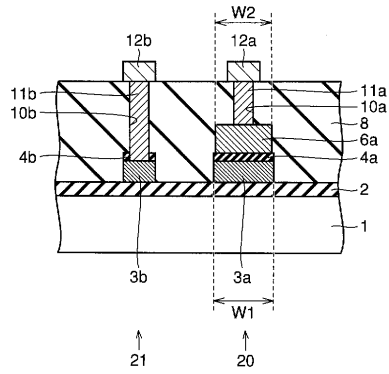
【0259】

1 半導体基板、2, 38, 38c 絶縁膜、3 下層金属膜、3a, 31 下部電極、3b 1層目配線、3c キャパシタ用下層配線、4, 4b 誘電体膜、4a, 30 キャパシタ誘電体膜、5a, 5b, 9 レジスト膜、6, 18, 29, 29a, 29b 金属膜、6a, 18a, 32a 上部電極、7, 19a, 19b レジスト膜、8, 25, 33 層間絶縁膜、10, 10a, 10b, 13a~13h, 34a, 34b, 35a, 35b コンタクトホール、11a, 11b タングステンプラグ、12a, 12b, 18b 上層配線、14a~14h, 23a, 23b タングステン膜、15 層間絶縁膜の上部表面、16 凹部、17, 17a SOG膜、20 容量部、21 配線部、22 上部電極用コンタクトホール、24a, 24b 上層配線、26 溝、27 ピアホール、28, 28a, 28b, 37a, 37b バリアメタル膜、32b, 36c 配線、36a 一方電極、36b 他方電極、38a, 38b, 38d, 38e サイドウォール膜、39a~39p 延在部。

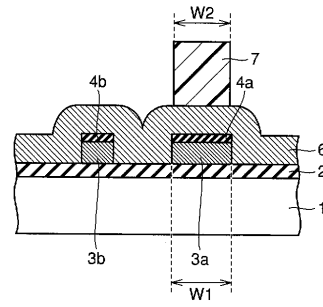
30

40

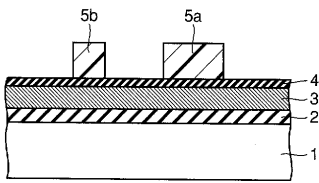
【 図 1 】



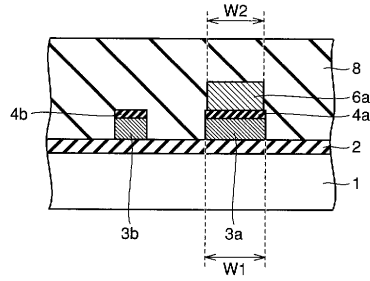
【 図 4 】



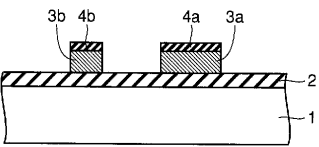
【 図 2 】



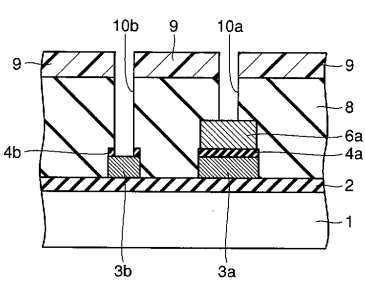
【 図 5 】



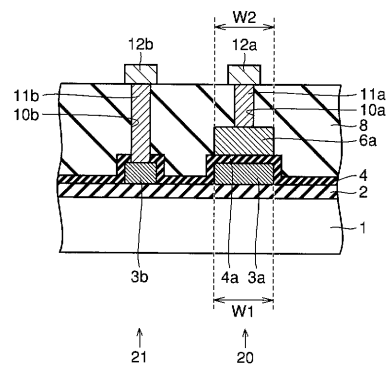
【 図 3 】



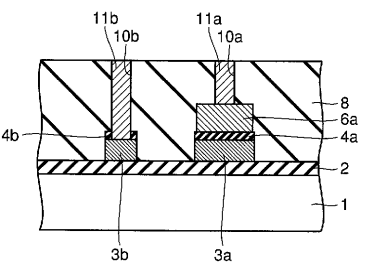
【 図 6 】



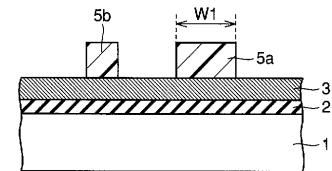
【 図 8 】



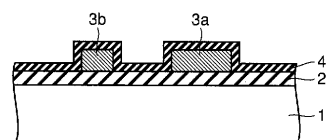
【 図 7 】



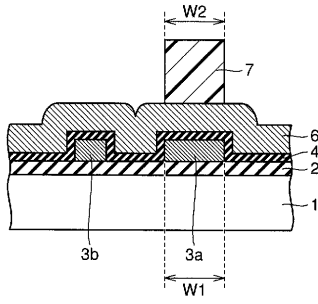
【 図 9 】



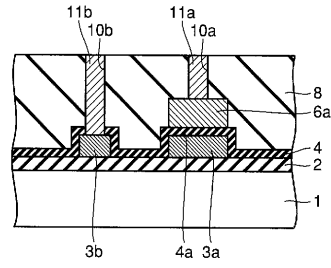
【 図 10 】



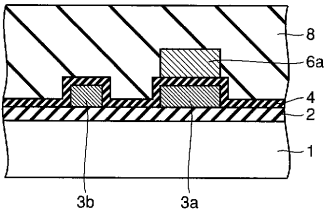
【図 1 1】



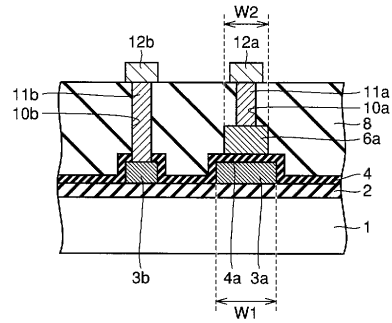
【図 1 3】



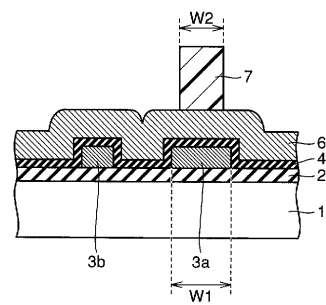
【図 1 2】



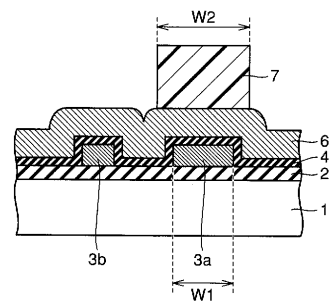
【図 1 4】



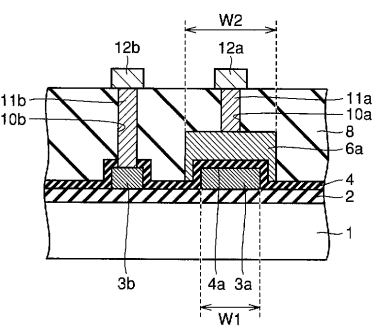
【図 1 5】



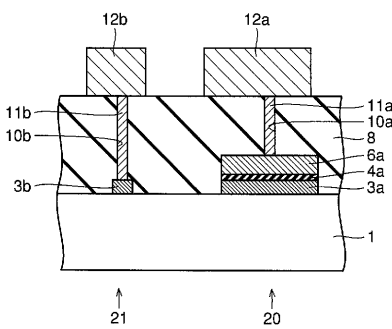
【図 1 7】



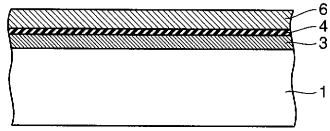
【図 1 6】



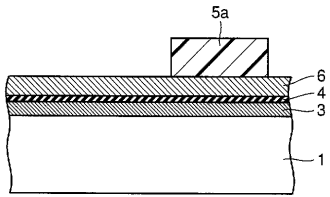
【図 1 8】



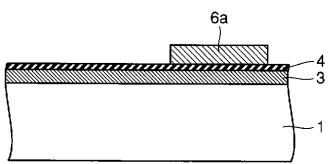
【図 19】



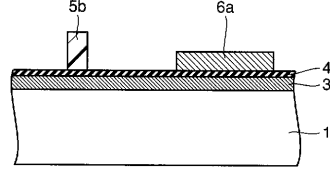
【図 20】



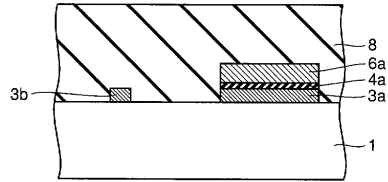
【図 21】



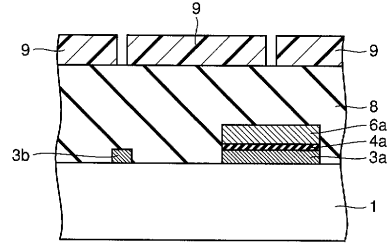
【図 22】



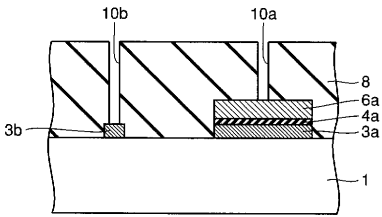
【図 23】



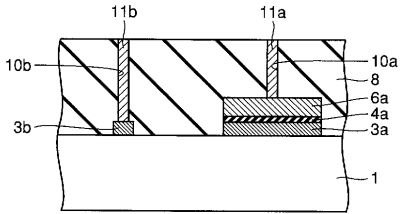
【図 24】



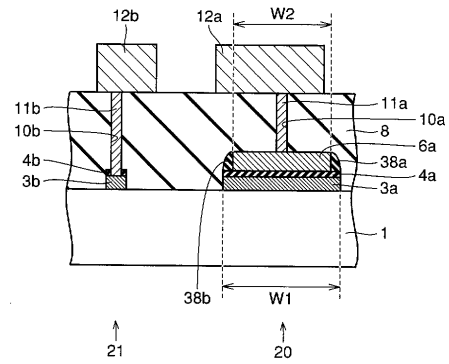
【図 25】



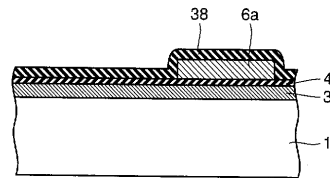
【図 26】



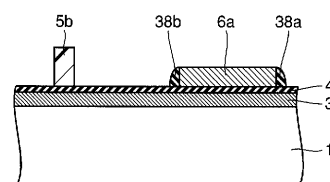
【図 27】



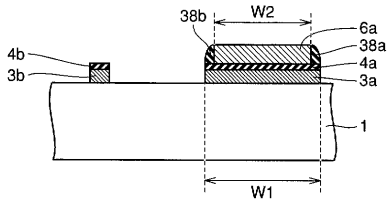
【図 28】



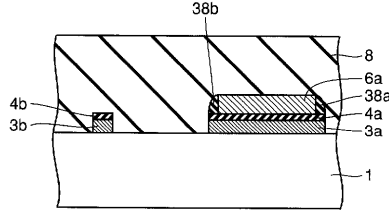
【図 29】



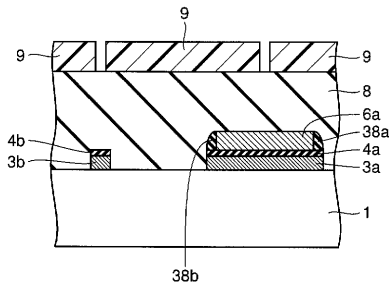
【 図 3 0 】



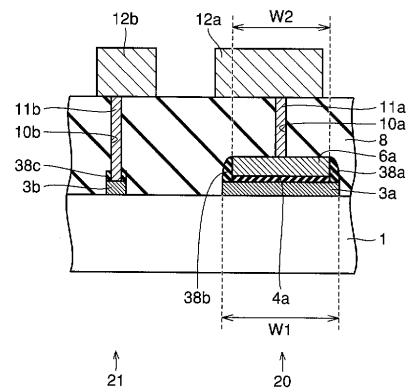
【 図 3 1 】



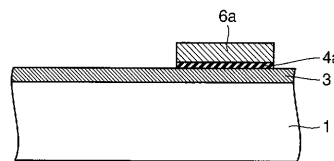
【 図 3 2 】



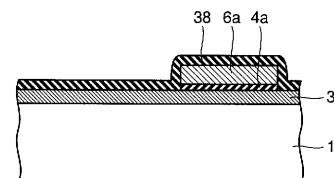
【 図 3 5 】



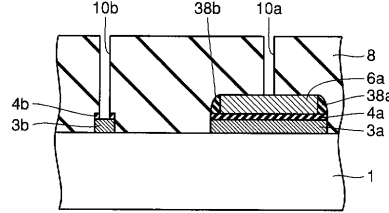
【 図 3 6 】



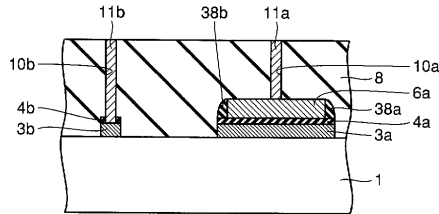
【 図 3 7 】



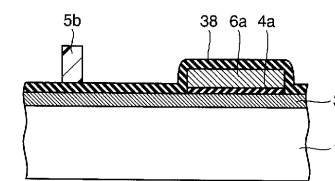
【 図 3 3 】



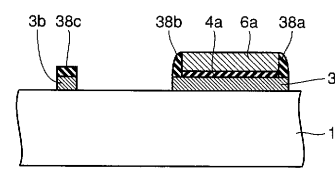
【 図 3 4 】



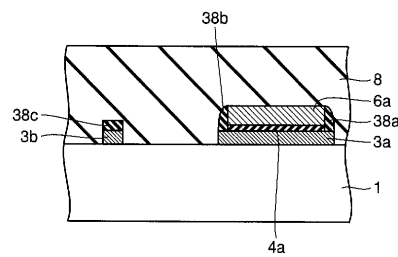
【 図 3 8 】



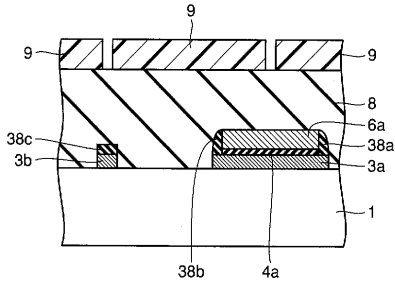
【 図 3 9 】



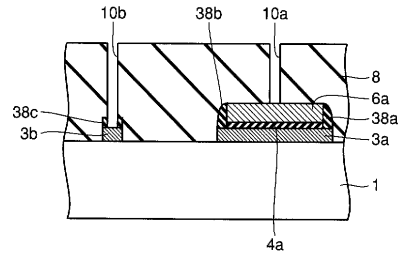
【 図 4 0 】



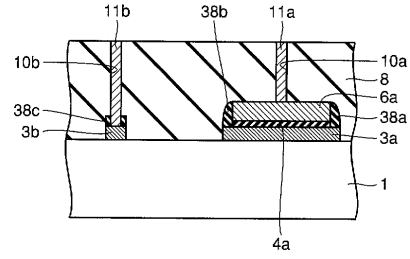
【 図 4 1 】



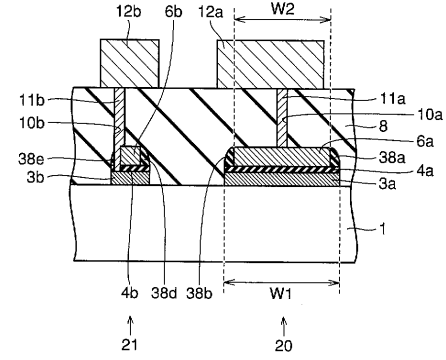
【 図 4 2 】



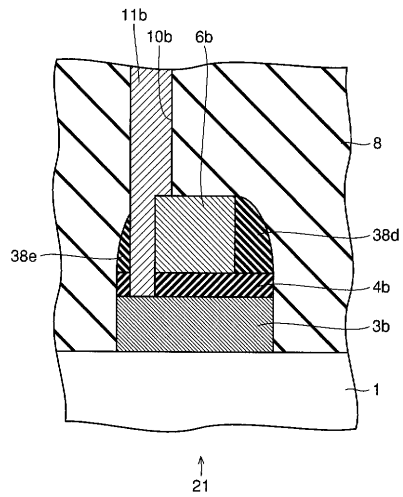
【 図 4 3 】



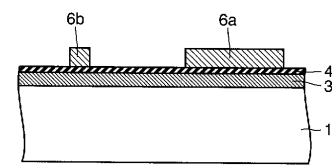
【 図 4 4 】



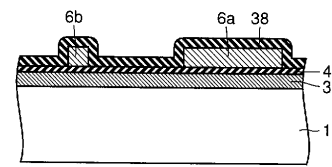
【 図 4 5 】



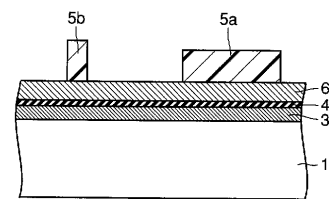
【 図 4 7 】



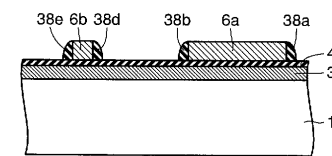
【 図 4 8 】



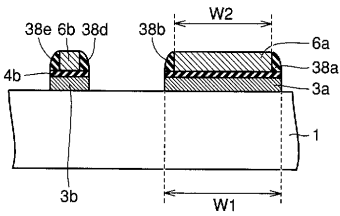
【 図 4 6 】



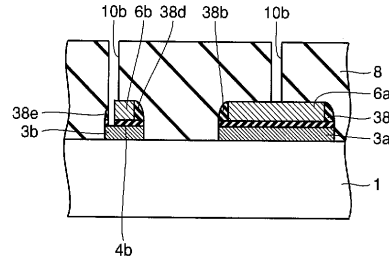
【 図 4 9 】



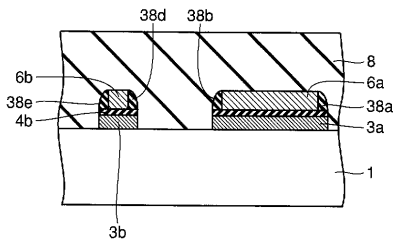
【 図 5 0 】



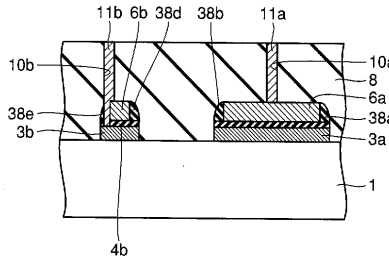
【 図 5 3 】



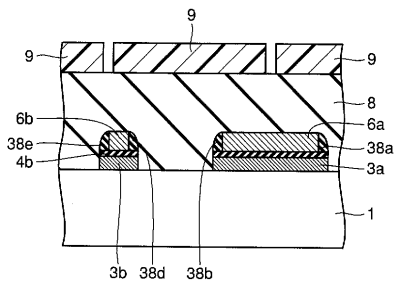
【 図 5 1 】



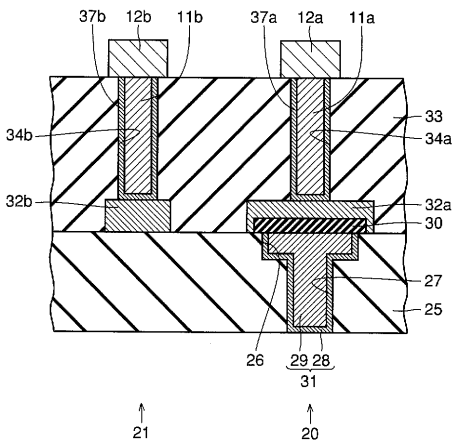
【 図 5 4 】



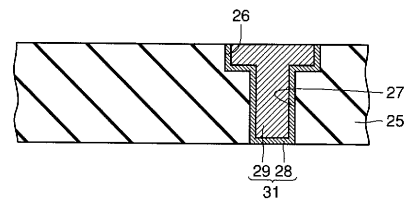
【 図 5 2 】



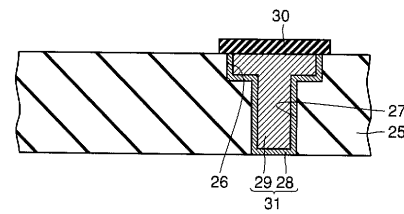
【 図 5 5 】



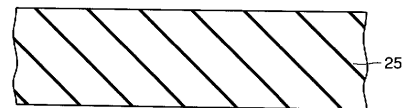
【 図 5 8 】



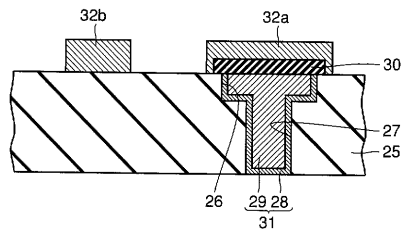
【 図 5 9 】



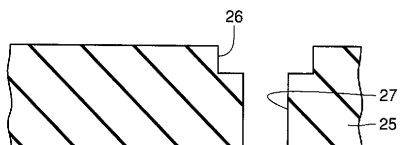
【 図 5 6 】



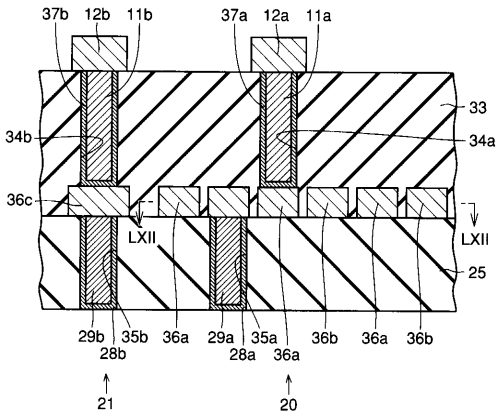
【 図 6 0 】



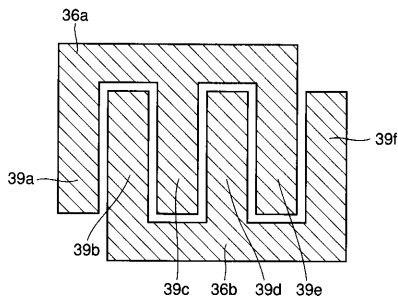
【 図 5 7 】



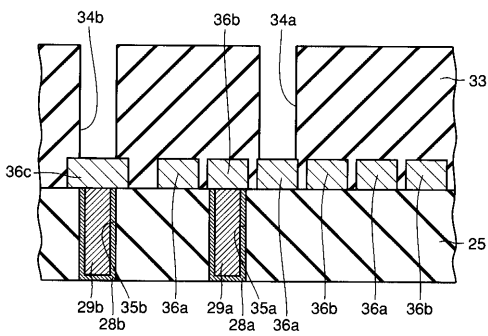
【 図 6 1 】



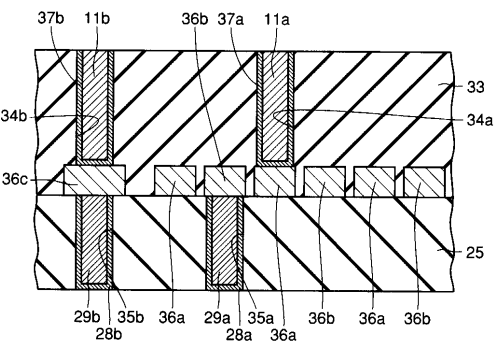
【 図 6 2 】



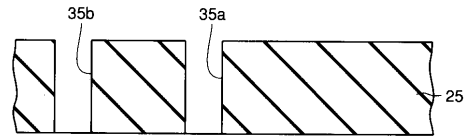
【 図 6 6 】



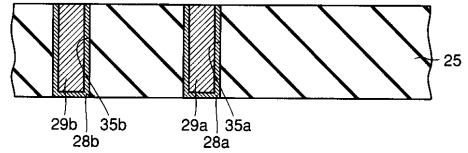
【 図 6 7 】



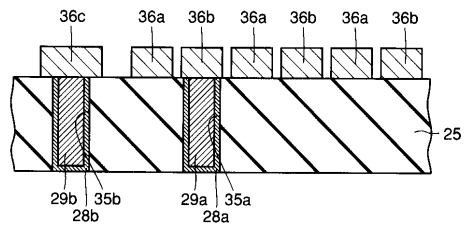
【 図 6 3 】



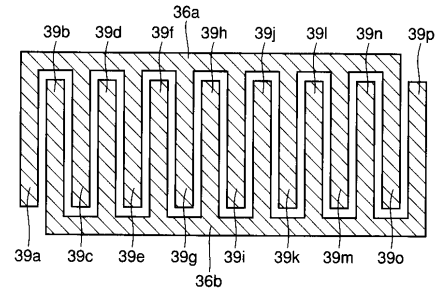
【 図 6 4 】



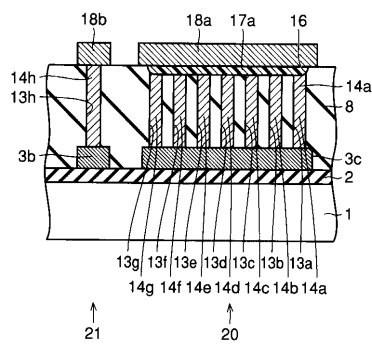
【 図 6 5 】



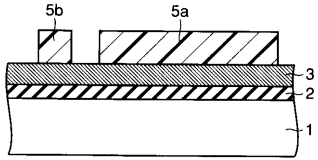
【 図 6 8 】



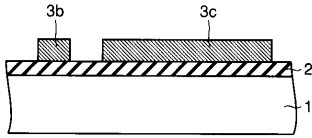
【 図 6 9 】



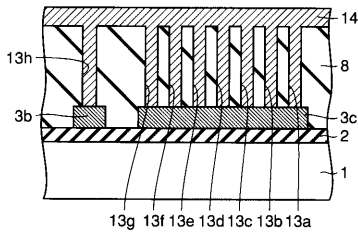
【 図 7 0 】



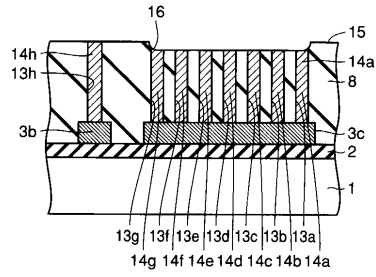
【 図 7 1 】



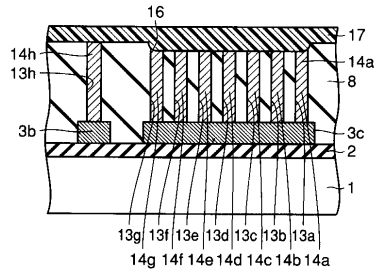
【 図 7 2 】



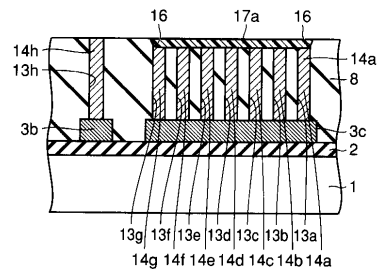
【 図 7 3 】



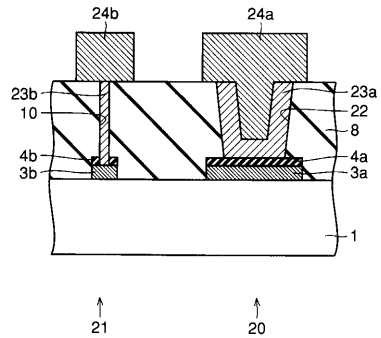
【 図 7 4 】



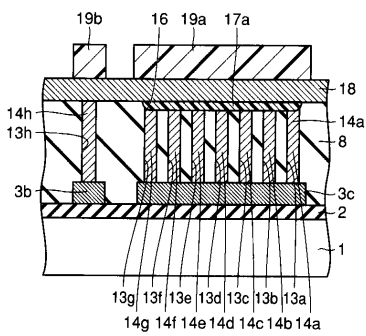
【 図 7 5 】



【 図 7 7 】



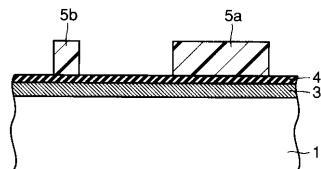
【 図 7 6 】



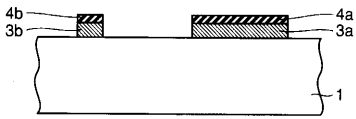
【 図 7 8 】



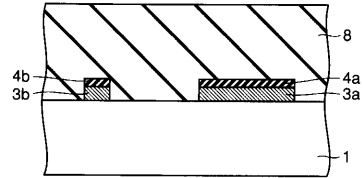
【 図 7 9 】



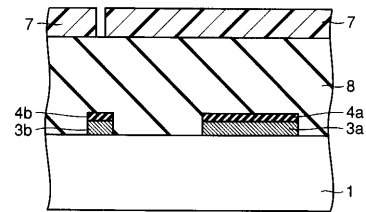
【 図 8 0 】



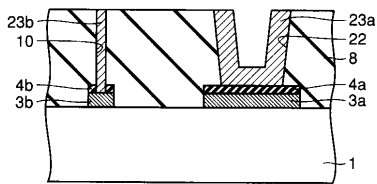
【 図 8 1 】



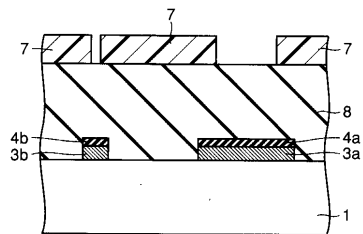
【 図 8 2 】



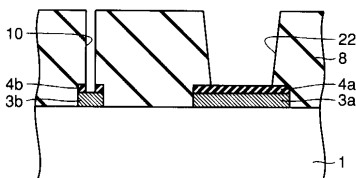
【 図 8 6 】



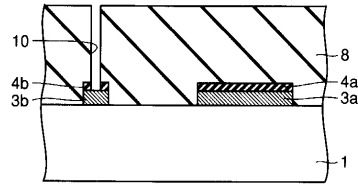
【 図 8 7 】



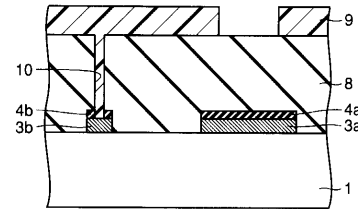
【 図 8 8 】



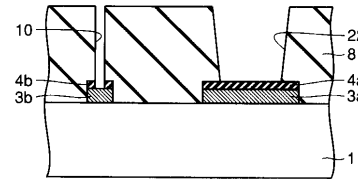
【 図 8 3 】



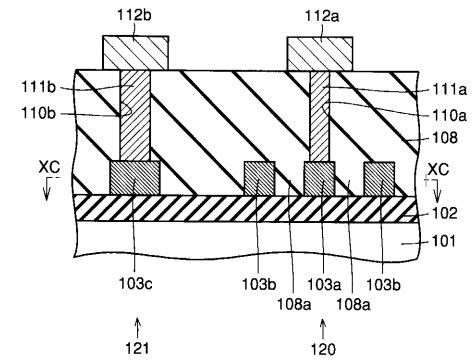
【 図 8 4 】



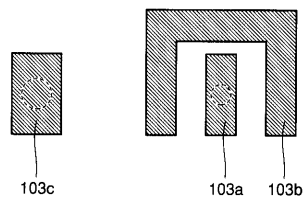
【 図 8 5 】



【 図 8 9 】



【 図 9 0 】



フロントページの続き

(72)発明者 赤澤 守昭

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5F033 HH09 HH19 JJ19 JJ33 KK09 KK19 MM05 MM15 NN06 NN07
NN12 PP06 PP15 QQ08 QQ09 QQ10 QQ16 QQ37 QQ48 RR04
RR06 SS15 TT08 VV10 XX03
5F038 AC02 AC04 AC05 AC15 AC17 CD05 CD13 CD18 EZ11 EZ15
EZ18 EZ20