

公告本

申請日期	87 年 12 月 9 日
案 號	87120452
類 別	H01L 27/00

A4
C4

426988

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置
	英 文	
二、發明 創作人	姓 名	(1) 水野弘之 (2) 石橋孝一郎 (3) 志村隆則
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都國分寺市西恋ヶ窪三-八-一 日立恋ヶ窪寮
	住、居所	(2) 日本國埼玉縣蕨市南町三-七-六 (3) 日本國千葉市花見川區幕張町五-四三〇
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

裝

訂

線

申請日期	87 年 12 月 9 日
案號	87120452
類別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人創作	姓名	(1) 服部俊洋
	國籍	(1) 日本
	住、居所	(1) 日本國小平市学園西町一-二五-五-四〇一
三、申請人	姓名 (名稱)	
	國籍	
	住、居所 (事務所)	
	代表人姓名	

裝

訂

線

(由本局填寫)

426908

承辦人代碼：	
大類：	
IPC分類：	

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1997 年 12 月 26 日 9-359271 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明關於半導體積體電路裝置，特別關於兼有高速性及低電力性之半導體積體電路裝置。

本申請案為美國1997年11月21日申請之PCT/JP97/04253號之一部分繼續之申請案，其內容有所引用。

背景技術

現在，為實現微處理器等半導體積體電路裝置，廣泛利用CMOS之積體電路。CMOS電路之消費電力包含開關與放電之動態消費電力及次臨界漏電流之靜態消費電力。其中，動態消費電力係與電源電壓VDD之二次方成比例消費大電力，故為達低消費電力化，降低電源電壓為有效，近年來大多之微處理器之電源電壓下降。

另一方面，現在之低電力微處理器，具有電源管理機構，於處理器設多數動作模式，俾於待機時停止對執行單元之時脈供給。

藉該時脈供給之停止，可儘量削減不要執行單元中之動態消費電力。但是，次臨界漏電流之靜態消費電力無法削減。

CMOS電路之動作速度隨電源電壓降低而變慢，為防止動作速度之劣化，需與電源電壓降低速動地降低MOS電晶體之臨界值電壓。但是，降低臨界值電壓，導致次臨界漏電流增加，故隨電源電壓之降低，習知並非很大之次臨界漏電流引起之靜態消費電力之增加變顯著。因

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

此，為兼具高速性及低電力性之微處理器等半導體積體電路裝置之實現有其問題。

解決上述問題之方法，有例如特開平6-54396號公報所示，基板偏壓設定為可變，以控制MOS電晶體之臨界值電壓之方法。

CMOS電路之高速動作要求之主動狀態，基板偏壓，於PMOS(P通道MOS電晶體)設為電源電位，NMOS(N通道MOS電晶體)設為接地電位。另一方面，CMOS電路高速動作不必要之待機狀態中，基板偏壓，於PMOS設為較電源電壓高之電位，於NMOS施加較低電位(此動作以下稱為基板昇壓)。

待機時藉基板昇壓可提昇構成CMOS電路之MOS電晶體之臨界值，削減次臨界漏電流引起之靜態消費電力。

發明之揭示

為實現兼具高速性及低電力性之微處理器等半導體積體電路裝置，有必要對CMOS電路進行上述基板偏壓控制，主動時降低MOS電晶體之臨界值電壓以維持高速性，待機時提昇MOS電晶體之臨界值以減低次臨界漏電流。

但是，經發明人檢討，於實際電路裝置，為進行基板偏壓控制，存有以下問題。

(1) 確保基板偏壓控制電路之測試容易性。

五、發明說明(3)

4262) 進行基板偏壓控制時之防止 CMOS 電路之誤動作。
88

(3) 進行基板偏壓控制導致之電路面積增加抑制於最小限。

(4) 基板偏壓切換時之半導體積體電路裝置之誤動作之防止。

為解決上述問題，本發明之手段主要如下。

將基板偏壓控制電路內之負電壓產生電路之輸出輸出於焊墊，使電路測試容易。即，負電壓產生電路，有必要確認其輸出信號之電壓位準是否為設定之電壓，因此，設置使其輸出直接引出之端子較便利。

又，將主動狀態時驅動基板偏壓之基板驅動 MOS 電晶體，設多數個於基板偏壓控制之主電路內，以降低基板阻抗。此場合下，在主動狀態時，主電路內之電路動作，有必要使阻抗降低，使基板電位固定，以抑制電晶體臨界值之變動。

此時，和待機時比較，主動狀態時之驅動力變大，例如 5 倍，較理想為 10 倍以上。

又，為確保基板偏壓切換時電路之穩定性，控制基板驅動 MOS 電晶體之閘極電壓之閘極控制信號，接基板驅動 MOS 電晶體之閘極後回授至基板偏壓控制電路，藉回授信號之電位使基板偏壓控制電路可檢出主電路之基板偏壓之穩定般地配置閘極控制信號。

半導體積體電路裝置具有電源投入重置電路，電源投

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

入重置電路用於檢出主電路之電源投入，藉電源投入重置電路在主電路電源投入之一定時間內，基板驅動MOS電晶體將基板偏壓設於淺驅動之主動狀態。

又，基板偏壓控制電路，係將由待機狀態遷移至主動狀態過程之閘極控制信號之輸出阻抗，控制成較完全遷移至主動狀態後之阻抗為大。

又，半導體積體電路裝置具有負電壓產生電路，基板偏壓控制電路係將待機狀態之負電壓產生電路之輸出阻抗，控制成較主動狀態之負電壓產生電路之輸出阻抗為小。

又，主電路由多數格構成，多數格之電源網路由第1配線層供電，具有使用與該第1配線層正交之第2配線層之電源網路，在第1配線層之電源網路與第2配線層之電源網路之交點配置開關格，第1配線層之電源網路與第2配線層之電源網路之連接係於開關格內進行，又，將基板驅動MOS電晶體配置於開關格內。

又，構成上述格之MOS電晶體之基板偏壓供給線，係由和第1配線層之電源網路平行之第1配線層進行，亦可由和第2配線層之電源網路平行之第2配線層進行，和電源網路同樣地，上述開關格內，第1配線層之基板偏壓供給線，及第2配線層之基板偏壓供給線連接，控制上述基板驅動MOS電晶體之閘極電壓的閘極控制信號，係由和第2配線層之電源網路平行之上述開關格上空之第2配線層供給，於上述開關格內，接基板驅動MOS電晶體之閘極端子。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

具體說明之，本發明之半導體積體電路裝置，係具有

由至少一個電晶體構成之主電路；

控制施加於上述電晶體之基板之電壓的基板偏壓控制電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路之次臨界漏電流為較多之主動狀態，及該次臨界漏電流為較少之待機狀態之至少二狀態作切換的待機控制電路；

於上述基板偏壓控制電路內藏負電壓產生電路之同時，具有將該負電壓產生電路產生之負電壓輸出至裝置外部之端子。

又，上述半導體積體電路裝置，係具有：具輸焊墊之半導體晶片；及內藏該半導體晶片，具外部腳位之封裝；上述端子係使用上述輸出焊墊之一，該端子未連接上述外部腳位。

又，本發明之半導體積體電路裝置，其特徵為具有：
由至少一個電晶體構成之主電路；

控制施加於上述電晶體之基板之電壓的基板偏壓控制電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路之次臨界漏電流為較多之主動狀態，及該次臨界漏電流為較少之主動狀態之至少二狀態作切換的待機控制電路；

在主動狀態對基板偏壓進行淺控制，於待機狀態對基板偏壓進行深控制，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

42688
於主動狀態對基板偏壓進行淺驅動之驅動力，係較於待機狀態對基板偏壓進行深驅動之驅動力大10倍以上。

此時，對基板偏壓作深控制時，較好是不使基板昇壓電晶體構成之主電路動作。基板昇壓時，基板阻抗高，因MOS電晶體動作使基板電位容易變化。因此，MOS電晶體有誤動作之可能性。

元件構造為，在主動狀態對基板偏壓進行淺驅動用之基板驅動MOS電晶體係分開距離 $20\mu\text{m}$ 以上至少有二個，該基板驅動MOS電晶體之閘極電位係由上述基板偏壓控制電路控制。

控制上述基板驅動MOS電晶體之閘極電壓的閘極控制信號，在連接上述基板驅動MOS電晶體之閘極後回授至上述基板偏壓控制電路，藉由回授信號之電位，使上述基板偏壓控制電路可檢出上述主電路之基板偏壓為穩定。

較好是，上述基板驅動MOS電晶體之臨界值電壓，較構成上述主電路之MOS電晶體之臨界值為大。

又，具備作為與外部之介面之I/O電路，構成該I/O電路之至少1個MOS電晶體之氧化膜厚，係較構成上述主電路之MOS電晶體之氧化膜厚為厚。

如此，則可提昇施加高電壓部分之耐壓。

又，具有檢出上述主電路之電源投入的電源投入重置電路，在上述主電路之電源投入一定時間之間，上述基板驅動MOS電晶體係將基板偏壓控制為淺驅動之主動狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

本發明適用之系統之另一態樣之半導體積體電路裝置，
 具有：第1 (VDDQ) 及第2 (VDD) 電源電壓；

第1電源電壓之絕對值較第2電源電壓大，第2電源電壓為2V以下，

上述第2電源電壓供至上述主電路 (LOG)；

上述第1電源電壓 (VDDQ) 供至基板偏壓控制電路 (VBC) 及待機控制電路 (VBC C)，

上述第1電源電壓較第2電源電壓先投入，

上述基板偏壓控制電路，在第2電源電壓投入之一定時間之間，係將主電路控制於主動狀態。

又，令由上述待機狀態遷移至主動狀態之過程中之上述基板驅動MOS電晶體之閘極控制信號之輸出阻抗，控制為較完全遷移至主動狀態係之阻抗為大，據以調整由待機狀態遷移至主動狀態之遷移速度，將遷移過程之突入電流控制為較小。

又，令由上述待機狀態遷移至主動狀態之過程中之上述基板驅動MOS電晶體之閘極控制信號之輸出阻抗，控制為較完全遷移至主動狀態係之阻抗為大，據以調整由待機狀態遷移至主動狀態之遷移速度，將遷移過程之突入電流控制為較小，且完全遷移至主動狀態一事可藉上述回授信號檢出。

上述閘極控制信號之振幅，係較上述基板驅動電晶體之閘極耐壓大。

又，具有負電壓產生電路，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

上述基板偏壓控制電路，係將待機狀態中之上述負電壓產生電路之輸出阻抗，控制成較主動狀態中之上述負電壓產生電路之輸出阻抗為小。

又，上述負電壓產生電路具有第 1 充電泵電路及第 2 充電泵電路，

上述基板偏壓控制電路，於待機狀態係使用上述第 1 充電泵電路產生負電壓，於主動狀態係使用上述第 2 充電泵電路產生負電壓，

上述第 1 充電泵電路之泵電容器之容量，係較上述第 2 充電泵電路之泵電容器之容量大。

又，具有第 1 及第 2 電源電壓，上述負電壓產生電路產生第 3 電源電壓，

上述第 1 電源電壓大於第 2 電源電壓，上述第 2 電源電壓為 2 V 以上，

於上述主電路供給有上述第 2 電源電壓，

於上述基板偏壓控制電路及待機控制電路至少供給有第 1 電源電壓，

於待機狀態該基板偏壓控制電路係將 P M O S 電晶體之該基板偏壓控制於第 2 電源電壓電位，將 N M O S 電晶體之該基板偏壓控制於第 3 電源電壓電位，

(第 3 電源電壓) = (第 1 電源電壓) - (第 2 電源電壓)。

又，上述負電壓產生電路係具有：至少 1 個充電泵電路，比較器，產生第 2 電源電壓之一半電位的第 1 基準電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

源電路，及產生第1電源電壓與第3電源電壓之中間電位的第2基準電源電路；

上述比較器係比較第1基準電源電路之輸出電壓及第2基準電壓產生電路之輸出電壓，控制上述充電泵之至少1個以使第3電源電壓穩定化。

上述第1及第2基準電壓產生電路，係由各個基板端子連接源極且閘極接汲極之同一導電型MOS電晶體串接之串聯電路構成，上述多數MOS電晶體係選擇在飽和領域動作。

又，裝置構成具斯密特(schmidt)特性。

上述主電路係由多數格構成，該多數格之電源網路經由第1配線層供電，於該第1配線層之上空有使用與其正交之第2配線層的電源網路，在上述第1配線層之電源網路與第2配線層之電源網路之交叉點配置開關格，第1配線層之電源網路與第2配線層之電源網路之連接係於該開關格內進行，上述基板驅動MOS電晶體配置於該開關格內。

於開關格內，去耦電容器配置於電源與接地間亦可。

在上述第2配線層之電源網路之上空，存在有與第2配線層之電源網路平行之第4配線層之電源網路，上述第2配線層之電源網路與第4配線層之電源網路之連接，係於上述開關格外進行。

又，存在有第5配線層之電源網路，上述第4配線層之電源網路與第5配線層之電源網路間之連接係於開關格

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

426988
五、發明說明(10)

內進行，上述第 4 配線層之電源網路與第 5 配線層之電源網路構成之電源網目，係較上述第 1 配線層之電源網路與第 2 配線層之電源網路構成之電源網目為大，上述第 4 配線層之厚度及第 5 配線層之厚度，係較第 1 配線層之厚度及第 2 配線層之厚度中之任一為厚。

構成上述格之 MOS 電晶體之基板偏壓供給線，係由與上述第 1 配線層之電源網路平行之第 1 配線層來進行，亦可由與上述第 2 配線層之電源網路平行之第 2 配線層來進行，和電源網路同樣，於上述開關格內，第 1 配線層之基板偏壓供給線，與第 2 配線層之基板偏壓供給線連接。

控制上述基板驅動 MOS 電晶體之閘極電壓的閘極控制信號，係由與第 2 配線層之該電源網路平行之上述開關格上空之第 2 配線層供給，於該開關格內，連接該基板驅動 MOS 電晶體之閘極端子。

上述開關格上空之第 2 配線層所配線之上述基板偏壓供給線及閘極控制信號，係配置於上述開關格上空之第 2 配線層所配線之電源網路間。

具備有資料路徑電路，該資料路徑電路之資料流方向和上述多數格之第 1 配線層之電源網路係平行。

上述基板偏壓設定成，在上述半導體積體電路裝置之選別時至少 1 個該 MOS 電晶體之臨界值變高。

又，其他態樣之充電泵電路，係由：

第 1 泵電容器，及第 2 泵電容器；

第 1 及第 2 之二個 P 通道電晶體；

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(11)

第 1 及第 2 之二個 N 通道電晶體；及

振盪電路構成；其特徵為：

該振盪電路之輸出為「H」時，使用第 1 泵電容器，第 1 P 通道電晶體，及第 1 N 通道電晶體對該第 1 泵電容器之電荷加以吸引；

該振盪電路之輸出為「L」時，使用第 2 泵電容器，第 2 P 通道電晶體，及第 2 N 通道電晶體對該第 2 泵電容器之電荷加以吸引。

其他態樣為，一種半導體積體電路裝置，係具有：包含形成於半導體基板上之電晶體之主電路，及控制施加於上述基板之電壓之基板偏壓控制電路；

上述主電路，具有控制施加於上述基板之電壓的開關電晶體；

上述基板偏壓控制電路輸出之控制信號被輸入上述開關電晶體之閘極，而且該控制信號回授至上述基板偏壓控制電路。

上述開關電晶體係配置於矩形狀之開關格，上述電晶體係配置於矩形狀之標準格，上述開關格 1 個和上述標準格多數個成一列並排配置。

驅動上述主電路之電晶體（MN2，MP2）之驅動電源（VSS，VDD）之配線，和由上述基板偏壓控制電路供給之基板偏壓電源（vbp，vbn）之配線，係將上述開關格及多數標準格，於該格之並列方向予以縱斷。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(12)

就電晶體之耐性而言，開關電晶體之臨界值大於電晶體之臨界值為較好。

上述開關電晶體(MN1, MP1)，係插入驅動主電路之電晶體(MN2, MP2)驅動電源(VSS, VDD)，與上述基板偏壓控制電路供給之基板偏壓電源(vbp, vbn)之間，此點就配線佈局而言較好。

上述電晶體之源極或汲極係接上述驅動電源，該電晶體之基板電位接上述基板偏壓電源。

上述基板偏壓控制電路，在輸出控制信號(vbp, vbn)後，檢出經該主電路回授之該控制信號(vbpr, vbnr)成為特定電壓，以形成檢測信號(vbbe, vbbr)，以使主電路之動作穩定化。

發明實施之最佳形態

圖1為使用本發明之基板偏壓控制電路之半導體積體電路裝置100之概念圖。VBC為，2。LOG為基板偏壓控制之主電路，由邏輯電路或記憶體電路構成，VBC C為進行基板偏壓控制電路之控制的待機控制電路。I/O為進行與半導體積體電路裝置100之外部之介面的I/O電路。此處，電路方塊間之配線，於基板控制不必要者省略之。又，109a, 109b為基板驅動電路。

電源有3種，分別以VDDQ, VDD, VWELL表示。VSS, VSSQ分別為相對VDD, VDDQ之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

接地電位。VDDQ，VSSQ為I/O電路用電源，

VDD，VSS為主電路用電源，VWELL為基板偏壓控制電路VBC用之電源。

如圖1所示，於基板偏壓控制電路VBC供有VDD，VSS。又，基板偏壓控制電路VBC內藏有負電壓產生電路，產生與VDD，VDDQ為逆極性之負電壓VSUB。以下，設定VDDQ = VWELL = 3.3V，VDD = 1.8V，VSUB = -1.5V，電源電壓有2種。

101，102，103，104為半導體積體電路裝置100之焊墊，102為3.3V之VWELL電源，103為1.8V之VDD電源，104為0V之VSS（接地）電源。101為VSUB焊墊，作為基板偏壓控制電路VBC內部產生之負電壓輸出用之焊墊使用。半導體積體電路裝置100之晶圓測試時，監控焊墊101之電壓可檢出基板偏壓控制電路VBC內之負電壓產生電路之不良。通常，102～104之焊墊為泵連接於半導體積體電路裝置100之外部，腳位，但101未泵連接於外部腳位。依此種構成，依此測試方法可節省外部腳數。

vbbenb為基板偏壓控制開始信號，
vbbenbr為基板偏壓控制中信號。另一方面，
reset為重置信號，接半導體積體電路裝置100之重置信號。vbp為MOS基板偏壓線，vbn為

（請先閱讀背面之注意事項再填寫本頁）

家

訂

五、發明說明 (14)

N M O S 基板偏壓線， $c b p$ 為 P M O S 基板控制線， $c b n$ 為 N M O S 基板控制線， $c b p r$ 為 P M O S 基板控制回授線， $c b n r$ 為 N M O S 基板控制回授線。基板控制回授線 $c b p r$ 及 $c b n r$ ，為通過 $c b p$ 及 $c b n$ 信號之主電路內後之回授信號，成為同一網路。即， $c b p$ 及 $c b n$ 之驅動電壓經延遲後分別以 $c b p r$ 及 $c b n r$ 表示。（參照後述圖 2）。基板驅動電路 109 a，109 b 分別接 $c b p$ ， $v b p$ ， $c b n$ ， $v b n$ 。

圖 2 為上述 $v b p \sim c b n r$ 之 6 條基板偏壓控制線之主電路 L O G 內之連接方法。V B C R 係於回授格，於內部接 P M O S 基板控制線 $c b p$ 及 P M O S 基板控制回授線 $c b p r$ ，接 N M O S 基板控制回授線 $c b n$ 及 N M O S 基板控制回授線 $c b n r$ 。

$n c e l l$ 為標準格。此處為簡便起見，全 $n c e l l$ 均以 P M O S M P 2，N M O S N M 2 構成之 C M O S 換流器表示。當然，亦可為分別獨立之 N A N D 閘或閃鎖器等複雜之格。如圖 2 所示構成 $n c e l l$ 之 M O S 電晶體之基板電位，P M O S 為 $v b p$ ，N M O S 為 $v b n$ 。

$s w c e l l$ 為開關格，係由 P M O S M P 1 及 N M O S N M 1 構成之基板驅動電路（相當於圖 1 之 109 a，109 b），及去耦電容器 C P 1，C P 2 構成。M P 1 之閘極接 $c b p$ ，汲極接 V B P，源極接

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 (15)

V_{DD} 。因此， $c b p$ 為小於 $V_{DD} - V_{th p}$ ($V_{th p}$ 為 $M P 1$ 之臨界值電壓之絕對值) 之電壓時， $M P 1$ 為 $O N$ ， $v b p$ 被驅動於 V_{DD} 電位 ($1.8 V$)。

另一方面， $M N 1$ 之閘極接 $c b n$ ，汲極接 V_{BN} ，源極接 V_{SS} ($0 V$)。因此， $c b n$ 大於 $V_{th n}$ ($V_{th n}$ 為 $M N 1$ 之臨界值電壓之絕對值) 之電壓時， $M N 1$ 為 $O N$ ， $v b n$ 驅動於 V_{SS} 電位 ($0 V$)。

一般，配置有 1 個以上之多數 $n c e l l$ 。又， $s w c e l l$ 亦配置 1 個以上之多數。增加 $n c e l l$ 之數可將複雜電路集積於主電路 $L O G$ 上。又，增加 $s w c e l l$ 之數，則可較 $M P 1$ 及 $M N 1$ 為 $O N$ 時之更位阻抗將 $v b p$ ， $v b n$ 分別驅動於 V_{DD} ， V_{SS} 。

又，於開關格 $s w c e l l$ 內內藏去耦電容器之外，亦可於空間格內藏去耦電容器。空間格為例如與標準格 $n s e l l$ 並列配置時為確保配線領域而生之空間內插入之格。於空間格內內藏去耦電容器，以增加晶片全體之去耦電容器之容量，可更減低電源雜訊。本來，空間格僅為配線層之空間，於此插入電容器，不會有增加面積之慮。

$s w c e l l$ 內之 $M P 1$ 及 $M N 1$ 必要較 $n c e l l$ 內之 $M O S$ 電晶體設為更高臨界值。此乃因， $n c e l l$ 內之 $M O S$ 電晶體之基板電位 (分別接 $v b p$ 或 $b b n$) 係與源極電位獨立，但 $s w c e l l$ 內之 $M P 1$ 及 $M N 1$ 之基板電位經常與汲極電位相同，基板偏壓效果無法預期，

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明 (16)

流通有次臨界漏電流之故。

426988 例如，關於NMOS電晶體MN1，MN2，假設
 $v_{bp} = 3.3V$ ， $v_{bn} = -1.5V$ ， $V_{DD} = 1.8V$ ， $V_{SS} = 0V$ ，則ncell內之MN2之源極電位S，汲極電位D，基板電位B分別為 $S = 0.0V$ ， $D = 1.8V$ ， $B = -1.5V$ ，基板偏壓效果使MN2之臨界值電壓上昇，次臨界漏電流變小。但是，swcell內之MN1之源極電位S，汲極電位D，基板電位B，分別為 $S = 0.0V$ ， $D = 1.5V$ ， $B = -1.5V$ ，基板偏壓效果來引起臨界值電壓之變化。因此，於MN1，大之次臨界漏電流通於VSS與 v_{bn} 之間。

令swcell內之MP1及MN1之臨界值電壓大於ncell內之MOS電晶體之方法，有變化インプラ量，改變閘極長(L)，或改變閘極氧化膜厚。此方法未特別限定，此處以變化L尺寸及閘極氧化膜來實現。依此方法，微電腦之外部之輸出入部分之電路(以下，稱I/O電路)使用之高耐壓MOS電晶體可轉用。

圖3為I/O電路之實施例。此處，僅圖示1位元分。輸出入電路介由輸出入端子PAD進行晶片內部與外部之信號。SEL為“L”時PAD為輸入端，SEL為“H”時成為輸出端。LC1為位準轉換電路，將VDD振幅之信號轉換為振幅大之VDDQ信號。因此，位準轉換電路LC1與輸出入端PAD間之電晶體係由以VDDQ

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

驅動之厚氧化膜電晶體構成。此處，PULL有必要昇壓時設為、L'以PMOS之昇壓電晶體昇壓。該PMOS亦由厚氧化膜電晶體構成。

關於輸入側，對具由外部輸入之VDDQ振幅之信號，以110P及110N構成之換流器轉換為VDD振幅。因此，該二個電晶體係處理位準轉換前之信號，以厚氧化膜電晶體構成。電阻111R，二極體111D1，111D2，電晶體111為輸入保護電路。又，二極體111D1及111D2以MOS電晶體構成亦可。該輸入保護電路中之電晶體之厚氧化膜電晶體構成。

以上之厚氧化膜電晶體不要求極高速之開關速度，處理電壓和VDD相較為高，故臨界值電壓可設為較高。可較nce11使用之電晶體為高。如此則可抑低該厚氧化膜電晶體OFF時之次臨界漏電流。該厚氧化膜電晶體可使用於構成圖2之開關格swsel1之MP1及MN1，如此則MP1，MN1用之新製程不必要。

圖4為基板偏壓控制電路VBC內部構成，由4個電路方塊構成，VBC80被供給VDD，VSS電源，VBC30供給有VWELL，及VSS電源VBC85被供給VDD及VSUB電源，VSUBGEN被供給VWELL，VDD，VSS電源。

因此，VBC30，VBC85，VSUBGEN之內部電路之電源電壓分別為3.3V。設定為VDDQ = VWELL，則供至I/O電路之電源，VDDQ及

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

VSSQ 爲 3.3V，因此，I/O 電路使用之元件及基
4 板偏壓控制電路使用之元件可共通化。

另一方面，VBC80 之電源爲 1.8V。因此，由
VBC80 至 VBC30，VBC85 之信號線使用雙軌
信號（使用正邏輯信號及負邏輯信號之對所使用之平衡信
號），於 VBC30，VBC85 內部作位準轉換（將
1.8V 振幅信號轉換爲 3.3V 振幅信號）。

VBC80 爲來自基板偏壓控制電路 VBC 之外部之
輸入信號 cbpr，cbnr，vbbenb，
reset 與 VBC30，VBC85 間之介面電路方塊
，VBC30 爲控制 PMOS 之基板偏壓之電路方塊，
VBC85 爲控制 NMOS 之基板偏壓之電路方塊，
VSUBGEN 爲負電壓產生電路方塊。

圖 5 爲動作波形例。電源 I/O 電路用之電源
VDDQ，基板偏壓控制電路 VBC 用之電源 VWELL
投入後，主電路用電源 VDD 被投入。依此，負電壓產生
電路方塊 VSUBGEN 起動，負電壓 VSUB 產生。另
一方面，電源 VDD 投入後一定時間之間 d__reset
信號被肯定（Assert）。該信號被肯定時，基板偏
壓控制電路最優先遷移至不拉昇主電路之基板偏壓（以下
，拉昇基板或基板偏壓意味著，PMOS 時該基板偏壓設
爲 VDD 電位，NMOS 時基板偏壓設爲 VSS 電位。又
，拉昇基板或基板偏壓指，PMOS 時基板偏壓設爲大於
VDD 電位之電位，NMOS 時基板偏壓設爲低於 VSS

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (19)

電位之電位)之狀態,即主動狀態。

426988 狀態下,PMOS基板偏壓線 $vbp = 1.8V$, NMOS基板偏壓線 $vbn = 0V$, PMOS基板控制線 $cbp = 0V$, NMOS基板控制線 $cbn = 1.8V$ 。基板控制回授線 $cbpr$, $cbnr$ 為 cbp , cbn 信號之回授信號,故 $cbpr = cbp = 0V$, $cbnr = cbn = 1.8V$ 。

電源VDD投入一定時間後,d__reset信號經由NAND,藉 $vbbend$ 信號控制基板偏壓。 $vbbend$ 為 $3.3V$ 時基板遷移至昇壓之待機狀態, $0V$ 時基板遷移至未昇壓之主動狀態。

即, $vbbend$ 由 $0V$ 遷移至 $3.3V$ 時, $vbp = cbp = 3.3V$, $vbn = cbn = -1.5V$ 。之後, $cbpr = cbp = 3.3V$, $cbnr = cbn = -1.5V$ 。 $cbpr = 3.3V$, $cbnr = 0V$,故 $vbbendr = 3.3V$ 。因此, $vbbend$ 由 $0V$ 遷移至 $3.3V$ 經某一時間後(cbp 或 cbn 之回授信號 $cbpr$, $cbnr$ 回授後)成為 $3.3V$ 。

當 $vbbend$ 由 $3.3V$ 遷移至 $0V$ 時, $vbp = 1.8V$, $cbp = 0V$, $vbn = 0V$, $cbn = 1.8V$ 。之後,經過某一時間,遷移為 $cbpr = cbp = 0V$, $cbnr = cbn = 1.8V$, $vbbendr = 0V$ 。如此, $vbbendr$ 作為 $vbbend$ 之回授信號動作。又,如圖2說明般,基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

電位由 $c b p$, $c b n$ 電位決定，故藉由 $c b p$, $c b n$ 電位獲得之 $v b b e n b r$ 之監控，即可檢出基板之電位狀態。

圖 6 為動作波形之另一例。僅圖示與圖 5 不同部分。如圖 6 般控制 $c b p$, $c b n$ 時，控制電路稍許複雜，但主動時加之於圖 2 之 $M P 1$, $M N 2$ 之源極端與閘極端之電壓可較大，可以較低阻抗驅動 $v b p$, $v b n$ 。此場合下，相當於閘極控制信號之 $c b p$, $c b n$ 之振幅，係較基板驅動電晶體 $M P 1$, $M N 1$ 之閘極耐壓大。但是，由圖 6 可知，使 $c b p$, $c b n$ 緩慢變化，即可使 $M P 1$, $M N 1$ 之閘・汲極間及閘・源極間之電壓成為 3 . 3 V，可抑制於閘極耐壓以下。

以下，分別圖示電路方塊之詳細電路圖例。為簡便起見，以下各電路方塊例為實現圖 4 之波形之電路例。

圖 7 為 $V B C 8 0$ 之電路圖。120 為 2 輸入 $N A N D$ ，121 為具斯密特特性之輸入 $N A N D$ ，122 為換流器，123 為 $N O R$ ，124 為具斯密特特性之緩衝器，125 為具差動輸出之緩衝器。126 為基板偏壓控制電路，其輸出 27，當電源 $V D D$ 投入後緩慢由 0 V 充電至 1 . 8 V。因此，121 之輸出在一定時間為 0 V，一定時間後輸出 1 . 8 V。藉該輸出如圖 5 所示當電源 $V D D$ 投入時 $d _ r e s e t$ 信號於一定時被肯定。圖 7 中，電源投入重置電路 126 係使用電阻及電容器構成之簡單者，但亦可為其他電路方式。只要可檢出電源

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

V D D 穩定者即可。

426988
 d_vbbenb, d_cbpr, d_cbnr 分別為將 $vbbenb, cbpr, cbnr$ 雙軌化之信號，在電源投入重置期間，基板控制狀態成為主動狀態。 $d_vbbenbr$ 為作成圖 5 之 $vbbenbr$ 用之雙軌信號，由 $cbpr, cbnr$ 作成。

圖 8 為 V B C 3 0 之電路圖，130 為位準轉換電路，由 d_vbbenb 及 d_reset 之 V D D 起至 V S S 止之 1.8 V 振幅之雙軌信號，作成 V W E L L 至 V S S 止之 3.3 V 振幅之信號 133。133 為「L」時為主動狀態或電源投入重置期間。

131 為位準轉換電路，由 d_cbpr 及 d_reset 之 V D D 起至 V S S 止之 1.8 V 振幅之雙軌信號，作成 V W E L L 起至 V S S 止之 3.3 V 振幅之信號 134。134 為 0 V 時表 $cbpr$ 為 0 V 或電源投入重置期間。133 為 0 V 時， vbp 成高阻抗狀態， cbp 為 0 V， $cbpenbr$ 成為 0 V。當 cbp 為 0 V 時，主電路內之金 $swcell$ 內之 M P 1 為 O N， vbp 驅動成 1.8 V。

132 亦為位準驅動電路，將來自圖 7 之 V B C 8 0 之 $d_vbbenbr$ 信號轉換為 3.3 V 振幅之 $vbbenbr$ 信號。

圖 9 為 cbp 之遷移模式。 cbp 之輸出阻抗以 2 階段變化。 cbp 由以 133 信號控制之換流器 135 驅動

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

當 1 3 3 爲 0 V，且 1 3 4 爲 0 V 時，NMOS
 1 3 6 爲 ON，由 NMOS 驅動。此處，相轉換流器
 1 3 5 內之 NMOS 之閘極寬，NMOS 1 3 6 之閘極
 寬極大。當遷移至主動狀態，1 3 3 爲 0 V 時，藉由換流
 器 1 3 5 使 c b p 驅動於 0 V。但是，c b p 配線於主電
 路全體，其負荷容量爲較大者。由於此，c b p 緩慢驅動
 於 0 V。該遷移由 c b p 之回授信號 c b p r 之遷移檢出
 ，d __ c b p r 信號會變化。由於此，1 3 4 成爲 0 V，
 NMOS 1 3 6 設爲 ON。因此，c b p 驅動於低阻抗
 之 0 V。如此則在主動狀態，c b p 驅動於低阻抗，可減
 低主電路動作引起影響。又，c b p 驅動於 0 V 時，主電
 路內之金 s s w c e l l 內之 MP 1 爲 ON，但是，如圖
 8 (B) 所示 c b p 之驅動緩慢驅動爲 0 V，則全
 s w c e l l 內之 MP 1 之同時切換雜訊可減少。

圖 1 0 爲 V B C 8.5 之電路圖。1 4 0 爲位準轉換電
 路，由 d __ v b b e n b 及 d __ r e s e t 之 V D D 起至
 V S S 止之 1.8 V 振幅之雙軌信號，作成 V D D 起至
 V S U B 止之 3.3 V 振幅之信號 1 4 2。1 4 2 爲
 1.8 V 時，爲主動狀態或電源投入重置期間。

1 4 1 亦爲位準轉換電路，由 d __ c b n r 及 d __
 r e s e t 之 V D D 起至 V S S 止之 1.8 V 振幅之雙軌
 信號，作成 V D D 起至 V S U B 止之 3.3 V 振幅之信號
 1 4 3。1 4 3 爲 1.8 V，係指 c b n r 爲 1.8 V 或
 電源投入重置期間。1 4 2 成爲 1.8 V，使 v b n 成爲

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

高阻抗狀態， $c b n$ 成為 $1.8 V$ 。當 $c b n$ 為 $1.8 V$ 時，主電路內之全 $s w c e l l$ 內之 $M N 1$ 為 $O N$ ， $v b n$ 驅動於 $0 V$ 。

圖 11 為 $c b n$ 之遷移模式。 $c b n$ 之輸出阻抗和 $c b p$ 同樣以 2 階段變化。 $c b n$ 係由 143 信號控制之換流器 144 來驅動，當 142 為 $1.8 V$ ，且 143 為 $1.8 V$ 時， $P M O S 145$ 為 $O N$ ，亦可由 $P M O S 145$ 驅動。此處，相較換流器 144 內之 $P M O S$ 之閘極寬， $P M O S 145$ 之閘極寬設為充分大。遷移至主動狀態，142 成為 $1.8 V$ 時，藉換流器 144 使 $c b n$ 驅動於 $0 V$ 。但是， $c b n$ 配線於主電路全體，其負荷容量為大者。因此， $c b n$ 緩慢驅動於 $0 V$ 。該遷移由 $c b n$ 之回授信號 $c b n r$ 之遷移來檢出， $d c b n r$ 信號變化。依此，143 成為 $1.8 V$ ， $P M O S 145$ 成為 $O N$ 。如此則 $c b n$ 驅動於低阻抗之 $1.8 V$ 。於此主動狀態下， $c b n$ 和 $c b p$ 同樣驅動於低阻抗，主電路動作引起之雜訊影響可減低。又， $c b n$ 驅動於 $1.8 V$ 時，主電路內之全 $s w c e l l$ 內之 $M N 1$ 為 $O N$ ，但 $c b n$ 之 $1.8 V$ 之驅動如圖 11 般可緩慢驅動，全 $s w c e l l$ 內之 $M N 1$ 之同時切換雜訊可減低。

由以上說明可知，本發明之基板偏壓控制方式中，基板之驅動阻抗，在基板未昇壓之主動狀態（全 $s w c e l l$ 之基板驅動），係較基板昇壓之待機狀態（

（請先閱讀背面之注意事項再填寫本頁）

承

訂

五、發明說明 (24)

4V26988 基板驅動) 為小。因此，如上述，電源投入時，遷移至基板未昇壓之主動狀態，則基板電位不穩定所產生電源投入時之電源間貫通電流增加問題或閃鎖放大 (latch up) 之問題可回避。又，主電路時之電路動作，基板雜訊發生多，但藉降低基板之驅動阻抗可減低基板雜訊，防止主電路之誤動作或閃鎖放大等。

圖 1 2 為負電壓產生電路 V S U B G E N 之內部構成，由 3 個電路方塊構成，V S U B S E N 為基板偏壓感測電路，P M P 1 為充電泵電路 1，P M P 2 為充電泵電路 2，基板偏壓感測電路 V S U B S E N 為監控 V S U B 電位，且藉 v b p e n b 信號臨控主動狀態及待機狀態，滿足 $V S U B = V D D + V S S - V W E L L$ 般地使用控制信號 p m p 1 e n b，p m p 2 e n b 控制 P M P 1 及 P M P 2。

P M P 1 於 p m p 1 e n b 信號肯定時動作，P M P 2 於 p m p 2 e n b 肯定時動作。P M P 1 與 P M P 2 之差異在於泵吸能力，P M P 1 較 P M P 2，其泵吸能力大。使用 P M P 1 與 P M P 2 中之任一係由 v b p e n b 信號決定，於主動狀態使用 P M 2，待機狀態使用 P M P 1。

於主動狀態，V S U B 電位僅於基板偏壓控制電路 V B C 內使用，故 V S U B 不太流通電流。因此，泵吸能力小之 P M P 2 被使用。待機狀態中，V S U B 電位供至主電路全體，V S U B 流通接合電流等。因此，泵吸能力

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(25)

426988 1 被使用。

圖 1 3 為本發明之充電泵電路 1 P M P 1 之電路。
O S C 為環狀振盪器，僅於 p m p 1 e n b 被肯定時振盪，使 V S U B 充電為負電壓。

圖 1 4 為伊藤清男著「超 L S I 記憶體」，培風館，P 2 2 6 記述之充電泵電路追加 P M O S 1 6 2 及 1 6 3 者，使用 1 6 0，1 6 1 之 P M O S 在環狀振盪器之 1 週期間進行 2 次充電泵之充電泵電路。本發明中，如圖 1 3 所示追加 N M O S 1 6 4，1 6 5。如此可消除 P M O S 1 6 0，1 6 1 之臨界值之影響，即使低電壓動作亦可得很深之 V S U B。V W E L L 為 3.3 V 時，圖 1 4 之構成中，僅能得 $V S U B = -3.3 V + v_{thp}$ (v_{thp} = P M O S 1 6 0，1 6 1 之臨界值之絕對值，相對於 V S U B = -2.3 V 程度，本發明方式可得 $V S U B = -3.3 V$ 程度。

充電泵電路 2 P M P 2 之電路圖雖未特別示於此，但只要將圖 1 3 之作為電容器使用之 P M O S C P 3，C P 4 縮小以減少電容器之容量即可。當然，配合此 C P 3 或 C P 4 使其他 M O S 之尺寸最適化即可。

圖 1 5 為基板偏壓感測電路 V S U B S E N 之電路圖。
V R E F G E N 為基準電壓產生電路，藉 1 5 0，1 5 1 所示 N M O S 之串接可得 $V R E F = (V D D - V S S) / 2$ 之輸出。V I G E N 為 V S U B 電位之感測電路，藉 1 5 2 ~ 1 5 5 之 N M O S 之串接，可得 $V 1 =$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (26)

($V_{WELL} - V_{SUB}$) / 2 之輸出。各 NMOS 之源，汲極間僅施加約 1 V 左右電位差，並使閘極長增長。如此，則可抑低 $V_{DD} \sim V_{SS}$ 或 $V_{WELL} \sim V_{SUB}$ 之貫通電流。又，因在飽和領域動作，相對於變動較鈍感可得 V_{REF} 或 V_1 。又，本發明中非 PMOS 而是使用 NMOS。NMOS 較 PMOS 之飽和特性良好，故於源，汲極間即使僅施加約 1 V 程度之電位差，相對於各 NMOS 間之變動，較鈍感地可得 V_{REF} 或 1。

AMP 1，AMP 2，AMP 3 分別為差動放大器，構成一個差動放大器。在由 AMP 1，AMP 2，AMP 3 構成之差動放大器，輸入有 V_{REF} 及 V_1 ，當 $V_{REF} < V_1$ 時， $pmp1enb$ 或 $pmp2enb$ 被肯定。依此， V_{SUB} 朝負電壓方向充電。 $V_{REF} > V_1$ 時， $pmp1enb$ 或 $mpe nb$ 被否定 (negate)。於 V_{SUB} 存在有 V_{SS} 或 V_{WELL} ， V_{DD} 方向之任一方向之漏電流，故當 $pmp1enb$ 及 $pmp2enb$ 兩方被否定時朝正電位方向放電。藉重複進行該 $pmp1enb$ 或 $pmp2enb$ 之肯定，否定，可確保 $V_1 = V_{REF}$ ，即 $V_{SUB} = V_{DD} - V_{SS} - V_{WELL}$ 。又，如上述般， $vbp enb$ 為 3.3 V 時 (待機狀態時)， $pmp1enb$ 被肯定， $vbp enb$ 為 0 V 時 (主動狀態)， $pmp2enb$ 被肯定。

又，AMP 1 與 AMP 2 之間有反饋路徑，AMP 1，AMP 2，AMP 3 形成之差動放大器具磁滯特性。此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

426988

處所謂磁滯特性指差動放大器之差動點依放大器之輸出而變化，即具斯密特特性。依此，則可防止在 $V_1 = V_{REF}$ 附近 $pmp1enb$ 或 $pmp2enb$ 重複過度之肯定，否定，防止消費電力之增加。

又，藉 $vbp enb$ 之肯定，及否定，來改變 $AMP1$ 至 $AMP3$ 之差動放大器之動作電流。 vbp 被肯定之待機時，於 V_{SUB} 連接主電路之 vbn 故連接大之基板容量。因此， V_{SUB} 緩衝變化。 $AMP1 \sim AMP3$ 不必高速動作，故可限制動作電流。依此可削減 $AMP1 \sim AMP3$ 之消費電力。另一方面， vbp 為否定之主動時，於 V_{SUB} 僅連接基板偏壓控制電路 VBC ，較小容量連接 V_{SUB} 。因此， V_{SUB} 快速變化， $AMP1 \sim AMP3$ 有必要高速動作。又，主動時消費電力不必大在意。因此，電晶體增大 $AMP1 \sim AMP3$ 之動作電流，使高速動作。

以下，更詳細說明基板偏壓供電方法之實施例。

圖16為 $ncell$ 及 $swcell$ 之佈局例。

$swcell$ 連續配置於縱方向 (Y 方向)。又， $swcell$ 與 $ncell$ 之格高度為相同， $swcell$ 與 $swcell$ 之橫向 (X 方向) 之間隔 L 在某一值以內變化。當然可設為一定間隔，設為某一程度可變可增加佈局自由度。任一情況下間隔 L 可考慮以下項目來決定。

(1) 電源線阻抗

(請先閱讀背面之注意事項再填寫本頁)

家

訂

五、發明說明 (28)

426988 電源配線之遷移

(3) n c e l l 動作時於 v b p 或 v b n 產生之基板雜訊

圖 1 7 為 n c e l l 之佈局例。和圖 2 之場合同樣之換流器為例。v b p , c b n , V D D , V S S 係由 4 條平行之第 1 層金屬配線 (以下稱 M 1) 供電。v b p , v b n 分別由表面高濃度層供電。H 為格高度，表示縱方向之基本重複單位。以該高度為基準於縱方向配置鏡面對稱。依此，v b p 及 v b n 可由上下相鄰之 n c e l l 共有，可削減面積。

圖 1 8 為圖 1 7 之 A - B 線之斷面圖。N - w e l l 為形成 M P 2 之 N 型井，P 型井為形成 M N 2 之 P 型井。D E E p - N 為較 N - w e l l , P - w e l l 更深處之 N 型井，即所謂 3 重井構造。

圖 1 9 為 s w c e l l 之佈局例。格之高度和 n c e l l 同樣以 H , M 1 之 v b p , v b n , V D D , V S S 之供電線係位於和 n c e l l 相同之位置。如圖 1 6 所示，s w c e l l 連續於縱方向，於橫向以某一間隔以內之間隔並列。藉此種配置可於該 s w c e l l 之場所配置電源強化線。圖 1 9 中，縱向平行配線之第 2 層金屬配線 (以下稱 M 2) 為該電源強化線 2 條。於該 2 條電源強化線之間，v b p , v b n 強化線 2 條，及 c b p , c b n 2 條平行配置。藉兩端之電源強化線 V D D , V S S , 可保護阻抗較高之 4 條基板偏壓控制線免受外來

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (29)
426988

雜訊之影響。

M P 1 係由 6 個電晶體分離形成，閘，汲，源極分別接 c b p，v b p，V D D。又，M N 1 由 3 個電晶體分離形成，其閘，汲，源極分別接 c b n，v b n，V S S。去耦電容器 C P 1，C P 2 分別以 2 個電晶體分離，形成於 M P 1 及 M N 1 兩端，使用 M O S 閘極容量作成容量。

去耦電容器 C P 1 及 C P 2 之尺寸與 M P 1 及 M N 1 之尺寸比，並未特別限定。極端例中使去耦電容器 C P 1 及 C P 2 中之任一方或兩方不存在亦可。增大去耦電容器，可減低電源雜訊。另一方面，若增大 M P 1 及 M N 1，微電腦於一般狀態時，可將基板偏壓以更低阻抗連接電源，較耐雜訊，閃鎖放大亦不易發生。

M 1 之 V D D 線與 M 2 之 V D D 線之間之貫通孔，及 M 1 之 V S S 線與 M 2 之 V S S 線之間之貫通孔，為簡單化而省略，但亦可在各別配線之交叉點設貫通孔。

圖 20 為圖 19 之 A - B 線之斷面圖。和圖 18 同樣，P - w e l l 為形成 M N 1 用之 P 型井，D e e p - N 為較 P - w e l l 更深處之 N 型井，即所謂 3 重井構造。此處圖 19 省略之 M 1 之 V S S 線與 M 2 之 V S S 線間之貫通孔亦圖示。如圖 2 之說明之記述，M N 2 使用厚氧化膜電晶體，以提高臨界值。

圖 21 為電源配線 V D D，V S S 及基板偏壓控制線 v b p，v b n，c b p，c b n 之配線方法之更具體例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

4.2.6發明說明 (30)

。該圖為在圖 1 6 追加上述配線者。橫向為以 M 1 配線之 V D D , V S S , v b p , v b n 之平行配線。如圖 1 7 所示, v b p 由上, 下二個格共有, V D D 平行配線於其上下。又, v b n 亦由上下 2 個格共有, V S S 平行配線於其上下。當然, V D D , V S S 較 v b p , v b n 粗較好。

如圖 1 9 說明般, 於縱向以 M 2 配線之 V D D , V S S , v b p , v b n , c b p , c b n 配線於 s w c e l l 上, 於 M 1 與 M 2 之交叉點, V D D , V S S , v b p , v b n 分別接成網目狀。

圖 2 2 為電源 V D D , V S S 之補強模式圖。於圖 2 1 之基本重複單位, 第 4 金屬配線層 (以下稱 M 4) , 第 5 金屬配線層 (以下稱 M 5) 形成之電源線 V D D , V S S 配線成網目狀。

縱向配線之 M 2 之 V D D , V S S 之上空配置以 M 2 配線之 V D D , V S S , 為連接兩者, 第 3 金屬配線層 (以下稱 M 3) 為必要。該連接於金 s w c e l l 上進行時, M 3 成為配線於縱向, M 3 之橫向路徑不存在, 此為問題。

圖 2 2 中, M 2 與 M 4 之電源線之連接, 僅在以 s w c e l l 2 或 s w c e l l 3 表示之每 3 個 s w c e l l 上進行。如此則可確保 M 3 之橫向配線路徑。

M 5 之電源線僅在以 s w c e l l 3 表示之每 6 個

4.2 說明 (31)

s w c e l l 上進行，以 s w c e l l 3 上之 M 4 之電源線之交叉點連接。

如上述，令 M 1，M 2 之細節矩之電源網目，以 M 4，M 5 之粗節矩之電源網路補強，可降低電源線 V D D，V S S 之阻抗。

又，圖 2 2 中，M 4 之縱向電源線係配線於金 s w c e l l 上，但於橫向每 2 個或 3 個配線為較粗亦可。電源線之阻抗變高，但可確保 M 4 之縱向路徑。

圖 2 3 為圖 2 2 之 s w c e l l 之配置與井之關係。P 型井 P - w e l l 和 N 型井交互呈帶狀對置，n c e l l 2 個由 1 個井共有。

圖 2 4 為記憶體電路之 s w c e l l 與電源線之佈局例。此處，字元線及位元線未圖示，但在橫向有字元線，縱向有位元線配置。記憶塊之電源線，在記憶格內係於橫向配置，令其以記憶塊兩端之電源線 2 0 0，2 0 1，2 0 2 補強。2 0 3 為供給各字元驅動器及字元解碼器電源之電源線，2 0 4 為供給各感測放大器電源之電源線。s w c e l l 為以上之 2 0 0 ~ 2 0 4 之電源線如圖 2 4 般配置。

一般，多數字元驅動器及字元解碼器之中，同時動作者為 1 個或 2 個左右。因此，基板雜訊之量亦不致太大，故如圖示僅在 2 0 3 之兩端配置 2 個 s w c e l l。

又，反之，多數感測放大器同時動作。但是，感測放大器內部電位由「L」遷移至「H」之節點數，及由「H

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

發明說明 (32)

“遷移至‘L’之節點數大致為相同數。因此，即使較多之感測放大器動作，基板雜訊亦不致太多。此處，如圖示一般在電源線204兩端以外亦配置swcell，以減低基板雜訊。

此外，swcell之配置方法有各種，同一井上之元件同時動作之比例越多，在該井上配置較之swcell即可。又，在1個井內之某一擴散層，該擴散層之電位變化以 $|NH - NL| / NA$ (NH = 除電源所接擴散層以外之擴散層之面積， NH = 電位由‘H’變化為‘L’之擴散層之面積， NL = 電位由‘L’變化為‘H’之擴散層之面)來評價，以其為基準來決定swcell之數，swcell之間隔，L，及swcell內之MOS電晶體之尺寸即可。要言之，儘量使 $|NH - NL| / NA$ 之值變小即可。

例如，具資料路徑之規則性資料流之電路之場合，使資料路徑之資料流方向為圖22之X方向即可。因同時動作之格分散於多數井，上述 $|NH - NL| / NA$ 變小。

圖25為本發明之半導體積體電路裝置100之斷面圖。如圖18所示，302，304，306，308，310所示之N和N-well相同為形成PMOS電晶體之N型井，301，303，305，307，309，311所示之P和P-well相同為形成NMOS電晶體之P型井。312及313所示Deep-N為較N，P更深處之N型井，即所謂3重井構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(33)
426988

Deep-N, 312及313藉由310之P基板及307之P井作電分離。因此,形成於302, 304, 306, 308, 310上之MOS電晶體A之基板電位,及形成於301, 303, 305, 307, 309, 311上之MOS電晶體B之基板電位可供予獨立電位。又,MOS電晶體A所產生雜訊等對MOS電晶體B之影響可減低。

圖26為本發明之半導體積體電路裝置之Deep-N之構造。CPG為時脈控制部,包含PLL(phase locked loop)等之類比電路。TLB為位址轉換部,CACHE為高速記憶體,CPU為中央運算處理裝置,FPU為浮動小數點運算器,LOG1為隨機邏輯1,LOG2為隨機邏輯2,PAD為I/O部。將各電路方塊形成於不同之Deep-N上。

如圖25所示,可減低各電路方塊產生之雜訊對其他方塊之影響。例如,PAD係以較內部信號振幅大之振幅驅動外部腳位,故產生大雜訊。可防止雜訊對CPG等類比電路之影響。

又,可分別供給獨立之基板電位,例如,可於LOG2配置未以vbp, vbn, cbp, cbn進行基板控制之電路。即,配置連接電源與基板電位($VDD = vbp$, $VSS = vbn$)之電路。

圖27為配置於Deep-N與Deep-N間之保護區。如圖27所示於Deep-N與Deep-N之間

五、發明說明 (34)

426988
配置保護區 g b a n d l 。

圖 28 為斷面圖。位於 D e e p - N 間之 P 井 307 通過 P + 擴散層 314 接 V S S 電位。可更減少 D e e p - N 間之雜訊傳送。例如，P - w e l l 305 上之 M O S 產生之基板雜訊，因 D e e p - N 312 之阻抗並不低，故以容量結合方式於 D e e p - N 312 成為雜訊傳送。該雜訊同樣半導體積體電路裝置以容量結合方式傳送於 P 基板 300。但因 P 基板以保護區低阻抗固定於接地電位。因此，出現於 P 基板之雜訊變小。如此則 302，304，306，308，310 上形成之 M O S 電晶體之雜訊，之於 301，303，305，307，309，311 上形成之 M O S 電晶體之傳送減少。

圖 29 為 c b p，c b p r 之於半導體積體電路裝置上之佈局影像，為圖示圖 2 之回復格 V B C R 之位置者。關於 c b n，c b n r 亦同樣，此處省略。如圖 21 所示 v b p 及 v b n 係將 s w c e l l 並列配線成網目狀，但 c b p，c b n 未配線成網目狀，而是配線成直條狀。圖 29 藉配置 s w c e l l 使連接成分支配線直條狀配線之模樣。又，回復格為將輸入之 c b p，c b n 作為 c b p r，c b n r 回授至基板偏壓控制電路 V B C 用之格，令回授時序於各 s w c e l l 內，以較 c b p 之傳送時間之最慢之 s w c e l l 之 c b p 到達時序為慢之時序使 c b p r 回授般地配置。例如，配置於基板偏壓控制電路 V B C 起最遠處即可。

(請先閱讀背面之注意事項再填寫本頁)

家

訂

426988 發明說明 (35)

上述實施例中，施加於基板之偏壓，主動時為 1.8 V ， 0.0 V ，待機時為 3.3 V ， -1.5 V ，但並未特別限定。主動時施加適當電位於基板偏壓，以調節 MOS 電晶體之臨界值誤差亦可。

又，主電路分為多數電路方塊，於各電路方塊設 V_{BC30} ， V_{BC85} 等控制電路，以獨立設置主動狀態及待機狀態亦可。對各電路加以控制則可使未動作之電路方塊設於待機狀態，可控制可組之消費電力，達成低電力化。又，依電路方塊，即使於待機狀態未提昇基板偏壓亦可之場合存在。此為例如該電路方塊以高臨界值之 MOS 電晶體構成，可忽視次臨界漏電流之場合。

又，上述實施例中，MOS 電晶體之臨界值，在電路動作模式為主動時為低值，而在待機時為高值。但是，如 1996 IEEE SPECTROM P66~71 之記載，於 IDDQ 測試時成為高臨界值般設定基板偏壓使用亦可。

此時，IDDQ 測試時施加於基板之電位，大於待機時施加之基板電位為較好。即，關於 PMOSFET 係施加高於待機時之電位，NMOSFET 則為低之電位。如此則 IDDQ 測試時流通之次臨界漏電流可更減低，可提昇故障發見之精確度。

為使此種動作為可能，IDDQ 測試時， V_{WELL} 電位例如由 3.3 V 提昇為 4.0 V ， V_{SUB} 電位由 -1.5 V 降為 -2.2 V 。就電路而言 V_{WELL} 電位即使設為與 V_{DDQ} 電位不同之電位，亦有必要使不流通

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(636)

貫通電流。因此，例如，傳至基板偏壓控制電路 V B C 之信號，於 V B C 8 0 作位準降低後轉換為 V W E L L 電位或 V S U B 電位使用。如此般可藉由設電壓緩衝來實現。

上述實施例中，基板構造假設為 3 重井構造。但該構造並未特別限定。所謂雙接頭之 2 重井構造亦可。S O I (Silicon on insulator) 構造亦可。

又，如圖 1 7，圖 1 9，圖 2 1 所示，本發明中格內之基板偏壓供電係由 M 1 進行。但此構造未特別限制。例如 1997 Symposium on VLSI circuits Digest of Technical Papers, pp. 95-96 所示，由擴散層或矽化物擴散層供電亦可。

產業之利用可能性

依本發明可實現滿足以下課題之具高速性及低電力性之微處理器等之半導體積體電路裝置。

(1) 基板偏壓控制電路之測試容易。

(2) 藉基板偏壓控制可防止 C M O S 電路之誤動作。

(3) 基板偏壓控制之面積增加可抑制於最小限。

(4) 基板偏壓切換時之半導體積體電路裝置之誤動作可防止。

[圖面之簡單說明]

圖 1：本發明之半導體積體電路裝置之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

第

訂

五、發明說明 (37)
426988

圖 2 : 主電路內容之更詳細電路圖。

圖 3 : I / O 電路圖。

圖 4 : 基板偏壓控制電路之各電路方塊圖。

圖 5 : 基板偏壓控制電路之動作波形圖。

圖 6 : 基板偏壓控制電路之動作波形之另一實施例。

圖 7 : V B C 8 0 之電路圖。

圖 8 : V B C 3 0 之電路圖。

圖 9 : V B C 3 0 之動作波形圖。

圖 1 0 : V B C 8 5 之電路圖。

圖 1 1 : V B C 8 5 之動作波形圖。

圖 1 2 : V S U B G E N 之各電路方塊圖。

圖 1 3 : 充電泵之電路圖。

圖 1 4 : 充電泵之電路圖。

圖 1 5 : V S U B S E N 之電路圖。

圖 1 6 : 本發明之開關格之配置圖。

圖 1 7 : 標準格之佈局圖。

圖 1 8 : 圖 1 7 之斷面圖。

圖 1 9 : 開關格之佈局圖。

圖 2 0 : 圖 1 9 之斷面圖。

圖 2 1 : 電源配線及 v b p , v b n , c b p ,
c b n 之配線圖。

圖 2 2 : 電源補強線之配線圖。

圖 2 3 : 井之構成圖。

圖 2 4 : 記憶體電路中之開關格之配置圖。

(請先閱讀背面之注意事項再填寫本頁)

系

訂

五、發明說明 (38)

426988

圖 2 5 : 井之斷面圖。

圖 2 6 : D e e p - N 井之佈局圖。

圖 2 7 : D e e p - N 井及保護區之佈局圖。

圖 2 8 : 圖 2 7 之斷面圖。

圖 2 9 : c b p r , c b n r , 及 V B C R 之配置圖

[符號說明]

V B C 基板偏壓控制電路

L O G 主電路

V B C E 待機控制電路

I / O I / O 電路

v b b e n b 基板偏壓控制開始信號

v b b e n b r 基板偏壓控制中信號

v b p P M O S 基板偏壓線

v b n N M O S 基板偏壓線

c b p P M O S 基板控制線

c b n N M O S 基板控制線

c b p r P M O S 基板控制回授線

c b n r N M O S 基板控制回授線

A M P 1 , A M P 2 差動放大器

A M P 3 斯密特輸入差動放大器

V B C R 回授格

s w c e l l 開關格

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

42698n⁸ c e l l 標準格

P - s u b P 基板

P L L Phase Locked Loop

C P G 時脈控制部

T L B 位址轉換部

C A C H E 高速記憶體

C P U 中央處理裝置

F P U 浮動小數點運算點

P A D I / O 部

(請先閱讀背面之注意事項再填寫本頁)

製

訂

四、中文發明摘要(發明之名稱:半導體積體電路裝置)

42698 具備:包含可實現高速性,低電力性,信賴性之微處理器等半導體積體電路裝置之於半導體基板上構成之電晶體之主電路(L O G),及控制施加於基板之電壓的基板偏壓控制電路(V B C);主電路具控制施加於基板之電壓之開關電晶體(M N 1, M P 1),基板偏壓控制電路輸出之控制信號被輸入開關電晶體之閘極,且控制信號回授於基板偏壓控制電路般地構成。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

4269888 附件 1a :

第 87120452 號專利申請案

中文申請專利範圍修正本

民國 89 年 9 月修正

1. 一種半導體積體電路裝置，係具有：
由至少一個電晶體構成之主電路；
控制施加於上述電晶體之基板之電壓的基板偏壓控制
電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路
之次臨界漏電流為較多之主動狀態，及該次臨界漏電流為
較少之主動狀態之至少二狀態作切換的待機控制電路；

於上述基板偏壓控制電路內藏負電壓產生電路之同時，
具有將該負電壓產生電路產生之負電壓輸出至裝置外部
之端子。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，
其中

具有：具輸出焊墊之半導體晶片；及內藏該半導體晶
片，具外部腳位之封裝；上述端子係使用上述輸出焊墊之
一，該端子未連接上述外部腳位。

3. 一種半導體積體電路裝置，其特徵為具有：

由至少一個電晶體構成之主電路；

控制施加於上述電晶體之基板之電壓的基板偏壓控制
電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路

煩請委員明示 89 年 9 月 22 日所提之
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

之次臨界漏電流為較多之主動狀態，及該次臨界漏電流為較少之主動狀態之至少二狀態作切換的待機控制電路；

上述基板偏壓控制電路，係於主動狀態對基板偏壓進行淺控制，於待機狀態對基板偏壓進行深控制，

藉上述基板偏壓控制電路之控制，使主動狀態中之上述基板之基板電位之驅動阻抗低於待機狀態中之上述基板之基板電位之驅動阻抗。

4. 如申請專利範圍第3項之半導體積體電路裝置，其中

在主動狀態對基板偏壓進行淺驅動用之基板驅動MOS電晶體係分開距離 $20\mu\text{m}$ 以上至少有二個，該基板驅動MOS電晶體之閘極電位係由上述基板偏壓控制電路之一部分控制。

5. 如申請專利範圍第4項之半導體積體電路裝置，其中

控制上述基板驅動MOS電晶體之閘極電壓的閘極控制信號，在連接上述基板驅動MOS電晶體之閘極後回授至上述基板偏壓控制電路之上述一部分，藉由回授信號之電位，使上述基板偏壓控制電路之一部分可檢出上述主電路之基板偏壓為穩定。

6. 如申請專利範圍第4項之半導體積體電路裝置，其中

上述基板驅動MOS電晶體之臨界值電壓，較構成上述主電路之MOS電晶體之臨界值為大。

六、申請專利範圍

7. 如申請專利範圍第3項之半導體積體電路裝置，其中

具備作為與外部之介面之 I / O 電路，構成該 I / O 電路之至少 1 個 MOS 電晶體之氧化膜厚，係較構成上述主電路之 MOS 電晶體之氧化膜厚為厚。

8. 如申請專利範圍第3項之半導體積體電路裝置，其中

具有檢出上述主電路之電源投入的電源投入重置電路，在上述主電路之電源投入一定時間之間，上述基板偏壓控制電路係將基板偏壓控制為淺驅動之主動狀態。

9. 如申請專利範圍第8項之半導體積體電路裝置，其中

具有第1及第2電源電壓；

第1電源電壓之絕對值較第2電源電壓大，第2電源電壓為 2 V 以下，

上述第2電源電壓供至上述主電路；

上述第1電源電壓供至基板偏壓控制電路及待機控制電路，

上述第1電源電壓較第2電源電壓先投入，

上述基板偏壓控制電路，在第2電源電壓投入之上述一定時間之間，係將主電路控制於主動狀態。

10. 如申請專利範圍第4項之半導體積體電路裝置，其中

令由上述待機狀態遷移至主動狀態之過程中之控制上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

述基板驅動 MOS 電晶體之閘極電壓的閘極控制信號之輸出阻抗，控制為較完全遷移至主動狀態後之阻抗為大，據以調整由待機狀態遷移至主動狀態之遷移速度，將遷移過程之突入電流控制為較小。

1 1 . 如申請專利範圍第 5 項之半導體積體電路裝置，其中

令由上述待機狀態遷移至主動狀態之過程中之上述基板驅動 MOS 電晶體之閘極控制信號之輸出阻抗，控制為較完全遷移至主動狀態係之阻抗為大，據以調整由待機狀態遷移至主動狀態之遷移速度，將遷移過程之突入電流控制為較小，且完全遷移至主動狀態一事可藉上述回授信號檢出。

1 2 . 如申請專利範圍第 1 0 或 1 1 項之半導體積體電路裝置，其中

上述閘極控制信號之振幅，係較上述基板驅動電晶體之閘極耐壓大。

1 3 . 如申請專利範圍第 3 項之半導體積體電路裝置，其中

具有負電壓產生電路，

上述基板偏壓控制電路，係將待機狀態中之上述負電壓產生電路之輸出阻抗，控制成較主動狀態中之上述負電壓產生電路之輸出阻抗為小。

1 4 . 如申請專利範圍第 1 3 項之半導體積體電路裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述負電壓產生電路具有第 1 充電泵電路及第 2 充電泵電路，

上述基板偏壓控制電路，於待機狀態係使用上述第 1 充電泵電路產生負電壓，於主動狀態係使用上述第 2 充電泵電路產生負電壓，

上述第 1 充電泵電路之泵電容器之容量，係較上述第 2 充電泵電路之泵電容器之容量大。

15. 如申請專利範圍第 13 或 14 項之半導體積體電路裝置，其中

具有第 1 及第 2 電源電壓，上述負電壓產生電路產生第 3 電源電壓，

上述第 1 電源電壓大於第 2 電源電壓，上述第 2 電源電壓為 2 V 以上，

於上述主電路供給有上述第 2 電源電壓，

於上述基板偏壓控制電路及待機控制電路至少供給有第 1 電源電壓，

於待機狀態該基板偏壓控制電路係將 PMOS 電晶體之該基板偏壓控制於第 2 電源電壓電位，將 NMOS 電晶體之該基板偏壓控制於第 3 電源電壓電位，

$(\text{第 3 電源電壓}) = (\text{第 1 電源電壓}) - (\text{第 2 電源電壓})$ 。

16. 如申請專利範圍第 15 項之半導體積體電路裝置，其中

上述負電壓產生電路係具有：至少 1 個充電泵電路，

六、申請專利範圍

比較器，產生第 2 電源電壓之一半電位的第 1 基準電壓電路，及產生第 1 電源電壓與第 3 電源電壓之中間電位的第 2 基準電壓電路；

上述比較器係比較第 1 基準電壓電路之輸出電壓及第 2 基準電壓產生電路之輸出電壓，控制上述充電泵之至少 1 個以使第 3 電源電壓穩定化。

17. 如申請專利範圍第 16 項之半導體積體電路裝置，其中

上述第 1 及第 2 基準電壓產生電路，係由各個基板端子連接源極且閘極接汲極之同一導電型 MOS 電晶體串接之串聯電路構成，上述多數 MOS 電晶體係選擇在飽和領域動作。

18. 如申請專利範圍第 16 項之半導體積體電路裝置，其中

上述比較器具有斯密特特性。

19. 如申請專利範圍第 4 項之半導體積體電路裝置，其中

上述主電路係由多數格構成，該多數格之電源網路經由第 1 配線層供電，於該第 1 配線層之上空有使用與其正交之第 2 配線層的電源網路，在上述第 1 配線層之電源網路與第 2 配線層之電源網路之交叉點配置開關格，第 1 配線層之電源網路與第 2 配線層之電源網路之連接係於該開關格內進行，上述基板驅動 MOS 電晶體配置於該開關格內。

426988 六、申請專利範圍

20. 如申請專利範圍第19項之半導體積體電路裝置，其中

於上述開關格內，去耦電容器配置於電源與接地之間。

21. 如申請專利範圍第19項之半導體積體電路裝置，其中

在上述第2配線層之電源網路之上空，存在有與上述第2配線層之電源網路平行之第4配線層之電源網路，上述第2配線層之電源網路與上述第4配線層之電源網路之連接，係於上述開關格外進行。

22. 如申請專利範圍第21項之半導體積體電路裝置，其中

存在有第5配線層之電源網路，上述第4配線層之電源網路與上述第5配線層之電源網路間之連接係於上述開關格內進行，上述第4配線層之電源網路與上述第5配線層之電源網路構成之電源網目，係較上述第1配線層之電源網路與上述第2配線層之電源網路構成之電源網目為大，上述第4配線層之厚度及上述第5配線層之厚度，係較上述第1配線層之厚度及上述第2配線層之厚度中之任一為厚。

23. 如申請專利範圍第19項之半導體積體電路裝置，其中

構成上述格之MOS電晶體之基板偏壓供給線，係由與上述第1配線層之電源網路平行之上述第1配線層來進

426988 申請專利範圍

行，亦可由與上述第2配線層之電源網路平行之上述第2配線層來進行，和電源網路同樣，於上述開關格內，上述第1配線層之基板偏壓供給線，與上述第2配線層之基板偏壓供給線連接。

24．如申請專利範圍第23項之半導體積體電路裝置，其中

控制上述基板驅動MOS電晶體之閘極電壓的閘極控制信號，係由與上述第2配線層之該電源網路平行之上述開關格上空之上述第2配線層之基板偏壓控制線供給，於該開關格內，連接該基板驅動MOS電晶體之閘極端子。

25．如申請專利範圍第24項之半導體積體電路裝置，其中

上述開關格上空之上述第2配線層所配線之上述基板偏壓供給線及上述基板偏壓控制線，係配置於上述開關格上空之上述第2配線層所配線之電源網路間。

26．如申請專利範圍第19項之半導體積體電路裝置，其中

具備有資料路徑電路，該資料路徑電路之資料流方向和上述多數格之上述第1配線層之電源網路係平行。

27．如申請專利範圍第4項之半導體積體電路裝置，其中

上述基板偏壓設定成，在上述項之半導體積體電路裝置之選別時至少1個該MOS電晶體之臨界值變高。

28．一種充電泵電路，係由：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 1 泵電容器，及第 2 泵電容器；

第 1 及第 2 之二個 P 通道電晶體；

源，汲極路徑與上述第 1 P 通道電晶體之源，汲極路徑並接的第 1 N 通道電晶體；

源，汲極路徑與上述第 2 P 通道電晶體之源，汲極路徑並接的第 2 N 通道電晶體；及

振盪電路構成；其特徵為：

該振盪電路之輸出為「H」時，使用第 1 泵電容器，第 1 P 通道電晶體，及第 1 N 通道電晶體對該第 1 泵電容器之電荷加以吸引；

該振盪電路之輸出為「L」時，使用第 2 泵電容器，第 2 P 通道電晶體，及第 2 N 通道電晶體對該第 2 泵電容器之電荷加以吸引。

29. 一種半導體積體電路裝置，係具有：包含形成於項之半導體基板上之電晶體之主電路，及控制施加於上述基板之電壓之基板偏壓控制電路；

上述主電路，具有控制施加於上述基板之電壓的開關電晶體；

上述基板偏壓控制電路輸出之控制信號被輸入上述開關電晶體之閘極，而且該控制信號回授至上述基板偏壓控制電路。

30. 如申請專利範圍第 29 項之半導體積體電路裝置，其中

上述開關電晶體係配置於矩形狀之開關格，上述電晶

六、申請專利範圍

426988
體係配置於矩形狀之標準格，上述開關格 1 個和上述標準格多數個成一列並排配置。

3 1 . 如申請專利範圍第 3 0 項之半導體積體電路裝置，其中

驅動上述主電路之電晶體之驅動電源之配線，和由上述基板偏壓控制電路供給之基板偏壓電源之配線，係將上述開關格及上述多數標準格，於該格之並列方向予以縱斷。

3 2 . 如申請專利範圍第 2 9 項之半導體積體電路裝置，其中

上述開關電晶體之臨界值，係大於上述電晶體之臨界值。

3 3 . 如申請專利範圍第 2 9 項之半導體積體電路裝置，其中

上述開關電晶體，係插入驅動主電路之電晶體驅動電源，與上述基板偏壓控制電路供給之基板偏壓電源（ v_{bp} ， v_{bn} ）之間。

3 4 . 如申請專利範圍第 3 3 項之半導體積體電路裝置，其中

上述電晶體之源極或汲極係接上述驅動電源，該電晶體之基板電位接上述基板偏壓電源。

3 5 . 如申請專利範圍第 2 9 ~ 3 4 項中任一項之半導體積體電路裝置，其中

上述基板偏壓控制電路，在輸出控制信號後，檢出經

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、請專利範圍

該主電路回授之該控制信號成為特定電壓，以形成檢測信號。

36. 一種半導體積體電路裝置，其特徵為具有：

主電路，係具備：具第1導電型之第1電晶體及串接於上述第1電晶體之第2導電型第2電晶體的第1電路，及具第1導電型之第3電晶體及串接於上述第3電晶體之第2導電型第4電晶體的第2電路；

對上述第1電路供給第1電源電位的第1電源線；

對上述第1電路供給較上述第1電源電位低之電位的第2電源電位的第2電源線；

對上述第2電路供給上述第1電源電位的第3電源線

；

對上述第2電路供給上述第2電源電位的第4電源線

；

供給上述第1電晶體之基板電位的第1基板偏壓線；

供給上述第3電晶體之基板電位的第2基板偏壓線；

於上述第1電源線與上述第1基板偏壓線之間具源·汲極路徑的第5電晶體；

於上述第3電源線與上述第2基板偏壓線之間具源·汲極路徑的第6電晶體；及

輸出較上述第1電源電位高之第1基板電位的基板偏壓控制電路；

當上述主電路處於第1狀態時，上述第5及第6電晶體設為OFF狀態，且由上述基板偏壓控制電路將上述第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1 基板電位供至上述第 1 基板偏壓線及上述第 2 基板偏壓線；

當上述主電路處於第 2 狀態時，上述第 5 及第 6 電晶體設為 ON 狀態，且分別介由上述第 5 及第 6 電晶體之源，汲極路徑將上述第 1 電源電位供至上述第 1 基板偏壓線及上述第 2 基板偏壓線。

3 7 . 如申請專利範圍第 3 6 項之半導體積體電路裝置，其中另具有：

供給上述第 2 電晶體之基板電位的第 3 基板偏壓線；

供給上述第 4 電晶體之基板電位的第 4 基板偏壓線；

於上述第 2 電源線與上述第 3 基板偏壓線之間具源，汲極路徑的第 7 電晶體；及

於上述第 4 電源線與上述第 4 基板偏壓線之間具源，汲極路徑的第 8 電晶體；

上述基板偏壓控制電路，係構成可輸出較上述第 2 電源電位低之第 2 基板電位；

當上述主電路處於第 1 狀態時，上述第 7 及第 8 電晶體設為 OFF 狀態，且由上述基板偏壓控制電路將上述第 2 基板電位供至上述第 3 基板偏壓線及上述第 4 基板偏壓線；

當上述主電路處於第 2 狀態時，上述第 7 及第 8 電晶體設為 ON 狀態，且分別介由上述第 7 及第 8 電晶體之源，汲極路徑將上述第 2 電源電位供至上述第 3 基板偏壓線及上述第 4 基板偏壓線。

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

426988 申請專利範圍

38. 如申請專利範圍第37項之半導體積體電路裝置，其中

上述基板偏壓控制電路，當處於上述第2狀態時，係不供給電位於上述第1基板偏壓線，上述第2基板偏壓線，上述第3基板偏壓線及上述第4基板偏壓線。

39. 如申請專利範圍第37項之半導體積體電路裝置，其中

上述第1至第4電源線，及上述第1至第4基板偏壓線係分別朝第1方向延伸；

另具有：

電連接上述第1電源線及上述第3電源線，朝與上述第1方向不同之第2方向延伸的第1電源強化線；

電連接上述第2電源線及上述第4電源線，朝與上述第2方向延伸的第2電源強化線；

電連接上述第1基板偏壓線及上述第2基板偏壓線，朝上述第2方向延伸的第1基板偏壓強化線；及

電連接上述第3基板偏壓線及上述第4基板偏壓線，朝上述第2方向延伸的第2基板偏壓強化線。

40. 如申請專利範圍第37項之半導體積體電路裝置，其中另具有：

上述第5電晶體之閘極及上述第6電晶體之閘極所連接的第1基板偏壓控制線；及

上述第7電晶體之閘極及上述第8電晶體之閘極所連接的第2基板偏壓控制線；及

4 269 電路專利範圍

由上述基板偏壓控制電路輸出於上述第 1 基板偏壓控制線之第 1 控制信號，係輸入上述第 5 電晶體之閘極及上述第 6 電晶體之閘極後回授至上述基板偏壓控制電路；

由上述基板偏壓控制電路輸出於上述第 2 基板偏壓控制線之第 2 控制信號，係輸入上述第 7 電晶體之閘極及上述第 8 電晶體之閘極後回授至上述基板偏壓控制電路。

4 1 . 如申請專利範圍第 3 6 項之半導體積體電路裝置，其中

上述第 1 狀態係待機狀態，上述第 2 狀態係主動狀態。

4 2 . 如申請專利範圍第 3 6 項之半導體積體電路裝置，其中

上述第 5 電晶體，係在上述主電路之形成區域配置於上述第 1 電路之附近；

上述第 6 電晶體，係在上述主電路之形成區域配置於上述第 2 電路之附近。

4 3 . 如申請專利範圍第 3 7 項之半導體積體電路裝置，其中

上述第 7 電晶體，係在上述主電路之形成區域配置於上述第 1 電路之附近；

上述第 8 電晶體，係在上述主電路之形成區域配置於上述第 2 電路之附近。

4 4 . 一種半導體積體電路裝置，其特徵為具有：

第 1 及第 2 開關電路；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4 269 888

具第 1 導電型第 1 電晶體及與上述第 1 電晶體串接之第 2 導電型第 2 電晶體的第 1 邏輯電路；

對上述第 1 邏輯電路供給第 1 電源電位的第 1 電源線；

對上述第 1 邏輯電路供給較上述第 1 電源電位低之電位的第 2 電源電位之第 2 電源線；

供給上述第 1 邏輯電路之第 1 電晶體之基板電位的第 1 基板偏壓線；

供給上述第 1 邏輯電路之第 2 電晶體之基板電位的第 2 基板偏壓線；及

輸出較上述第 1 電源電位高之第 1 基板電位及較上述第 2 電源電位低之第 2 基板電位的基板偏壓控制電路；

上述第 2 開關電路，係於第 1 方向與上述第 1 開關電路隔特定間隔配置；

上述第 1 邏輯電路，係配置於上述第 1 開關電路上述第 2 開關電路之間；

於第 1 狀態，上述基板偏壓控制電路，係對上述第 1 基板偏壓線供給上述第 1 基板電位，對上述第 2 基板偏壓線供給上述第 2 基板電位；

於第 2 狀態，上述開關電路係分別電連接上述第 1 電源線及上述第 1 基板偏壓線以及上述第 2 電源線及上述第 2 基板偏壓線，對上述第 1 基板偏壓線供給上述第 1 電源電位，對上述第 2 基板偏壓線供給上述第 2 電源電位。

4 5 . 如申請專利範圍第 4 4 項之半導體積體電路裝

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

42圖988中

上述開關電路，於上述第1狀態，係分別電絕緣於上述第1電源線及上述第1基板偏壓線以及上述第2電源線及上述第2基板偏壓線；

上述基板偏壓控制電路，於上述第2狀態，係不對上述第1基板偏壓線及上述第2基板偏壓線供給電位。

46. 如申請專利範圍第44項之半導體積體電路裝置，其中另具有：

第3及第4開關電路；

具第1導電型第3電晶體及與上述第3電晶體串接之第2導電型第4電晶體的第2邏輯電路；

對上述第2邏輯電路供給上述第1電源電位的第3電源線；

對上述第2邏輯電路供給上述第2電源電位的第4電源線；

上述第3開關電路，係在與上述第1方向交叉之第2方向鄰接上述第1開關電路配置；

上述第4開關電路，係在上述第2方向鄰接上述第2開關電路配置；

上述第2邏輯電路，係配置於上述第3開關電路與上述第4開關電路之間；

上述第1邏輯電路與上述第2邏輯電路，係共用上述第1基板偏壓線或上述第2基板偏壓線之任一。

47. 如申請專利範圍第46項之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4 26988
置，其中

上述第 1 基板偏壓線，係被並行配置之上述第 1 電源線及上述第 3 電源線挾持配置。

48. 如申請專利範圍第 46 項之半導體積體電路裝置，其中

上述第 2 基板偏壓線，係被並行配置之上述第 3 電源線及上述第 4 電源線挾持配置。

49. 如申請專利範圍第 44 項之半導體積體電路裝置，其中

上述第 1 狀態係待機狀態，上述第 2 狀態係主動狀態。

50. 一種半導體積體電路裝置，其特徵為具有：

矩形狀，且具第 1 導電型第 1 電晶體及與上述第 1 電晶體串接之第 2 導電型第 2 電晶體的格；

對上述格之上述第 1 電晶體之源極供給第 1 電源電位的第 1 電源線；

對上述格之上述第 2 電晶體之源極供給較上述第 1 電源電位低之第 2 電源電位的第 2 電源線；

供給上述第 1 電晶體之基板電位的第 1 基板偏壓線；
及

供給上述第 2 電晶體之基板電位的第 2 基板偏壓線；
上述第 1 電源線及上述第 2 電源線，係於上述格上，
配置於上述第 1 基板偏壓線與上述第 2 基板偏壓線之間；

藉由供至上述電晶體之基板之基板電位之控制，來切

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

4 26988

換流經該電晶體之源，汲極路徑之次臨界漏電流較多之主動狀態，及流經該次臨界漏電流較小之待機狀態之至少二個狀態；

主動狀態中之上述基板之基板電位之驅動阻抗，係低於待機狀態中之上述基板之基板電位之驅動阻抗。

51. 如申請專利範圍第50項之半導體積體電路裝置，其中

上述第1電源線，上述第2電源線，上述第1基板偏壓線，及上述第2基板偏壓線係形成於第1配線層。

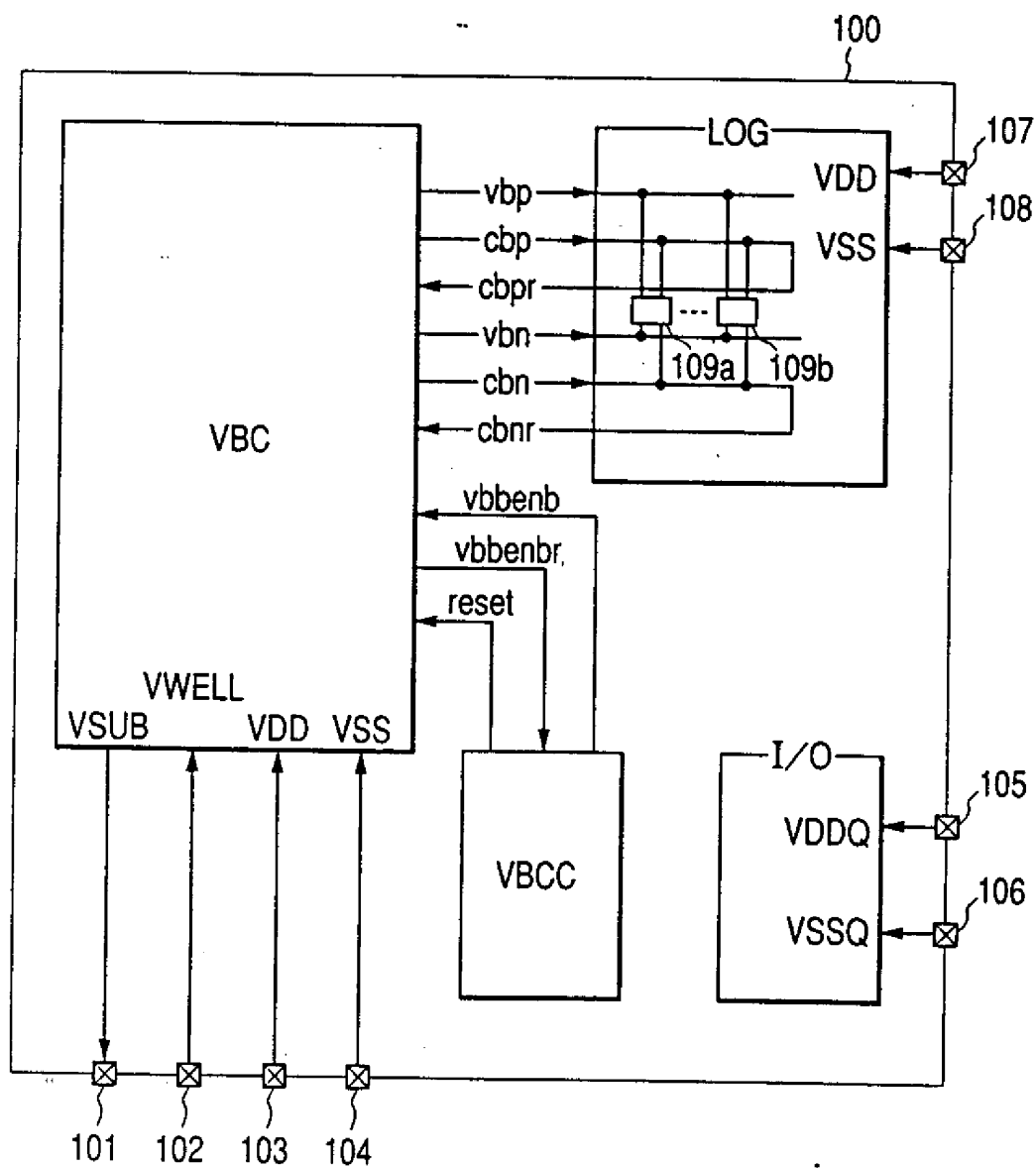
(請先閱讀背面之注意事項再填本頁)

裝

訂

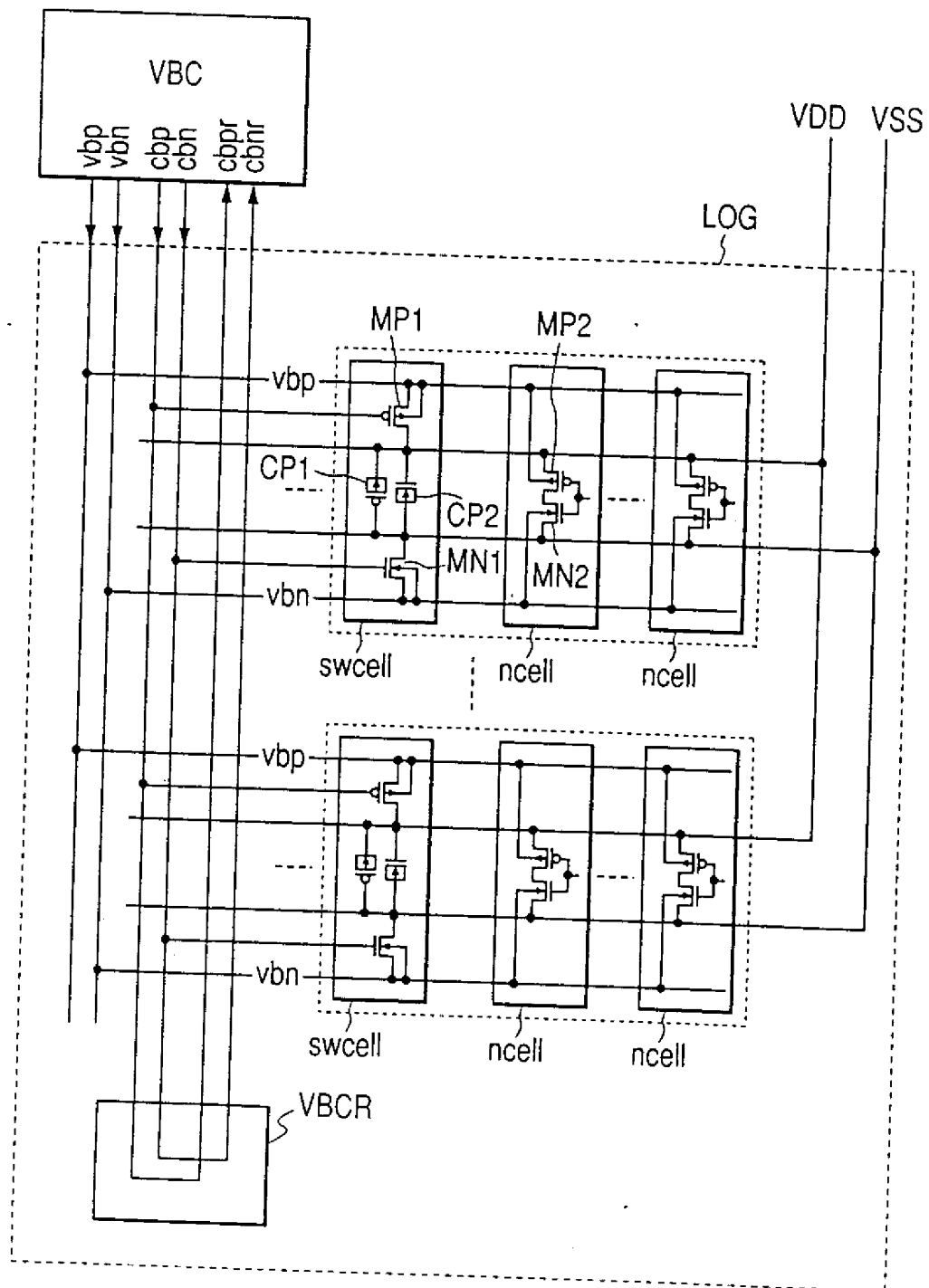
線

426988



第 1 圖

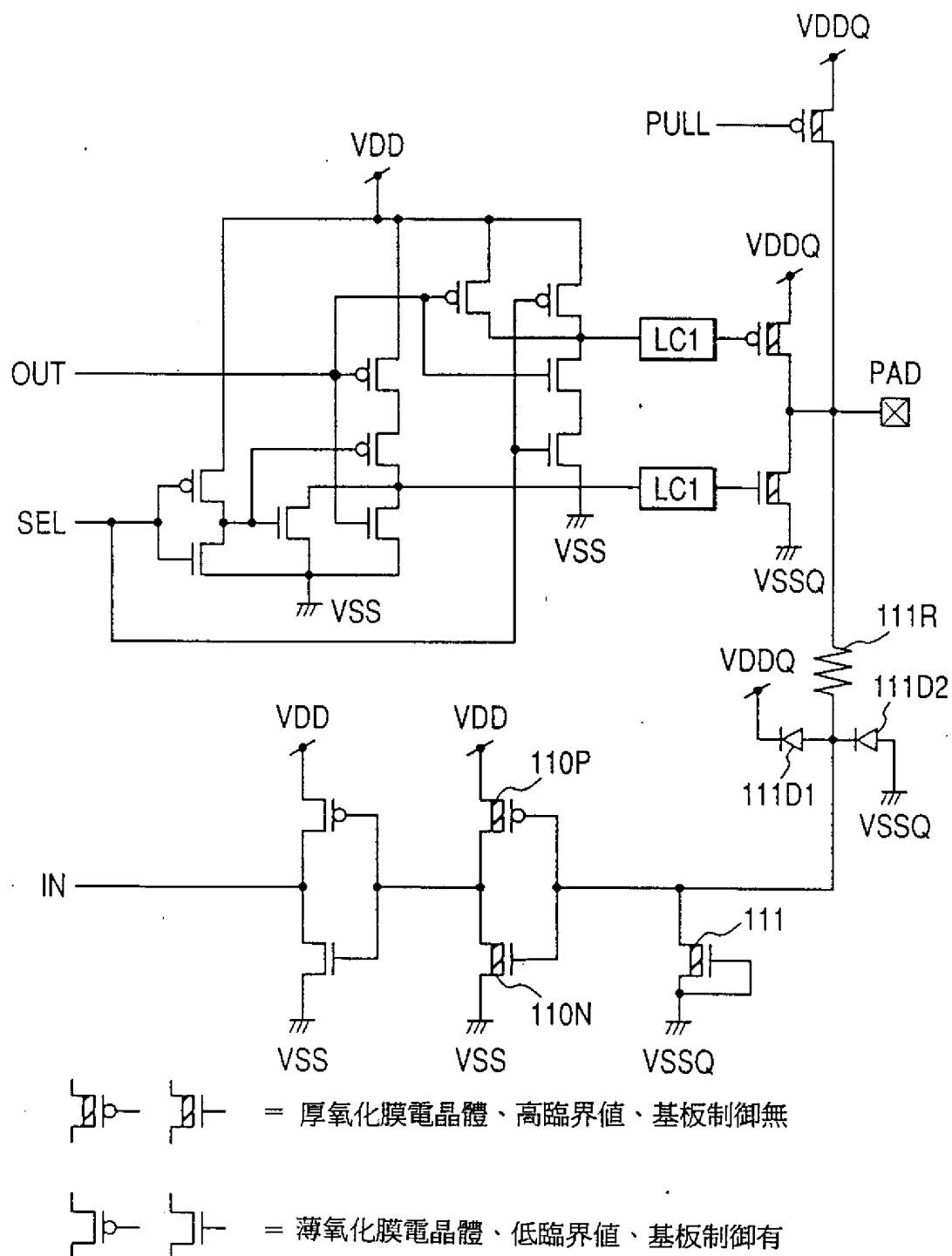
426988



第 2 圖

89年9月27日修正/更正/補充

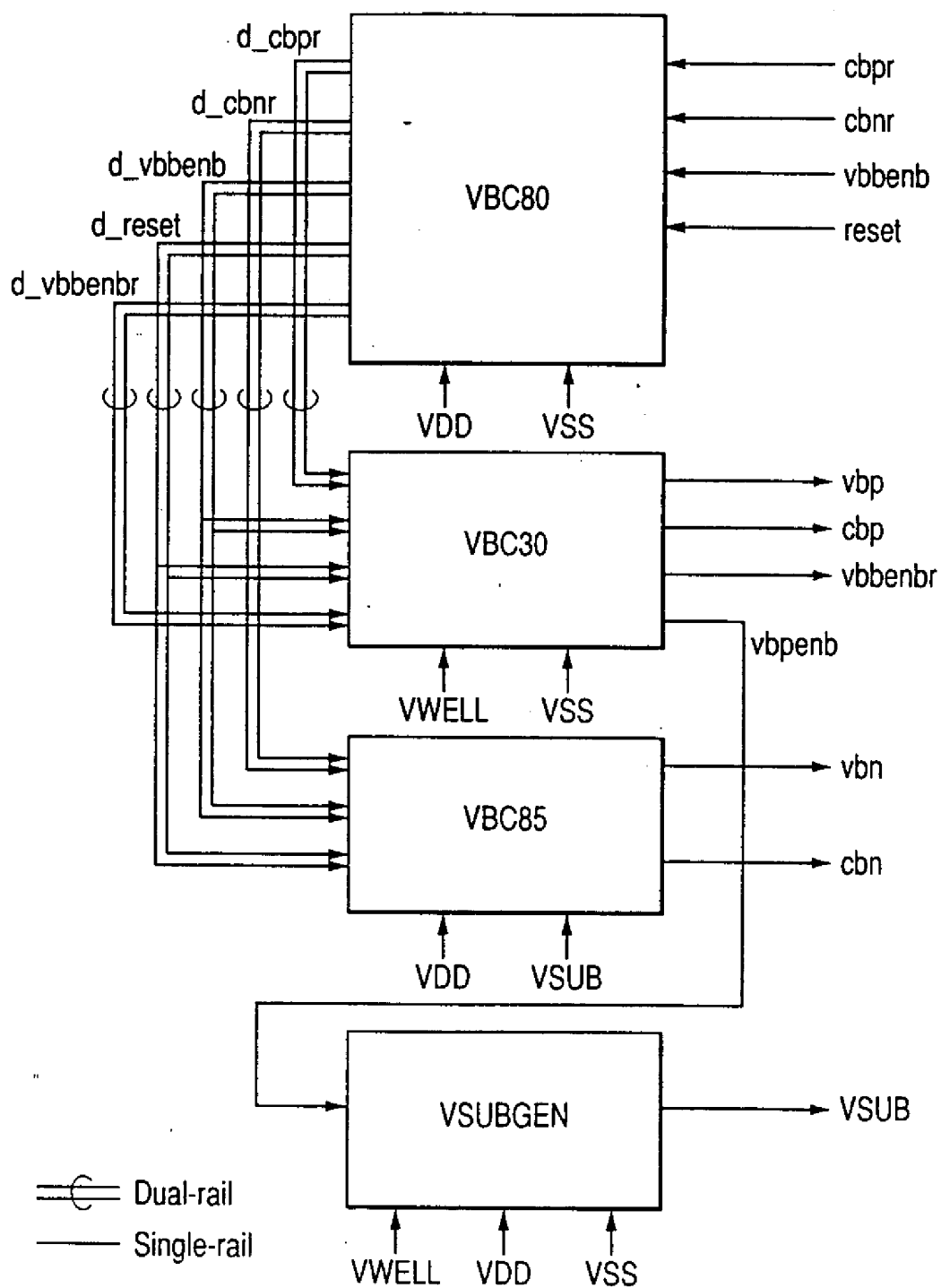
426988



第 3 圖

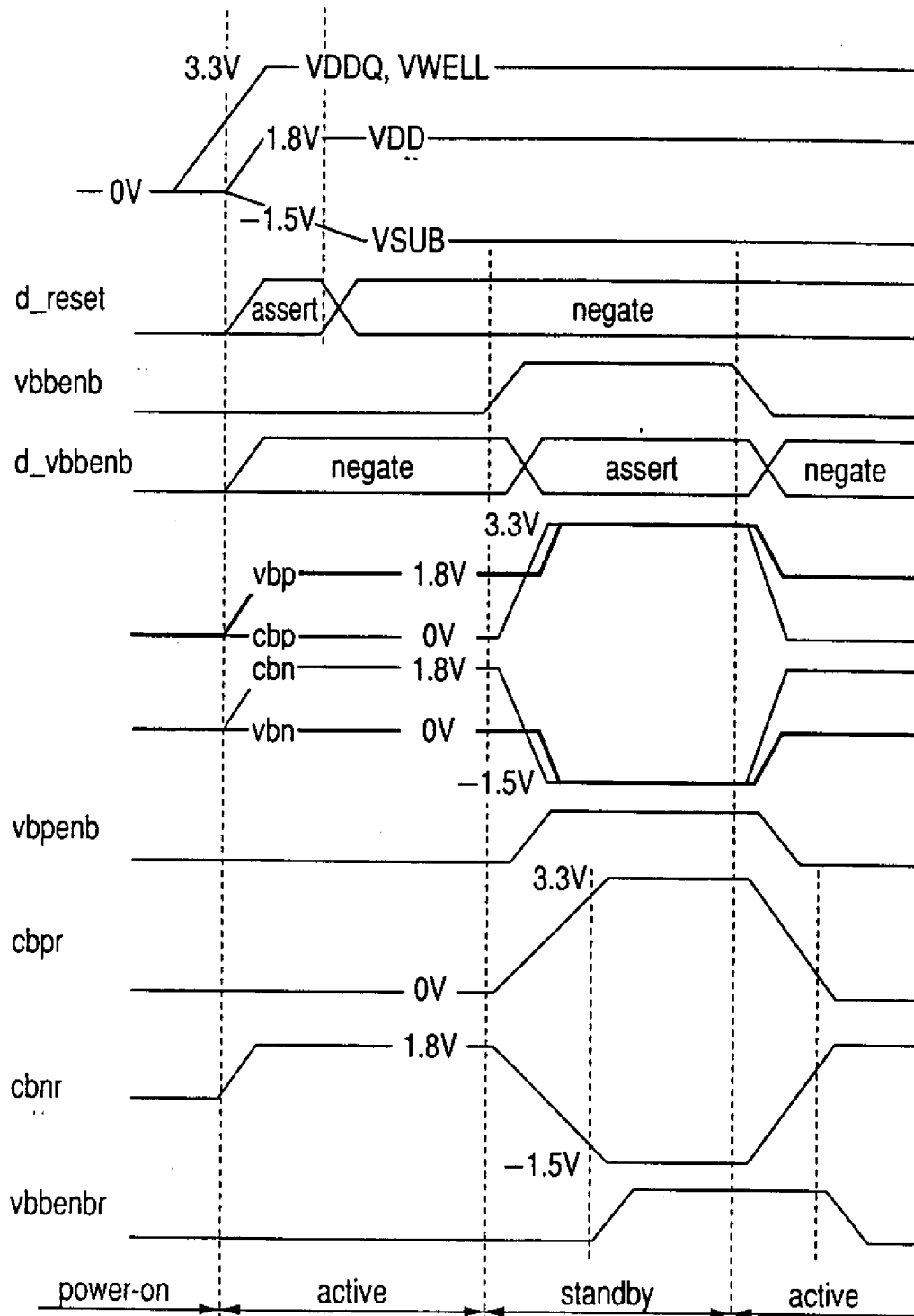
426988

VBC



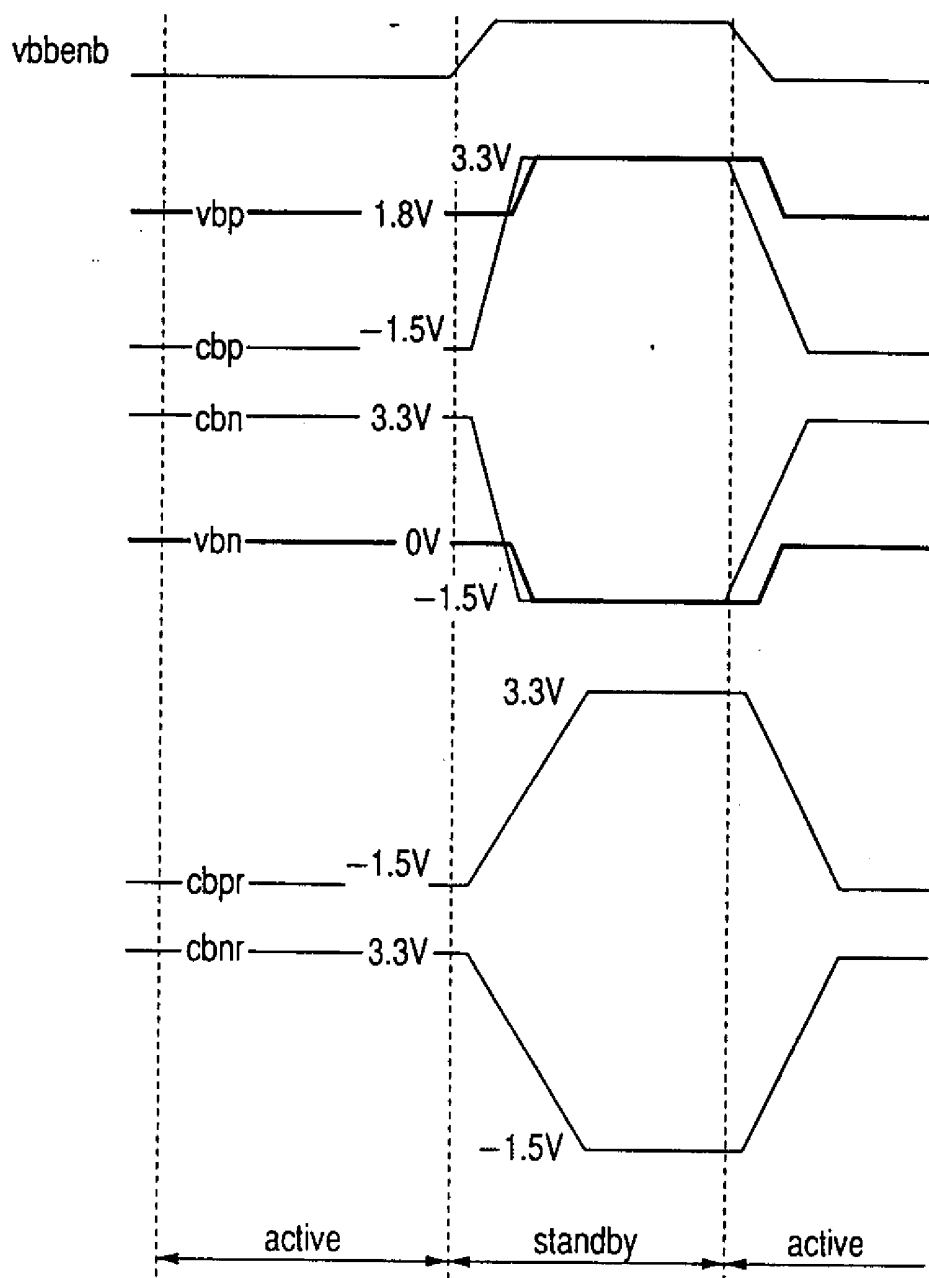
第 4 圖

426988



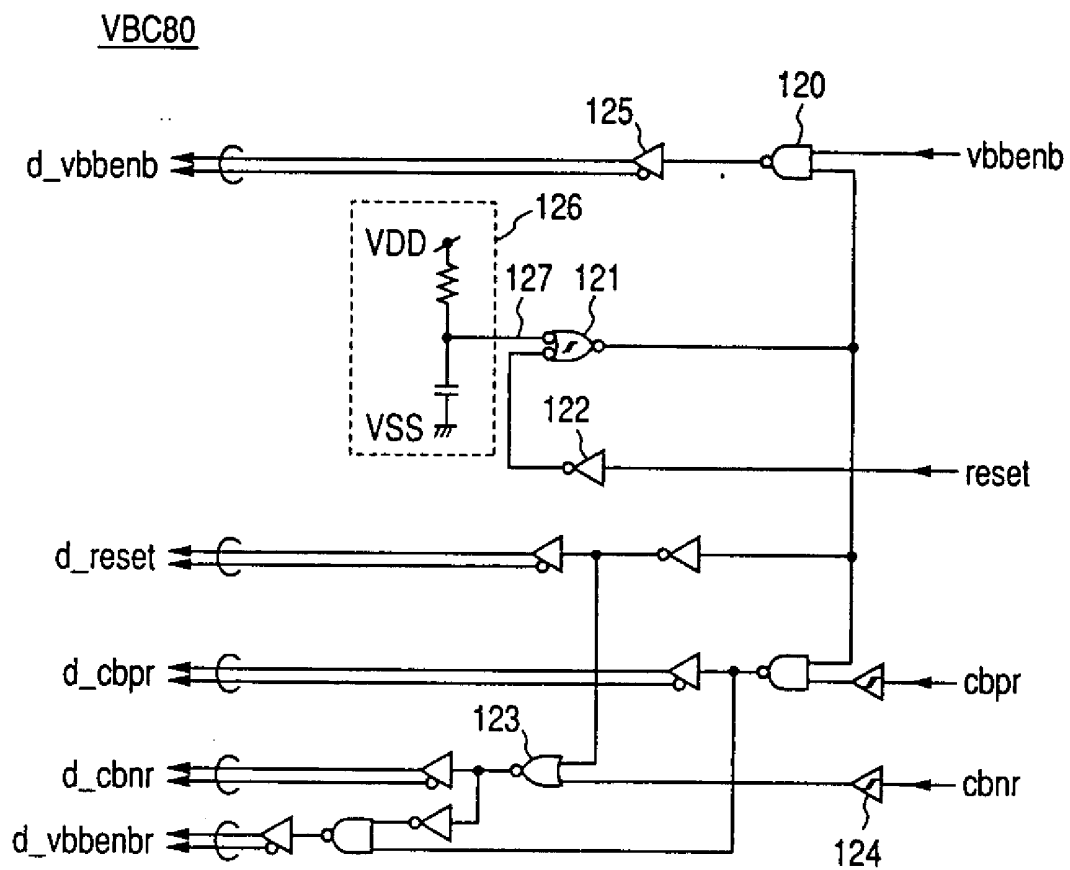
第 5 圖

426988



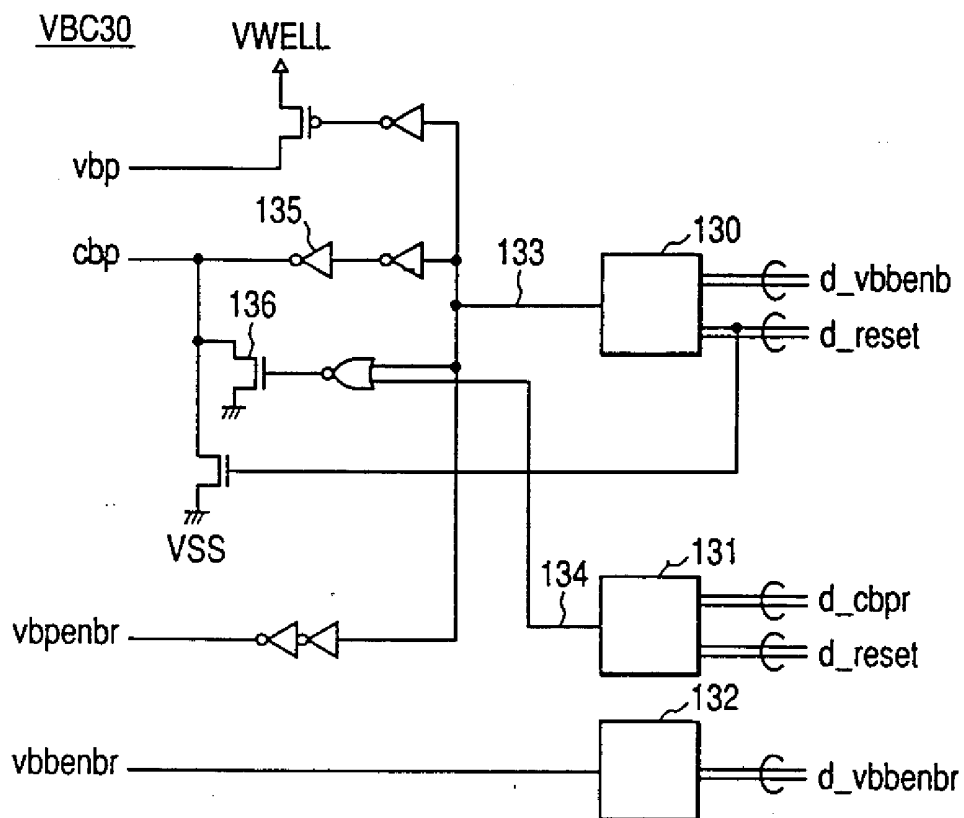
第 6 圖

426988

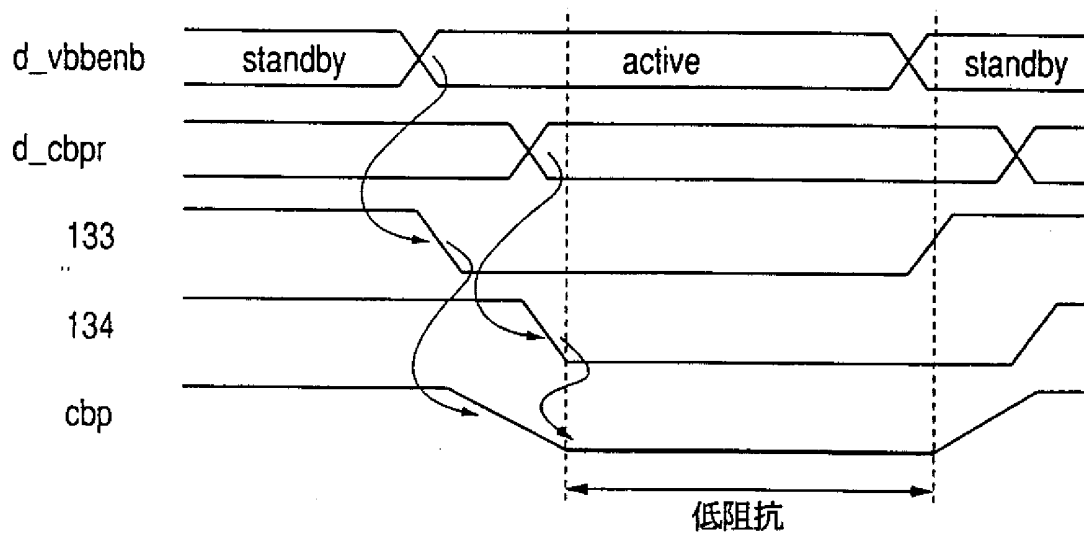


第 7 圖

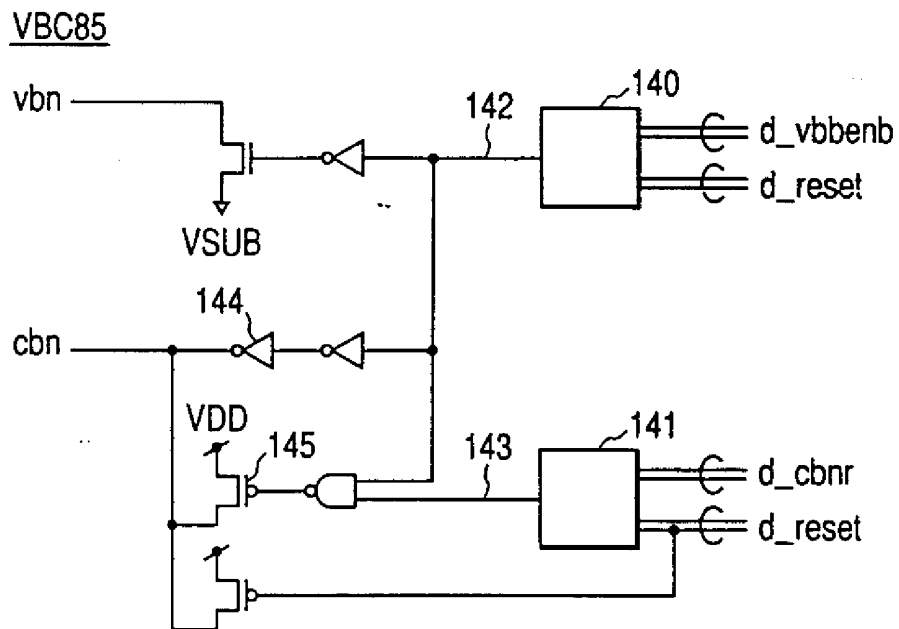
426988



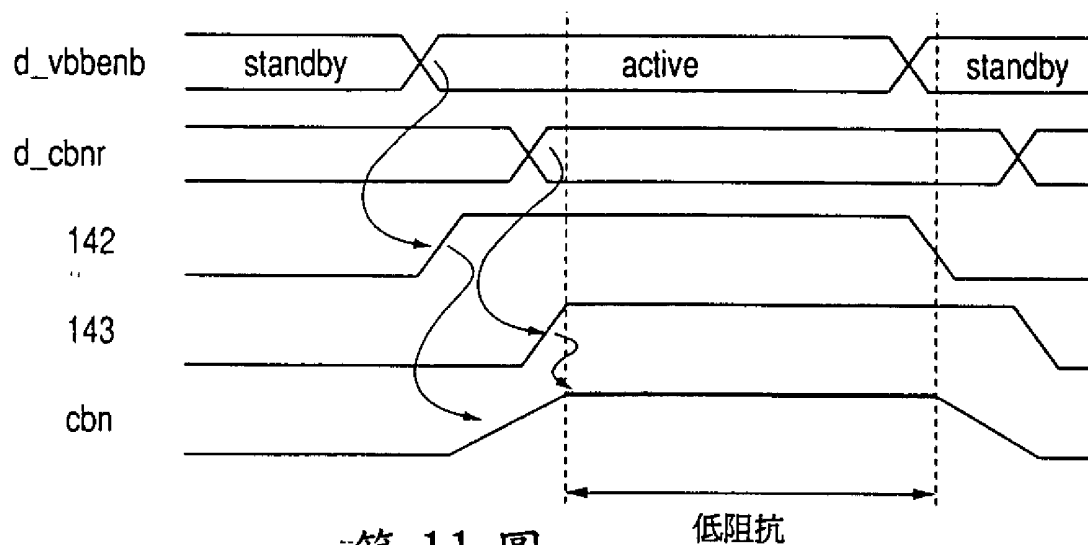
第 8 圖



第 9 圖

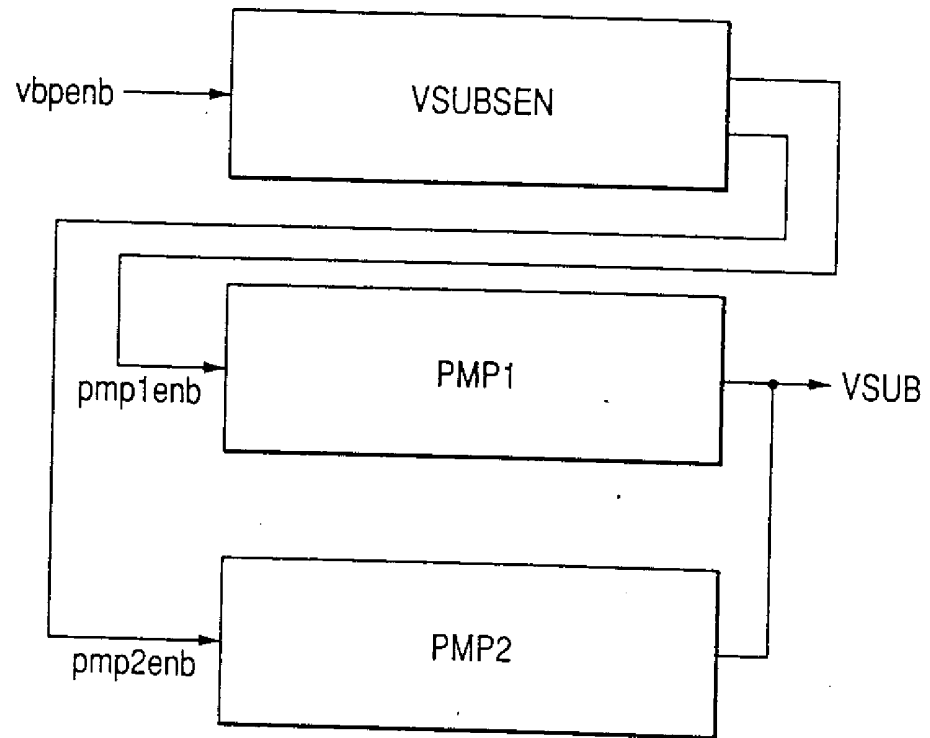


第 10 圖

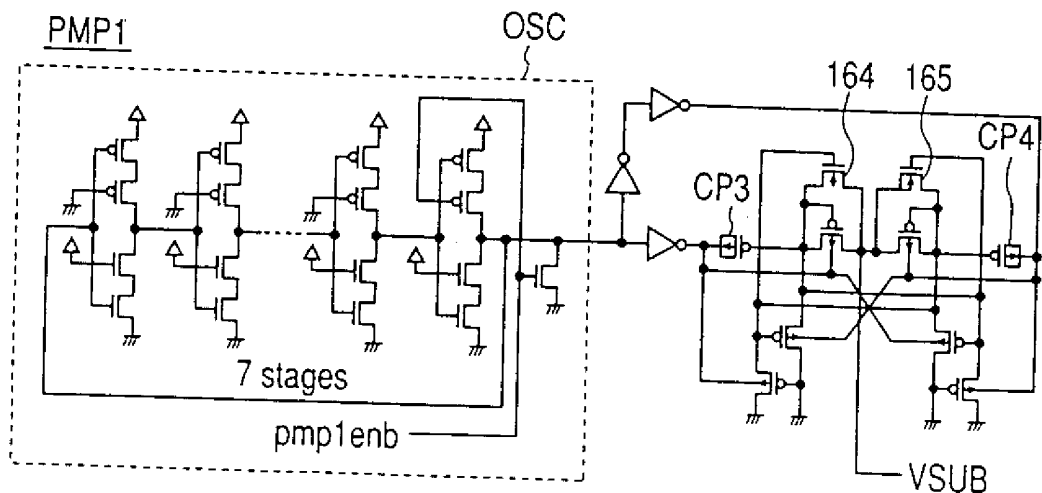


第 11 圖

VSUBGEN



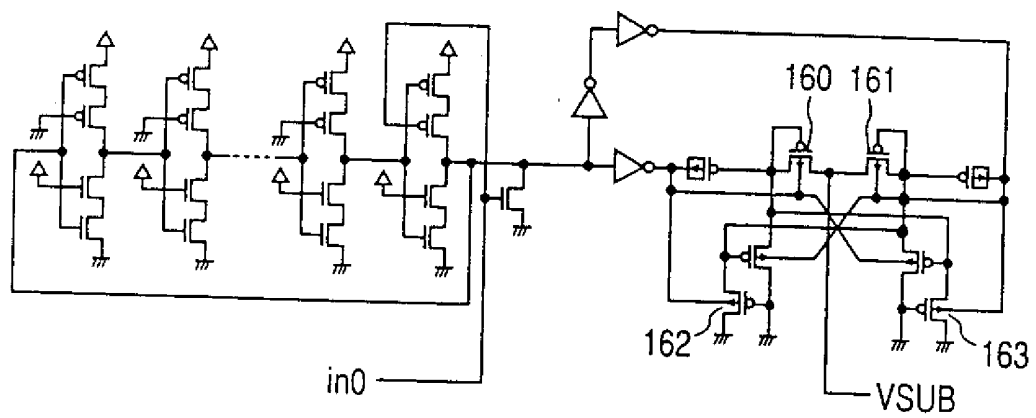
第 12 圖



第 13 圖

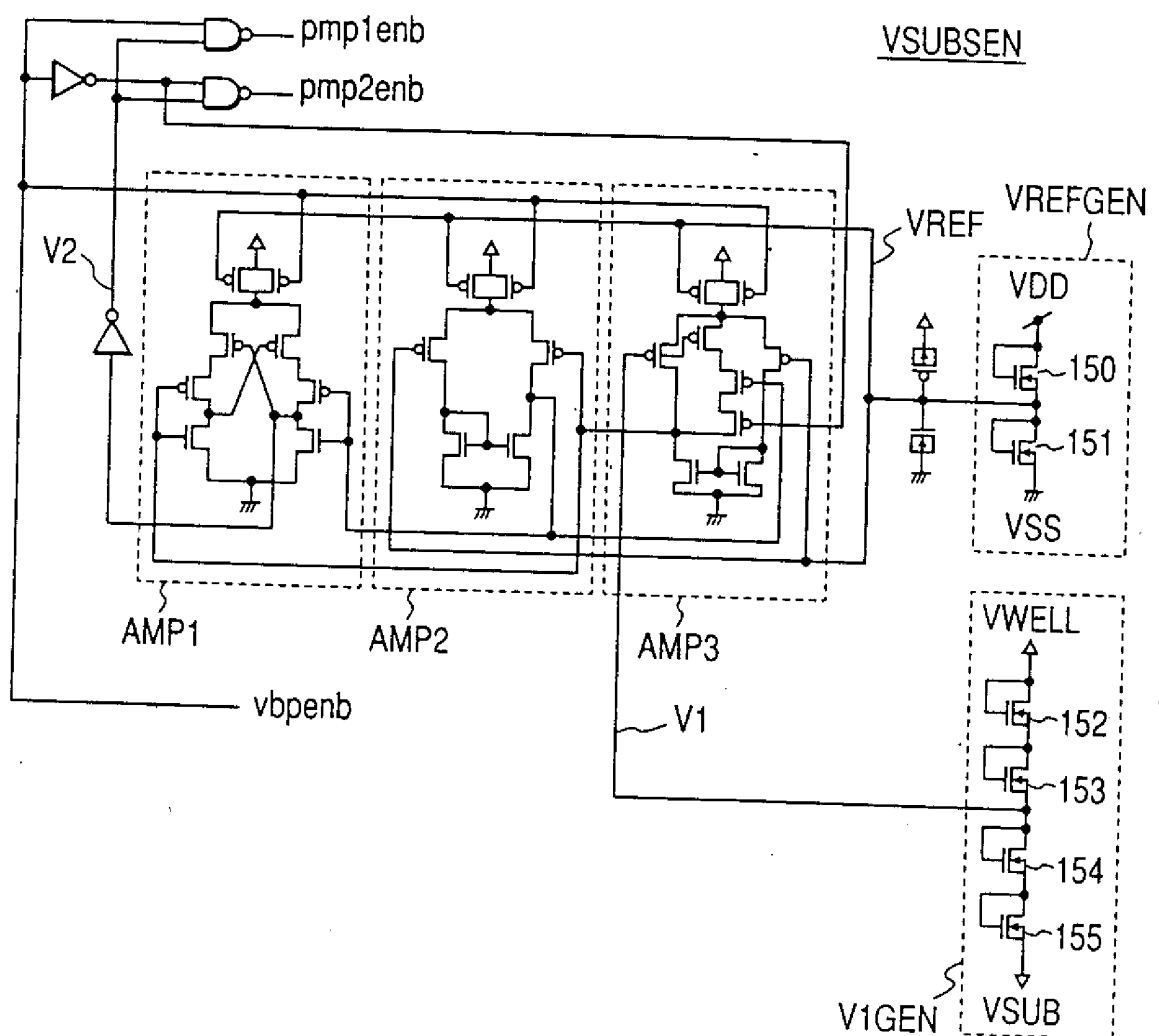
89年9月^{yy}日修正/更正/補充

426988



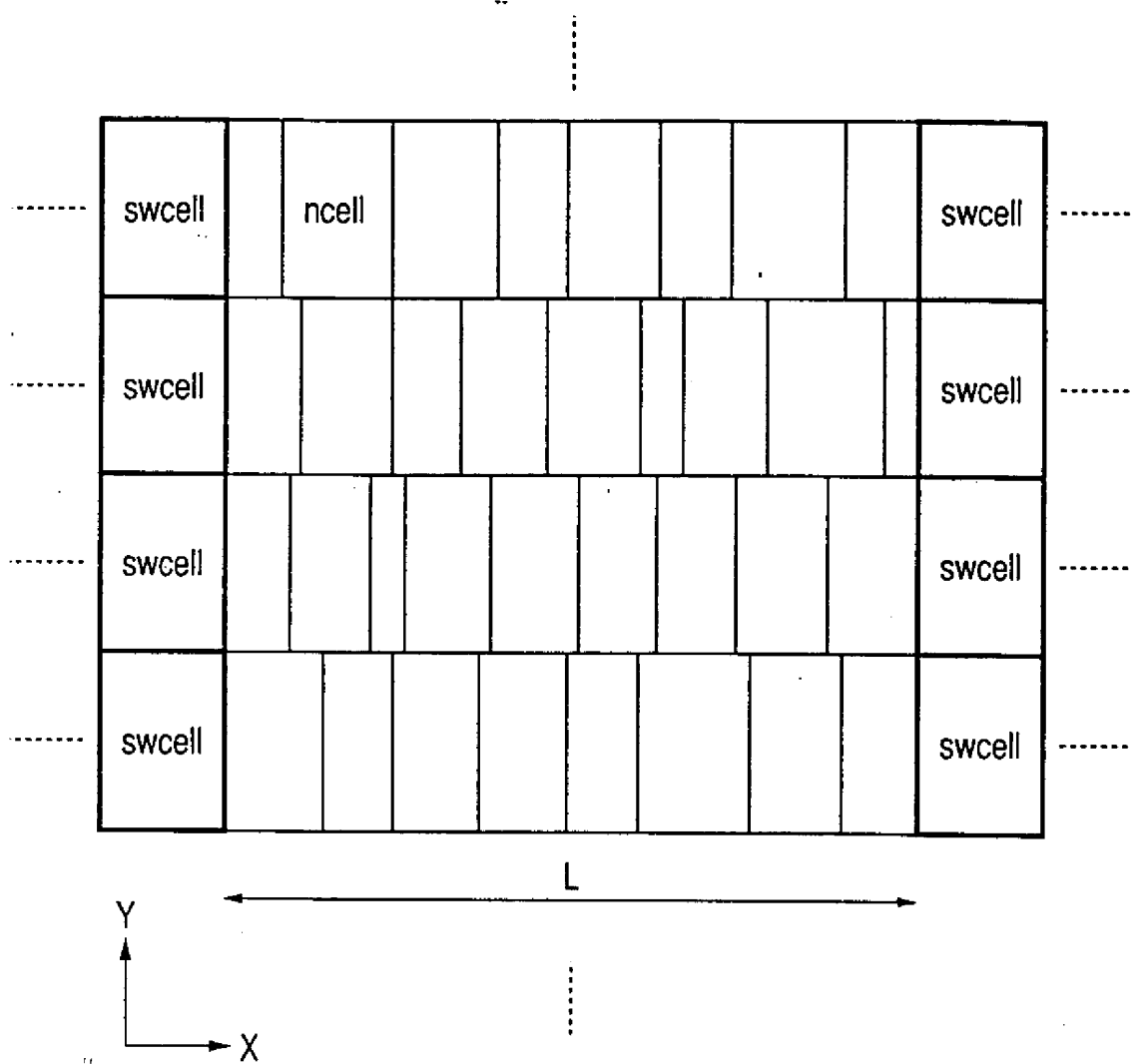
第 14 圖

89 年 9 月 22 日修正/更正/補充



第 15 圖

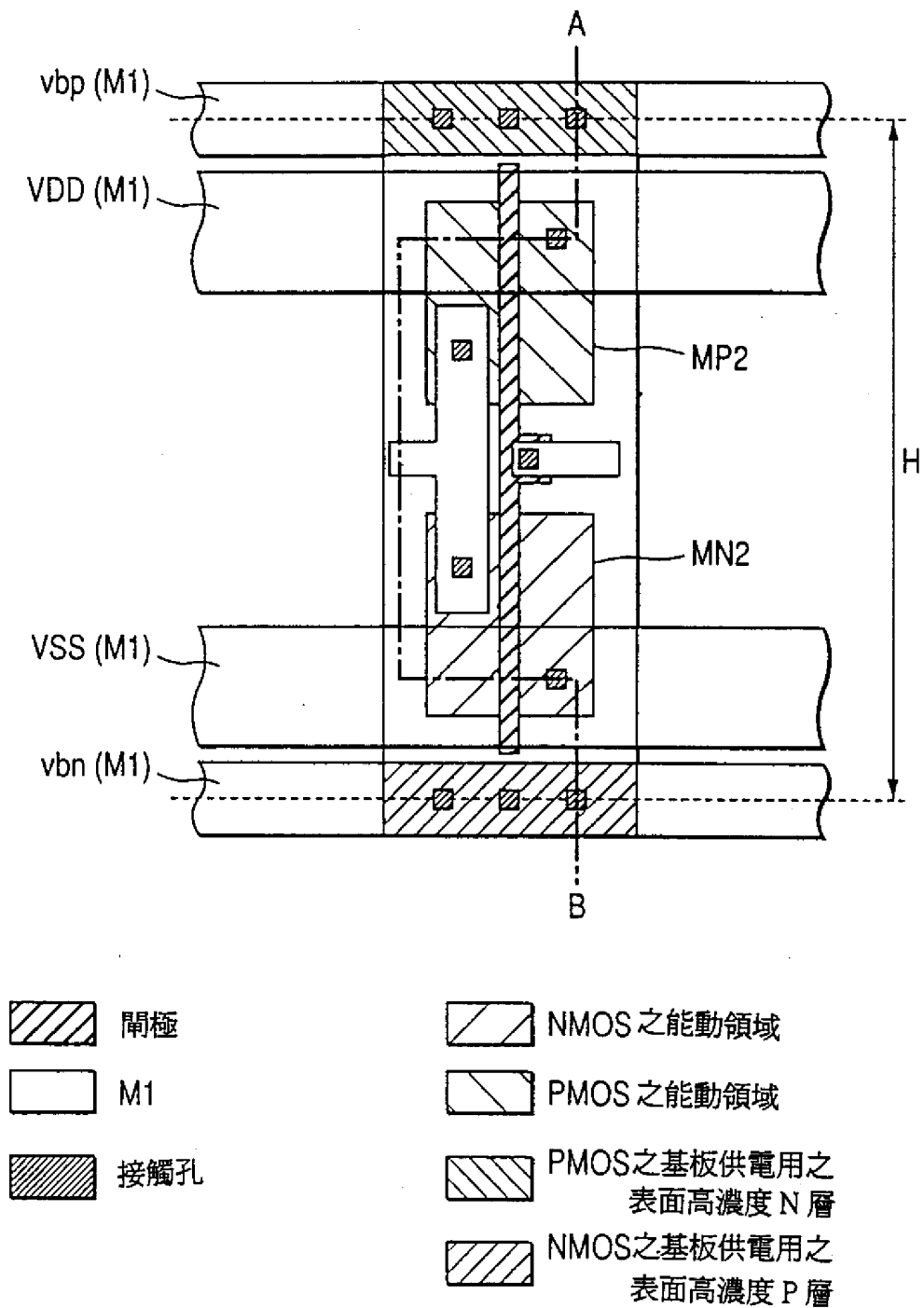
426988



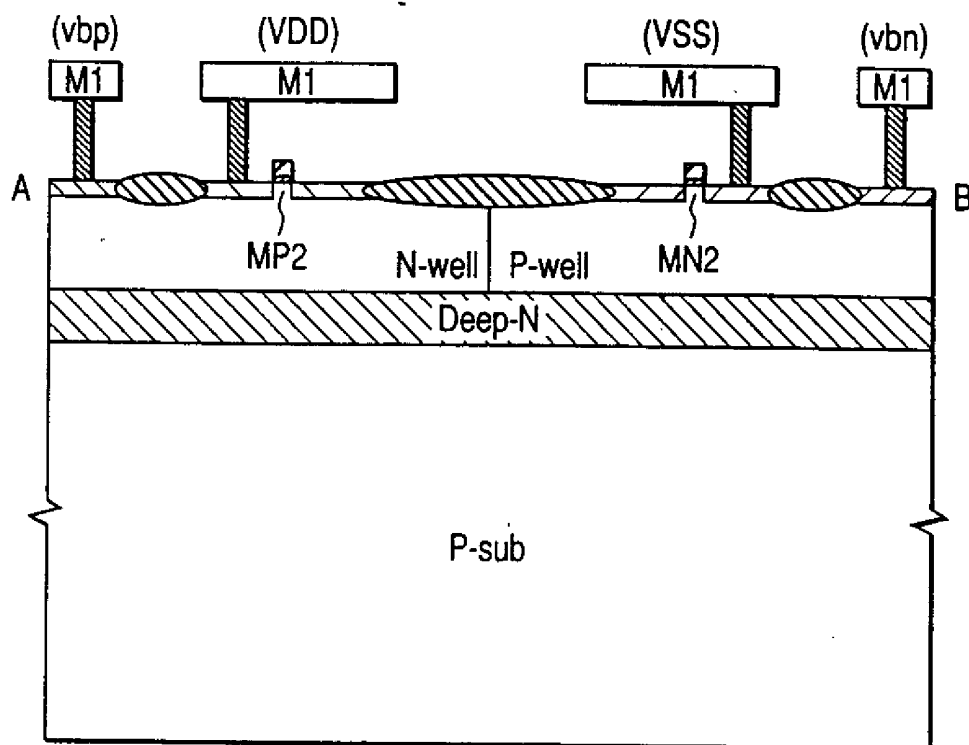
第 16 圖

89年9月27日修正/更正/補充

426988



第 17 圖



閘極氧化膜

閘極

絕緣層

M1-M2 貫通孔

NMOS 之能動領域 (N+)

PMOS 之能動領域 (P+)

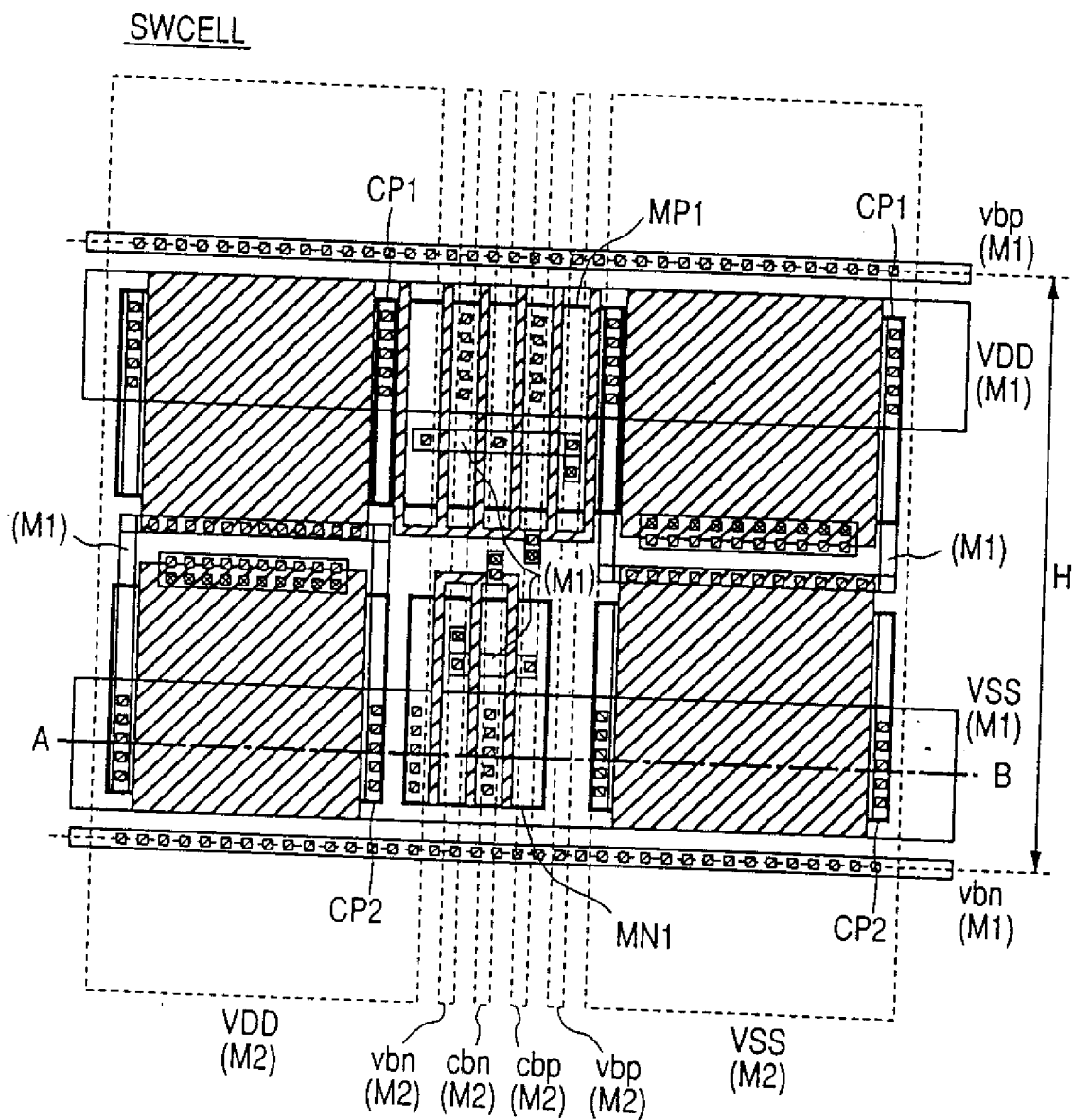
PMOS 之基板供電用之
表面高濃度 N 層

NMOS 之基板供電用之
表面高濃度 P 層

第 18 圖

89年9月22日修正/更止/補充

4<6988



閘極

能動領域

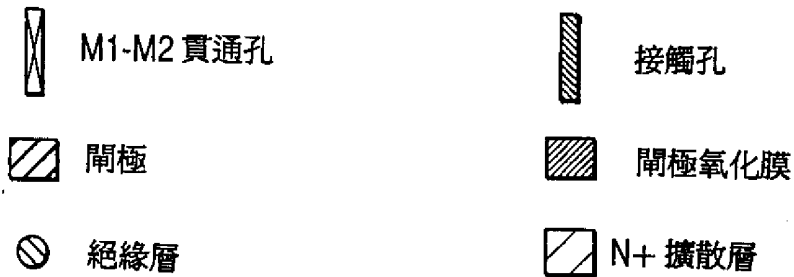
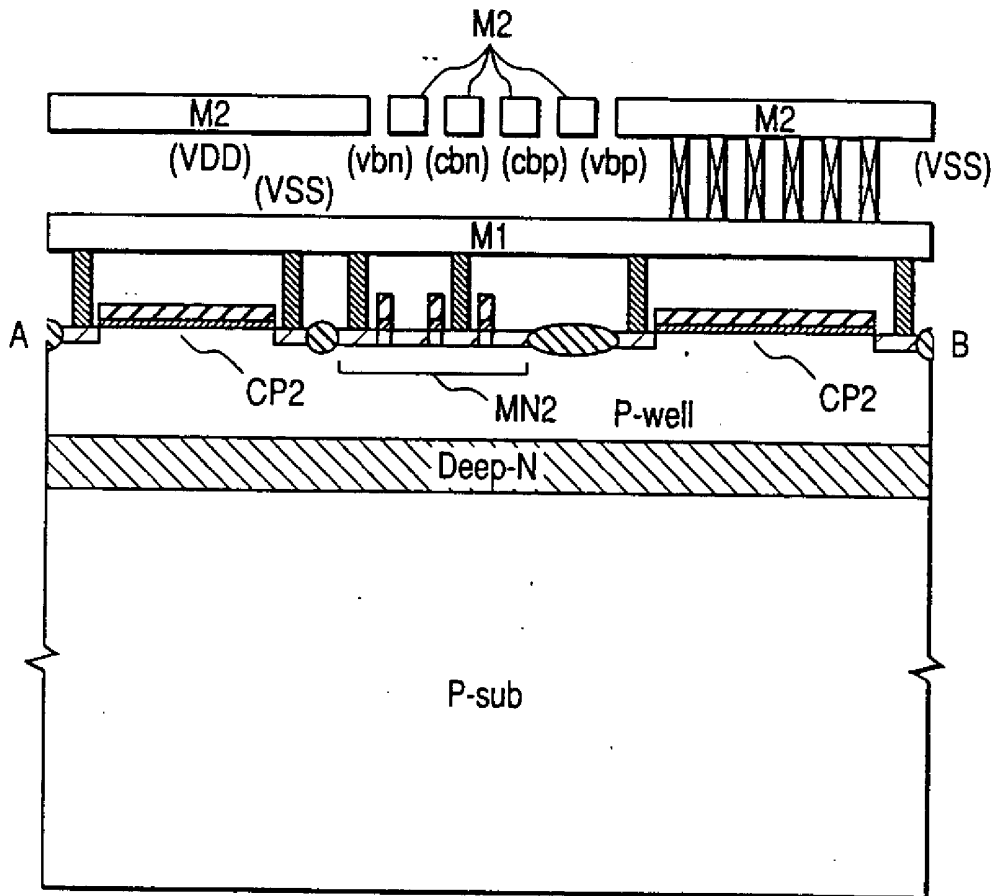
接觸孔

M1

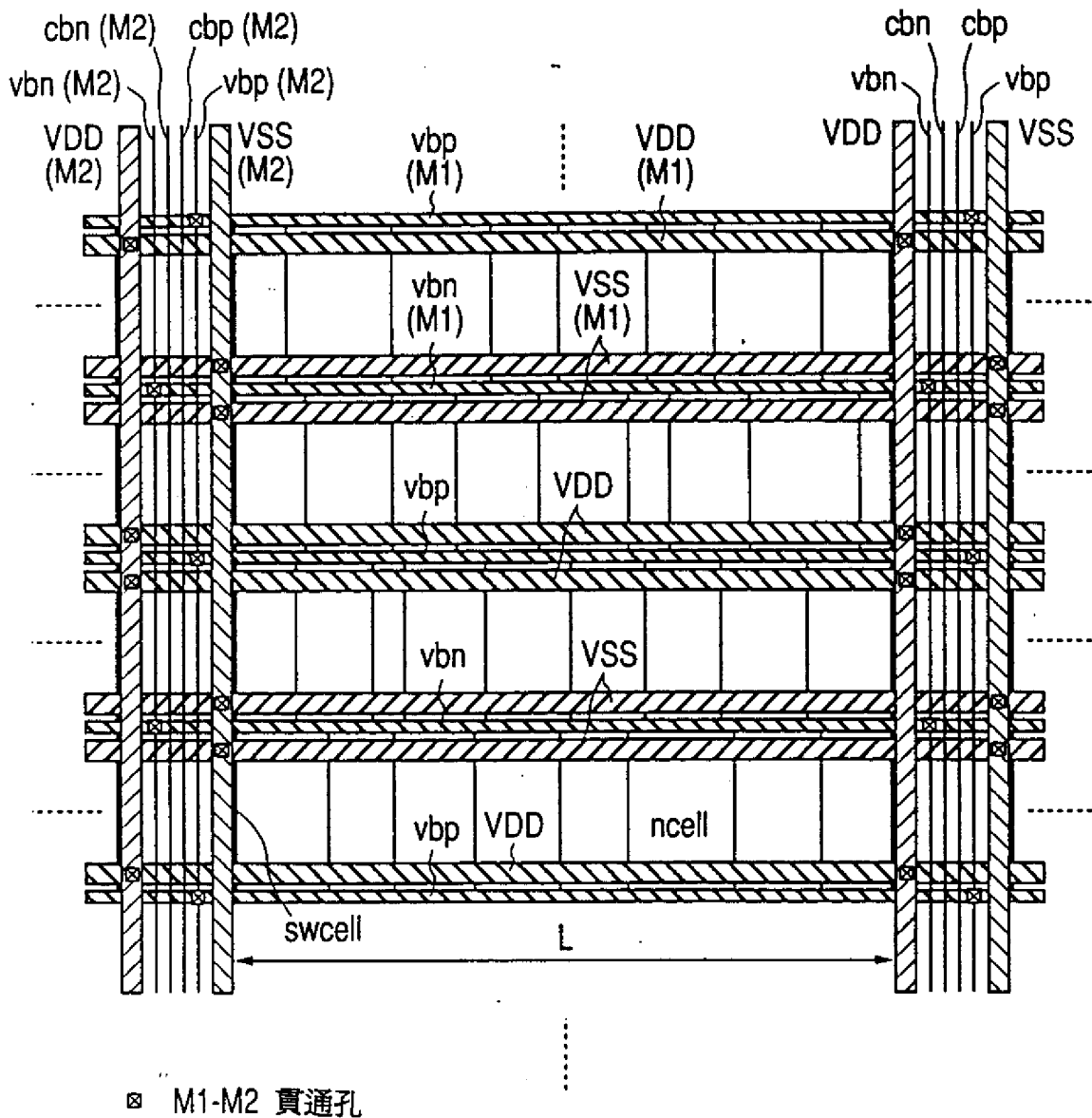
M1-M2 貫通孔

M2

第 19 圖

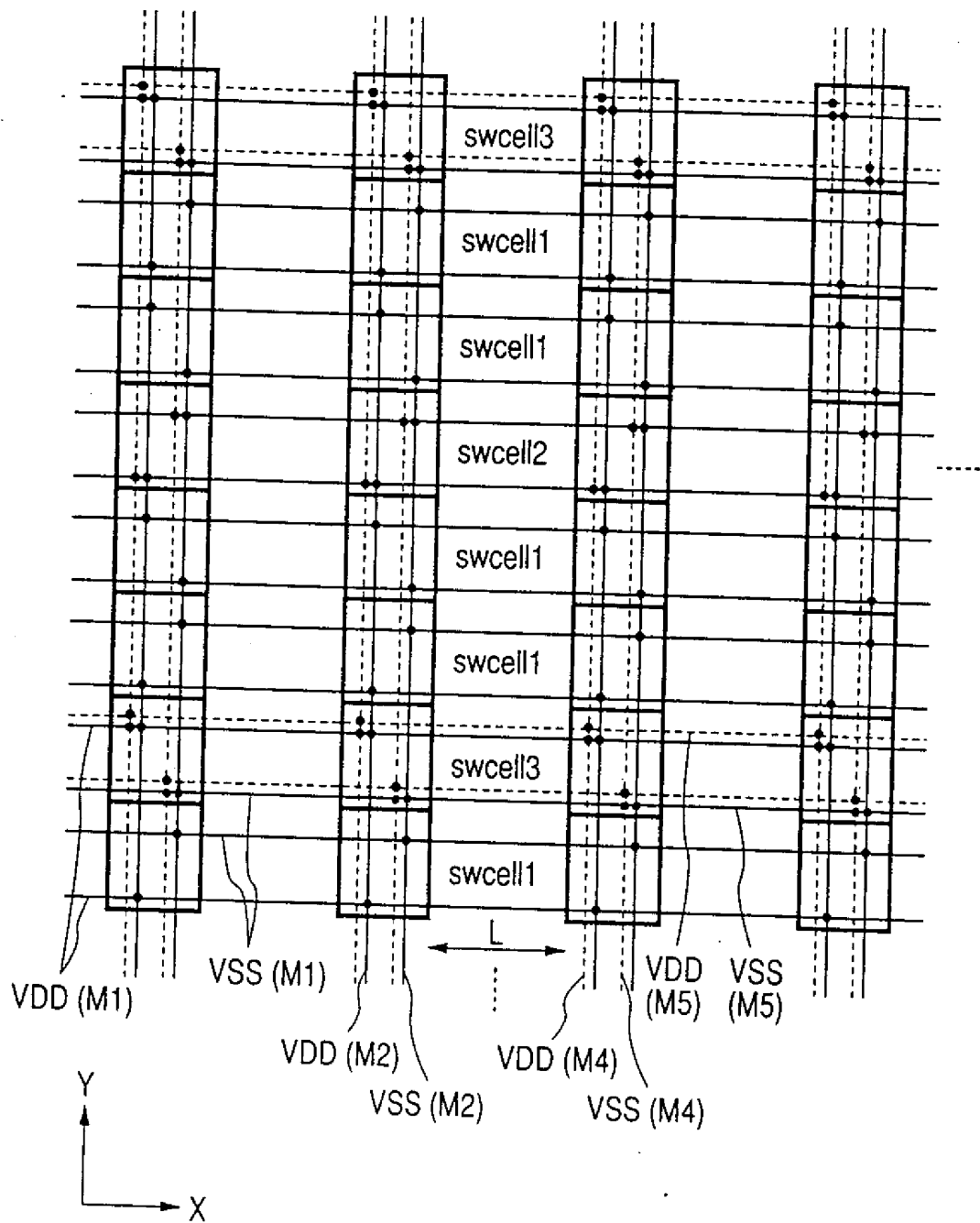


第 20 圖



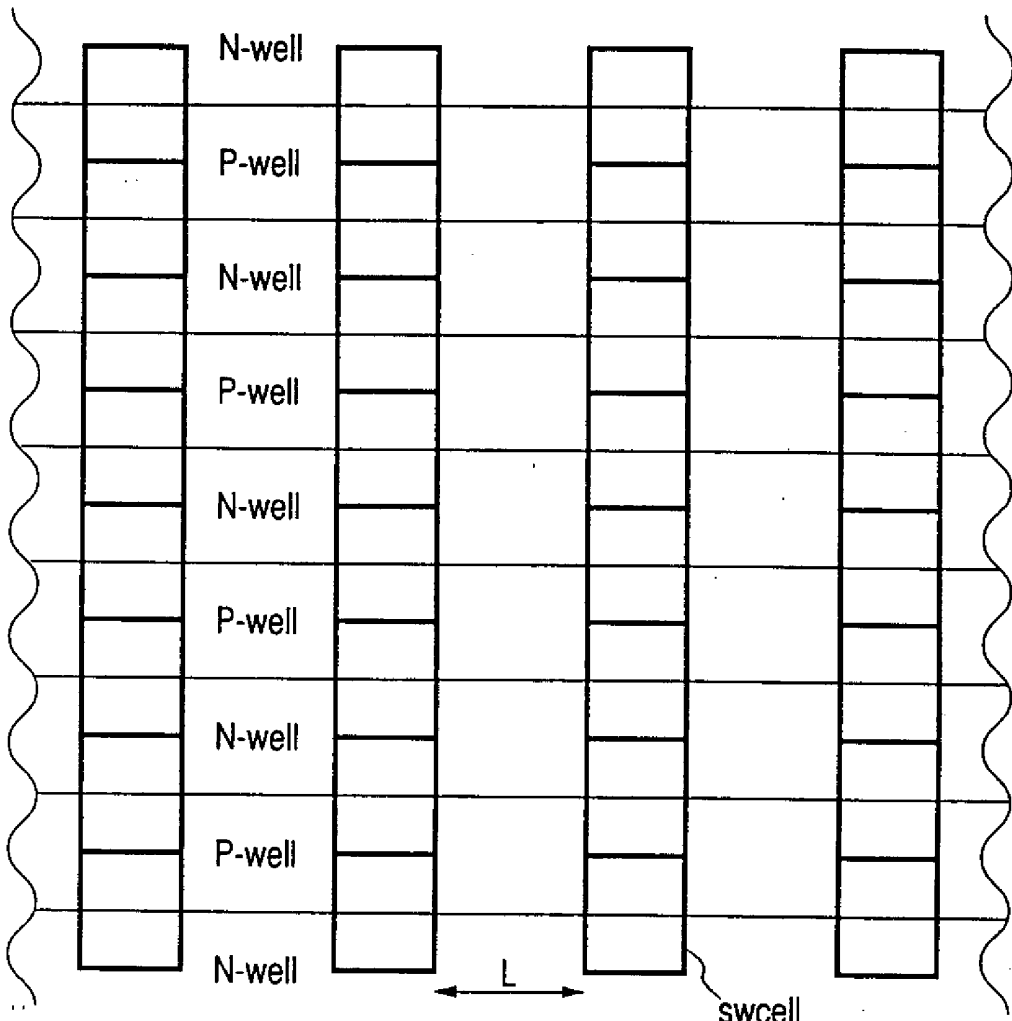
第 21 圖

426988



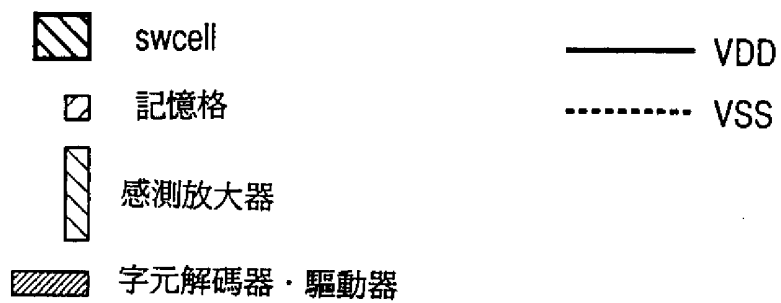
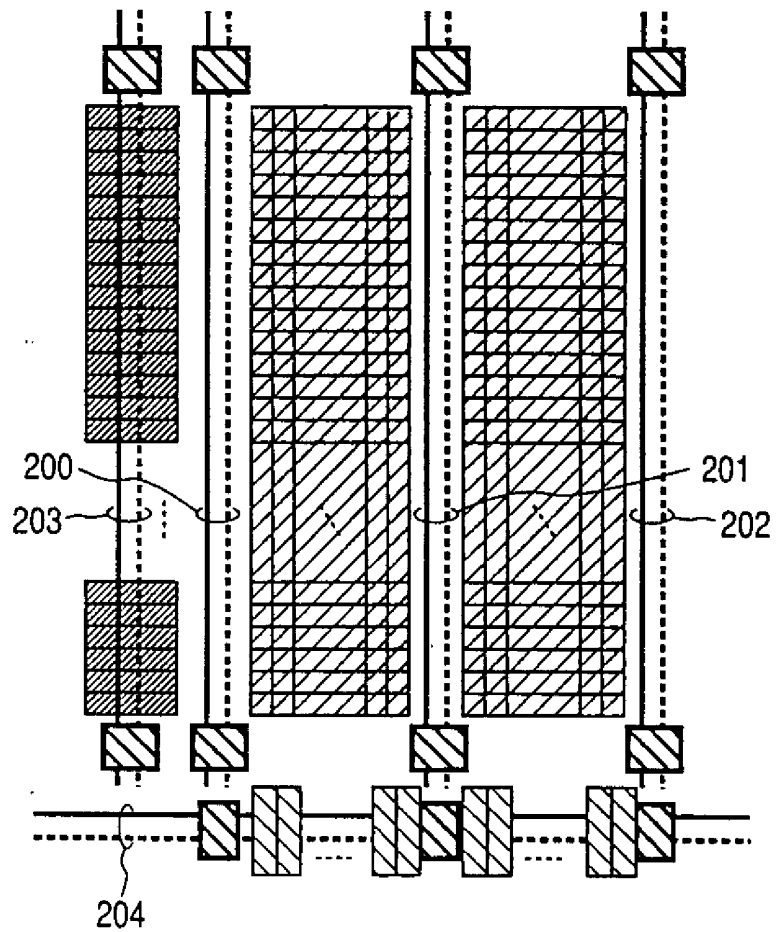
第 22 圖

426988

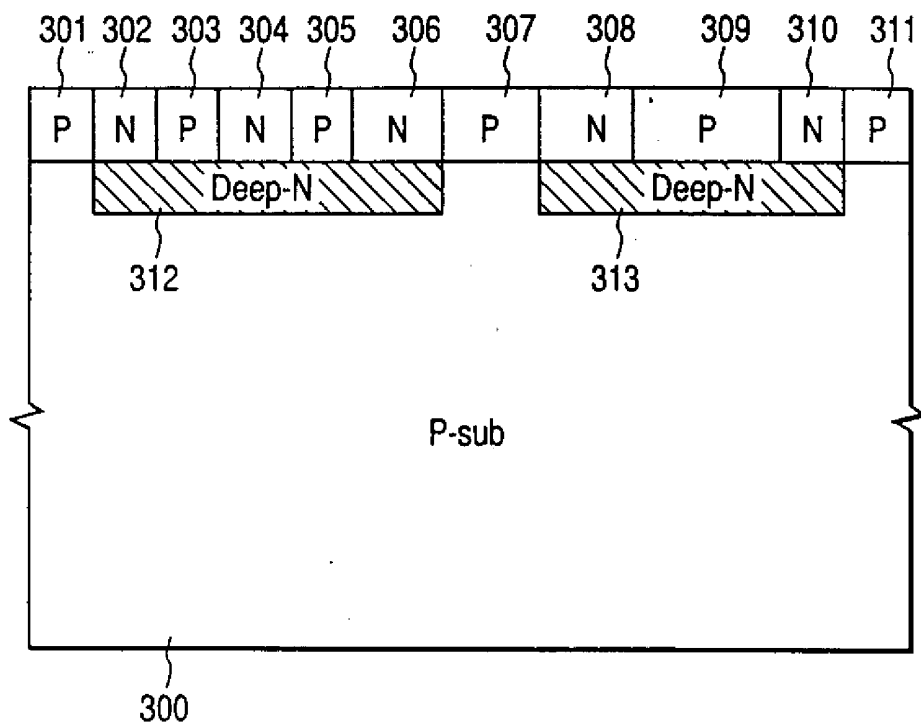


第 23 圖

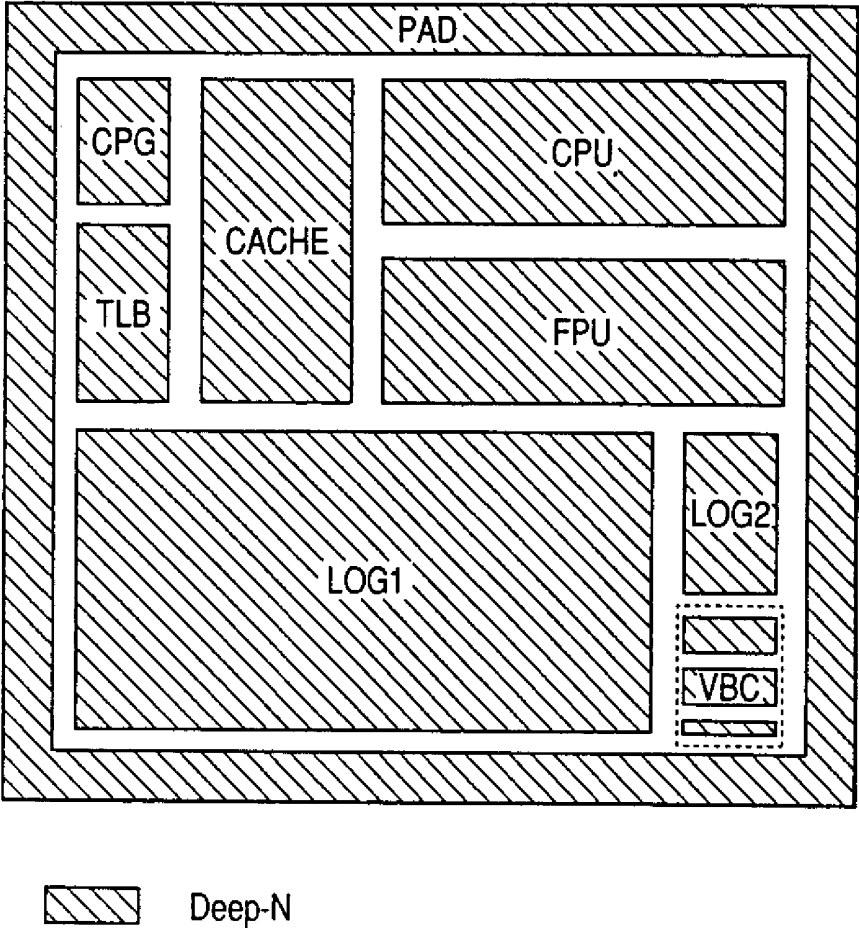
46988



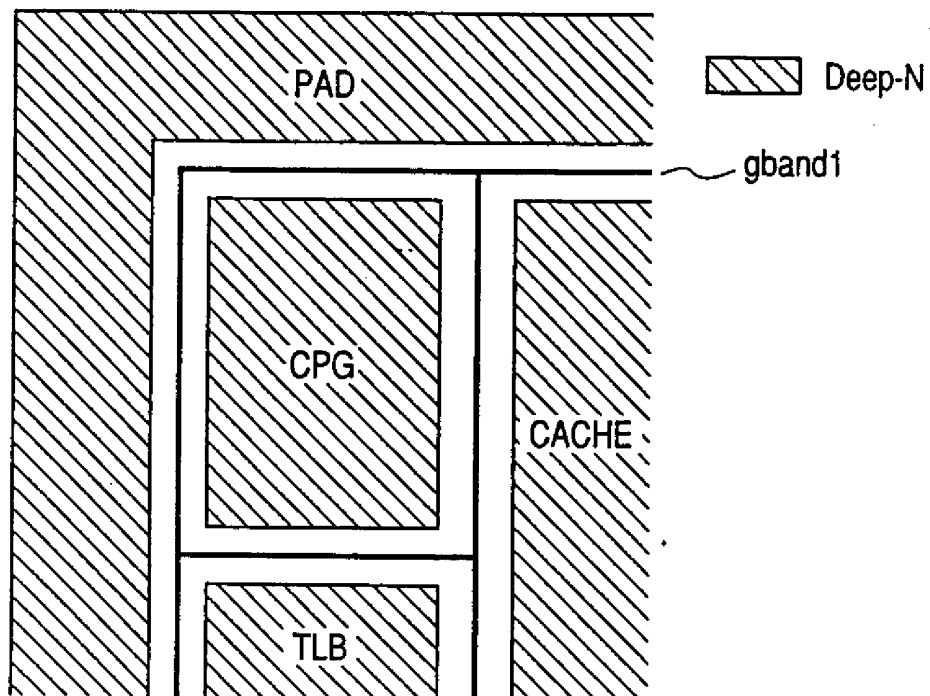
第 24 圖



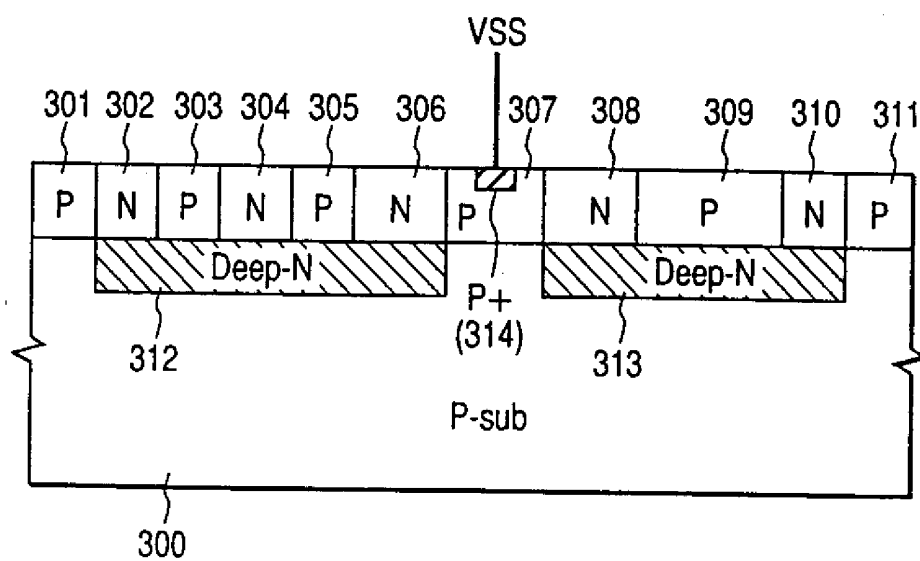
第 25 圖



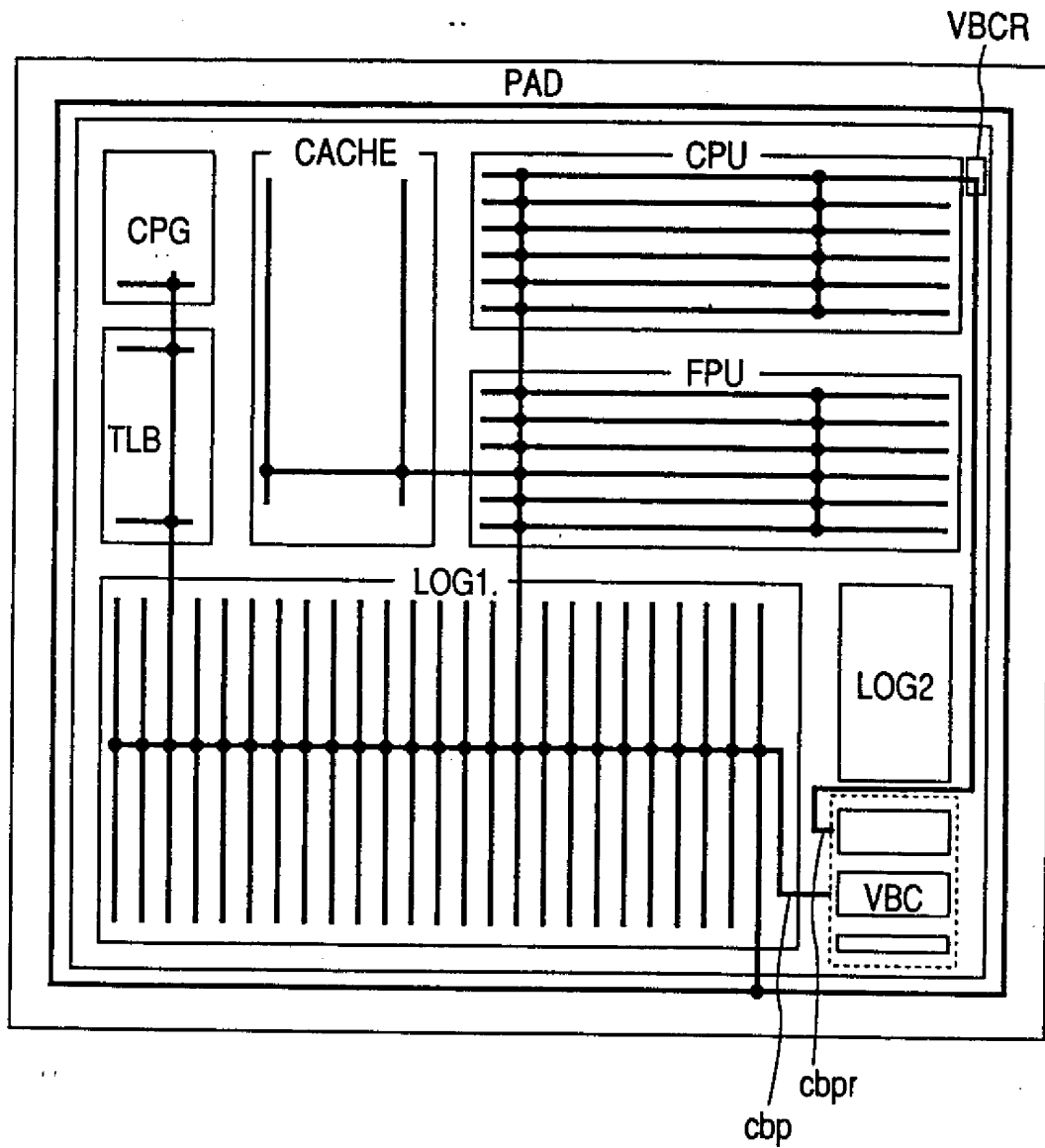
第 26 圖



第 27 圖



第 28 圖



第 29 圖

五、發明說明 (8)

上述基板偏壓控制電路，係將待機狀態中之上述負電壓產生電路之輸出阻抗，控制成較主動狀態中之上述負電壓產生電路之輸出阻抗為小。

又，上述負電壓產生電路具有第 1 充電泵電路及第 2 充電泵電路，

上述基板偏壓控制電路，於待機狀態係使用上述第 1 充電泵電路產生負電壓，於主動狀態係使用上述第 2 充電泵電路產生負電壓，

上述第 1 充電泵電路之泵電容器之容量，係較上述第 2 充電泵電路之泵電容器之容量大。

又，具有第 1 及第 2 電源電壓，上述負電壓產生電路產生第 3 電源電壓，

上述第 1 電源電壓大於第 2 電源電壓，上述第 2 電源電壓為 2 V 以上，

於上述主電路供給有上述第 2 電源電壓，

於上述基板偏壓控制電路及待機控制電路至少供給有第 1 電源電壓，

於待機狀態該基板偏壓控制電路係將 P M O S 電晶體之該基板偏壓控制於第 2 電源電壓電位，將 N M O S 電晶體之該基板偏壓控制於第 3 電源電壓電位，

(第 3 電源電壓) = (第 1 電源電壓) - (第 2 電源電壓)。

又，上述負電壓產生電路係具有：至少 1 個充電泵電路，比較器，產生第 2 電源電壓之一半電位的第 1 基準電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4269888 附件 1a :

第 87120452 號專利申請案

中文申請專利範圍修正本

民國 89 年 9 月修正

1. 一種半導體積體電路裝置，係具有：
由至少一個電晶體構成之主電路；
控制施加於上述電晶體之基板之電壓的基板偏壓控制
電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路
之次臨界漏電流為較多之主動狀態，及該次臨界漏電流為
較少之主動狀態之至少二狀態作切換的待機控制電路；

於上述基板偏壓控制電路內藏負電壓產生電路之同時，
具有將該負電壓產生電路產生之負電壓輸出至裝置外部
之端子。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，
其中

具有：具輸出焊墊之半導體晶片；及內藏該半導體晶
片，具外部腳位之封裝；上述端子係使用上述輸出焊墊之
一，該端子未連接上述外部腳位。

3. 一種半導體積體電路裝置，其特徵為具有：

由至少一個電晶體構成之主電路；

控制施加於上述電晶體之基板之電壓的基板偏壓控制
電路；及

用於控制上述基板偏壓控制電路俾使於流經該主電路

煩請委員明示 89 年 9 月 22 日所提之
修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

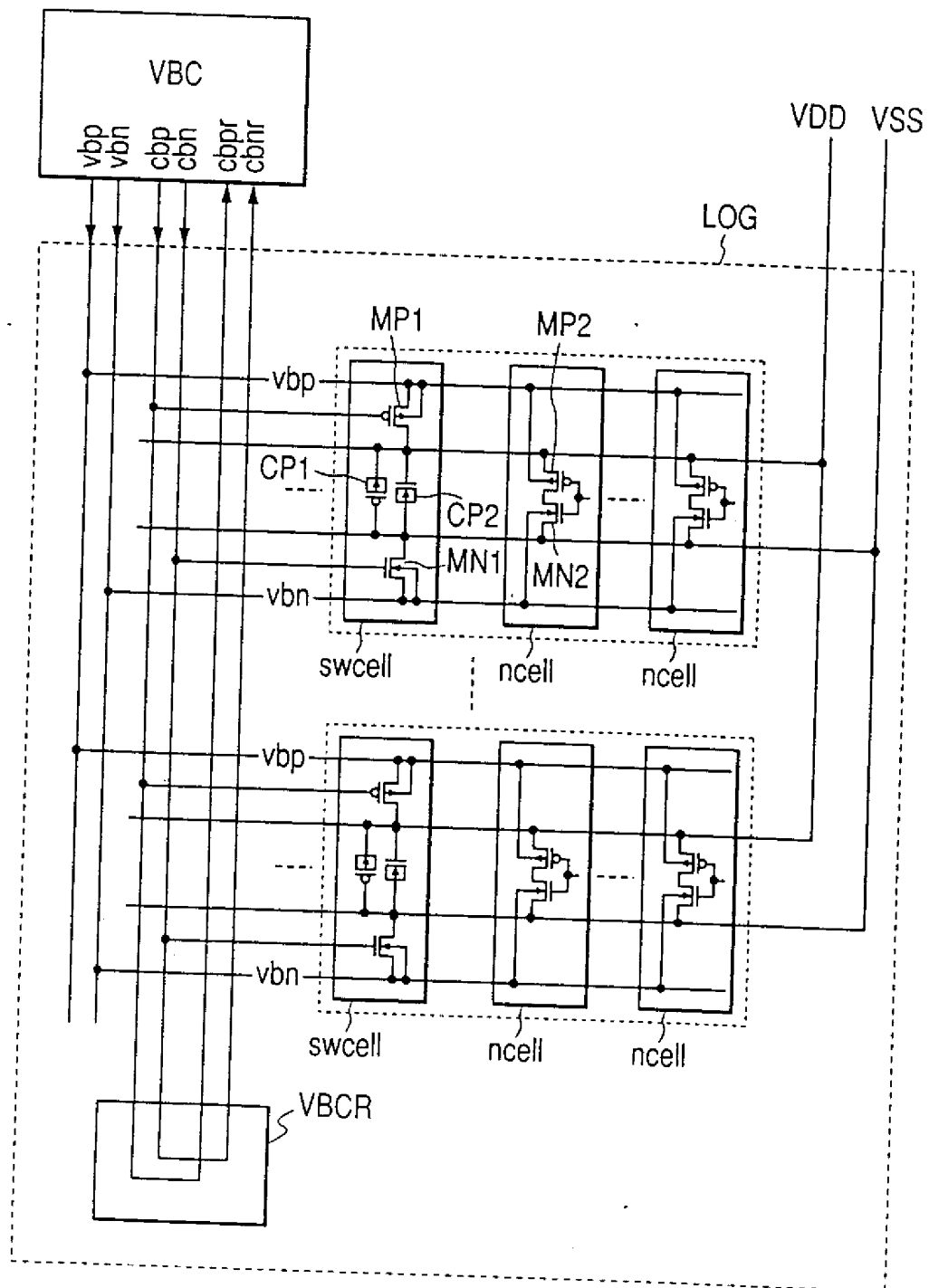
(請先閱讀背面之注意事項再填寫)

裝

訂

線

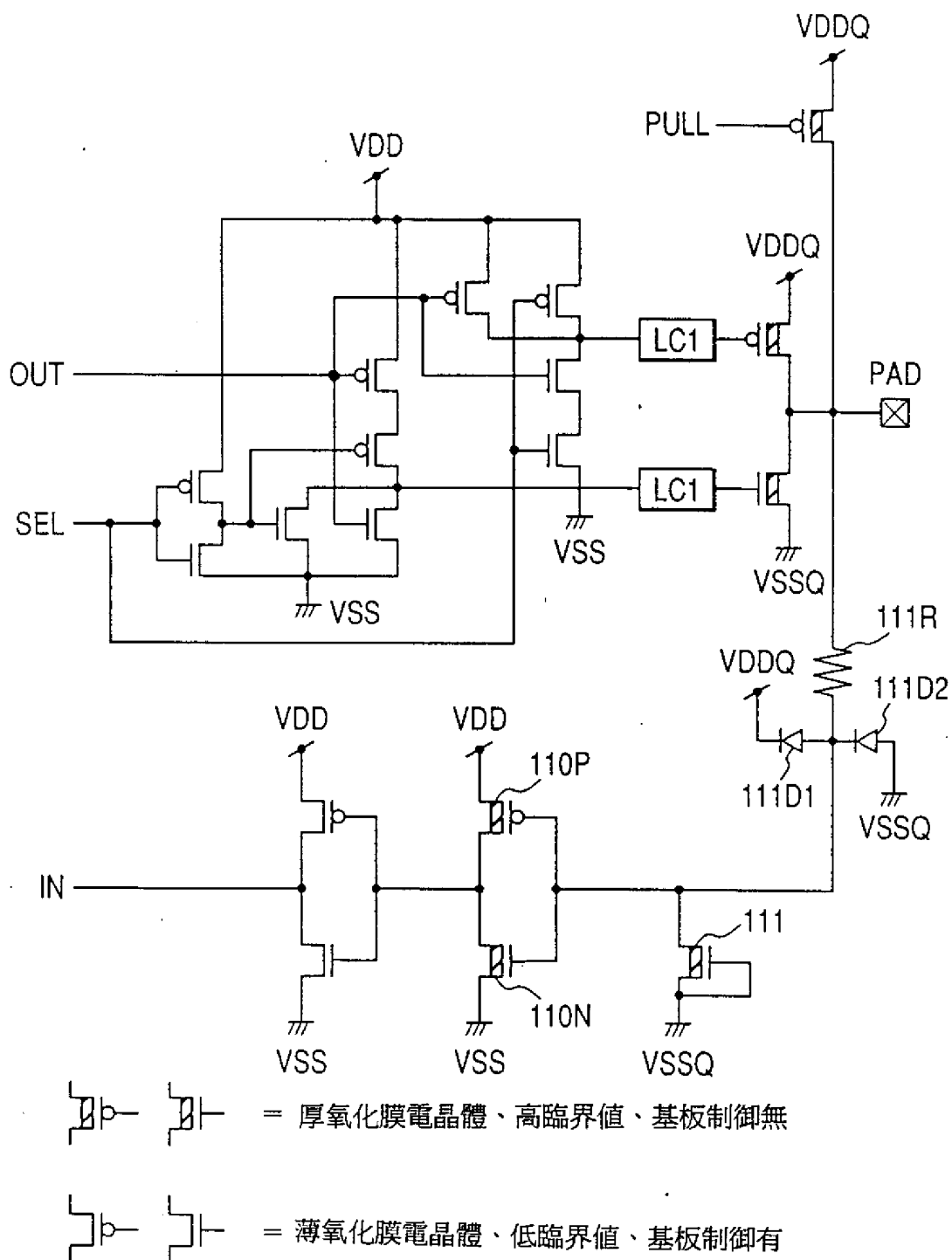
426988



第 2 圖

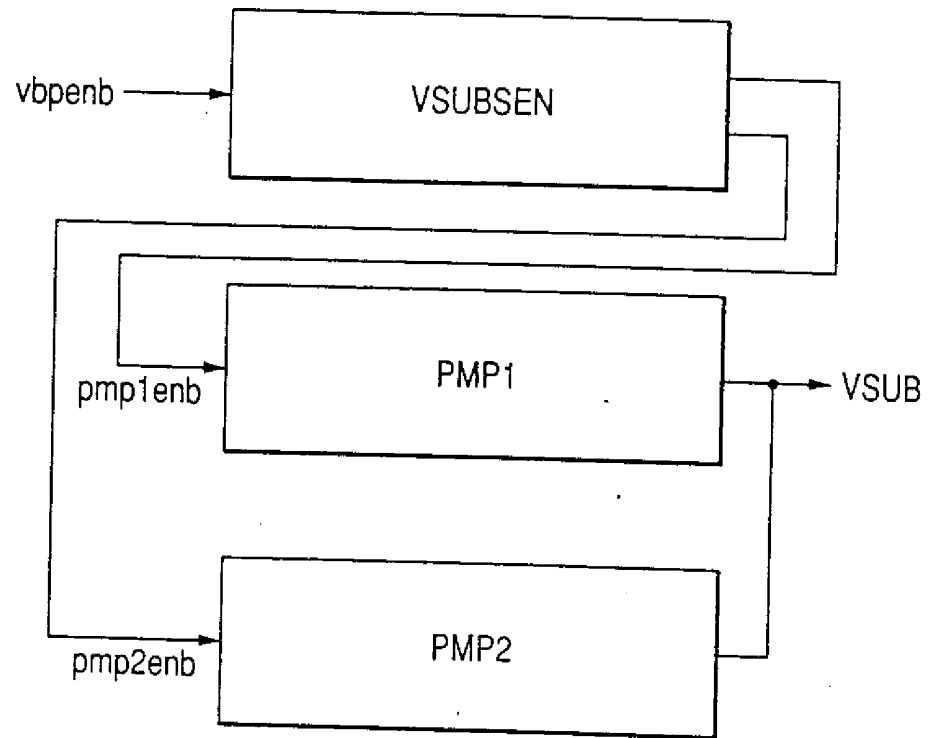
89年9月27日修正/更正/補充

426988

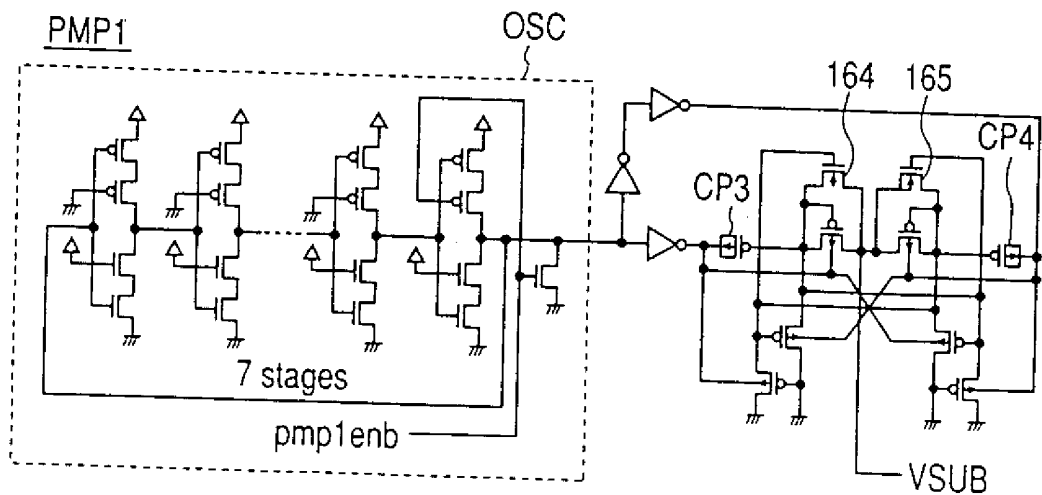


第 3 圖

VSUBGEN



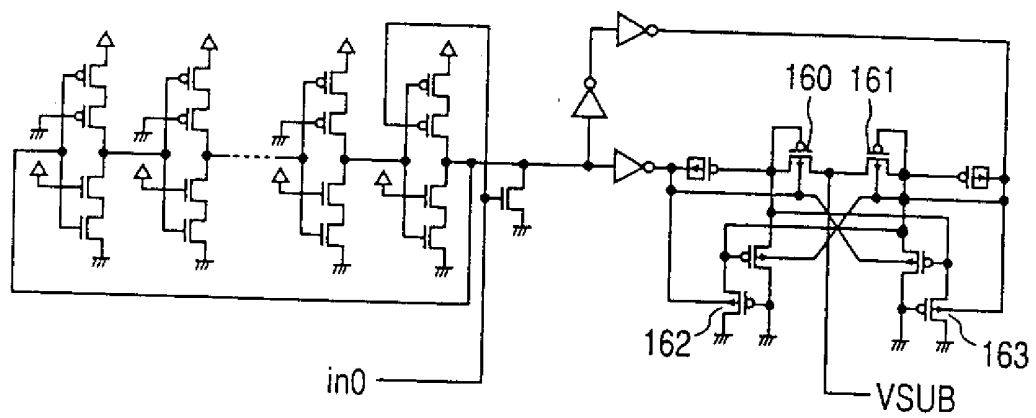
第 12 圖



第 13 圖

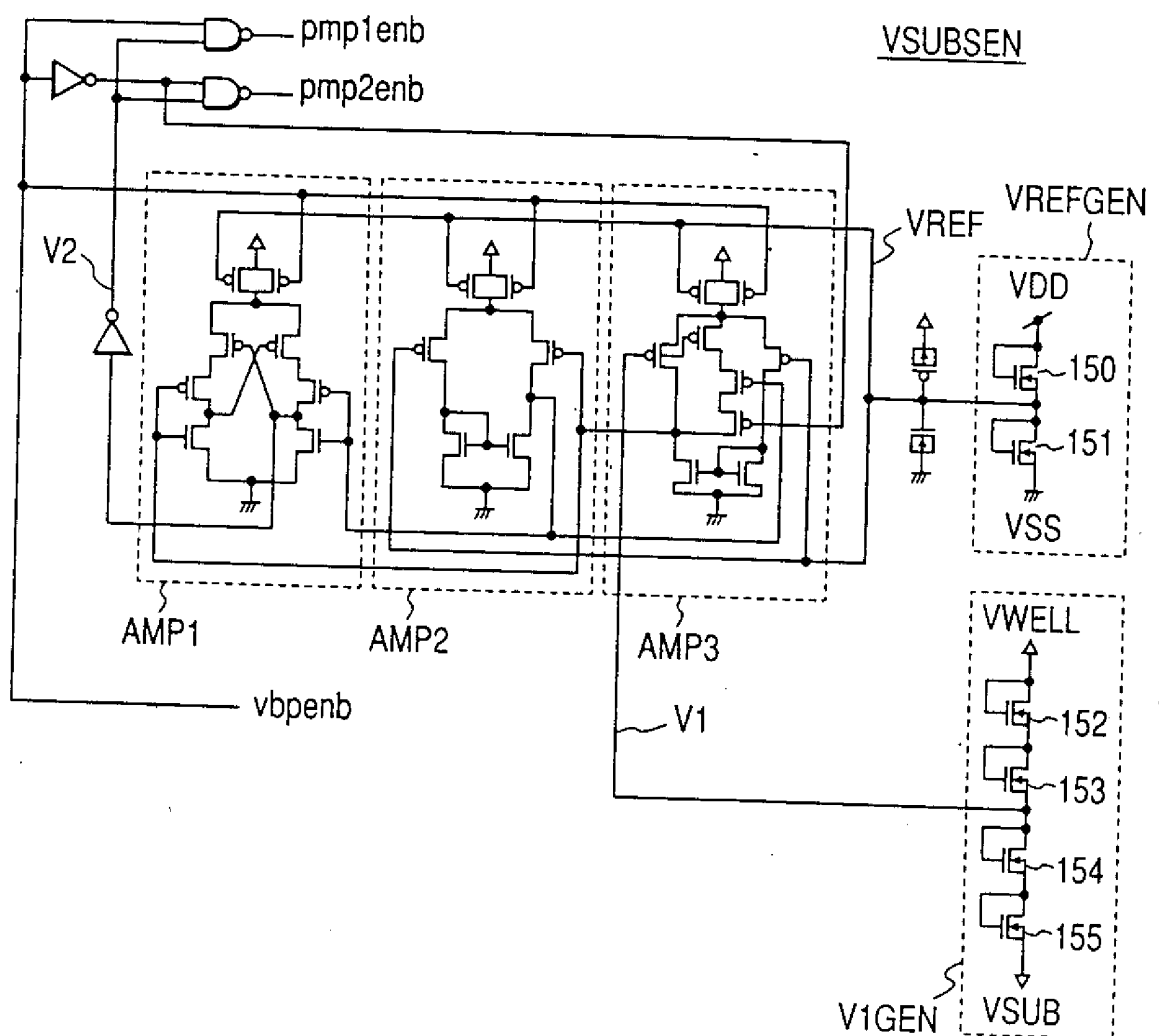
89年9月^{yy}日修正/更正/補充

426988



第 14 圖

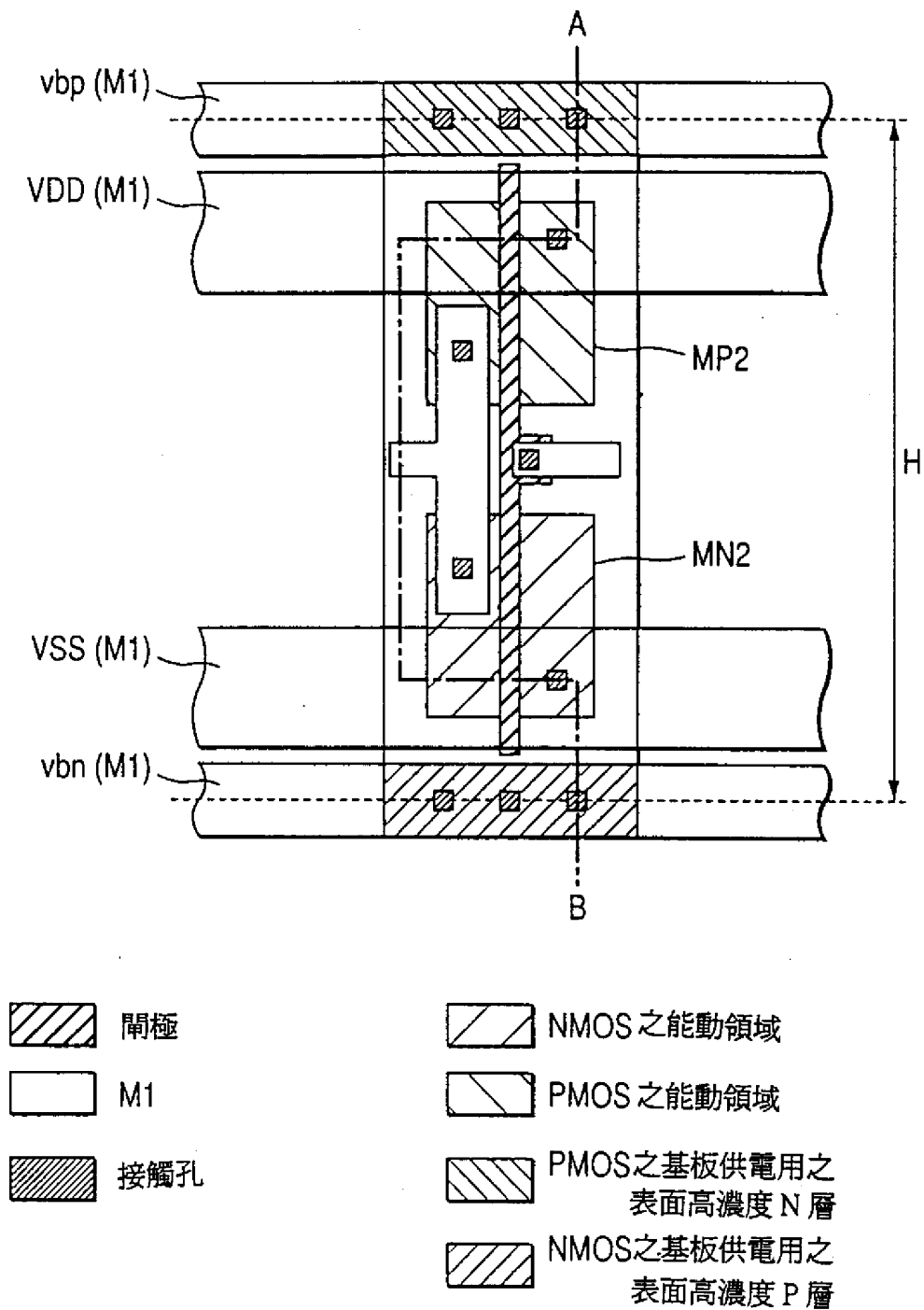
89 年 9 月 22 日修正/更正/補充



第 15 圖

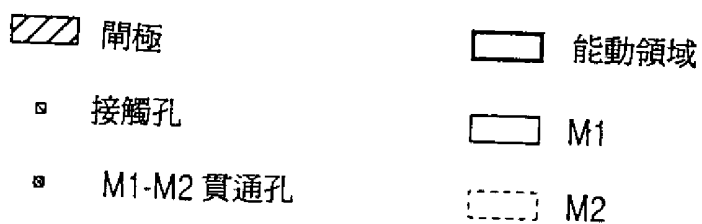
89年9月27日修正/更正/補充

426988



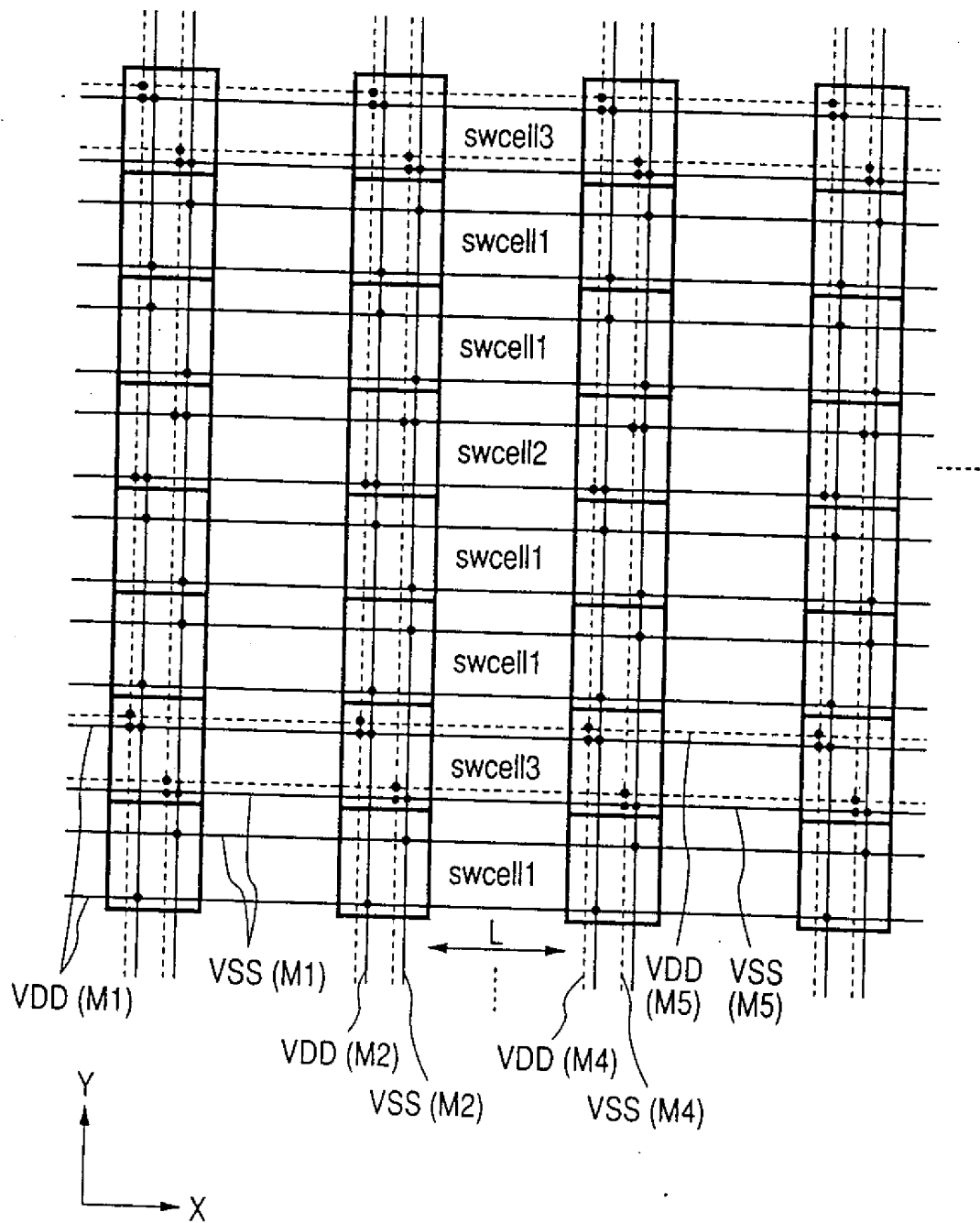
第 17 圖

4 6988



16 / 25

426988



第 22 圖