



(12) 发明专利

(10) 授权公告号 CN 101246901 B

(45) 授权公告日 2013. 01. 02

(21) 申请号 200810009910. 0

US 2002/0125542 A1, 2002. 09. 12,

(22) 申请日 2008. 02. 13

审查员 刘晓燕

(30) 优先权数据

10-2007-0015390 2007. 02. 14 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416

(72) 发明人 李孟烈

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 郭鸿禧 常桂珍

(51) Int. Cl.

H01L 29/739 (2006. 01)

H01L 21/331 (2006. 01)

(56) 对比文件

US 2002/0125542 A1, 2002. 09. 12,

US 2002/0093065 A1, 2002. 07. 18,

US 6258674 B1, 2001. 07. 10,

US 6258674 B1, 2001. 07. 10,

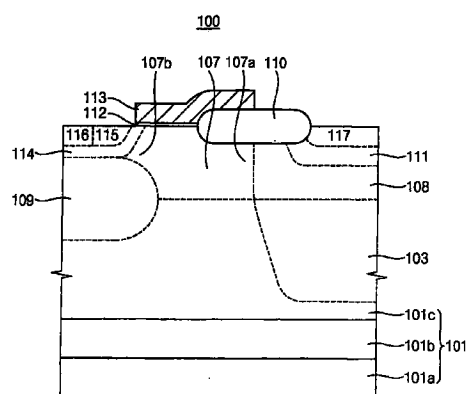
权利要求书 3 页 说明书 9 页 附图 9 页

(54) 发明名称

半导体晶体管器件及其制造方法

(57) 摘要

本发明公开了一种半导体晶体管器件及其制造方法。该半导体晶体管器件包括漂移区、绝缘结构、栅极绝缘体、栅电极、源极和漏极。漂移区包括具有第一掺杂剂浓度的第一横向部分和具有第二掺杂剂浓度的第二横向部分, 其中, 第二掺杂剂浓度高于第一横向部分的第一掺杂剂浓度。绝缘结构形成在漂移区上, 并设置在第一横向部分和第二横向部分之间的边界的上方, 从而在操作过程中, 在漂移区中产生的空穴被最少化。



1. 一种半导体晶体管器件,包括:

漂移区,包括具有第一掺杂剂浓度的第一横向部分和具有第二掺杂剂浓度的第二横向部分,其中,第二掺杂剂浓度高于第一横向部分的第一掺杂剂浓度;

绝缘结构,形成在漂移区上,并设置在第一横向部分和第二横向部分之间的边界的上方;

栅极绝缘体,形成在第一横向部分的暴露部分上;

栅电极,形成在绝缘结构的一部分和栅极绝缘体上;

源极,朝着漂移区的第一横向部分设置;

漏极,朝着漂移区的第二横向部分设置;

漂移区的附加 N 型漂移部分,朝着漏极形成在第二横向部分中,

其中,第一掺杂剂浓度和第二掺杂剂浓度均是针对相应的 N 型掺杂剂,附加 N 型漂移部分具有比第二横向部分的第二掺杂剂浓度高的掺杂剂浓度。

2. 如权利要求 1 所述的半导体晶体管器件,其中,绝缘结构是以第一横向部分和第二横向部分之间的边界为中心的场氧化物结构。

3. 如权利要求 1 所述的半导体晶体管器件,其中,第二掺杂剂浓度是第一掺杂剂浓度的至少两倍。

4. 如权利要求 1 所述的半导体晶体管器件,还包括:

P 型硅层,设置在第一横向部分的下面;

第一 P 型掺杂区,设置到第一横向部分的源极侧。

5. 如权利要求 4 所述的半导体晶体管器件,还包括:

第二 P 型掺杂区,设置在第一 P 型掺杂区的上面,并设置到第一横向部分的源极侧;

N 型掺杂源极区,形成在第二 P 型掺杂区中,并设置到第一横向部分的源极侧;

第三 P 型掺杂区,形成在第二 P 型掺杂区中,并设置到 N 型掺杂源极区的侧面,

其中,N 型掺杂源极区和第三 P 型掺杂区形成半导体晶体管器件的源极。

6. 如权利要求 5 所述的半导体晶体管器件,其中,栅极绝缘体和栅电极延伸成设置在 N 型掺杂源极区的一部分和第二 P 型掺杂区的上方。

7. 如权利要求 5 所述的半导体晶体管器件,其中,栅极绝缘体和栅电极延伸成设置在第二 P 型掺杂区的一部分的上方。

8. 如权利要求 5 所述的半导体晶体管器件,还包括:

第一 N 型掺杂区,设置在漂移区的第二横向部分的下面,

其中,第一 N 型掺杂区的相应的掺杂剂浓度低于第二横向部分的第二掺杂剂浓度。

9. 如权利要求 1 所述的半导体晶体管器件,还包括:

P 型掺杂漏极区,形成在附加 N 型漂移部分中,

其中,P 型掺杂漏极区形成半导体晶体管器件的漏极。

10. 如权利要求 1 所述的半导体晶体管器件,其中,附加 N 型漂移部分的相应的 N 型掺杂剂浓度高于第二横向部分的第二掺杂剂浓度。

11. 如权利要求 1 所述的半导体晶体管器件,还包括:

硅层,具有在所述硅层中形成的漂移区;

绝缘层,设置在硅层的下面,从而半导体晶体管器件为绝缘体上硅器件;

半导体基底,设置在绝缘层的下面。

12. 一种制造半导体晶体管器件的方法,所述方法包括的步骤为:

在基底中形成漂移区,所述漂移区包括具有第一掺杂剂浓度的第一横向部分和具有第二掺杂剂浓度的第二横向部分,其中,第二掺杂剂浓度高于第一横向部分的第一掺杂剂浓度;

在漂移区上形成绝缘结构,所述绝缘结构设置在第一横向部分和第二横向部分之间的边界的上方;

形成漂移区的附加漂移部分,所述附加漂移部分具有比第二横向部分的第二掺杂剂浓度高的第三掺杂剂浓度,所述附加漂移部分通过第二横向部分与第一横向部分横向分离;

在第一横向部分的暴露部分上形成栅极绝缘体;

在绝缘结构的一部分和栅极绝缘体上形成栅电极;

形成朝着漂移区的第一横向部分设置的源极;

形成朝着漂移区的第二横向部分设置的漏极,所述漏极设置在附加漂移部分中。

13. 如权利要求 12 所述的方法,其中,第一掺杂剂浓度、第二掺杂剂浓度和第三掺杂剂浓度均是针对相应的 N 型掺杂剂,源极包括设置到第一横向部分的源极侧的 N 型掺杂源极区和设置在 N 型掺杂源极区的侧面的 P 型掺杂区,漏极包括在附加漂移部分中的 P 型掺杂漏极区。

14. 如权利要求 12 所述的方法,其中,通过注入工艺形成漂移区,沿着从第一横向部分朝着第二横向部分的方向在漂移区上方执行注入工艺的次数逐渐增多。

15. 如权利要求 12 所述的方法,其中,执行用于将 N 型掺杂剂掺杂到第一横向部分中的注入工艺的次数基本少于执行用于将 N 型掺杂剂掺杂到第二横向部分中的注入工艺的次数,执行用于将 N 型掺杂剂掺杂到第二横向部分中的注入工艺的次数基本少于执行用于将 N 型掺杂剂掺杂到漂移区的附加漂移部分中的注入工艺的次数。

16. 一种制造半导体晶体管器件的方法,所述方法包括的步骤为:

在硅层形成第一 N 型掺杂区,使得第一 N 型掺杂区从硅层的表面延伸到预定的深度,第一 N 型掺杂区具有第一 N 型掺杂剂浓度;

在硅层内部形成第一 P 型掺杂区,第一 P 型掺杂区与第一 N 型掺杂区横向分离;

将 N 型掺杂剂掺杂到硅层的整个表面中,以形成漂移区,所述漂移区包括具有第二 N 型掺杂剂浓度的第一横向部分和具有第三 N 型掺杂剂浓度的第二横向部分,第三 N 型掺杂剂浓度高于第一横向部分的第二 N 型掺杂剂浓度,第一横向部分形成在硅层的没有形成第一 P 型掺杂区的部分,使得第一横向部分与第一 P 型掺杂区接触,第二横向部分形成在第一 N 型掺杂区的上部分;

在硅层的表面的第一横向部分和第二横向部分相互接触的部分形成场氧化物结构;

在第二横向部分的没有覆盖有场氧化物结构的部分形成附加 N 型漂移部分,所述附加 N 型漂移部分具有高于第三 N 型掺杂剂浓度的第四 N 型掺杂剂浓度;

形成包括栅极绝缘体和栅电极的栅极结构,栅极绝缘体形成在第一横向部分上,使得栅极绝缘体从场氧化物结构延伸到预定的长度,栅电极形成在场氧化物结构的一部分和栅极绝缘体上;

在第一横向部分的没有覆盖有栅极结构的部分形成第二 P 型掺杂区,使得第二 P 型掺

杂区与第一 P 型掺杂区接触；

在第二 P 型掺杂区的暴露表面的与栅极结构接触的部分形成 N 型掺杂源极区；

形成第三 P 型掺杂区和 P 型掺杂漏极区，第三 P 型掺杂区形成在第二 P 型掺杂区的暴露表面的与 N 型掺杂源极区接触的部分，P 型掺杂漏极区形成在附加 N 型漂移部分的暴露表面。

17. 如权利要求 16 所述的方法，其中，第一横向部分的深度与第二横向部分的深度基本相同。

18. 如权利要求 16 所述的方法，其中，栅极结构与 N 型掺杂源极区和第二 P 型掺杂区局部叠置，第一横向部分和 N 型掺杂源极区通过第二 P 型掺杂区相互横向分离。

19. 如权利要求 16 所述的方法，其中，P 型掺杂漏极区和第二横向部分通过附加 N 型漂移区相互横向分离。

半导体晶体管器件及其制造方法

[0001] 本申请要求于 2007 年 2 月 14 日提交到韩国知识产权局的第 2007-15390 号韩国专利申请的优先权,该申请的内容通过引用全部包含于此。

[0002] 技术领域

[0003] 本发明总地涉及半导体晶体管器件和一种制造所述半导体晶体管器件的方法,更具体地讲,涉及一种具有多掺杂的漂移区的横向绝缘栅双极过渡式 (LIGBT) 绝缘体上硅 (SOI) 晶体管器件及其制造方法。

[0004] 背景技术

[0005] 图 1 是传统的半导体晶体管器件 10 的剖视图。参照图 1,半导体晶体管器件 10 包括第一 N 型杂质区 1、第二 N 型杂质区 8、第三 N 型杂质区 6、第一 P 型杂质区 5、第二 P 型杂质区 7、第三 P 型杂质区 9、场氧化物结构 2、栅极绝缘体 3 和栅电极 4。

[0006] 第一 N 型杂质区 1、第二 N 型杂质区 8 和第三 N 型杂质区 6 中的每个分别掺杂有相应的 N 型掺杂剂。例如,相应的 N 型掺杂剂可以是氮 (N)、磷 (P)、砷 (As)、锑 (Sb) 或铋 (Bi)。此外,第一 P 型杂质区 5、第二 P 型杂质区 7 和第三 P 型杂质区 9 中的每个分别掺杂有相应的 P 型掺杂剂。例如,相应的 P 型掺杂剂可以是硼 (B)、铝 (Al)、镓 (Ga) 或铟 (In)。

[0007] 场氧化物结构 2 形成在第一 N 型杂质区 1 的表面。栅极绝缘体 3 形成在第一 P 型杂质区 5 和第一 N 型杂质区 1 的暴露部分上。栅极绝缘体 3 形成成为从场氧化物结构 2 延伸到预定的距离。栅极绝缘体 3 可以由氧化硅组成。栅电极 4 形成在栅极绝缘体 3 和场氧化物结构 2 上。例如,栅电极 4 由导电材料 (比如,掺杂的多晶硅) 组成。

[0008] 第一 P 型杂质区 5 形成在第一 N 型杂质区 1 的上部。栅极绝缘体 3 在具有第一 P 型杂质区 5 的半导体材料的表面处与第一 P 型杂质区 5 叠置。第三 N 型杂质区 6 和第二 P 型杂质区 7 相互接触,并形成在第一 P 型杂质区 5 的表面上。此外,栅极绝缘体 3 与第三 N 型杂质区 6 的一部分叠置。

[0009] 这里,第三 N 型杂质区 6 和第二 P 型杂质区 7 被第一 P 型杂质区 5 包围。因此,第一 N 型杂质区 1 和第三 N 型杂质区 6 被第一 P 型杂质区 5 水平地分离。

[0010] 第二 N 型杂质区 8 朝着第一 N 型杂质区 1 的上部形成,从而沿着与第三 N 型杂质区 6 的方向相反的方向从场氧化物结构 2 延伸。第三 P 型杂质区 9 形成在第二 N 型杂质区 8 的表面上。具体地讲,第三 P 型杂质区 9 被第二 N 型杂质区 8 包围。

[0011] 这里,第一 N 型杂质区 1 具有第一掺杂剂浓度,第二 N 型杂质区 8 具有第二掺杂剂浓度,其中,第二掺杂剂浓度基本高于第一掺杂剂浓度。对于图 1 中的半导体晶体管器件 10,第三 N 型杂质区 6 和第二 P 型杂质区 7 形成源极,第三 P 型杂质区 9 形成漏极。

[0012] 图 2 是传统的半导体晶体管器件 10 中的栅极绝缘体 3 和场氧化物结构 2 下方的 N 型掺杂剂的浓度的曲线图。参照图 2,在场氧化物结构 2 下方的第一 N 型杂质区 1 中的 N 型掺杂剂的浓度基本为常量。

[0013] 如图 3 所示,申请人进行了仿真,该仿真示出了当在半导体晶体管器件 10 的源极和漏极之间以及在其栅电极 4 和源极之间施加工作电压时在其中产生了相对大量的空穴的图 1 的剖视图中的区域“A”。其内产生有大量空穴的区域 A 设置在场氧化物结构 2 的下

方,中请人意识到,区域 A 是由场氧化物结构 2 下方的浓度基本为常量的 N 型掺杂剂造成的。

[0014] 当在源极和漏极之间以及在栅电极 4 和源极之间施加工作电压时,在栅极绝缘体 3 下方产生的沟道内流动的电流会在场氧化物结构 2 的下方流动。这里,通过这些电子和原子之间的碰撞产生电子和空穴。由这些碰撞产生的空穴经过第一 P 型杂质区 5 移动到第二 P 型杂质区 7,从而从第一 P 型杂质区 5 去除了空穴。

[0015] 第一 P 型杂质区 5 具有电阻,当相对大量的空穴移动到第二 P 型杂质区 7 时,产生附加电流。这种电流的量与这些空穴的量基本成比例。因相对大量的空穴产生造成的电流增大会劣化半导体晶体管器件 10 的工作能力 (operating capacity)。

[0016] 具体地讲,半导体晶体管器件 10 作为 P-N-P 双极结型晶体管来工作,其中,该 P-N-P 双极结晶体管对应于第一 P 型杂质区 5、第一 N 型杂质区 1 和第二 N 型杂质区 8 及第三 P 型杂质区 9。然而,当产生附加电流时,由第三 N 型杂质区 6、第一 P 型杂质区 5 和第一 N 型杂质区 1 形成的 N-P-N 晶体管会工作。

[0017] N-P-N 晶体管的工作会迅速增大与第一 P 型杂质区 5、第一 N 型杂质区 1 和第二 N 型杂质区 8 及第三 P 型杂质区 9 对应的 P-N-P 晶体管的电流,从而,降低了半导体晶体管器件 10 的击穿电压。因此,当产生相对大的附加电流时,半导体晶体管器件 10 的工作能力劣化。

[0018] 发明内容

[0019] 因此,具有多个掺杂部分的漂移区形成在绝缘结构下方,以使在半导体晶体管器件中形成的空穴最少化。

[0020] 本发明的示例实施例提供上述的半导体晶体管器件。

[0021] 本发明的示例实施例提供一种制造上述半导体晶体管器件的方法。

[0022] 根据本发明的一方面,一种半导体晶体管器件包括漂移区、绝缘结构、栅极绝缘体、栅电极、源极和漏极。漂移区包括具有第一掺杂剂浓度的第一横向部分和具有第二掺杂剂浓度的第二横向部分,其中,第二掺杂剂浓度高于第一横向部分的第一掺杂剂浓度。绝缘结构形成在漂移区上,并设置在第一横向部分和第二横向部分之间的边界的上方。栅极绝缘体形成在第一横向部分的暴露部分上。栅电极形成在绝缘结构的一部分和栅极绝缘体上。源极朝着漂移区的第一横向部分设置。漏极朝着漂移区的第二横向部分设置。漂移区还包括附加 N 型漂移部分,所述附加 N 型漂移部分朝着漏极形成在第二横向部分中。

[0023] 在本发明的示例实施例中,绝缘结构是以第一横向部分和第二横向部分之间的边界为中心的场氧化物结构。

[0024] 在本发明的又一实施例中,第二掺杂剂浓度是第一掺杂剂浓度的至少两倍。例如,第一掺杂剂浓度和第二掺杂剂浓度均是针对相应的 N 型掺杂剂。

[0025] 在本发明的另一实施例中,该半导体晶体管器件还包括设置在第一横向部分下面的 P 型硅层,并包括设置到第一横向部分的源极侧的第一 P 型掺杂区。

[0026] 在本发明的又一实施例中,该半导体晶体管器件还包括第二 P 型掺杂区、N 型掺杂源极区和第三 P 型掺杂区。第二 P 型掺杂区设置在第一 P 型掺杂区的上面,并设置到第一横向部分的源极侧。N 型掺杂源极区形成在第二 P 型掺杂区中,并设置到第一横向部分的源极侧。第三 P 型掺杂区形成在第二 P 型掺杂区中,并设置到 N 型掺杂源极区的侧面。N 型掺

杂源极区和第三 P 型掺杂区形成半导体晶体管器件的源极。

[0027] 在本发明的另一实施例中,栅极绝缘体和栅电极延伸成设置在 N 型掺杂源极区的一部分和第二 P 型掺杂区的上方。可选择地,栅极绝缘体和栅电极延伸成设置在第二 P 型掺杂区的一部分的上方。

[0028] 在本发明的又一实施例中,该半导体晶体管器件还包括第一 N 型掺杂区,该第一 N 型掺杂区设置在漂移区的第二横向部分的下面。第一 N 型掺杂区的相应的掺杂剂浓度低于第二横向部分的第二掺杂剂浓度。

[0029] 此外,该半导体晶体管器件还包括 P 型掺杂漏极区,该 P 型掺杂漏极区形成在附加 N 型漂移部分中。P 型掺杂漏极区形成半导体晶体管器件的漏极。附加 N 型漂移部分的相应的 N 型掺杂剂浓度高于第二横向部分的第二掺杂剂浓度。例如,从相邻的第二横向部分到相邻的 P 型掺杂漏极区,附加 N 型漂移部分的相应的 N 型掺杂剂浓度升高。

[0030] 在本发明的另一实施例中,该半导体晶体管器件还包括绝缘层,该绝缘层设置在 P 型硅层的下面,从而半导体晶体管器件为 SOI(绝缘体上硅)器件。另外,绝缘层设置在半导体基底上。因此,在本发明的实施例中,半导体晶体管器件为横向绝缘栅双极过渡式(LIGBT)绝缘体上硅(SOI)器件。

[0031] 根据本发明的另一方面,提供了一种制造半导体晶体管器件的方法。在制造半导体晶体管器件的方法中,在基底中形成漂移区。漂移区包括具有第一掺杂剂浓度的第一横向部分和具有第二掺杂剂浓度的第二横向部分,其中,第二掺杂剂浓度高于第一横向部分的第一掺杂剂浓度。在漂移区上形成绝缘结构。绝缘结构设置在第一横向部分和第二横向部分之间的边界的上方。形成漂移区的附加漂移部分。附加漂移部分具有比第二横向部分的第二掺杂剂浓度高的第三掺杂剂浓度。附加漂移部分通过第二横向部分与第一横向部分横向分离。在第一横向部分的暴露部分上形成栅极绝缘体。在绝缘结构的一部分和栅极绝缘体上形成栅电极。将源极形成成为朝着漂移区的第一横向部分设置。将漏极形成成为朝着漂移区的第二横向部分设置,所述漏极设置在附加漂移部分中。

[0032] 根据本发明的又一方面,提供了一种制造半导体晶体管器件的方法。在制造半导体晶体管器件的方法中,在硅层形成第一 N 型掺杂区,使得第一 N 型掺杂区从硅层的表面延伸到预定的深度。第一 N 型掺杂区具有第一 N 型掺杂剂浓度。在硅层内部形成第一 P 型掺杂区。第一 P 型掺杂区与第一 N 型掺杂区横向分离。将 N 型掺杂剂掺杂到硅层的整个表面中,以形成漂移区,所述漂移区包括具有第二 N 型掺杂剂浓度的第一横向部分和具有第三 N 型掺杂剂浓度的第二横向部分,第三 N 型掺杂剂浓度高于第一横向部分的第二 N 型掺杂剂浓度。第一横向部分形成在硅层的没有形成第一 P 型掺杂区的部分,使得第一横向部分与第一 P 型掺杂区接触。第二横向部分形成在第一 N 型掺杂区的上部分。在硅层的表面的第一横向部分和第二横向部分相互接触的部分形成场氧化物结构。在第二横向部分的没有覆盖有场氧化物结构的部分形成附加 N 型漂移区。附加 N 型漂移区具有大大高于第三 N 型掺杂剂浓度的第四 N 型掺杂剂浓度。形成包括栅极绝缘体和栅电极的栅极结构。栅极绝缘体形成在第一横向部分上,使得栅极绝缘体从场氧化物结构延伸到预定的深度。栅电极形成在场氧化物结构的一部分和栅极绝缘体上。在第一横向部分的没有覆盖有栅极结构的部分形成第二 P 型掺杂区,使得第二 P 型掺杂区与第一 P 型掺杂区接触。在第二 P 型掺杂区的暴露表面的与栅极结构接触的部分形成 N 型掺杂源极区。形成第三 P 型掺杂区和 P 型掺杂

漏极区。第三 P 型掺杂区形成在第二 P 型掺杂区的暴露表面的与 N 型掺杂源极区接触的部分。P 型掺杂漏极区形成在附加 N 型漂移区的暴露表面。

[0033] 以这种方式,由于漂移区的被不同掺杂的第一横向部分和第二横向部分,使空穴在绝缘结构下方的漂移区中被最少化。因此,使由空穴的形成带来的寄生电流最小化,从而不会使半导体晶体管器件的工作能力劣化。

[0034] 附图说明

[0035] 当参照附图来详细描述本发明的示例性实施例时,本发明的上述和其它特征及特点将变得更加清楚,在附图中:

[0036] 图 1 是传统的半导体晶体管器件的剖视图;

[0037] 图 2 是在包括在图 1 的传统半导体晶体管器件中的栅极绝缘体和场氧化物结构下方测量的 N 型掺杂剂的浓度的曲线图;

[0038] 图 3 示出了根据现有技术的在场氧化物结构下方形成的具有高浓度空穴的区域的图 1 的剖视图;

[0039] 图 4 是根据本发明实施例的半导体晶体管器件的剖视图;

[0040] 图 5、图 6、图 7、图 8、图 9、图 10 和图 11 是示出了根据本发明实施例的在图 4 的半导体晶体管器件的制造方法中的步骤的剖视图;

[0041] 图 12 是根据本发明实施例的在图 4 或图 11 的半导体晶体管器件中的栅极绝缘体和绝缘结构下方测量的 N 型掺杂剂的浓度的曲线图;

[0042] 图 13 示出了根据本发明实施例的在绝缘结构下方形成的具有浓度减小的空穴的区域的图 4 或图 11 中的半导体晶体管器件的剖视图;

[0043] 图 14 是根据本发明的可选择的实施例的半导体晶体管器件的剖视图。

[0044] 在这里参照的附图是为了示例说明的清晰起见而绘制的,而不一定是按比例绘制的。图 1、图 2、图 3、图 4、图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13 和图 14 中具有相同标号的元件表示具有相似结构和 / 或功能的元件。

[0045] 具体实施方式

[0046] 现在,在下文中参照附图来更充分地描述本发明,在附图中示出了本发明的示例性实施例。然而,本发明可以以不同的形式来实施,而不应该被理解为局限于在这里阐述的实施例。相反,提供这些实施例使得本公开将是彻底且完全的,并将把本发明的范围充分地传达给本领域的技术人员。

[0047] 应该理解,当元件或层被称作“在”另一元件或层“上”、“连接到”和 / 或“结合到”另一元件或层时,该元件或层可直接在另一元件或层上、直接连接到和 / 或直接结合到另一元件或层,或者可存在中间元件或中间层。相反,当元件或层被称作“直接在”另一元件或层“上”、“直接连接到”和 / 或“直接结合到”另一元件或层时,不存在中间元件或中间层。

[0048] 还应该理解,尽管在这里会使用术语“第一”、“第二”等来描述不同的元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分不应被这些术语所限制。相反,使用这些术语仅仅是为了便于将一个元件、组件、区域、层和 / 或部分与另一元件、组件、区域、层和 / 或部分区别开来。例如,在不脱离本发明教导的情况下,第一元件、组件、区域、层和 / 或部分可被称为第二元件、组件、区域、层和 / 或部分。

[0049] 为了描述例如在附图中示出的一个元件和 / 或特征与其它元件和 / 或特征的关

系,在这里可使用诸如“在...之下”、“在...下面”、“下面的”、“在...上面”、“上面的”等空间相对术语。应该理解,空间相对术语意在包含除了附图中描述的方位之外的装置在使用和/或操作中的不同方位。例如,当将附图中的装置翻转时,则被描述为在其它元件或特征下面和/或之下的元件将随后位于其它元件或特征的上部。该装置可被另外定位(旋转90度或在其它方位)并相应地解释这里使用的空间相对描述符。

[0050] 这里所用的术语只是出于描述具体实施例的目的,而不意图来限制本发明。如这里所用的,除非上下文另外明确地指明,否则单数形式也意图包括复数形式。还应该理解,术语“包括”说明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在和/或添加一个或多个其它特征、整体、步骤、操作、元件、组件和/或它们的组。

[0051] 如这里所使用的,表达方式“至少一个”、“一个或多个”和“和/或”是在操作中的合取和析取的开放式表达方式。例如,表达方式“A、B和C中的至少一个”、“A、B或C中的至少一个”、“A、B和C中的一个或多个”、“A、B或C中的一个或多个”以及“A、B和/C”中的每个包括如下含义:只有A;只有B;只有C;同时有A和B两个;同时有A和C两个;同时有B和C两个;同时有A、B和C所有这三个。此外,除非用术语“由...组成”表示的它们的组合相反地明确指明,否则这些表达方式是开放式的。例如,表达方式“A、B和C中的至少一个”还可包括第四构件,而表达方式“从由A、B和C组成的组中选择的至少一个”并不包括第四构件。

[0052] 例如,表达方式“A、B或C”包括:只有A;只有B;只有C;同时有A和B两个;同时有A和C两个;同时有B和C两个;同时有A、B和C所有这三个。而表达方式“A、B和C中的任一个”是指只有A、只有B、只有C,而不是指同时有A和B两个、同时有A和C两个、同时有B和C两个、同时有A、B和C所有这三个。

[0053] 除非另有定义,否则这里所用的所有术语(包括技术和科学术语)具有与本领域的普通技术人员所通常理解的意思相同的意思。还应该理解,除非这里明确定义,否则术语(例如在通用的词典中定义的术语)应被解释为具有与相关领域和该说明书的环境中它们的意思相一致的意思,而将不以理想的或过于正式的含义来解释它们的意思。

[0054] 可在这里参照剖视图来描述本发明的实施例,剖视图是本发明的理想化实施例的示意性图示。这样,预计会出现例如由制造技术和/或公差引起的示例的形状变化。因此,本发明的实施例不应被理解为局限于这里图示的区域的特定形状,而是包括例如由制造所造成的形状上的偏差。例如,示出为矩形的区域可具有倒圆的特征或弯曲的特征。因而,附图中示出的区域实质上是示意性的,并不意图限制本发明的范围。相同的标号始终表示相同的元件。

[0055] 图4是根据本发明实施例的半导体晶体管器件100的剖视图。参照图4,半导体晶体管器件100包括漂移区,该漂移区由均掺杂有N型掺杂剂的第一横向部分107和第二横向部分108组成。

[0056] 半导体晶体管器件100形成在绝缘体上硅(SOI)基底101上,该SOI基底101包括在氧化硅层101b上形成的P型掺杂的硅层101c。氧化硅层101b形成在P型掺杂的半导体基底(例如,硅基底101a)上。硅层101c在第一横向部分107下面与第一横向部分107毗邻。

[0057] 此外,半导体晶体管器件100还包括第一P型掺杂区109,该第一P型掺杂区109设

置到第一横向部分 107 的源极侧 107b (即,在图 4 中朝着第一横向部分 107 的左侧设置)。这里,第一 P 型掺杂区 109 的相应的底部边界基本低于第一横向部分 107 的相应的底部边界。此外,第一 P 型掺杂区 109 的相应的上边界基本高于第一横向部分 107 的相应的底部边界。

[0058] 半导体晶体管器件 100 还包括第二 P 型掺杂区 114,该第二 P 型掺杂区 114 设置在第一 P 型掺杂区 109 的上面,并设置到第一横向部分 107 的源极侧。另外,半导体晶体管器件 100 还包括在第二 P 型掺杂区 114 内形成的 N 型掺杂源极区 115。

[0059] 半导体晶体管器件 100 还包括第三 P 型掺杂区 116,该第三 P 型掺杂区 116 形成在第二 P 型掺杂区 114 内,并形成到 N 型掺杂源极区 115 的侧面。第三 P 型掺杂区 116 与 N 型掺杂源极区 115 接触。第三 P 型掺杂区 116 和 N 型掺杂源极区 115 被第二 P 型掺杂区 114 包围。

[0060] N 型掺杂源极区 115 和第一横向部分 107 通过第二 P 型掺杂区 114 相互横向分离。N 型掺杂源极区 115 和第一 P 型掺杂区 109 通过第二 P 型掺杂区 114 相互纵向分离。第三 P 型掺杂区 116 和第一 P 型掺杂区 109 通过第二 P 型掺杂区 114 相互纵向分离。

[0061] 半导体晶体管器件 100 还包括第一 N 型掺杂区 103,该第一 N 型掺杂区 103 设置在漂移区的第二横向部分 108 的下面。第一 N 型掺杂区 103 与漂移区的第二横向部分 108 接触。另外,附加 N 型漂移部分 111 形成为被第二横向部分 108 包围,并且附加 N 型漂移部分 111 从绝缘结构 110 延伸。

[0062] 此外,P 型掺杂漏极区 117 形成为在附加 N 型漂移部分 111 的表面被附加 N 型漂移部分 111 包围。第一 N 型掺杂区 103 和附加 N 型漂移部分 111 通过第二横向部分 108 相互分离。

[0063] 此外,半导体晶体管器件 100 还包括在漂移区上形成的绝缘结构 110。绝缘结构 110 是例如形成为与漂移区的第一横向部分 107 和第二横向部分 108 之间的边界 107a 毗邻的氧化硅的场氧化物结构。例如,场氧化物结构 110 形成为以第一横向部分 107 和第二横向部分 108 之间的边界为中心。

[0064] 此外,半导体晶体管器件 100 还包括栅极绝缘体 112,栅极绝缘体 112 可由形成在第一横向部分 107 的暴露部分上的氧化硅组成。这样的暴露部分从绝缘结构 110 向第一横向部分 107 的源极侧 107b 延伸。此外,在图 4 的示例中,栅极绝缘体 112 还形成在第二 P 型掺杂区 114 的一部分上。例如在栅极绝缘体 112 上和绝缘结构 110 的一部分上还形成由导电材料 (例如,掺杂的多晶硅) 组成的栅电极 113。

[0065] 在本发明的可选择的实施例中,栅极绝缘体 112 和栅电极 113 可形成为延伸得更远。在那种情况下,栅极绝缘体 112 和栅电极 113 将会形成为在 N 型掺杂源极区 115 的一部分的上方延伸 (例如,如图 14 中所示)。

[0066] 对于图 4 中的这种结构,在本发明的实施例中,半导体晶体管器件 100 为横向绝缘栅双极过渡式 (LIGBT) 绝缘体上硅 (SOI) 器件。N 型掺杂源极区 115 和第三 P 型掺杂区 116 形成半导体晶体管器件 100 的源极。P 型掺杂漏极区 117 形成半导体晶体管器件 100 的漏极。栅电极 113 形成半导体晶体管器件 100 的栅极。

[0067] 在本发明的实施例中,第一横向部分 107 具有第一掺杂剂浓度,第二横向部分 108 具有第二掺杂剂浓度,其中,第二掺杂剂浓度明显高于第一掺杂剂浓度。例如,第二横向部

分 108 的第二掺杂剂浓度是第一横向部分 107 的第一掺杂剂浓度的至少两倍。

[0068] 此外,第一 N 型掺杂区 103 具有相应的 N 型掺杂剂浓度,该 N 型掺杂剂浓度也明显低于第二横向部分 108 的第二掺杂剂浓度。例如,第二横向部分 108 的第二掺杂剂浓度是第一 N 型掺杂区 103 的相应的 N 型掺杂剂浓度的至少两倍。

[0069] 此外,附加 N 型漂移部分 111 具有相应的 N 型掺杂剂浓度,该 N 型掺杂剂浓度明显高于第二横向部分 108 的第二掺杂剂浓度。例如,附加 N 型漂移部分 111 的相应的 N 型掺杂剂浓度是第二横向部分 108 的第二掺杂剂浓度的至少两倍。

[0070] 在本发明的示例实施例中,用于区域 103、107、108、111 和 115 中的每个的相应的 N 型掺杂剂可以是氮 (N)、磷 (P)、砷 (As)、锑 (Sb) 或铋 (Bi)。在本发明的实施例中,用于区域 101a、101c、109、114、116 和 117 中的每个的相应的 P 型掺杂剂可以是硼 (B)、铝 (Al)、镓 (Ga) 或铟 (In)。

[0071] 通过将 P 型掺杂剂掺杂到硅层 101c 中来形成 P 型区 109、114、116 和 117。通过将 N 型掺杂剂掺杂到硅层 101c 中来形成 N 型区 103、107、108、111 和 115。第一横向部分 107 和第二横向部分 108 从硅层 101c 的表面延伸到基本相同的深度。

[0072] 第一横向部分 107、第二横向部分 108 和附加 N 型漂移部分 111 形成漂移区,在该漂移区中,形成半导体晶体管器件 100 的沟道。从第一横向部分 107、经过第二横向部分 108、经过附加 N 型漂移部分 111 到 P 型掺杂漏极区 117 的边界, N 型掺杂剂浓度升高。

[0073] 图 5、图 6、图 7、图 8、图 9、图 10 和图 11 是示出了根据本发明实施例的在图 4 的半导体晶体管器件 100 的制造过程中的步骤的剖视图。

[0074] 参照图 5,绝缘体上硅 (SOI) 基底 101 包括连续堆叠的半导体基底 101a (例如,硅基底)、绝缘层 101b (例如,氧化硅层) 和半导体层 101c (例如,硅层)。这里,例如,硅基底 101a 和硅层 101c 均可已经掺杂有 P 型掺杂剂,该 P 型掺杂剂例如为硼 (B)、铝 (Al)、镓 (Ga) 或铟 (In) 中的相应的一种。

[0075] 再参照图 5,用 N 型掺杂剂掺杂硅层 101c 的一部分,以形成具有相应的 N 型掺杂剂浓度的第一 N 型掺杂区 103。例如,这种 N 型掺杂剂可以是氮 (N)、磷 (P)、砷 (As)、锑 (Sb) 或铋 (Bi)。这里,第一 N 型掺杂区 103 从硅层 101c 的表面延伸到预定的深度。

[0076] 参照图 5 和图 6,利用相对高的注入将 P 型掺杂剂注入到硅层 101c 的另一部分,以在硅层 101c 的表面的下面形成初步的第一 P 型掺杂区 104。这里,初步的第一 P 型掺杂区 104 与第一 N 型掺杂区 103 横向分离。

[0077] 参照图 6 和图 7,将 N 型掺杂剂注入到硅层 101c 的表面中。因此,在硅层 101c 的没有形成第一 N 型掺杂区 103 的表面部分形成初步的第一横向部分 105。此外,在硅层 101c 的形成第一 N 型掺杂区 103 的表面部分形成初步的第二横向部分 106。

[0078] 参照图 7 和图 8,对硅基底 101c 执行热处理工艺。因此,初步的第一横向部分 105 和初步的第二横向部分 106 分别通过 N 型掺杂剂的热扩散转变成漂移区的第一横向部分 107 和第二横向部分 108。

[0079] 因为用同一注入工艺和热处理工艺形成初步的第一横向部分 105 和初步的第二横向部分 106,所以第一横向部分 107 和第二横向部分 108 离硅层 101c 的表面具有基本相同的深度。此外,由于热扩散,使第一横向部分 107 和第二横向部分 108 离硅层 101c 的表面的深度比初步的第一横向部分 105 和初步的第二横向部分 106 离硅层 101c 的表面的深

度低。

[0080] 再参照图 7 和图 8, 初步的第一 P 型掺杂区 104 通过热扩散转变成第一 P 型掺杂区 109。因此, 第一 P 型掺杂区 109 的体积从初步的第一 P 型掺杂区 104 进行大的膨胀。在图 8 的示例中, 第一横向部分 107 和第一 P 型掺杂区 109 相互接触。

[0081] 第一横向部分 107 具有第一掺杂剂浓度, 第二横向部分 108 具有第二掺杂剂浓度。在本发明的示例实施例中, 因为通过将附加 N 型掺杂剂注入到已有的第一 N 型掺杂区 103 来形成第二横向部分 108, 所以第二横向部分 108 的第二掺杂剂浓度基本高于第一横向部分 107 的第一掺杂剂浓度 (例如, 第二横向部分 108 的第二掺杂剂浓度与第一横向部分 107 的第一掺杂剂浓度的至少两倍一样大)。此外, 第二横向部分 108 的第二掺杂剂浓度基本高于第一 N 型掺杂区 103 的相应的 N 型掺杂剂浓度 (例如, 第二横向部分 108 的第二掺杂剂浓度与第一 N 型掺杂区 103 的相应的 N 型掺杂剂浓度的至少两倍一样大)。

[0082] 再参照图 8, 在硅层 101c 的表面的第一横向部分 107 和第二横向部分 108 相互毗邻的部分形成绝缘结构 110 (例如, 场氧化物结构)。例如, 场氧化物结构 110 以第一横向部分 107 和第二横向部分 108 之间的边界为中心。在本发明的示例实施例中, 通过热氧化工艺形成场氧化物结构 110。

[0083] 再参照图 8, 在形成场氧化物结构 110 之后, 进一步将 N 型掺杂剂注入到第二横向部分 108 的暴露部分, 用于形成附加 N 型漂移部分 111。因此, 附加 N 型漂移部分 111 具有相应的 N 型掺杂剂浓度, 该 N 型掺杂剂浓度基本高于第二横向部分 108 的第二掺杂剂浓度 (例如, 该 N 型掺杂剂浓度与第二横向部分 108 的第二掺杂剂浓度的至少两倍一样大)。

[0084] 附加 N 型漂移部分 111 形成在第二横向部分 108 的上部, 并且被第二横向部分 108 包围。此外, 附加 N 型漂移部分 111 通过第二横向部分 108 与第一横向部分 107 横向分离。

[0085] 这里, 第一横向部分 107、第二横向部分 108 和附加 N 型漂移部分 111 形成半导体晶体管器件 100 的形成沟道的漂移区。此外, 从第一横向部分 107 到第二横向部分 108 的过渡以及从第二横向部分 108 到附加 N 型漂移部分 111 的过渡, 相应的 N 型掺杂剂浓度增大至少两倍。

[0086] 参照图 8 和图 9, 在附加 N 型漂移部分 111 和第一横向部分 107 的暴露部分上形成栅极绝缘层 (未示出)。例如, 通过热氧化工艺形成栅极绝缘层。然后, 将栅电极层毯覆式沉积 (blanket deposit) 在栅极绝缘层和绝缘结构 110 上。在本发明的实施例中, 栅电极由导电材料 (例如, 掺杂的多晶硅) 组成。

[0087] 然后, 如图 9 所示, 将栅电极层和栅极绝缘层图案化, 以形成栅极绝缘体 112 和栅电极 113。参照图 9, 栅极绝缘体 112 在第一横向部分 107 上从绝缘结构 110 延伸到预定的距离。栅电极 113 设置在绝缘结构 110 的一部分和栅极绝缘体 112 上。

[0088] 参照图 9 和图 10, 将 P 型掺杂剂注入到第一横向部分 107 的暴露部分中, 以形成第二 P 型掺杂区 114。然后, 通过随后的热处理工艺使第二 P 型掺杂区 114 膨胀从而与第一 P 型掺杂区 109 毗邻。此外, 在这种热处理工艺中, 使第二 P 型掺杂区 114 膨胀以延伸到栅极绝缘体 112 下方。

[0089] 参照图 11, 将 N 型掺杂剂注入到第二 P 型掺杂区 114 的与栅极绝缘体 112 相邻的部分中, 以形成 N 型掺杂源极区 115。在本发明的可选择的实施例中, 如果执行任一随后的热处理工艺, 则 N 型掺杂源极区 115 延伸到栅极绝缘体 112 下方 (例如, 如图 14 所示)。在

图 11 的示例中, N 型掺杂源极区 115 和第一横向部分 107 通过第二 P 型掺杂区 114 相互横向分离。

[0090] 再参照图 11, 然后, 将 P 型掺杂剂注入到第二 P 型掺杂区 114 的与 N 型掺杂源极区 115 紧邻的部分中, 以形成与 N 型掺杂源极区 115 接触的第三 P 型掺杂区 116。此外, P 型掺杂剂向附加 N 型漂移部分 111 中的这种注入形成 P 型掺杂漏极区 117。区域 115、116 和 117 形成在硅层 101c 的表面上。

[0091] 图 11 示出了图 4 的半导体晶体管器件 100 的结构。第三 P 型掺杂区 116 和 N 型掺杂源极区 115 形成半导体晶体管器件 100 的源极。P 型掺杂漏极区 117 形成半导体晶体管器件 100 的漏极。

[0092] 图 12 是在图 11 中从 N 型掺杂源极区 115 到附加 N 型漂移部分 111 横向测量的各自的 N 型掺杂剂的浓度的曲线图。参照图 12, N 型掺杂源极区 115 (在图 12 中标示为第五 N 型杂质区) 的相应的 N 型掺杂剂浓度开始较高。然后, 第二 P 型杂质区 114 (在图 12 中标示为第二 P 型杂质区) 的相应的 N 型掺杂剂浓度下降。

[0093] 再参照图 12, 在栅极绝缘体 112 下方和场氧化物结构 110 的左部下方的第一横向部分 107 (在图 12 中标示为第二 N 型杂质区) 的相应的 N 型掺杂剂浓度升高到第一掺杂剂浓度。此外, 在场氧化物结构 110 右部下方的第二横向部分 108 (在图 12 中标示为第三 N 型杂质区) 的相应的 N 型掺杂剂浓度进一步升高到第二掺杂剂浓度, 其中, 第二掺杂剂浓度是第一横向部分 107 的第一掺杂剂浓度的至少两倍。

[0094] 此外, 在场氧化物结构 110 的再向右部分的下方的附加 N 型漂移部分 111 (在图 12 中标示为第四 N 型杂质区) 的相应的 N 型掺杂剂浓度进一步升高到第二横向部分 108 的第二掺杂剂浓度的至少两倍。在本发明的实施例中, 从相邻的第二横向部分 108 到相邻的 P 型掺杂漏极区 117, 穿过附加 N 型漂移部分 111 的相应的 N 型掺杂剂浓度升高。

[0095] 对于这种横向穿过区域 107、108 和 111 的相应的 N 型掺杂剂浓度的升高, 当在半导体晶体管器件 100 的源极和漏极之间以及在栅电极 113 和源极之间施加工作电压时, 在第二横向部分 108 中设置在场氧化物结构 110 下方的在图 13 中标示为“B”的区域产生的空穴的量比现有技术的在图 3 中标示为“A”的区域产生的空穴的量少。通过在半导体晶体管器件 100 的源极和漏极之间以及在栅电极 113 和源极之间施加工作电压时, 对半导体晶体管器件 100 进行仿真来证实这种在图 13 中标示为“B”的区域的空穴的减少。

[0096] 因此, 会利于减小当空穴移动到第三 P 型掺杂区 116 然后从第三 P 型掺杂区 116 去除空穴时产生的寄生电流。因此, 可增大半导体晶体管器件 100 的击穿电压, 以用于半导体晶体管器件 100 的较高的工作能力。

[0097] 上文是对本发明的示例说明, 并不被解释为来限制本发明。虽然已经描述了本发明的几个实施例, 但是本领域的技术人员应该容易理解, 在实质上不脱离本发明的新颖性教导和优点的情况下, 能够在实施例中进行许多修改。

[0098] 因此, 所有这些修改意图被包括在如权利要求所限定的本发明的范围内。因此, 要明白, 上文是对本发明的示例说明, 并不被解释为来限制所公开的特定实施例, 对所公开的实施例的修改以及其它实施例意图被包括在权利要求书的范围内。本发明由权利要求及其所包括的权利要求的等同物来限定。

10

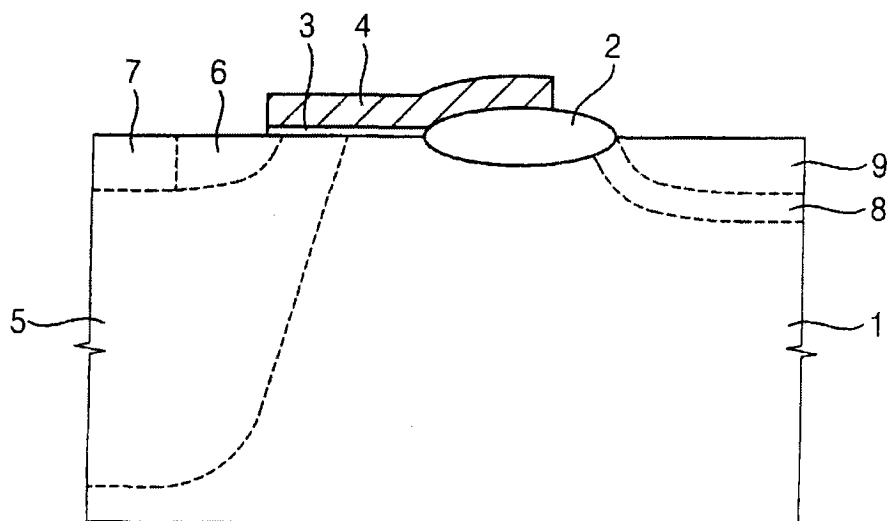


图1

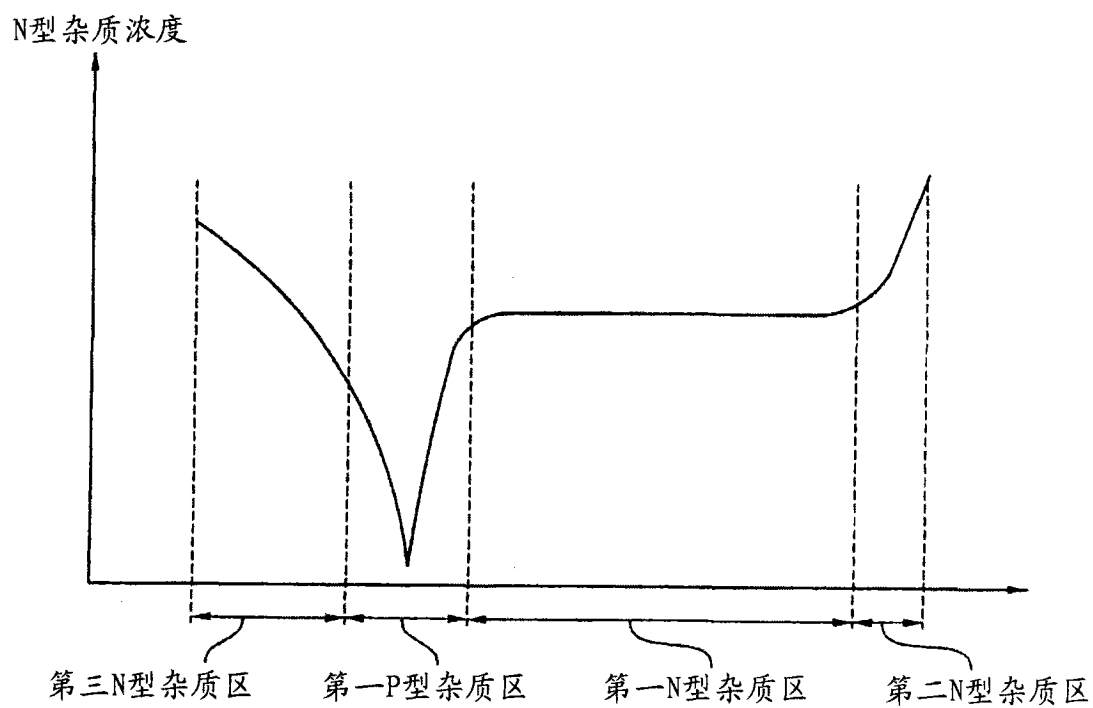


图2

10

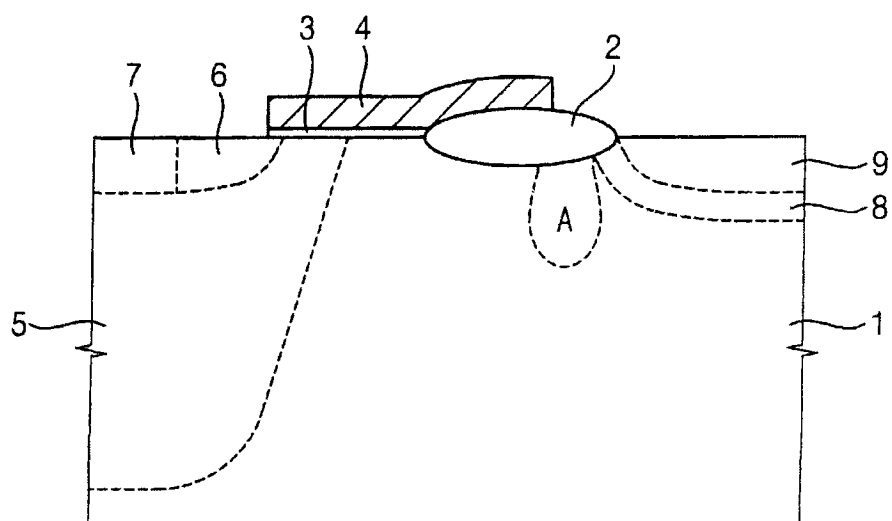


图 3

100

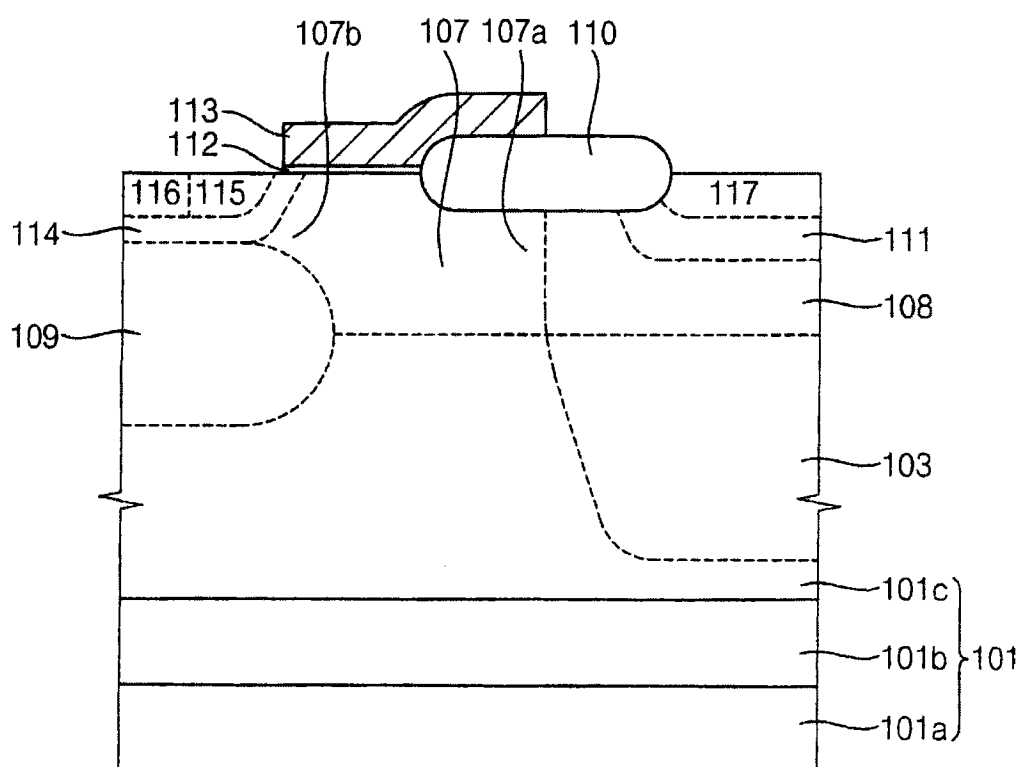


图 4

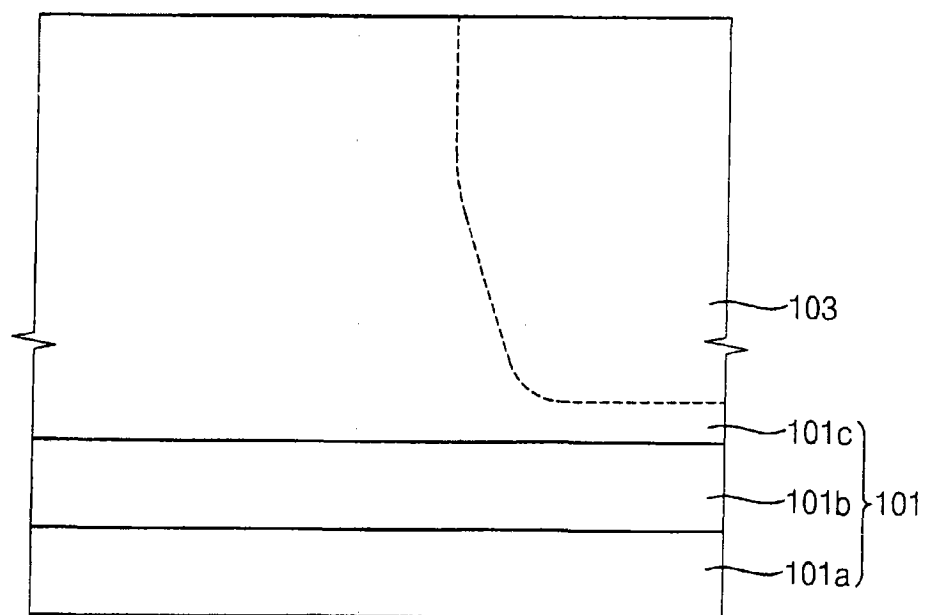


图5

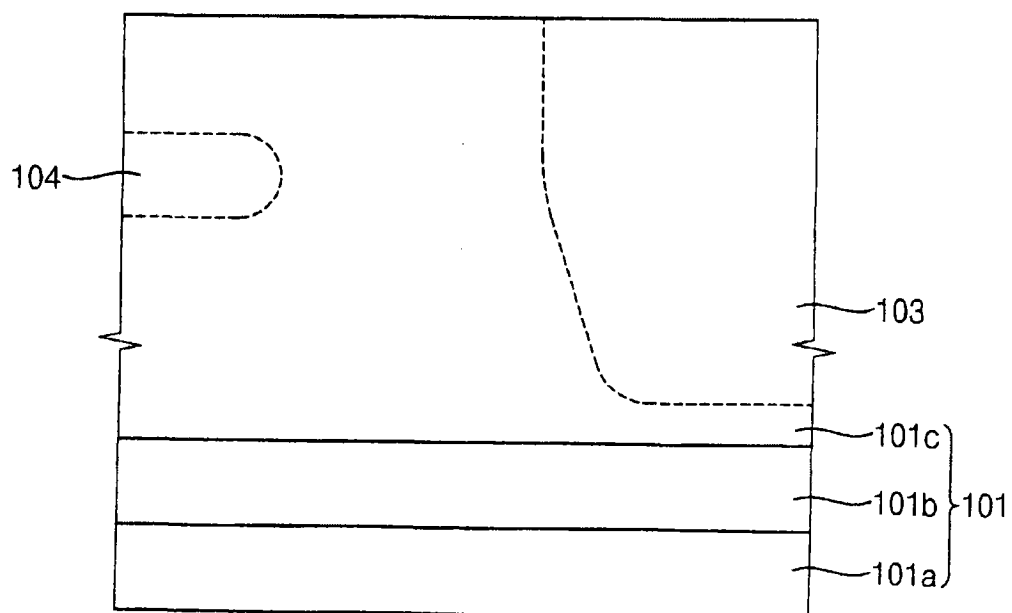


图6

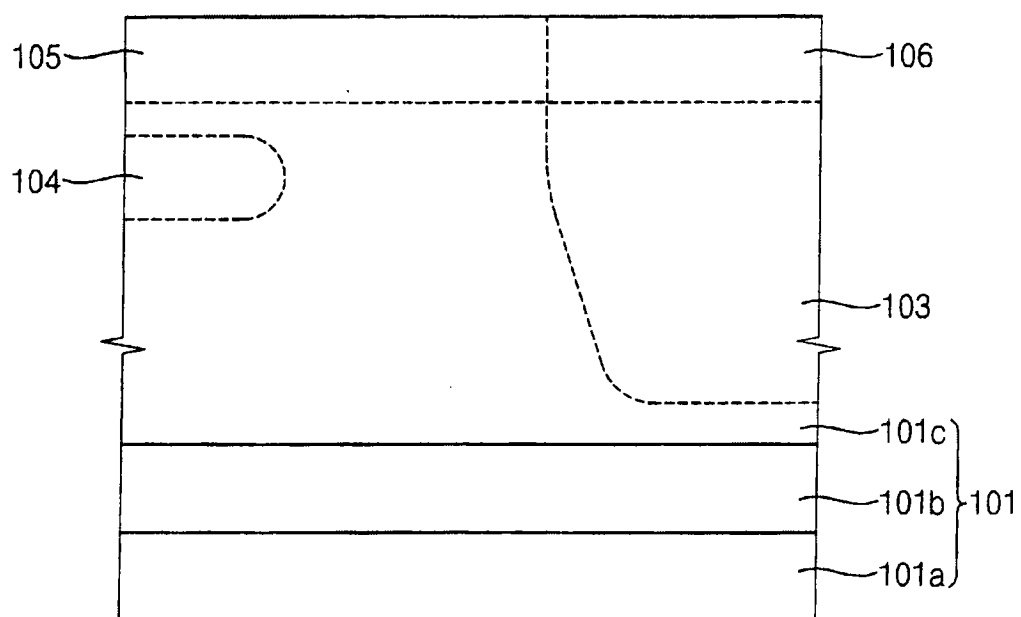


图7

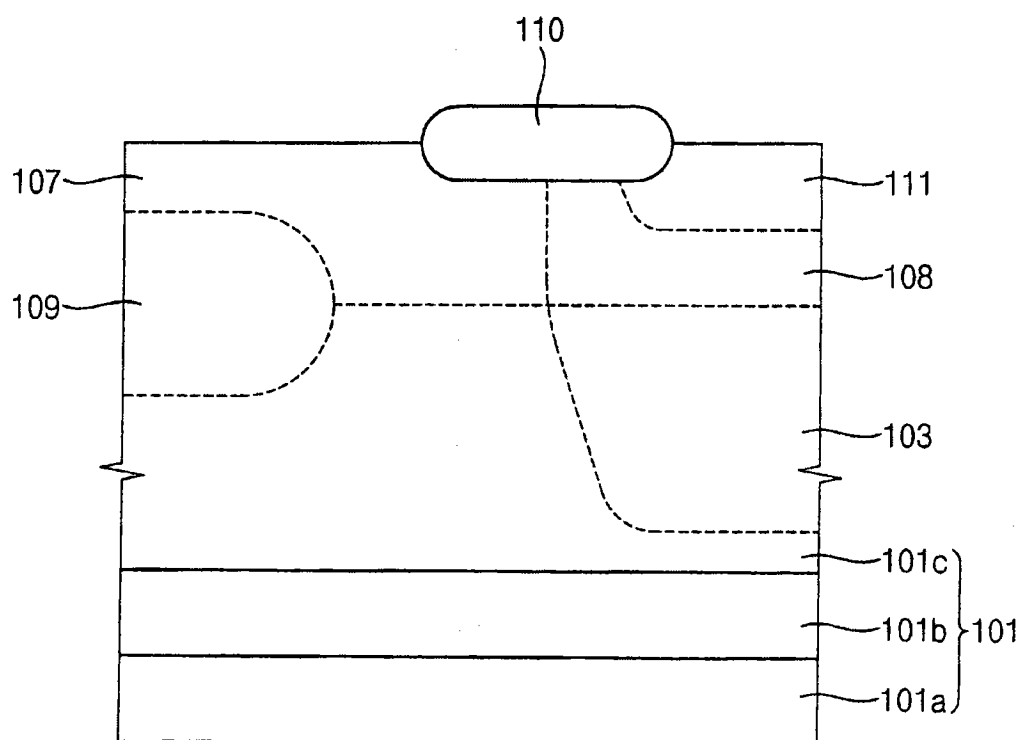


图 8

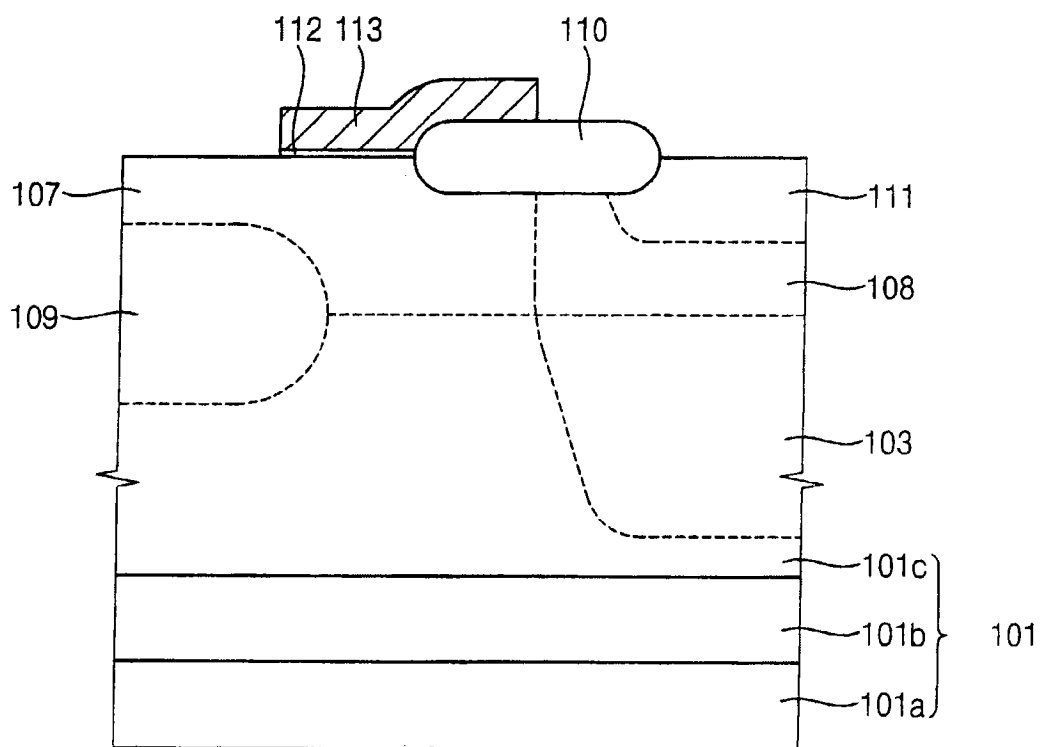


图9

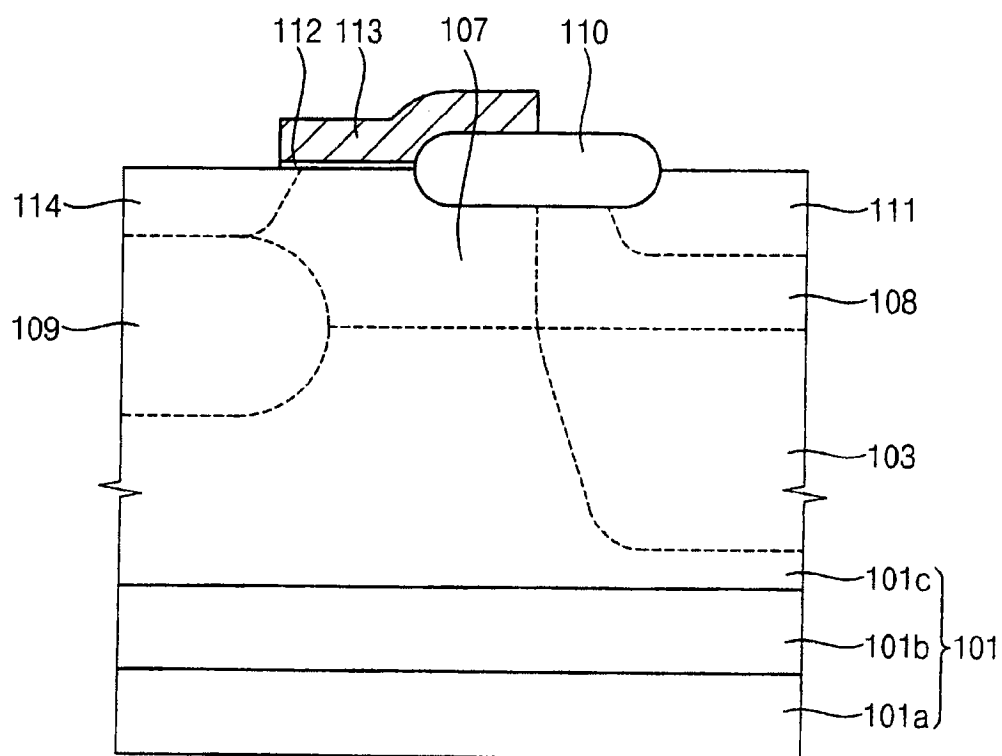


图10

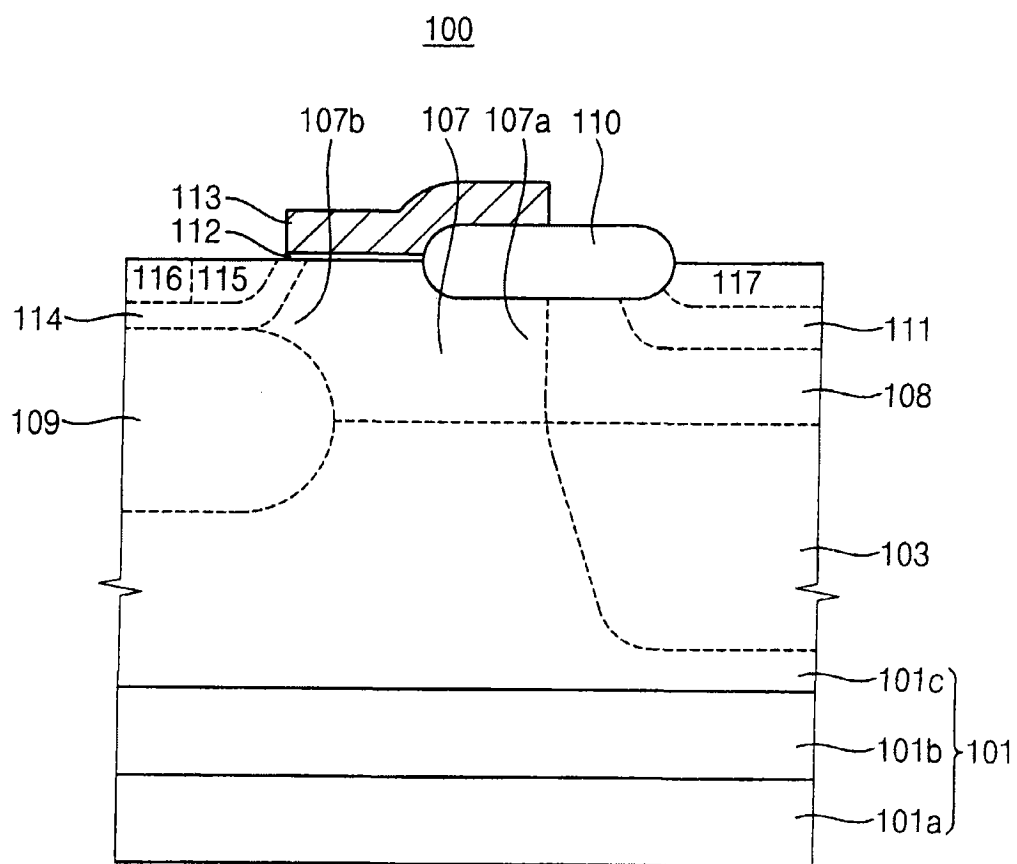


图11

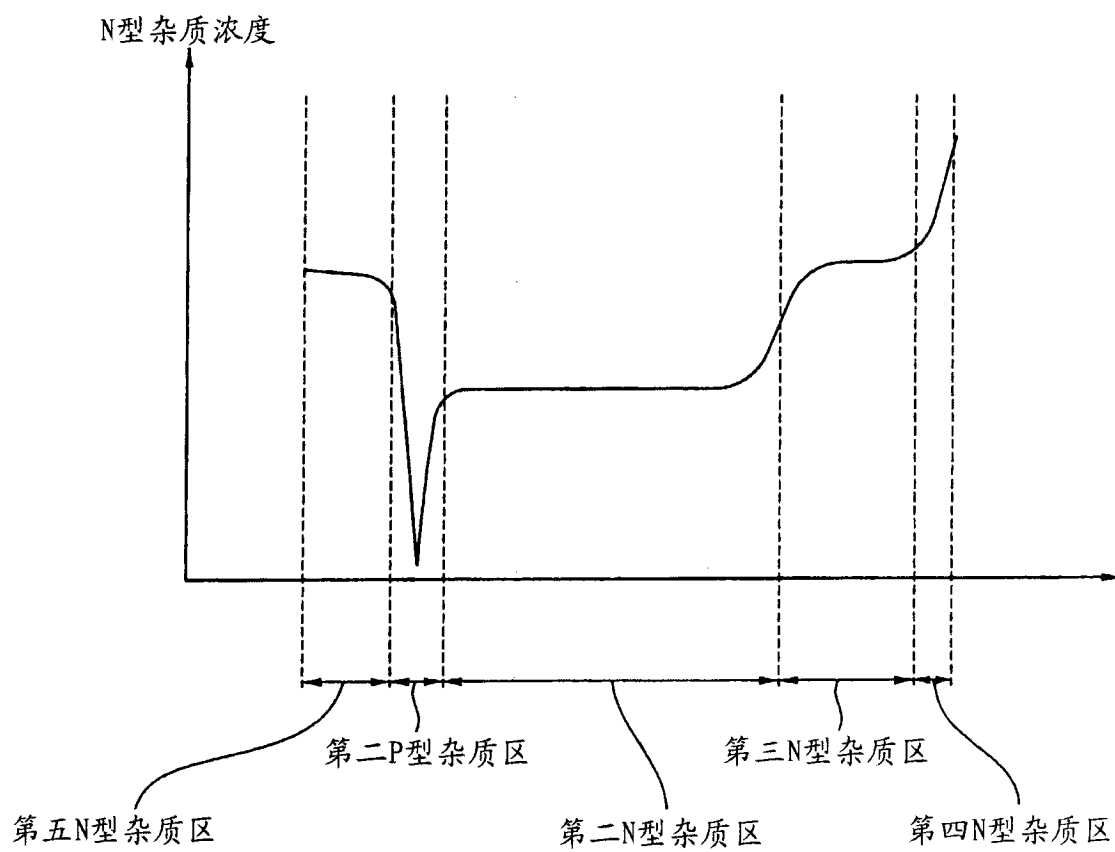


图12

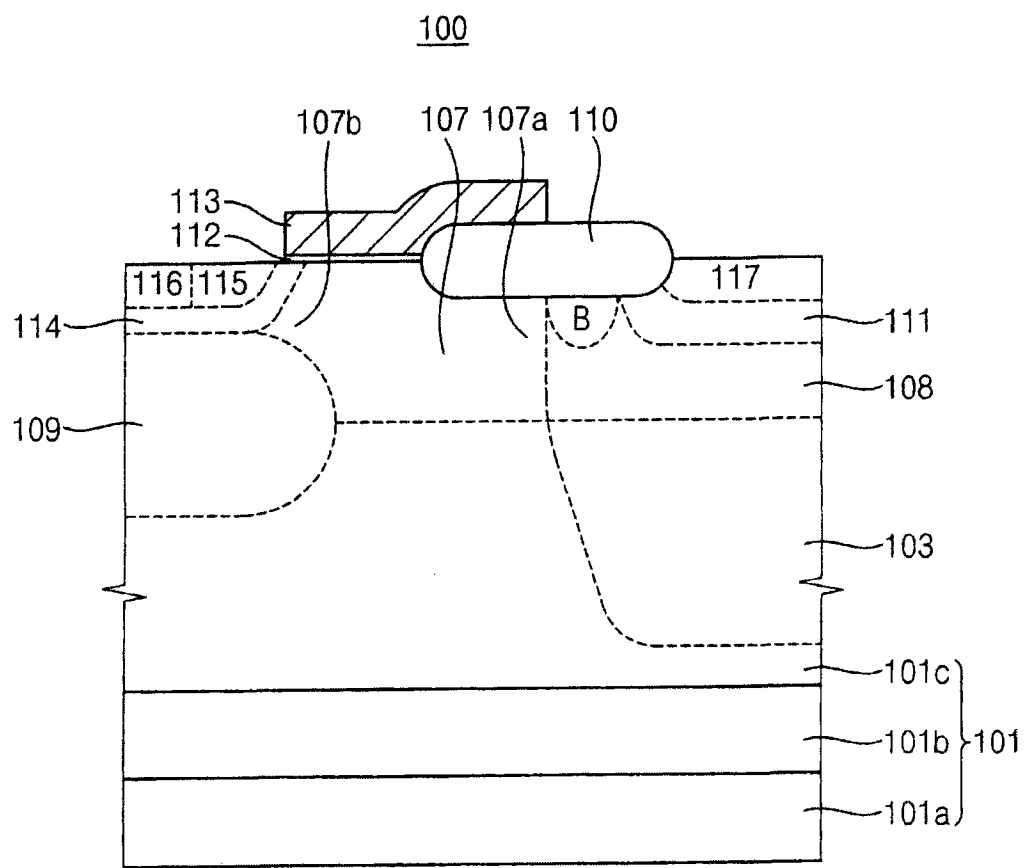


图13

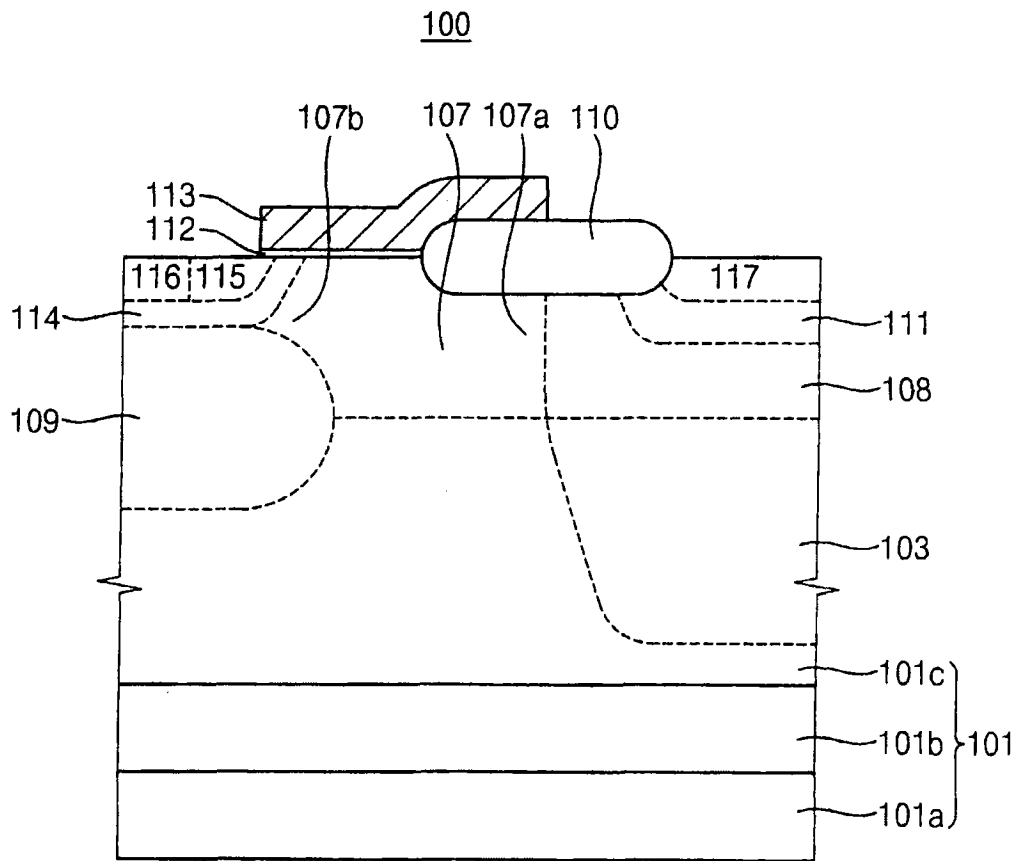


图14