



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월22일  
(11) 등록번호 10-1827020  
(24) 등록일자 2018년02월01일

(51) 국제특허분류(Int. Cl.)  
H01L 21/02 (2006.01) H01L 21/033 (2006.01)  
(21) 출원번호 10-2012-7019911  
(22) 출원일자(국제) 2011년01월21일  
심사청구일자 2016년01월19일  
(85) 번역문제출일자 2012년07월27일  
(65) 공개번호 10-2012-0116457  
(43) 공개일자 2012년10월22일  
(86) 국제출원번호 PCT/US2011/022075  
(87) 국제공개번호 WO 2011/094132  
국제공개일자 2011년08월04일  
(30) 우선권주장  
12/697,862 2010년02월01일 미국(US)  
(56) 선행기술조사문헌  
JP2006196879 A\*  
KR1020090130828 A\*  
KR1020080031694 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
램 리써치 코퍼레이션  
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이  
4650  
(72) 발명자  
야세리 아미르 에이  
미국 95138 캘리포니아주 샌호세 스쿨하우스 로드  
930  
주 지  
미국 94530 캘리포니아주 엘 세리토 칼슨 불러바  
드 3101 넘버4  
(뒷면에 계속)  
(74) 대리인  
특허법인인벤투스

전체 청구항 수 : 총 17 항

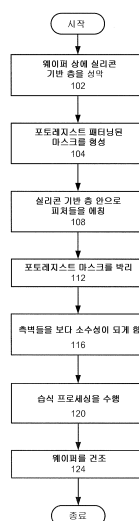
심사관 : 양진석

(54) 발명의 명칭 고애스펙트비 나노구조들의 패턴 붕괴를 저감시키는 방법

(57) 요약

반도체 디바이스들의 제조에 수반되는 엄격한 프로세싱의 일부 동안 부서지기 쉬운 나노구조들을 보호하게 돕기 위해 고애스펙트비 나노구조들의 표면을 처리하는 방법이 제공된다. 고애스펙트비 나노구조들을 포함하는 웨이퍼는 나노구조들의 표면들을 보다 소수성이 되게 하기 위해 처리된다. 이 처리는 후속 습식 세정 프로세스들 동안 나노구조들이 손상되지 못하게 그 나노구조들의 표면들을 화학적으로 변경하는 프라이머의 도포를 포함할 수도 있다. 웨이퍼는 그 후 추가 프로세싱, 예를 들어 습식 세정 프로세싱된 후 건조 프로세스될 수도 있다. 나노구조들의 증가된 소수성은 나노구조들의 붕괴를 저감 또는 방지하게 돕는다.

대표도 - 도1a



(72) 발명자

**윤 석민**

미국 94588 캘리포니아주 플레전튼 폭스글러브 코  
트 2749

**무이 데이비드 에스 엘**

미국 94539 캘리포니아주 프레몬트 아칸소 플레이  
스 48472

**미하일리첸코 카트리나**

미국 95131 캘리포니아주 샌호세 푸미아 플레이스  
1818

## 명세서

### 청구범위

#### 청구항 1

반도체 디바이스들을 제조하는데 이용되는 웨이퍼를 프로세싱하는 방법으로서,

상기 웨이퍼 상의 실리콘 기반 층에 고애스펙트비 피처들을 형성하는 단계로서, 상기 고애스펙트비 피처들은 건식 에칭 프로세스를 활용하여 형성되는, 상기 고애스펙트비 피처들을 형성하는 단계;

상기 고애스펙트비 피처들의 측벽들을 보다 소수성이 되게 하는 단계 전에 상기 고애스펙트비 피처들을 적실(wet) 필요 없이 상기 고애스펙트비 피처들의 측벽들을 보다 소수성이 되게 하는 단계로서, 상기 고애스펙트비 피처들의 측벽들은 상기 웨이퍼의 상기 고애스펙트비 피처들의 습식 프로세싱을 수행하기 전에 보다 소수성이 되는, 상기 고애스펙트비 피처들의 측벽들을 보다 소수성이 되게 하는 단계;

상기 웨이퍼의 상기 고애스펙트비 피처들의 습식 프로세싱을 수행하는 단계; 및

후속하여 상기 웨이퍼를 건조시키는 단계를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 2

제 1 항에 있어서,

상기 고애스펙트비 피처들의 측벽들을 보다 소수성이 되게 하는 단계는, 상기 고애스펙트비 피처들의 표면을 화학적으로 변경함으로써 상기 측벽들을 보다 소수성이 되게 하는 프라이머를 상기 웨이퍼 상에 성막함으로써 달성되는, 웨이퍼의 프로세싱 방법.

#### 청구항 3

제 2 항에 있어서,

상기 프라이머는 기상 증착(vapor deposition)에 의해 상기 웨이퍼 상에 성막되는, 웨이퍼의 프로세싱 방법.

#### 청구항 4

제 3 항에 있어서,

상기 습식 프로세싱 전에 상기 프라이머의 상기 웨이퍼 상에의 성막은 :

0.1 내지 50중량%  $C_8F_{13}H_4SiCl_3$  (FOTS)의 용액을 무수 n-헥산과 혼합함으로써 프라이머 용액을 생성하는 것; 및

상기 프라이머 용액이 증발하고 FOTS 분자가 상기 고애스펙트비 피처들의 측벽들과 반응하도록 상기 프라이머 용액의 일부를 상기 웨이퍼와 공동-가열하는 것을 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

제 2 항에 있어서,

상기 프라이머는 자기 조립 단층(monolayer)을 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 8

제 2 항에 있어서,  
상기 프라이머는 막을 포함하며,  
상기 막은 헥사메틸디실록산, 알콕시실란 또는 알킬실란 중 적어도 하나를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 9

제 1 항에 있어서,  
상기 측벽들을 보다 소수성이 되게 하는 단계는, 상기 측벽들을 러프닝 (roughening) 함으로써 달성되는, 웨이퍼의 프로세싱 방법.

#### 청구항 10

제 9 항에 있어서,  
상기 측벽들의 러프닝은, 상기 웨이퍼를, 폴리머라이징 플라즈마, 플루오르화 수소 증기 또는 불소 기반 플라즈마 에칭 중 적어도 하나에 노출시킴으로써 달성되는, 웨이퍼의 프로세싱 방법.

#### 청구항 11

제 9 항에 있어서,  
상기 측벽들의 러프닝은, 반응성 이온 에칭에 의해 달성되는, 웨이퍼의 프로세싱 방법.

#### 청구항 12

제 1 항 내지 제 4 항 및 제 7 항 내지 제 11 항 중 어느 한 항에 있어서,  
상기 고애스펙트비 피쳐들을 형성하는 단계는,  
상기 실리콘 기반 층 위에 포토레지스트 패터닝된 마스크를 형성하는 단계; 및  
상기 실리콘 기반 층 안으로 상기 고애스펙트비 피쳐들을 에칭하는 단계를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 13

제 12 항에 있어서,  
상기 고애스펙트비 피쳐들을 형성하는 단계는, 상기 포토레지스트 패터닝된 마스크를 박리하는 단계를 더 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 14

반도체 디바이스들을 제조하는데 이용되는 웨이퍼를 프로세싱하는 방법으로서,  
상기 웨이퍼 상의 실리콘 기반 층에 고애스펙트비 피쳐들을 형성하는 단계;  
상기 웨이퍼의 습식 프로세싱을 수행하는 단계로서, 상기 습식 프로세싱은 :

상기 고애스펙트비 피쳐들의 표면들의 소수성 (hydrophobicity) 을 증가시키도록 상기 고애스펙트비 피쳐들의 표면 특성 (surface properties) 을 조절하는 프라이머를 상기 웨이퍼의 상기 고애스펙트비 피쳐들 상에 성막하는 단계로서, 상기 프라이머는 상기 고애스펙트비 피쳐들을 형성하는 단계에 후속하는 상기 고애스펙트비 피쳐들의 모든 다른 습식 프로세싱 전에 증착되는, 상기 프라이머를 상기 웨이퍼의 상기 고애스펙트비 피쳐들 상에 성막하는 단계; 및

프라이머 성막에 이용되는 유기 용매를 DI 수로 교체하는 단계를 포함하는, 상기 습식 프로세싱을 수행하는 단계; 및

후속하여 상기 웨이퍼를 건조시키는 단계를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 15

제 14 항에 있어서,

상기 프라이머는 자기 조립 단층 (monolayer) 을 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 16

제 14 항에 있어서,

상기 프라이머는 막을 포함하며,

상기 막은 헥사메틸디실록산, 알콕시실란 또는 알킬실란 중 적어도 하나를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 17

제 14 항에 있어서,

상기 프라이머를 상기 웨이퍼 상에 성막하는 단계는 :

HFE, 톨루엔, n-헥산, 클로로포름 또는 아세톤 중 적어도 하나 중의 0.01 내지 50중량%  $C_8F_{13}H_4SiCl_3$  (FOTS) 의 용액 중에 상기 웨이퍼를 질소 분위기 하에서 침지시키는 단계; 및

HFE 로 린싱하는 단계를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 18

제 14 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 유기 용매를 교체하는 단계는 :

상기 웨이퍼를 물과 섞이는 유기 용매로 린싱하는 단계; 및

상기 웨이퍼를 DI 수로 린싱하는 단계를 포함하는, 웨이퍼의 프로세싱 방법.

#### 청구항 19

제 14 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 웨이퍼의 상기 습식 프로세싱에 이용되는 용액은 HCl, HF,  $NH_4F$ ,  $NH_3$  수계 용액,  $H_2SO_4$  또는  $H_2O_2$  중 하나 이상을 포함하는, 웨이퍼의 프로세싱 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 디바이스들에 관한 것이다. 보다 상세하게는, 본 발명은 프로세싱 동안 패턴 붕괴에 민감한 고해상도 나노구조들을 가진 웨이퍼 상에, 습식 화학 처리가 이용되는 반도체 디바이스들의 제조에 관한 것이다.

#### 배경 기술

[0002] 반도체 디바이스들은 길고 복잡한 절차를 이용하여 제조된다. 그 절차의 일 부분은 실리콘 웨이퍼 상의 재료들의 스택 안으로 피쳐들을 에칭하는 것을 수반한다. 재료들의 스택은  $SiO_2$  또는  $SiN$  과 같은 실리콘 기반 재료의 단일의 층을 포함할 수도 있고, 또는 그 스택은  $SiO_2$ ,  $SiN$ , TEOS, 폴리실리콘 또는 실리콘과 같은 재료들의 다중의 층들을 그 스택 내에 상이한 순서로 포함할 수도 있다. 스택은 예를 들어 물리 기상 증착, 화학 기상 증착, 전기화학 증착 (electrochemical deposition) 및 분자선 에피택시를 포함하여, 다수의 방법들에 의해 형성될 수도 있다. 일단 재료들의 스택이 생성되면, 포토레지스트 층이 도포된다. 이 포토레지스트 층은 에칭용 마스크로서 사용된다. 습식 에칭 및 건식 에칭의 방법들을 포함하여 많은 에칭 방법들이 이용될 수도 있다. 에칭 후에는, 종종 플라즈마 애싱 절차에 의해, 포토레지스트 층은 보통 제거된다.

[0003] 제조 동안, 웨이퍼들은 습식 프로세싱, 이를 테면 습식 세정된다. 습식 세정은 표면들을 준비하고 다른 프로세싱의 일부에 의해 뒤에 남겨진 잔여물을 제거하는데 도움이 된다. 세정 프로세스는 보통 메가소닉, 제트 및/또는 다른 입자 제거 기법들과 결합한 화학 처리에 뒤이어 린싱 및 건조로 이루어진다. 건조는 스핀 오프, 진공 흡입, 이소프로필 알코올을 이용한 마란고니 효과 (Marangoni effect) 또는 이러한 통상 알려진 기

법들의 조합에 의한 표면으로부터의 벌크 액체 제거를 포함할 수도 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 웨이퍼는 전체 제조 프로세스 동안 이들 단계들의 다중 발생을 거칠 수도 있다. 따라서, 디바이스 피처들이 웨이퍼 상에서 수축되기 때문에, 그리고 많은 액체가 프로세싱에 사용되기 때문에, 강한 모세관압 (capillary forces) 이 건조 단계들 동안 구조들을 붕괴하기에 충분한 힘을 가할 수도 있다.

### 과제의 해결 수단

[0005] 전술한 것을 달성하기 위해, 그리고 본 발명의 목적에 따르면, 반도체 디바이스들을 제조하는데 이용되는 웨이퍼를 프로세싱하는 방법이 제공된다. 이 방법은 웨이퍼 상의 고애스펙트비 피처들의 붕괴를 저감 또는 제거하도록 하는 방식으로 웨이퍼를 프로세싱하는 것을 교시한다. 고애스펙트비 피처들은 웨이퍼 상에 제조된 실리콘 기반 층에 형성된다. 피처들의 측벽들은 그 측벽들이 보다 소수성이 되도록 하기 위해 처리된다. 웨이퍼의 습식 프로세싱이 웨이퍼에 대해 수행된 후 웨이퍼는 건조된다.

[0006] 다른 실시형태에서, 반도체 디바이스들을 제조하는데 이용되는 웨이퍼를 프로세싱하는 방법이 제공된다. 고애스펙트비 피처들은 웨이퍼 상의 실리콘 기반 층에 형성된다. 웨이퍼의 습식 프로세싱이 수행된다. 습식 프로세싱은 웨이퍼를 습식 세정하는 것, 피처들의 표면들의 소수성 (hydrophobicity) 을 증가시키도록 피처들의 표면 특성 (surface properties) 을 조절하는 프라이머 (primer) 를 웨이퍼 상에 성막하는 것 및 웨이퍼를 린싱하는 것을 포함한다. 습식 프로세싱 후에, 웨이퍼는 그 후 건조된다.

[0007] 본 발명의 이들 및 다른 특징들은 본 발명의 상세한 설명에서, 그리고 다음의 도면들과 함께 이하 더 상세하게 설명될 것이다.

### 도면의 간단한 설명

[0008] 본 발명은 첨부 도면들의 도형들에서 제한이 아닌 일 예로 예시되며, 동일한 참조 부호들은 유사한 엘리먼트들을 지칭한다.

도 1a 및 도 1b 는 본 발명의 일부 실시형태들의 하이 레벨 플로우차트들을 도시한다.

도 2 의 (a) 내지 (c) 는 손상을 주는 습식 프로세싱 및 건조를 실시한 예시적인 웨이퍼를 도시한다.

도 3 의 (a) 내지 (g) 는 본 발명의 실시형태의 선택 단계들을 실시한 예시적인 웨이퍼를 도시한다.

도 4 의 (a) 내지 (g) 는 본 발명의 실시형태의 선택 단계들을 실시한 예시적인 웨이퍼를 도시한다.

도 5 의 (a) 내지 (h) 는 본 발명의 실시형태의 선택 단계들을 실시한 예시적인 웨이퍼를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0009] 이제 본 발명은 첨부 도면들에 예시한 바와 같이 본 발명의 몇몇 바람직한 실시형태들을 참조하여 상세하게 설명될 것이다. 다음의 설명에서는, 본 발명의 완전한 이해를 제공하기 위하여 다수의 특정 상세가 기술된다.

그러나, 이들 특정 상세의 일부 또는 전부 없이도 본 발명이 실시될 수도 있다는 것이 당업자에게 자명할 것이다. 다른 경우에는, 본 발명을 불필요하게 모호하게 하지 않기 위하여 널리 알려진 프로세스 단계들 및/또는 구조들은 상세하게 설명되어 있지 않다.

[0010] 저온 산화 (low-temperature oxidation; LTO), 화학 기상 증착 (CVD) 및 임플란테이션에 의해 성장된 실리콘의 산화물 및 질화물은 종래에는 고애스펙트비 나노구조들의 절연 및 단열 (electrical and thermal isolation), 마스크 및 캡슐화를 위한 FEOL (front-end-of-the-line) 프로세싱에 이용되었다. FEOL 애플리케이션들에서의 이러한 재료들의 이용은 32nm 집적 회로 (IC) 제조 및 그 이후의 디바이스들의 원하는 밀도를 얻기 위해 피처 사이즈를 줄이고 애스펙트비를 증가시키는 선택도 (selectivity) 를 계속 제공하였다. 애스펙트비는 이제 일반적으로 10:1 내지 25:1, 가능하다면 그보다 높은 범위 내에 있다. 그러나, FEOL 애플리케이션들에서 임계 치수 (critical dimensions) 가 계속 수축되고 애스펙트비가 계속 증가하기 때문에, 이러한 조밀하게 제조된 나노구조들을 프로세싱하는 것과 관련된 문제가 습식 세정 프로세스들에 대한 엄청난 문제를 제기하는 것으로 표면화 및 예상되었다. 한가지 일반적으로 관찰되는 문제는 얇은 트렌치 분리 (shallow trench

isolation) 에 이용되는 조밀하게 팩킹된 고엑스펙트비 나노구조들의 붕괴였다.

[0011] 도 2 의 (a) 는 웨이퍼 (201) 를 일 세트의 나노구조들 (202) 과 함께 도시한다. 피쳐 붕괴는 습식 세정 및 후속 건조 동안 발생한다. 도 2 의 (b) 는 유체 (204) 가 나노구조들 (202) 사이에 모인 곳의 습식 세정 중의 도 2 의 (a) 의 나노구조들 (202) 을 도시한다. 습식 프로세싱 동안 유체는 피쳐들에 들어가고, 강한 모세관압이 부서지기 쉬운 나노구조들을 손상시키기에 충분한 힘을 가할 수도 있다. 또한, 건조 액체의 표면 장력은 인접 나노구조들의 표면들을 접촉하게 끌어당기는 경향이 있다. 이러한 힘들은 종종 피쳐들에 모인 유체량의 불균일성은 물론 건조의 불균일성으로 인해 많은 피쳐들에 걸린 압력들의 밸런스의 결여에 의해 악화된다. 이러한 힘들은 종종 개별적으로 또는 브릿징을 통해서도 피쳐들의 붕괴를 야기한다. 브릿징은, 적어도 2 개의 인접 나노구조들이 서로에 대해 붕괴하여 함께 들러붙게 될 때 발생한다. 인접 나노구조들 자체의 측벽들은 함께 들러붙을 수도 있고, 또는 나노구조들 사이에 잔여물 재료가 모여 그들을 함께 합쳐지게 할 수도 있다. 도 2 의 (c) 는 피쳐 붕괴의 2 가지 예들을 도시한다. 일 예는 나노구조의 단일 붕괴 (206) 이다. 다른 예는 2 개의 나노구조들의 브릿징 (205) 을 도시한다. 다른 타입의 피쳐 붕괴도 물론 가능하다. 피쳐 붕괴는 반도체 제조에 있어서 상당한 문제일 수 있으며 제조된 회로에 결함을 야기할 수 있다.

[0012] 피쳐 붕괴를 저감시키는 일부 방법들이 분석되었다. 예로는 초저 표면 장력 액체, 이를 테면 2-프로판올  $\gamma=22\text{dynes/cm}$  로 린싱하는 것, 불소계 유기 계면활성제 (HFE,  $\gamma=14\text{dynes/cm}$ ) 초임계 이산화탄소 건조의 이용, 및 고온 (elevated temperatures) 에서 유사한 접근법들을 이용한 건조를 들 수 있다. 이들 기법들 중 일부는 성과의 제한에 부딪혔다; 그러나, 이러한 기법들은 많은 비용이 들고 종종 정교한 셋업을 요구한다. 예를 들어, 초임계 이산화탄소는 임계점 (critical point) 이 되기 위해 높은 압력을 요구한다.

[0013] 웨이퍼는 전체 제조 프로세스 동안 습식 프로세싱 및 건조의 다중 발생을 거칠 수도 있다. 디바이스 피쳐들이 웨이퍼 상에서 수축되기 때문에, 강한 모세관압이 건조 단계들 동안 구조들을 붕괴하기에 충분한 힘을 가할 수도 있다. 순차적인 습식 프로세싱 동안 고엑스펙트비 나노구조들의 붕괴의 발생을 줄이는, 웨이퍼들을 프로세싱하는 비용 효율이 높고 단순한 방법을 필요로 한다. 이런 개념을 고려하여, 본 발명은 붕괴 및 스티킹 (sticking) 을 회피하기 위해 웨이퍼 상의 고엑스펙트비 나노구조들의 단일 웨이퍼 습식 세정 동안 이용될 수 있는 방법론의 개요를 서술한다.

[0014] 도 1a 는 본 발명의 실시형태의 하이 레벨 개관이다. 방법의 시작에서, 웨이퍼 상에 적어도 하나의 실리콘 기반 층이 성막된다 (단계 102). 실리콘 기반 층 위에 포토레지스트 패턴링된 마스크가 형성되며 (단계 104), 그 포토레지스트를 마스크로서 사용하여 실리콘 기반 층 안으로 피쳐들이 에칭된다 (단계 108). 그 후 포토레지스트 마스크가 박리된다 (단계 112). 그 후 절차가 피쳐들의 측벽들을 보다 소수성이 되게 하는데 이용된다 (단계 116). 일 실시형태에서, 이 절차는 피쳐들을 적실 필요 없이 프로세스 플로우의 제 1 단계로서 피쳐들의 표면을 화학적으로 변경하는 프라이머를 웨이퍼 상에 성막하는 것을 포함할 수도 있다. 이 단계는 습식 프로세싱 전에 관심 표면을 조절제 (modifying agent) 의 증기에 노출시킴으로써 수행될 수 있다. 습식 프로세싱이 그 후 웨이퍼에 대해 수행되는데 (단계 120), 에칭 후에 뒤에 남겨진 보통의 잔여물들에 대해 피쳐들을 세정하기 위해 순차적인 일련의 습식 세정 단계들을 포함할 수도 있다. 그 후 웨이퍼가 건조된다 (단계 124).

[0015] 도 1b 는 본 발명의 다른 실시형태의 하이 레벨 개관이다. 이 실시형태에서, 측벽들을 보다 소수성이 되게 하는 단계 (단계 116) 와 습식 프로세싱 단계 (단계 120) 는 습식 프로세싱 동안 측벽들을 보다 소수성이 되게 하는 하나의 단계로 조합된다 (단계 126). 예를 들어, 이 단계는, 습식 세정 시퀀스 전 또는 후에 관심 표면을 조절제를 함유하는 액체 용액에 노출시킴으로써 수행될 수 있다. 표면 조절제를 함유하는 액체 용액은 n-헥산, 톨루엔, NPM, DMSO, 아세톤, DMF, DMAC 또는 HFE 와 같은 물질 (agent) 과 섞이는 용매로부터 유도될 수 있다. 다른 단계들은 바뀌지 않고 그대로 있을 수도 있다.

[0016] 도 3 의 (a) 내지 (g) 는 상기 개시된 방법의 실시형태의 선택된 단계들에서의 고엑스펙트비 나노구조들을 가진 웨이퍼의 예를 도시한다. 도 3 의 (a) 는, 단계 102 가 수행된 후의 결과를 도시한다. 웨이퍼 (301) 상에는 실리콘 기반 재료의 층 (306) 이 형성되었다. 실리콘 기반 층 (306) 을 형성하는데 이용될 수도 있는 많은 프로세스들이 존재한다. 예를 들어, 그 층은 물리 기상 증착, 화학 기상 증착, 전기화학 증착 (electrochemical deposition) 또는 분자선 에피택시에 의해 형성될 수도 있다. 도 3 의 (a) 는 단일의 균일한 실리콘 기반 층 (306) 을 도시하지만, 의도된 사용의 회로가 제조되거나 또는 특정 제조 프로세스가 이용되는 것과 같은 많은 요인들에 의존하여 재료들의 다중의 층들이 이용될 수도 있다는 것에 주목하는 것이 중요



하다. 다층 구조들의 예는 맨 위의 TEOS, 다음에 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si 로 이루어진 통상의 얇은 트렌치 분리 (STI) 스택, 또는 맨 위의 SiN, 다음에 TEOS, 다음에 다른 층의 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si 로 이루어진 스택을 포함한다. 다른 실시형태에서는, 웨이퍼 (301) 상에는 실리콘 기반 층 (306) 이 형성되지 않는다. 대신에, 실리콘 웨이퍼 (301) 가 에칭된다.

[0017] 도 3 의 (b) 는 실리콘 기반 재료의 층 (306) 및 패터닝된 포토레지스트 층 (305) 을 가진 웨이퍼 (301) 를 도시한다. 포토레지스트 층 (305) 은 종종 스핀 코팅 프로세스를 이용하여 실리콘 기반 재료 위에 성막되며, 포토레지스트는 포토리소그래피를 이용하여 패터닝된다 (단계 104). 포토레지스트 층 (305) 은 에칭 프로세스 동안 어떤 실리콘 기반 재료를 제거할지, 그리고 뒤에 남겨진 것이 무엇인지를 결정하기 위한 마스크로서 사용된다. 포토레지스트 (305) 에 의해 커버되지 않은 재료를 제거하기 위해서는 습식 또는 건식 에칭 프로세스 (단계 108) 가 이용된다.

[0018] 도 3 의 (c) 는, 에칭 후의 웨이퍼 (301) 를 도시하며, 에칭 (단계 108) 에 의해 형성된 나노구조들 (302) 을 도시한다. 이 때 포토레지스트 (305) 는 여전히 존재한다. 에칭 후에, 포토레지스트 재료는 그 후 제거될 수도 있다 (단계 112). 포토레지스트는 화학적 박리 프로세스에 의해 또는 애싱 프로세스에 의해 제거될 수도 있다.

[0019] 도 3 의 (d) 는 웨이퍼 (301), 및 에칭 및 포토레지스트 제거 후에 남은 실리콘 기반 재료의 4 개의 컬럼들을 도시한다. 실리콘 기반 재료의 컬럼들은 나노구조들 (302) 을 구성한다. 도면들은 웨이퍼 (301) 상에 에칭될 수도 있는 피처들의 특정 예를 도시하지만, 다른 수 및 유형의 피처들이 가능하다는 것에 주목하는 것이 중요하다.

[0020] 도 3 의 (e) 는 웨이퍼 (301), 및 나노구조들 (302) 상에 프라이머 층 (303) 이 성막된 (단계 116) 후의 나노구조들 (302) 을 도시한다. 프라이머 (303) 는 자기 조립 (self-assembly) 에 의해 또는 임의의 다른 공지된 성막 프로세스 (deposition process) 에 의해 형성된 단층 (monolayer) 일 수도 있다. 대안으로, 프라이머 층 (303) 은 막과 같이, 보다 두꺼울 수도 있다. 가능한 표면 조절제의 일부 예는 헥사메틸디실록산 (HMDS), 및 여러 알콕시실란류 및 알킬실란류를 포함한다. 보다 상세하게는, 불소계 또는 장쇄 하이드로카본계 트리클로로실란, 디클로로실란, 모노클로로실란, 트리메톡시실란, 디메톡시실란, 메톡시실란, 트리에톡시실란, 디에톡시실란, 및 에톡시실란을 몇가지 예로 들 수 있다.

[0021] 프라이머 (303) 를 나노구조들 (302) 에 부가하면 나노구조들 (302) 의 표면 특성을 조절함으로써 피처 붕괴를 저감시키게 돕는다. 나노구조들 (302) 의 표면은, 2 개의 인접 표면들 사이의 정지마찰력 (stiction force) 이 나노구조들 (302) 의 표면들을 보다 소수성이 되게 함으로써 저감되거나 바람직하게는 제거되도록 화학적으로 변경된다. 정지마찰을 조절할 화학 수식 (chemical modification) 의 일 예는 나노구조 표면의 극성의 하이드록실기 (예를 들어, 종종 고에너지 나노구조들을 제조하는데 이용되는 Si-O 또는 Si-N) 를 Si-CH<sub>3</sub>, Si-R 또는 Si-RF (여기서 R 은 n-길이의 하이드로카본 또는 플루오로 치환된 체인이다) 와 같은 비극성 기로 치환하는 것일 것이다. Si-CH<sub>3</sub> 기는 예를 들어, HDMS (C<sub>6</sub>H<sub>18</sub>OSi<sub>2</sub>) 에 의해 제공될 수도 있다. 화학 조절물질 (chemical modifier) 의 다른 예는 1H,1H,2H,2H-퍼플루오로옥틸트리클로로실란 (FOTS, C<sub>8</sub>F<sub>13</sub>H<sub>4</sub>SiCl<sub>3</sub>) 이다.

비극성 기의 존재는, 액체 메니스커스 형성으로 인한 과도한 힘의 전개가 방지될 수 있는, 70° 내지 130° 에서 변하는 DI 수 접촉각을 안정된 개질면 (modified surface) 에 제공한다.

[0022] 프라이머 (303) 는 그의 증기와 표면의 반응을 통한 습식 상 프로세싱 전에 부가될 수도 있다. 습식 상 전에 부가되는 경우, 프라이머 (303) 는 아주 근접해 있는 표면들 상에의 물의 흡착에 의해 종종 가해지는 과도한 정지마찰력을 최소화 또는 방지하는 역할을 추가로 한다. FOTS 를 이용한 단순 프로세스 플로우는, 먼저, 0.1 내지 50중량% FOTS 의 용액을 무수 n-헥산과 혼합함으로써 화학 조절물질의 원액 (stock solution) 을 생성한 후, 그 원액의 한 방울을 조절될 샘플과 함께 40 내지 200℃ 의 온도의 오븐에서 공동-가열하는 것이다. 대략 2 내지 300초 후에, 원액은 완전히 증발하고 FOTS 분자는 샘플 표면과 반응한다. 이런 방식으로 준비된 표면은 120° 보다 더 큰 DI 수 접촉각을 갖는다.

[0023] 대안으로, 프라이머는 조절제를 함유하는 적절한 용매의 이용에 의해 습식 상 프로세싱 동안 부가될 수도 있다 (단계 126). 이 단계는 순차적인 프로세스 플로우의 습식 세정 단계들 전이나 후에 적용될 수 있다. FOTS 를 이용한 단순 프로세스는 HFE-7100 (3M, Minneapolis, MN), 톨루엔, n-헥산, 클로로포름, 또는 아세톤 중의 0.01 내지 50중량% FOTS 중에 샘플을 질소 하에서 대략 10초 최대 1 시간 동안 침지시키고, 뒤이어 새로운 HFE-7100 으로 초음파 린성한 후 질소로 건조시키는 것이다.



- [0024] 도 3의 (f)는, 프라이머 (303)가 도포된 후에 습식 프로세싱 (단계 120), 이를 테면 습식 세정되는 웨이퍼 (301)를 도시한다. 습식 프로세싱으로부터의 액체 (304)는 나노구조들 (302)내에 모여지고 나노구조들 (302)의 현재의 보다 소수성 측벽들에 의해 밀어내진다. 나노구조들 (302)의 측벽들의 증가된 소수성은 나노구조들 (302)사이에 존재하는 모세관압을 저감시키며, 피쳐들 내에 모인 유체 내의 옴묵 메니스커스의 형성을 방지한다. 도 3의 (g)는 DI수 린스로부터 건조 (단계 124)된 후의 웨이퍼 (301)를 도시한다. 옵션으로, 프라이머 (303)는 예를 들어 산소 또는 이산화탄소 플래쉬 프로세스에 의해 건조 후 제거될 수도 있다. 이것은, 임의의 프로세싱 잔여물이 크게 저감 또는 제거된 것을 제외하고는, 웨이퍼 (301) 및 나노구조들 (302)을 도 3의 (d)에 도시된 상태로 되돌릴 것이다.
- [0025] 도 4의 (a) 내지 (g)는 상기 개시된 발명의 다른 실시형태의 선택된 단계들에서의 고에스펙트비 나노구조들 (302)을 가진 웨이퍼 (301)의 예를 도시한다. 도 4의 (a)는 단계 102가 수행된 후의 결과를 도시한다. 웨이퍼 (301)상에는 실리콘 기반 재료의 층 (306)이 형성되었다. 실리콘 기반 층 (306)을 형성하는데 이용될 수도 있는 많은 프로세스들이 존재한다. 예를 들어, 그 층은 물리 기상 증착, 화학 기상 증착, 전기 화학 증착 또는 분자선 에피택시에 의해 형성될 수도 있다. 도 4의 (a)는 단일의 균일한 실리콘 기반 층 (306)을 도시하지만, 의도된 사용의 회로가 제조되거나 또는 특정 제조 프로세스가 이용되는 것과 같은 많은 요인들에 의존하여 재료들의 다층의 층들이 이용될 수도 있다는 것에 주목하는 것이 중요하다. 다층 구조들의 예는 맨 위의 TEOS, 다음에 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si로 이루어진 스택, 또는 맨 위의 SiN, 다음에 TEOS, 다음에 다른 층의 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si로 이루어진 스택을 포함한다.
- [0026] 도 4의 (b)는 실리콘 기반 재료의 층 (306) 및 패터닝된 포토레지스트 층 (305)을 가진 웨이퍼 (301)를 도시한다. 포토레지스트 층 (305)은 종종 스핀 코팅 프로세스를 이용하여 실리콘 기반 재료 위에 성막되며, 포토레지스트는 포토리소그래피를 이용하여 패터닝된다 (단계 104). 포토레지스트 층 (305)은, 에칭 프로세스 동안 어떤 실리콘 기반 재료를 제거할지, 그리고 뒤에 남겨진 것이 무엇인지를 결정하기 위한 마스크로서 사용된다. 포토레지스트 (305)에 의해 커버되지 않은 재료를 제거하기 위해서는 습식 또는 건식 에칭 프로세스 (단계 108)가 이용될 수도 있다.
- [0027] 도 4의 (c)는 에칭 후의 웨이퍼 (301)를 도시하며, 에칭 (단계 108)에 의해 형성된 나노구조들 (302)을 도시한다. 이 때 포토레지스트 (305)는 여전히 존재한다. 에칭 후에, 포토레지스트 재료 (305)는 그 후 제거될 수도 있다 (단계 112). 포토레지스트 (305)는 화학적 박리 프로세스에 의해 또는 애싱 프로세스에 의해 제거될 수도 있다.
- [0028] 도 4의 (d)는 웨이퍼 (301), 및 에칭 및 포토레지스트 제거 (단계 112) 후에 남은 실리콘 기반 재료의 4개의 컬럼들을 도시한다. 실리콘 기반 재료의 컬럼들은 나노구조들 (302)을 구성한다. 도면들은 웨이퍼 (301)상에 에칭될 수도 있는 피쳐들의 특정 예를 도시하지만, 다른 수 및 타입의 피쳐들이 가능하다는 것에 주목하는 것이 중요하다.
- [0029] 이 실시형태에서, 나노구조들 (302)의 측벽들은 러프닝 (roughening) 프로세스에 의해 보다 소수성이 된다 (단계 116). 나노구조들 (302)의 표면은, 나노구조들 (302)의 표면 형상 (surface morphology)이 변경되도록 화학적 치환기와 반응될 수 있다. 예를 들어, 포토레지스트 (305)는 실리콘 기반 층 (306)상에 스핀 코팅되지만, 폴리머 레지스트가 기관 상에 폴리머 재-성막 (re-deposition)을 유도하기 위해 불소 (F)와 산소 (O) 혼합물 플라즈마에 노출될 수 있다. 플라즈마 반응에 의해 생성되는 재-성막된 폴리머는 매끄러운 박막이 아니기 때문에, 기저 (underlying) 기관을 에칭하기 위한 마스크로서 사용될 수 있다. 교번의 성막 및 에칭 프로세스는 표면 거칠기를 바꾸고, 후속 C<sub>4</sub>F<sub>8</sub> 플라즈마 박막 코팅 프로세스를 통해 초소수성 표면을 생성하기 위해 요구된 토폴로지를 달성하는데 이용될 수 있다. 이런 변경은 도 4의 (e)에 도시한 바와 같이, 표면이 보다 소수성이 되도록 표면 조절물질과의 후속 반응을 위해 증가된 표면적에 의해, 거친 계면 (401)을 초래한다. 러프닝은 예를 들어 증가된 온도에서의 건식 또는 기상 불소 에칭 및 폴리머라이징 플라즈마를 이용한 RIE 텍스처링에 의해 구현될 수도 있다.
- [0030] 도 4의 (f)는 후속 표면 조절 반응을 위해 표면적을 증가시키기 위해 나노구조들의 표면들이 러프닝된 후 습식 프로세싱 (단계 120), 이를 테면 습식 세정되는 웨이퍼 (301)를 도시한다. 습식 프로세싱으로부터의 액체 (304)는 나노구조들 (302)내에 모여지고 나노구조들 (302)의 현재의 보다 소수성 측벽들에 의해 밀어내진다. 나노구조들 (302)의 측벽들의 증가된 소수성은 나노구조들 (302)사이에 존재하는 모세관압을 저감시키며, 피쳐들 내에 모인 유체 내의 옴묵 메니스커스의 형성을 방지한다. 도 4의 (g)는 건조 (단계 124)

된 후의 웨이퍼 (301) 를 도시하며, 피쳐 붕괴의 조짐이 없다.

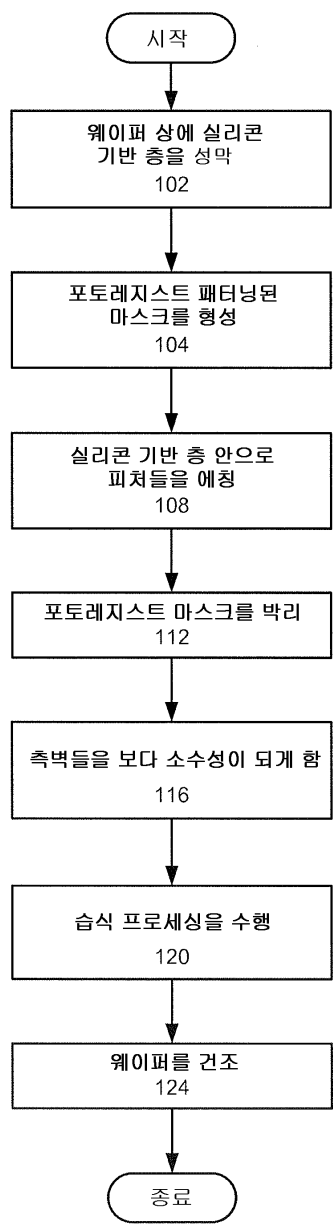
- [0031] 도 5 의 (a) 내지 (h) 는 상기 개시된 발명의 다른 실시형태의 선택된 단계들에서의 고에스펙트비 나노구조들 (302) 을 가진 웨이퍼 (301) 의 예를 도시한다. 도 5 의 (a) 는 단계 102 가 수행된 후의 결과를 도시한다. 웨이퍼 (301) 상에는 실리콘 기반 재료의 층 (306) 이 형성되었다. 실리콘 기반 층 (306) 을 형성하는데 이용될 수도 있는 많은 프로세스들이 존재한다. 예를 들어, 그 층은 물리 기상 증착, 화학 기상 증착, 전기 화학 증착 또는 분자선 에피택시에 의해 형성될 수도 있다. 도 5 의 (a) 는 단일의 균일한 실리콘 기반 층 (306) 을 도시하지만, 의도된 사용의 회로가 제조되거나 또는 특정 제조 프로세스가 이용되는 것과 같은 많은 요인들에 의존하여 재료들의 다층의 층들이 이용될 수도 있다는 것에 주목하는 것이 중요하다. 다층 구조들의 예는 맨 위의 TEOS, 다음에 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si 로 이루어진 스택, 또는 맨 위의 SiN, 다음에 TEOS, 다음에 다른 층의 SiN, 다음에 PolySi, 그리고 다음에 바닥의 Si 로 이루어진 스택을 포함한다.
- [0032] 도 5 의 (b) 는 실리콘 기반 재료의 층 (306) 및 패턴닝된 포토레지스트 층 (305) 을 가진 웨이퍼 (301) 를 도시한다. 포토레지스트 층 (305) 은 종종 스핀 코팅 프로세스를 이용하여 실리콘 기반 재료 상에 성막되며, 포토레지스트는 포토리소그래피를 이용하여 패턴닝된다 (단계 104). 포토레지스트 층 (305) 은 에칭 프로세스 동안 어떤 실리콘 기반 재료를 제거할지, 그리고 뒤에 남겨진 것이 무엇인지를 결정하기 위한 마스크로서 사용된다. 포토레지스트 (305) 에 의해 커버되지 않은 재료를 제거하기 위해서는 습식 또는 건식 에칭 프로세스 (단계 108) 가 이용될 수도 있다.
- [0033] 도 5 의 (c) 는 에칭 후의 웨이퍼 (301) 를 도시하며, 에칭 (단계 108) 에 의해 형성된 나노구조들 (302) 을 도시한다. 이 때 포토레지스트 (305) 는 여전히 존재한다. 에칭 후에, 포토레지스트 재료 (305) 는 그 후 제거될 수도 있다 (단계 112). 포토레지스트 (305) 는 화학적 박리 프로세스에 의해 또는 애싱 프로세스에 의해 제거될 수도 있다.
- [0034] 도 5 의 (d) 는 웨이퍼 (301), 및 에칭 및 포토레지스트 제거 (단계 112) 후에 남은 실리콘 기반 재료의 4 개의 컬럼들을 도시한다. 실리콘 기반 재료의 컬럼들은 나노구조들 (302) 을 구성한다. 도면들은 웨이퍼 (301) 상에 에칭될 수도 있는 피쳐들의 특정 예를 도시하지만, 다른 수 및 타입의 피쳐들이 가능하다는 것에 주목하는 것이 중요하다.
- [0035] 도 5 의 (e) 는 이전 프로세스들로부터의 에칭 또는 애싱 잔여물을 세정하기 위해 습식 프로세싱 동안 습식 세정되는 웨이퍼 (301) 를 도시한다. 습식 세정 화학물질 (501) 은 : 예를 들어, HCl, HF,  $\text{NH}_4\text{F}$ ,  $\text{NH}_3$  수계 (aqueous) 용액,  $\text{H}_2\text{SO}_4$ ,  $\text{H}_2\text{O}_2$  를 포함하는 화학물질 또는 이들 화학물질의 조합의 수계, 준-수계 또는 유기 용액을 포함할 수도 있다.
- [0036] 도 5 의 (f) 는 도 5 의 (e) 에 도시된 습식 세정 후에 습식 프로세싱 동안 표면 조절제 (303) 를 성막함으로써 보다 소수성이 되는 (단계 126) 나노구조들 (302) 의 표면들을 도시한다. 나노구조들 (302) 의 표면들을 보다 소수성이 되게 하기 위한 절차의 일 특정 예는 : 1) 습식 세정 화학물질 (501) 을 DI 수로 린싱하는 것, 2) DI 수를 이소프로필 알코올로 교체하는 것, 3) 이소프로필 알코올을 HFE 로 교체하는 것, 4) HFE 중의 0.01 내지 50중량% FOTS 중에 웨이퍼를 대략 2초 내지 10분 동안 침지시키는 것, 및 5) HFE 로 린싱하는 것이다. 대안의 예는 : 1) 습식 세정 화학물질 (501) 을 DI 수로 린싱하는 것, 2) DI 수를 -OH 기를 함유하지 않지만 또한 DI 수와 섞이는 유기 용매 (이러한 특성을 갖는 용매의 예는 : DMF, DMAC, 아세톤, NMP 를 포함한다) 로 교체하는 것, 3) 유기 용매 용액 중의 0.01 내지 50중량% FOTS 중에 웨이퍼를 대략 2초 내지 10분 동안 침지시키는 것, 및 4) 유기 용매로 린싱하는 것이다. 도 5 의 (f) 의 아이템 502 는 나노구조들 (302) 의 표면들을 보다 소수성이 되게 하는 절차 동안 사용되는 화학물질을 나타낸다.
- [0037] 도 5 의 (g) 는 건조 프로세스 동안 나노구조들 (302) 의 붕괴를 막기 위해 소수성 나노구조들 (302) 내부에 볼록 물 메니스커스에 의해 생성된 높은 라플라스 압력을 이용하기 위해 도 5 의 (f) 후의 소수성 나노구조들 (302) 에 DI 수 (304) 를 채도입하는 단계를 도시한다. 그렇게 행하는 일 특정 예는 : 1) HFE 를 이소프로필 알코올로 교체하는 것, 및 2) 이소프로필 알코올을 DI 수로 교체하는 것이다. 이소프로필 알코올은 DI 수보다 더 낮은 표면 장력을 갖고 DI 수와 섞이기 때문에, 먼저 이소프로필 알코올, 그 후 DI 수 중의 침지는 확산 프로세스를 통하여 소수성 나노구조들 (302) 로 DI 수를 도입할 수 있다. 대안으로, 도 5 의 (f) 에 의해 나타내진 단계가 -OH 기를 함유하지 않지만 물과 섞이는 유기 용매로 끝나면, 단순 DI 수 워시 단계가 여기에 적용될 수 있다.

[0038] 도 5 의 (h) 는 건조 후의 온전한 고밀도 고에스펙트비 나노구조들 (302) 을 도시한다.

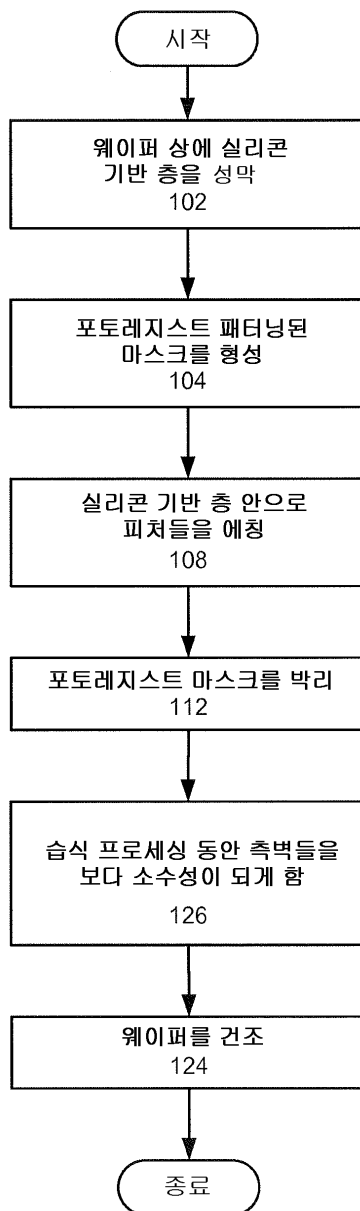
[0039] 본 발명은 몇몇 바람직한 실시형태들에 관하여 설명되었지만, 본 발명의 범위에 포함되는 교체, 치환, 변형, 및 여러 대체 등가물들이 존재한다. 본 발명의 방법들 및 장치들을 구현하는 많은 대안의 방법들이 존재한다는 것에 또한 주목해야 한다. 따라서, 다음의 첨부된 특허청구항은 본 발명의 참된 사상 및 범위에 포함되는 모든 이러한 교체, 치환, 변형, 및 여러 대체 등가물을 포함하는 것으로 해석되는 것으로 의도된다.

도면

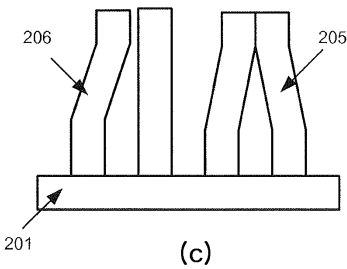
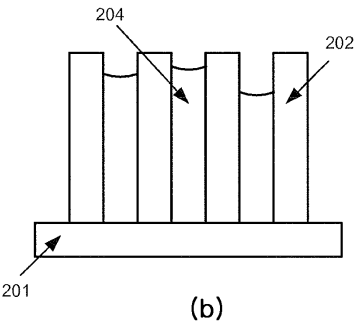
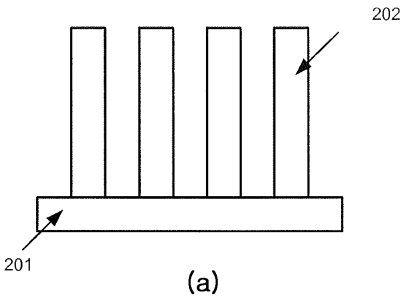
도면1a



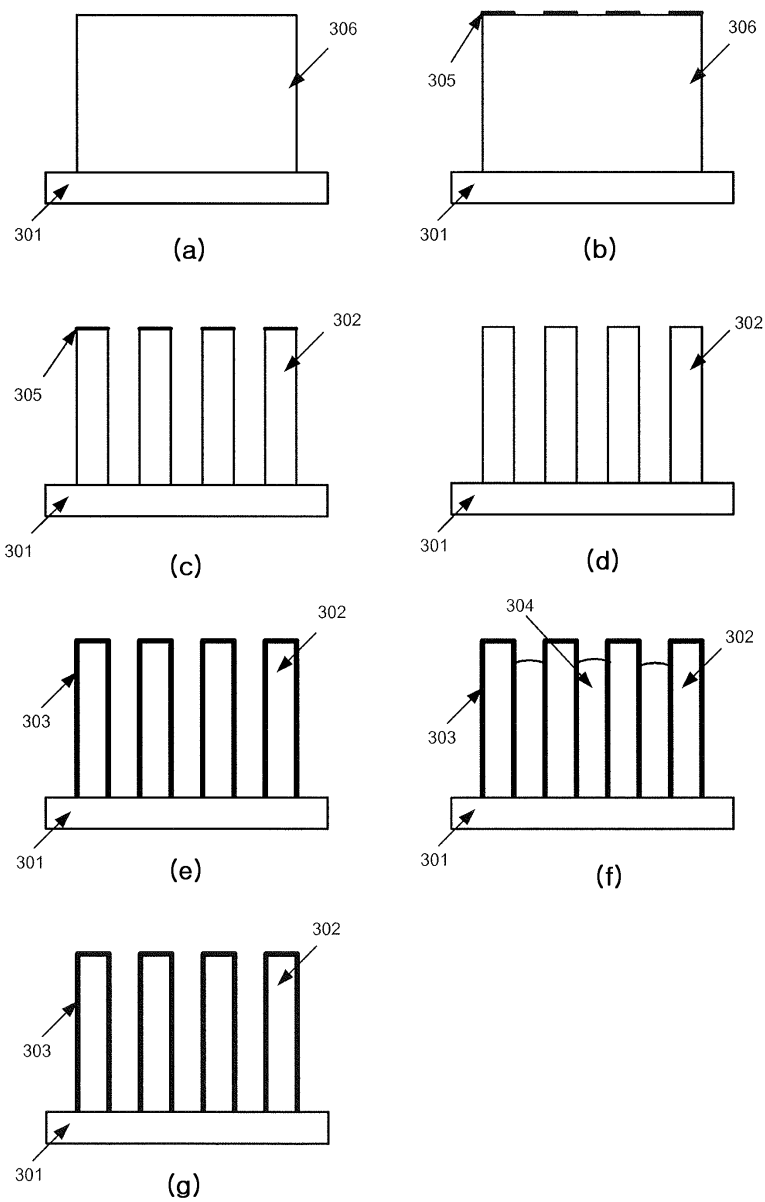
도면1b



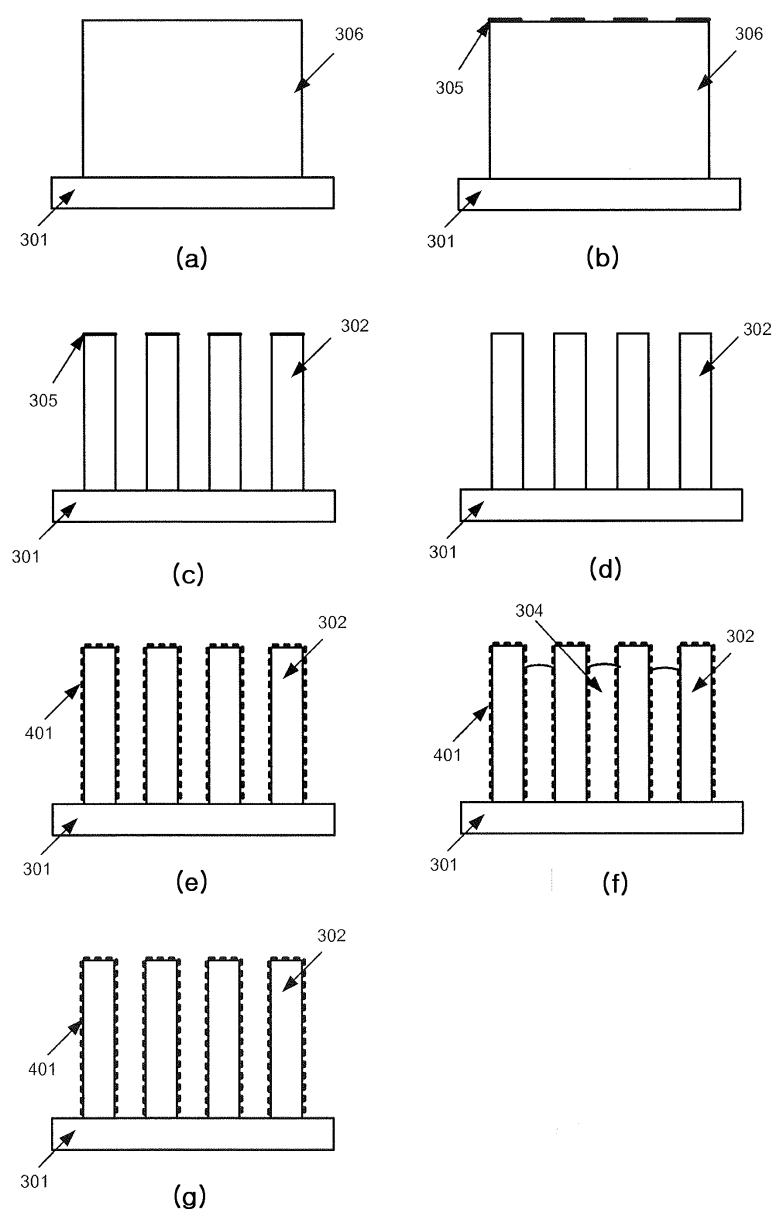
도면2



도면3

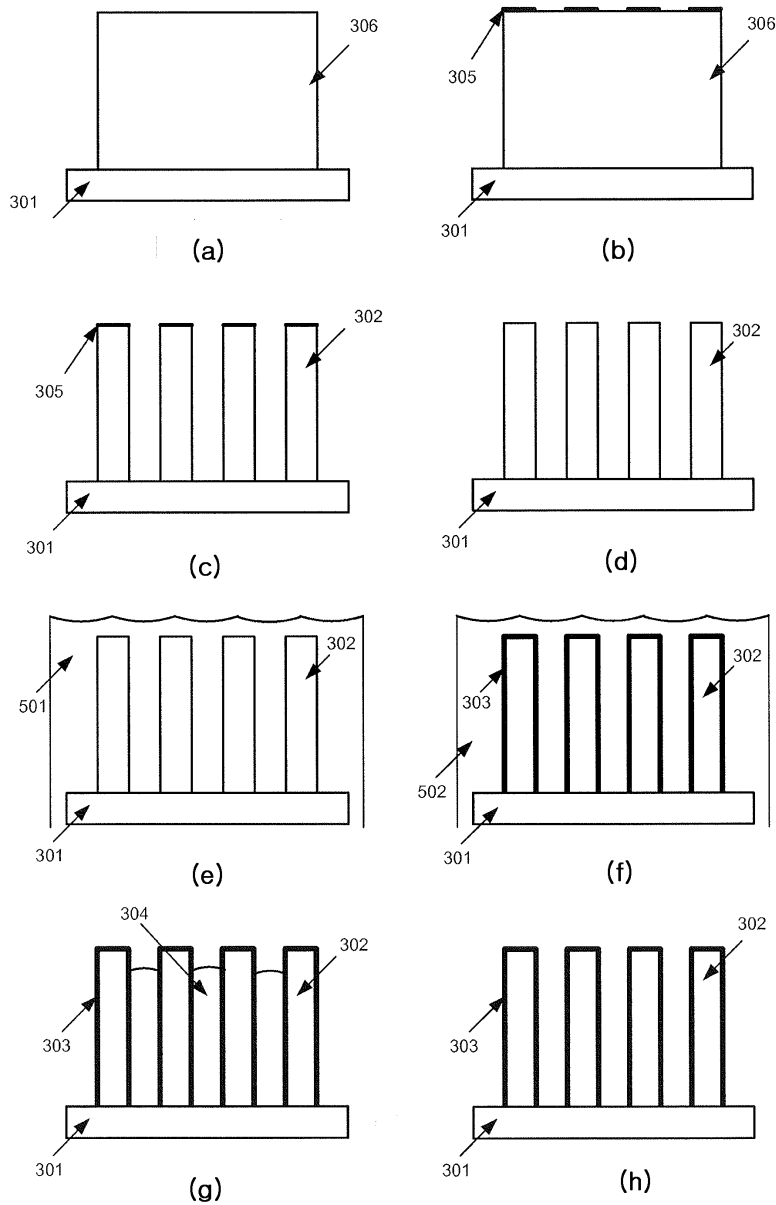


도면4





도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 19

【변경전】

상기 습식 세정

【변경후】

상기 습식 프로세싱

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 12

【변경전】

제 1 항 내지 제 11 항 중 어느 한 항에 있어서

【변경후】

제 1 항 내지 제 4 항 및 제 7 항 내지 제 11 항 중 어느 한 항에 있어서