

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.09.92.

30 Priorité : 28.09.91 KR 9116991.

43 Date de la mise à disposition du public de la demande : 02.04.93 Bulletin 93/13.

56 Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : Société dite: SAMSUNG ELECTRONICS CO LTD — KR.

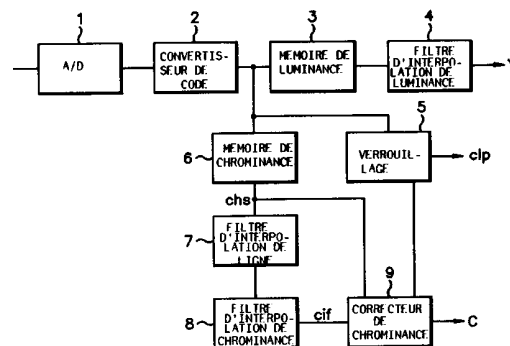
72 Inventeur(s) : Cho Hyun-Duk.

73 Titulaire(s) :

74 Mandataire : Cabinet Herrburger.

54 Circuit de correction de signal de chrominance.

57 a) Circuit de correction de signal de chrominance,
b) circuit comportant:
- des moyens de traitement d'un signal de luminance pour détecter les composants de luminance dans des signaux vidéo codés binaire et implémenter un filtrage d'interpolation de luminance (7) pour générer un signal de luminance,
- des moyens d'étalonnage ou de verrouillage (5) pour mesurer un niveau de courant continu pendant une période d'étalonnage en relation avec les signaux vidéo codés binaire,
- des moyens de mémorisation du signal de chrominance (6) pour détecter et mémoriser les éléments de chrominance des signaux vidéo codés binaire,
- des moyens de filtrage par interpolation pour obtenir le filtrage (8) par interpolation de ligne et
- des moyens de correction (9) du signal de chrominance pour vérifier la présence d'un signal de chrominance et pour produire un signal de chrominance retardé interpolé ou étalonné, de sorte qu'une interférence luminance/chrominance est éliminée.



FR 2 682 001 - A1



"Circuit de correction pour signal de chrominance".

La présente invention a pour objet un circuit de traitement de signal à composantes analogiques multiples (MAC) dans un système de traitement de signal vidéo, et plus particulièrement un circuit de correction de signal de chrominance pour éliminer une interférence luminance/chrominance qui apparaît si les signaux de chrominance s'étendent vers les signaux de luminance sur une zone frontière lorsque les signaux de luminance sont en bordure des signaux de chrominance.

Un système MAC proposé par les communautés européennes est une sorte de système de télévision à haute définition (HDTV) pour diffusion par satellite et comporte 1 250 lignes de balayage, un balayage entrelacé de 2:1, une fréquence de champs de 50Hz et un rapport d'image de 16:9.

Généralement un appareil conventionnel TV ou VTR comporte un circuit de traitement du signal vidéo adapté au signal MAC tel que montré sur la figure 1 : le traitement de la chrominance et de la luminance est implémenté au moyen d'un convertisseur 1 analogique/numérique (A/D) et un convertisseur de code 2. Un signal de chrominance C est généré au moyen d'une mémoire de signal de chrominance 6, d'un filtre

d'interpolation de lignes 7 et d'un filtre d'interpolation de chrominance 8. Sur la figure 5 la structure d'un système MAC est illustrée : le signal de chrominance est transféré à chaque autre ligne, en forme de B-Y, R-Y, B-Y et R-Y ; une interpolation de lignes doit reproduire le signal R-Y ou B-Y qui n'est pas transmis à chaque ligne. Dans ce cas si un gabarit ayant le signal de chrominance est transmis après un gabarit n'ayant pas le signal de chrominance, il s'en suit, juste une ligne avant que le signal de chrominance soit transféré, qu'il apparaît, à travers le filtre utilisé pour l'interpolation de chrominance, comme la présence d'une couleur, montrée à la figure 4a. De ce fait, la qualité de l'image est dégradée.

15 Résumé de l'invention

Le but de la présente invention est donc de procurer un circuit de correction du signal de chrominance pour éliminer une interférence luminance/chrominance.

20 Selon la présente invention, le circuit de correction de signal de chrominance pour un système de traitement de signal vidéo comportant :

- 25 - des moyens de traitement d'un signal de luminance pour détecter les composants de luminance dans des signaux vidéo codés binaire et implémentés un filtrage d'interpolation de luminance pour générer un signal de luminance,
- des moyens d'étalonnage ou de verrouillage pour mesurer un niveau de courant continu pendant une période d'étalonnage en relation avec les signaux vidéo codés binaire,
- 30 - des moyens de mémorisation du signal de chrominance pour détecter et mémoriser les éléments de chrominance des signaux vidéo codés binaire,
- 35 - des moyens de filtrage par interpolation pour

obtenir le filtrage par interpolation de ligne et de chrominance en lisant un signal de chrominance dans les moyens de mémorisation de signal de chrominance, et

- 5 - des moyens de correction du signal de chrominance pour vérifier la présence d'un signal de chrominance dans une ligne en cours et les lignes adjacentes à partir des moyens de filtrage par interpolation, et pour, sélectivement, produire un signal de chrominance retardé interpolé ou étalonné, de sorte
10 qu'une interférence est éliminée.

Préférentiellement, selon la présente invention, le circuit de correction de signal de chrominance pour un système de traitement vidéo
15 comportant des moyens de traitement du signal de luminance, des moyens d'étalonnage, des moyens de mémorisation du signal de chrominance et des moyens de filtrage par interpolation, et comportant en outre :

- 20 - un premier retard pour retarder un signal filtré d'interpolation de chrominance en provenance des dits moyens de filtrage par interpolation,
- un second retard pour retarder le signal d'étalonnage généré par les moyens d'étalonnage,
- un premier circuit de détermination de signal de chrominance pour additionner ou soustraire une
25 tension continue donnée au signal d'étalonnage, et générer un premier signal de détermination de signal de chrominance par la comparaison du signal additionné ou soustrait avec le signal filtré
30 d'interpolation de chrominance,
- un circuit de détermination de l'élimination du signal de chrominance pour séquentiellement retarder le premier signal de détection de signal de chrominance et générer un signal de détection
35 d'élimination de signal de chrominance lorsqu'un

- signal de chrominance est présent en vérifiant si un signal de chrominance dans les lignes adjacentes relatives à une ligne courante est détecté,
- 5 - un troisième retard pour retarder un signal de chrominance lu à partir des moyens de mémorisation du signal de chrominance,
 - 10 - un second circuit de détermination de signal de chrominance pour additionner ou soustraire une tension continue donnée au signal de chrominance, et générer un second signal de détermination de signal de chrominance en comparant le signal additionné ou soustrait avec le signal filtré d'interpolation de chrominance,
 - 15 - une seconde porte ET pour effectuer un ET logique entre le signal de détection d'élimination du signal de chrominance et le second signal de détermination de signal de chrominance, et
 - 20 - un aiguillage pour sélectivement délivrer le signal de sortie du premier ou du deuxième retard en fonction de la sortie de la deuxième porte ET.

Selon une autre amélioration de l'invention, les premier et second circuits de détermination de signal de chrominance comportent :

- 25 - un additionneur et un soustracteur pour additionner ou soustraire une tension continue donnée au signal d'étalonnage ou au signal de chrominance,
- 30 - un premier et un second comparateur pour comparer les sorties de l'additionneur et du soustracteur avec le signal filtré d'interpolation de chrominance ou avec le signal de sortie du troisième retard, et
- une première porte ET pour générer un premier signal de détermination de chrominance au moyen d'un ET logique entre les sorties du premier et du deuxième comparateur.

35 Selon une autre amélioration de l'invention,

le circuit de détermination de l'élimination du signal de chrominance comporte :

- quatre retards 1H pour séquentiellement retarder le premier signal de détermination de chrominance, les retards 1H étant connectés en série les uns et les autres,
- des première et seconde combinaisons de portes logiques pour détecter la présence d'un signal de chrominance dans les lignes adjacentes relatives à une ligne en cours au moyen d'une combinaison logique entre les sorties des retards 1H, et
- une porte OU pour générer un signal de détection d'élimination de signal de chrominance au moyen d'un OU logique entre les sorties des combinaisons de portes logiques.

Selon une autre amélioration de l'invention, le circuit de correction de signal de chrominance comporte un quatrième retard pour retarder le signal de sortie du second circuit de détermination du signal de chrominance.

Description des dessins

Les dispositifs et les avantages de la présente invention seront bien compris grâce à la description détaillée illustrée par les dessins ci-joints parmi lesquels :

- La figure 1 est un diagramme par bloc d'un circuit de traitement conventionnel d'un signal vidéo ;
- La figure 2 est un diagramme par bloc d'un circuit de correction du signal de chrominance conforme à la présente invention ;
- La figure 3 est un diagramme plus détaillé du circuit de correction du signal de chrominance de la figure 2 ;
- Les figures 4a et 4b illustrent les états de l'écran avant et après respectivement la correction du

signal de chrominance ; et
- La figure 5 illustre la structure de la trame d'un signal MAC.

Description d'un mode de réalisation préféré

5 En figure 2, un signal vidéo analogique est
digitalement converti au moyen d'un convertisseur
analogique/numérique 1. Un convertisseur de code 2
convertit le signal vidéo numérique comportant un code
de gris en un code binaire. Une mémoire 3 de signal de
10 luminance enregistre le composant de luminance du
signal vidéo codé binaire sous la forme d'une première
fréquence de fréquence d'échantillonnage, et lit le
signal sous la forme d'une deuxième fréquence. Le
signal échantillon lu à partir de la mémoire 3 de
15 signal de luminance est à nouveau converti en une
première fréquence et la phase linéaire passe-bas est
filtrée à travers un filtre d'interpolation de
luminance 4. Un circuit d'étalonnage 5 mesure le
niveau du courant continu pendant la période
20 d'étalonnage relative au signal vidéo codé en binaire.
En outre, le composant de chrominance du signal vidéo
codé en binaire est écrit sous la forme d'une deuxième
fréquence et lu sous la forme d'une troisième
fréquence à travers une mémoire de signal de
25 chrominance 6. Le signal de chrominance chs lu dans la
mémoire de signal de chrominance 6 est à nouveau
converti en la troisième fréquence et la phase
linéaire passe-bas est filtrée à travers un filtre
d'interpolation de ligne 7. Un filtre d'interpolation
30 de chrominance 8 convertit le signal d'interpolation
de chrominance de ligne en une première fréquence et
réalise le filtrage de la phase linéaire passe-bas. Un
circuit de correction de signal de chrominance 9
vérifie qu'un signal de chrominance est détecté
35 relatif à la ligne en cours L et aux lignes adjacentes

L-1, L-2, L+1 et L+2 à partir de la sortie du filtre d'interpolation de chrominance 8, et sélectivement produit un signal étalonné ou interpolé avec une chrominance retardée donnée comme un signal de
5 chrominance C, de sorte qu'on élimine un phénomène qui apparaît lorsqu'un signal de chrominance s'étend sur un signal de luminance à la limite entre les signaux de luminance et de chrominance.

Sur la figure 3, il est prévu un premier et
10 un deuxième retard 11 et 12 pour retarder les sorties respectivement du filtre d'interpolation de chrominance 8 et du circuit d'étalonnage 5. Un circuit de détermination du signal de chrominance 910 comporte un additionneur 13 et un soustracteur 14 pour
15 additionner et soustraire une tension continue donnée DC à la sortie clp du circuit d'étalonnage 5, et, respectivement, des premier et second comparateurs 15 et 16 pour comparer les sorties de l'additionneur 13 et du soustracteur 14 avec la sortie cif du filtre
20 d'interpolation de chrominance 8 respectivement, et une première porte ET 17 pour générer un premier signal de détermination de chrominance au moyen d'un ET logique des premier et second comparateurs 15 et 16. Un circuit de détermination de l'élimination d'un
25 signal de chrominance 930 comporte quatre retards simples horizontaux (1H) 18 à 21 connectés en série pour séquentiellement retarder le premier signal de détermination du signal de chrominance, une première et une seconde combinaison de portes logiques 22 et 23
30 pour détecter si les lignes adjacentes L-1, L-2, L+1 et L+2 relativement à la ligne courante L comportent un signal de chrominance, et une porte OU 24 pour générer un signal de détermination de l'élimination du signal de chrominance au moyen d'un OU logique des
35 sorties des combinaisons de portes logiques 22 et 23.

Un troisième retard 25 retarde la sortie chs de la mémoire de signal de chrominance 6. Un deuxième circuit de détermination du signal de chrominance 920 a la même configuration que le premier circuit de 5 détermination du signal de chrominance 910 et génère un second signal de détermination du signal de chrominance relatif à la sortie du troisième retard 25. Un quatrième retard 26 retarde la sortie du second circuit de détermination du signal de chrominance 920, 10 et une seconde porte ET 27 réalise un ET logique sur le signal de détermination de l'élimination du signal de chrominance et sur le second signal de détermination du signal de chrominance. Un aiguillage 28 transfère sélectivement la sortie du premier retard 15 11 ou du deuxième retard 12 en fonction de la sortie de la seconde porte ET 27.

Le mode de fonctionnement du circuit de correction du signal de chrominance selon la présente invention sera maintenant décrit en détail en se 20 référant aux figures 2 à 5.

Le signal de chrominance cif généré par le filtre d'interpolation de chrominance 8 est fourni au premier retard 11 et au premier circuit de détermination du signal de chrominance 910. Le signal 25 de chrominance cif appliqué au premier circuit de détermination du signal de chrominance 910 est fourni à l'entrée directe (+) du premier comparateur 15 et à l'entrée inverse (-) du second comparateur 16, pour la comparer avec les sorties de l'additionneur 13 et du 30 soustracteur 14. Les sorties de l'additionneur 13 et du soustracteur 14 sont obtenues en additionnant et soustrayant une tension continue donnée +DC à la sortie clp du circuit d'étalonnage 5, respectivement. Si une valeur obtenue en soustrayant la sortie clp du 35 circuit d'étalonnage 5 et la tension continue DC du

signal de sortie cif du filtre d'interpolation de chrominance 8 est égale ou supérieure à 0, c'est-à-dire si $cif-clp-DC \geq 0$, la sortie du premier comparateur 15 devient 1 et, si la valeur est inférieure à 0, elle est 0. Similairement si une valeur obtenue en soustrayant la tension continue DC et la sortie cif du filtre d'interpolation de chrominance 8 de la sortie clp du circuit d'étalonnage 5 est égale ou supérieure à 0, c'est-à-dire si $clp-DC-cif \geq 0$, la sortie du second comparateur 16 est 1, et, si la valeur est inférieure à 0, la sortie est 0. En conséquence, si la sortie cif du filtre d'interpolation de chrominance 8 est supérieure à la valeur obtenue en soustrayant la tension DC de la sortie clp du circuit d'étalonnage 5 et est inférieure à la valeur obtenue en additionnant la tension DC à la sortie clp du circuit d'étalonnage 5 ($clp-DC(cif(clp+DC))$, la sortie de la première porte ET 17 est 0, et sinon elle est 1. La sortie de la première porte ET 17, c'est-à-dire la sortie du premier circuit de détermination du signal de chrominance 910, est fournie au retard 1H 21 du circuit de détermination de l'élimination du signal de chrominance 930. Le circuit de détermination de l'élimination du signal de chrominance 930 ayant quatre retards 1H 18 à 21 connectés en série détermine si un signal de chrominance d'une ligne en cours repérée par le point A1 est éliminée ou non. Alors, si B1 et C1 sont à 0 et A1, B2 et C2 sont à 1, ou si A1, B1 et C1 sont à 0 et B2 et C2 sont à 0, la sortie du circuit de détermination de l'élimination du signal de chrominance 930 devient 1. Ainsi, dans le cas précédent, tant que les sorties des première et deuxième combinaisons de portes logiques 22 et 23 par une combinaison logique des sorties A1, B1, C1, B2 et C2 de chaque retard sont respectivement 0 et 1, et

dans le cas suivant, tant que les sorties des première et seconde combinaisons de portes logiques 22 et 23 sont respectivement 1 et 0, la sortie de la porte OU 24 devient 1. D'une manière plus détaillée, lorsqu'un

5 signal de chrominance est détecté pour la ligne en cours L, si un signal de chrominance est détecté pour les lignes adjacentes L+1 et L+2 et n'est pas détecté pour L-1 et L-2, ou si le signal de chrominance est détecté pour L-1 et L-2 et n'est pas détecté pour L+1

10 et L+2, la sortie du circuit de détection de l'élimination du signal de chrominance 930 est 1. Le processus ci-dessus est implémenté car, dans certains cas, on trouve respectivement R-Y, 0, R-Y, 0 et R-Y, 0, B-Y, 0, B-Y, 0 et B-Y pour les lignes L-2, L-1, L,

15 L+1 et L+2. Pendant ce temps, la sortie du troisième retard 25 pour retarder la sortie chs de la mémoire de signal de chrominance 6 est appliquée au second circuit de détermination du signal de chrominance 920, et la sortie du second circuit de détermination du

20 signal de chrominance 920 est retardée pendant une durée déterminée à travers le quatrième retard 26. La configuration et le mode opératoire du second circuit de détermination du signal de chrominance 920 sont les mêmes que ceux du premier circuit de détermination du

25 signal de chrominance 910. Qui plus est, du fait que le signal chs est un état précédant le passage du filtre d'interpolation de ligne 7, une décision précise quant à l'absence ou la présence d'un signal de chrominance dans une ligne est possible. Le

30 quatrième retard 26 adapte une durée de retard entre la sortie de la porte OU 24 et la sortie du second circuit de détection du signal de chrominance 920. De plus, le troisième retard 25 compense le retard causé par le filtre d'interpolation de ligne 7 et le filtre

35 d'interpolation de chrominance 8. Si les sorties du

11

quatrième retard 26 et du circuit de détermination
d'élimination du signal de chrominance 930 sont à 1,
la sortie de la seconde porte ET 27 est aussi à 1, et
l'aiguillage 28 est connecté au point de connexion b.
5 En conséquence, la sortie clp du circuit d'étalonnage
5 est retardée d'une durée déterminée dans le second
retard 12. Si la sortie de la deuxième porte ET 27 est
à 0, l'aiguillage 28 est connecté au point de
connexion a, et alors la sortie cif du filtre
10 d'interpolation de chrominance 8 est retardée d'une
durée déterminée à travers le premier retard 11.

Comme décrit ci-dessus, du fait qu'un signal
de chrominance interpolé ou étalonné est sélectivement
généralisé par la détermination précise de l'élimination
15 ou non du signal de chrominance, un écran propre,
libre de barre de couleur, peut être obtenu.

20

25

30

35

R E V E N D I C A T I O N S

1) Circuit de correction de signal de chrominance pour un système de traitement de signal vidéo comportant :

- 5 - des moyens de traitement d'un signal de luminance pour détecter les composants de luminance dans des signaux vidéo codés binaire et implémenter un filtrage d'interpolation de luminance (7) pour générer un signal de luminance,
- 10 - des moyens d'étalonnage ou de verouillage (5) pour mesurer un niveau de courant continu pendant une période d'étalonnage en relation avec les signaux vidéo codés binaire,
- des moyens de mémorisation du signal de chrominance
15 (6) pour détecter et mémoriser les éléments de chrominance des signaux vidéo codés binaire,
- des moyens de filtrage par interpolation pour obtenir le filtrage (8) par interpolation de ligne et de chrominance en lisant un signal de chrominance
20 dans les moyens de mémorisation de signal de chrominance, et
- des moyens de correction (9) du signal de chrominance pour vérifier la présence d'un signal de chrominance dans une ligne en cours et les lignes
25 adjacentes à partir des moyens de filtrage par interpolation, et pour, sélectivement, produire un signal de chrominance retardé interpolé ou étalonné, de sorte qu'une interférence luminance/chrominance est éliminée.

30 2) Circuit de correction de signal de chrominance pour un système de traitement vidéo comportant des moyens d'étalonnage du signal de luminance, des moyens d'étalonnage, des moyens de mémorisation du signal de chrominance et des moyens de
35 filtrage par interpolation, et comportant en outre :

- un premier retard (11) pour retarder un signal filtré d'interpolation de chrominance en provenance des dits moyens de filtrage par interpolation,
- un second retard (12) pour retarder le signal
5 d'étalonnage généré par les moyens d'étalonnage,
- un premier circuit de détermination de signal de chrominance (910) pour additionner ou soustraire une tension continue donnée au dit signal d'étalonnage, et générer un premier signal de détermination de
10 signal de chrominance par la comparaison du signal additionné ou soustrait avec le signal filtré d'interpolation de chrominance,
- un circuit de détermination de l'élimination du signal de chrominance pour séquentiellement retarder
15 le premier signal de détection de signal de chrominance et générer un signal de détection d'élimination de signal de chrominance lorsqu'un signal de chrominance est présent en vérifiant si un signal de chrominance dans les lignes adjacentes
20 relatives à une ligne courante est détecté,
- un troisième retard (25) pour retarder un signal de chrominance lu à partir des moyens de mémorisation du signal de chrominance,
- un second circuit de détermination de signal de chrominance (920) pour additionner ou soustraire une
25 tension continue donnée au signal de chrominance, et générer un second signal de détermination de signal de chrominance en comparant le signal additionné ou soustrait avec le signal filtré d'interpolation de
30 chrominance,
- une seconde porte ET (27) pour effectuer un ET logique entre le signal de détection d'élimination du signal de chrominance et le second signal de détermination de signal de chrominance, et
- 35 - un aiguillage pour sélectivement délivrer le signal

de sortie du premier ou du deuxième retard en fonction de la sortie de la deuxième porte ET.

- 3) Circuit de correction de signal de chrominance selon la revendication 2, dans lequel les
- 5 premier et second circuits de détermination de signal de chrominance comportent :
- un additionneur (13) et un soustracteur (14) pour additionner ou soustraire une tension continue donnée au signal d'étalonnage ou au signal de
 - 10 chrominance,
 - un premier (15) et un second comparateur (16) pour comparer les sorties de l'additionneur et du soustracteur avec le signal filtré d'interpolation de chrominance ou avec le signal de sortie du
 - 15 troisième retard, et
 - une première porte ET pour générer un premier signal de détermination de chrominance au moyen d'un ET logique entre les sorties du premier et du deuxième comparateur.
- 20 4) Circuit de correction de signal de chrominance selon la revendication 2, dans lequel le circuit de détermination de l'élimination du signal de chrominance comporte :
- quatre retards 1H (18 à 21) pour séquentiellement
 - 25 retarder le premier signal de détermination de chrominance, les retards 1H étant connectés en série les uns et les autres,
 - des première et seconde combinaisons de portes logiques pour détecter la présence d'un signal de
 - 30 chrominance dans les lignes adjacentes relatives à une ligne en cours au moyen d'une combinaison logique entre les sorties des retards 1H, et
 - une porte OU pour générer un signal de détection d'élimination de signal de chrominance au moyen d'un
 - 35 OU logique entre les sorties des combinaisons de

15

portes logiques.

5) Circuit de correction de signal de chrominance selon la revendication 2, comportant en outre un quatrième retard (26) pour retarder le signal de sortie du second circuit de détermination du signal de chrominance.

10

15

20

25

30

35

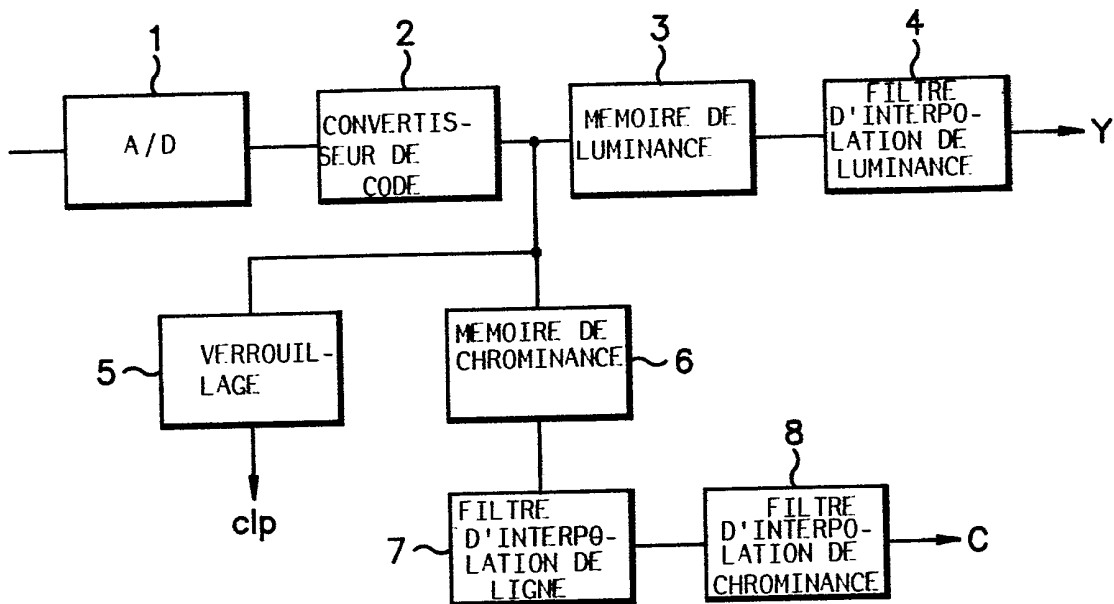


FIG. 1

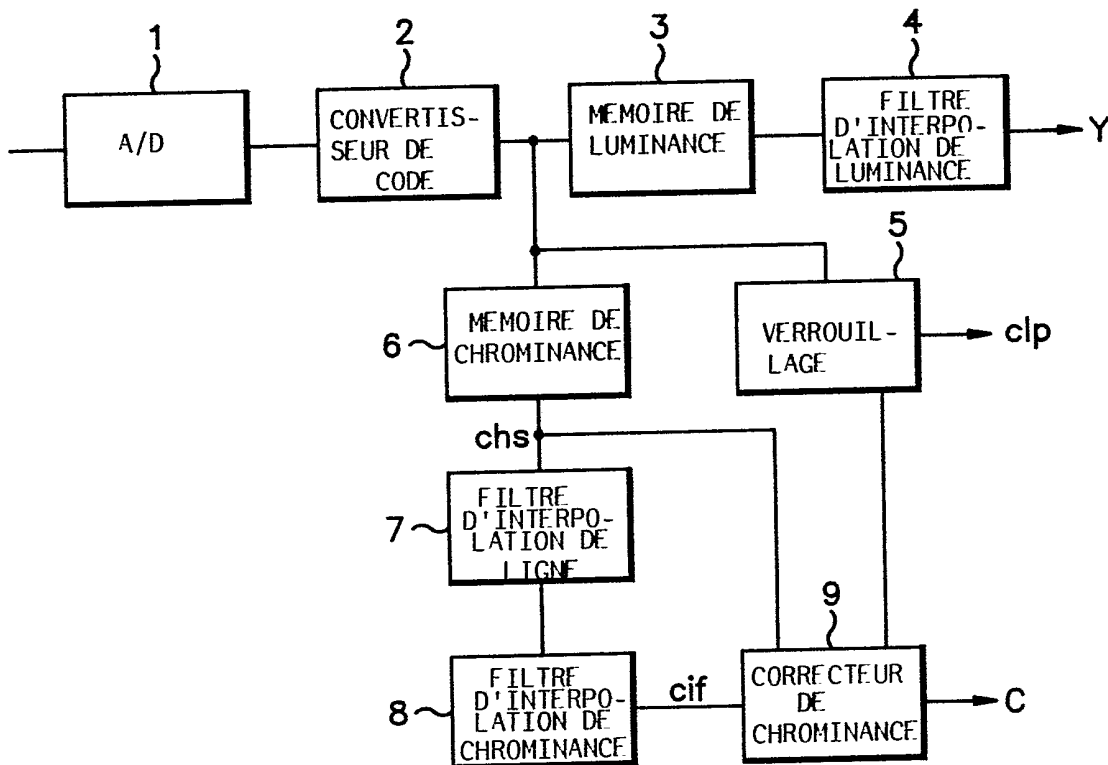


FIG. 2

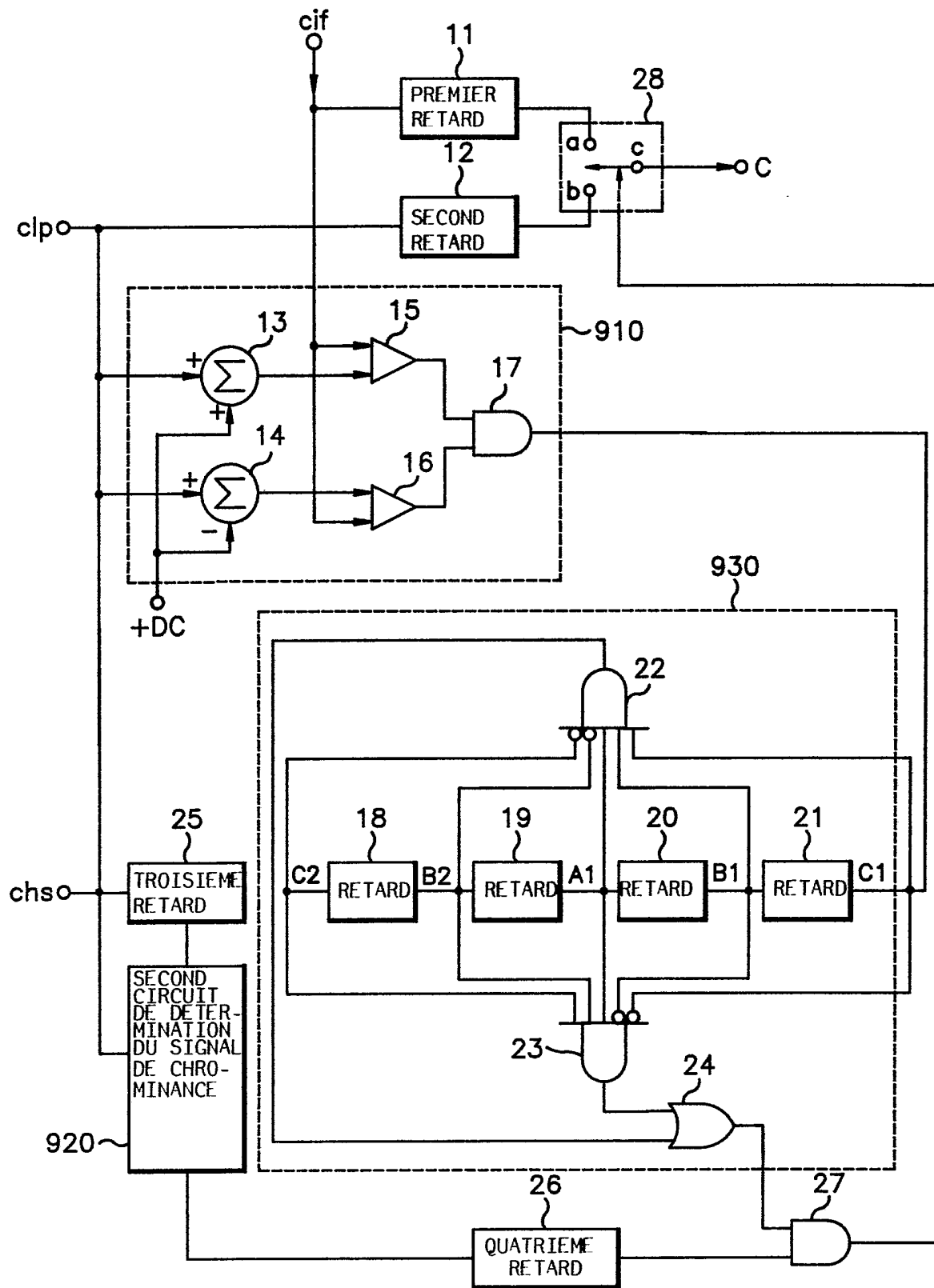


FIG. 3

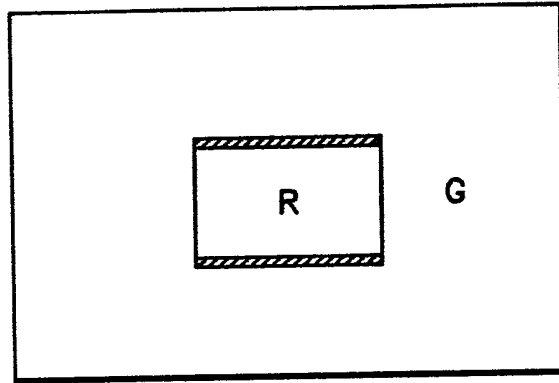


FIG. 4A

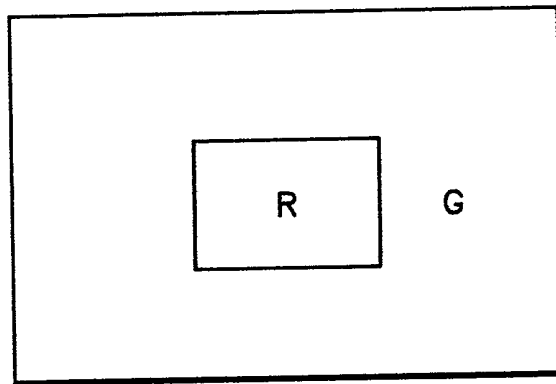


FIG. 4B

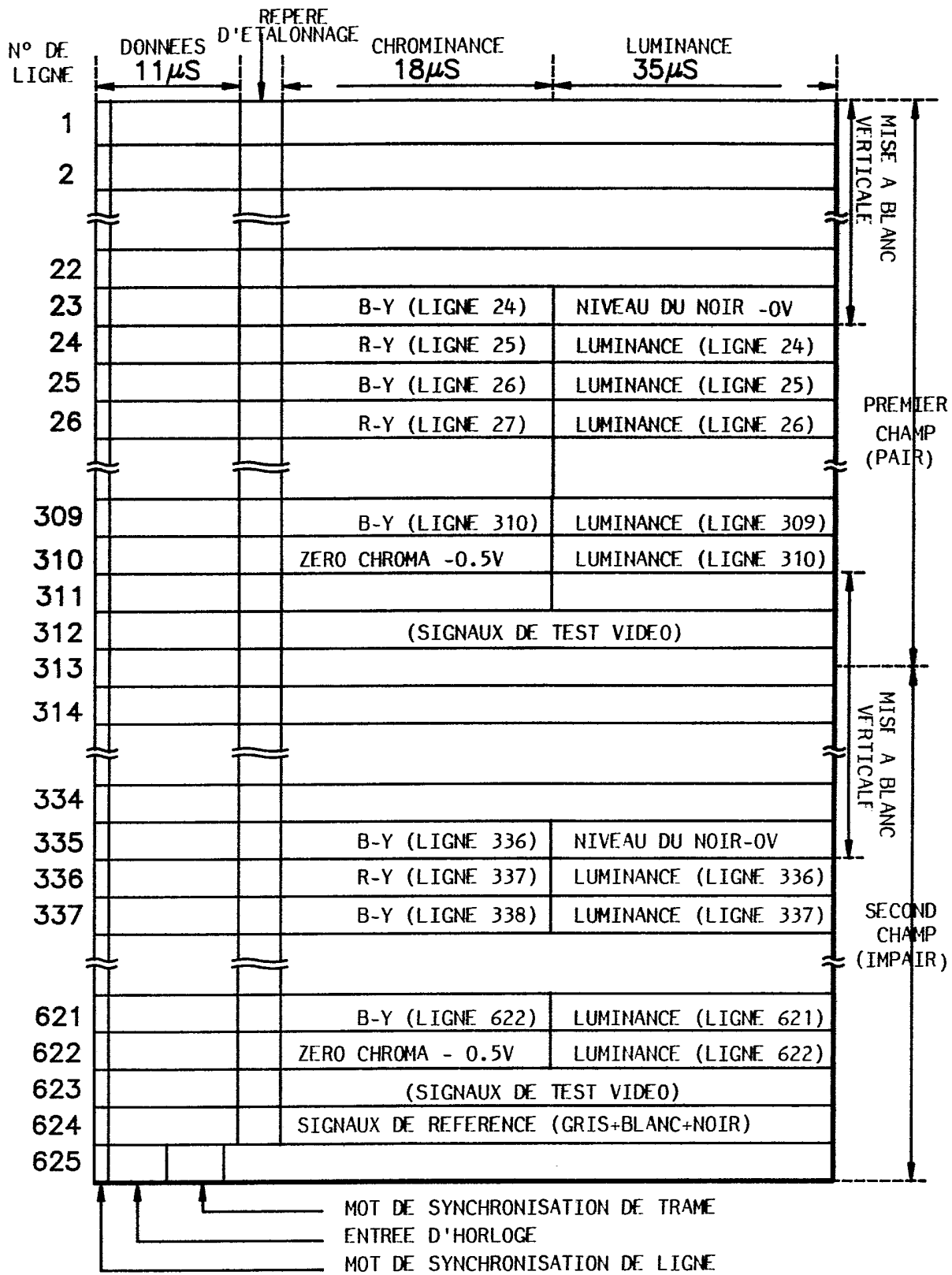


FIG. 5