

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 7/00 (2006.01)

H03L 7/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 02154547.2

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331321C

[22] 申请日 2002.10.19 [21] 申请号 02154547.2

[30] 优先权

[32] 2001.10.23 [33] DE [31] 10152195.2

[73] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 H·-J·格尔克 S·加皮施

S·科赫

[56] 参考文献

US6064626A 2000.5.16

US6289480B1 2001.9.11

US5555213A 1996.9.10

US5309561A 1994.5.3

US5502661A 1996.3.26

CN1199967A 1998.11.25

US5548620A 1996.8.20

审查员 刘玲斐

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 罗朋

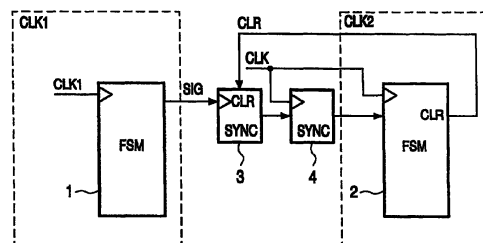
权利要求书 1 页 说明书 5 页 附图 2 页

[54] 发明名称

电路结构

[57] 摘要

一种电路结构，用于将信号从以第一时钟速率运行的有限状态机传输到以第二时钟速率运行的有限状态机，信号能够通过连接于两者之间的异步存储元件与同步存储元件从发送有限状态机传输到接收有限状态机，该接收有限状态机用于在信号传输之后将复位信号传输到异步存储元件。



1. 一种电路结构，用于将信号从以第一时钟速率（CLK1）运行的有限状态机传输到以第二时钟速率（CLK2）运行的有限状态机，所述两种有限状态机（1，2）异步运行，其中信号能够通过异步存储元件（3）和与该异步存储元件（3）相连的同步存储元件（4）从发送有限状态机（1）传输到接收有限状态机（2），其中接收有限状态机（2）被设计成使得在信号传输之后将复位信号传输到异步存储元件（3），并且其中同步存储元件（4）能够以等于接收有限状态机（2）的时钟速率的第二时钟速率（CLK2）运行，并且其中所述异步存储元件（3）能够被以第一时钟速率（CLK1）运行的有限状态机（1）的信号（SIG）控制或者由第二时钟速率（CLK2）控制，而门（7）用来测试所述电路结构，所述门提供了将异步存储元件转换到第二时钟速率（CLK2）的可能性。

2. 根据权利要求1所述的电路结构，其特征在于，在接收有限状态机（2）中为将被传输到异步存储元件（3）的复位信号提供了内部寄存器（5），其中寄存器（5）用作复位信号（CLR）的中间存储元件。

3. 根据权利要求1所述的电路结构，其特征在于，异步存储元件（3）为锁存器类型。

4. 根据前述任何权利要求之一所述的电路结构，其特征在于，异步存储元件（3）能够以接收有限状态机（2）的时钟速率运行。

5. 根据权利要求1、2或3所述的电路结构，其特征在于，异步存储元件（3）能够以第一或第二时钟速率运行。

6. 一种电子设备，实现为一种移动电话、个人数字助理 PDA、GPS 系统或者导航系统，其特征在于，其中包括如权利要求1至3任何之一所述的电路结构。

电路结构

5 技术领域

本发明涉及一种电路结构，用于将信号从以第一时钟速率运行的有限状态机传输到以第二时钟速率运行的有限状态机。

“有限状态机”在本文中一般是指数字电路，根据输入信号，条件和事件，该电路可以假设有限数目的状态。

10 背景技术

由于硅技术领域半导体芯片小型化的发展，在一个芯片上可以集成几个有限状态机，每一个表示一个独立的系统。正确选择能量消耗与计算容量之间的关系也变得越来越重要。因此，许多设备具有几个有限状态机，它们以不同的时钟速率运行。例如，在移动发送接收机中，数字语音处理器（DSP）能够以高时钟速率运行，而在其它事件其间承担键盘扫描的系统控制器能够以较低

15 以高时钟速率运行，而在其它事件其间承担键盘扫描的系统控制器能够以较低的时钟速率运行。但是，这些以不同时钟速率运行的系统必须能够互相通信，能够传送或交换信号。因此有必要将信号同步。

在不同时钟速率的信号之间进行通信的过程中，有这样的风险，即信号从较快的系统发送出来，没有被较慢的系统识别，因为较慢系统的采样速率太低。

20 为弥补这一缺陷，在已知系统中通常在有限状态机之间使用两个同步级。但是，每一个同步级导致延迟和速度损耗。

能够以不同时钟速率运行的系统是已知的。问题在于，它不能被明确地预测两个有限状态机中哪一个是更快的。因此，在这些情况下，同步级必须提供给两个方向，以便于信号传输能够以握手方法执行。这种变化必然提高了结构

25 成本，并且导致进一步的性能的损耗。

发明内容

因此，本发明的目的是公开一种电路结构，用于信号在两个异步有限状态机之间传输，以避免上述缺点，同时改善性能。

为实现这一目的，在开头一段所提到的这种电路结构中，根据本发明，其

30 提供了能够通过两个有限状态机相连的一个异步存储元件及一个同步存储元

件，将信号从发送有限状态机传输到接收有限状态机，接收有限状态机的结构被设计成在信号传输之后，将复位信号传输到异步存储元件。

根据本发明的电路结构所表示出的优点是仅需要一个同步级。通过发送有限状态机信号被异步的存储在存储元件中，并且通过同步存储元件到达接收有限状态机。这有一个很大的优势，即信号能够由接收有限状态机立即处理，而异步存储元件由接收有限状态机发送的复位信号复位。仅需要一个同步级，而接收有限状态机立即承担第二同步级。省去了有关的昂贵的握手方法导致了速度优势。根据本发明的电路结构，信号传输可以是异步的（例如，不依赖特定的时钟速率）。

10 本发明提供了一种电路结构，用于将信号从以第一时钟速率运行的有限状态机传输到以第二时钟速率运行的有限状态机，所述两种有限状态机异步运行，其中信号能够通过异步存储元件和与该异步存储元件相连的同步存储元件从发送有限状态机传输到接收有限状态机，其中接收有限状态机被设计成使得在信号传输之后将复位信号传输到异步存储元件，并且其中同步存储元件能够以等于接收有限状态机的时钟速率的第二时钟速率运行，并且其中所述异步存储元件能够被以第一时钟速率（运行的有限状态机的信号控制或者由第二时钟速率控制，而门用来测试所述电路结构，所述门提供了将异步存储元件转换到第二时钟速率的可能性。

如果在接收有限状态机中为将被传输到异步存储元件的复位信号提供了内部寄存器，这将获得更大的故障安全性。这能有效地避免过早的复位。

根据本发明的电路结构的异步存储元件适合于闭锁类型。因此，该存储元件能够表示状态“0”或“1”，在这两个状态之间发生转换，就像触发器中的一样。该存储元件每次由接收有限状态机发送的复位信号复位。

根据本发明，同步存储元件能够以接收有限状态机的时钟速率运行。这一存储元件表示第一同步级。

对该发明思想进行扩展，根据本发明，在电路结构中可以提供能够以第一或第二时钟速率运行的异步存储元件。该电路特别适合检测同步。

此外，本发明涉及电子设备，尤其是移动电话，个人数字助理（PDA），GPS 系统，或者导航系统，这些设备使用所描述的电路结构。

30 附图说明

本发明将参考附图中所示的实施例进行进一步的描述，但是，本发明不仅限于此。附图为示意图，其中：

图 1 给出了根据本发明的电路结构，用于在两个具有不同时钟速率的有限状态机之间进行信号传输；

5 图 2 给出了异步存储元件的时钟速率能够被转换的电路结构；

图 3 给出了较快系统与较慢系统相同步的信号流；

图 4 给出了较慢系统与较快系统相同步的信号流。

具体实施方式

图 1 中所示的电路结构包括以第一时钟速率 CLK1 运行第一有限状态机

(FSM) 1。图 1 左边的虚线表示以第一时钟速率 CLK1 运行的电路结构的整个部分。

信号从第一有限状态机 1 传输到异步存储元件 3。该信号存储在异步存储元件 3 中，并从这里发送到同步存储元件 4。同步存储元件 4 以第二时钟速率 CLK2 运行，该速率可能比时钟速率 1 高或者低。同步存储元件 4 和有限状态机 2 具有相同的时钟速率 (CLK2)，即，它们互相同步。图 1 右边虚线部分表示以时钟速率 CLK2 运行的电路结构部分。

信号从同步存储元件 4 到有限状态机 2，有限状态机 2 作为第二同步级。该信号在有限状态机 2 中可以立即进行进一步处理，因为不必再有第二外部同步级。因此避免了由握手方法产生的时间损耗。同时，有限状态机 2 将复位信号 (CLR) 发送到异步存储元件 3 中，异步存储元件 3 因此复位。复位以后，异步存储元件 3 对信号传输仍然有效。

图 1 中所示的电路结构能够实现完全异步运行，其不取决于各个时钟速率。

图 2 表示一个实施例，其中异步存储元件的时钟速率可以转换。与图 1 相同的组件使用相同的附图标记。

异步存储元件 3 由来自未在图 2 中示出的有限状态机的信号 SIG 驱动和转换。信号被转发到同步存储元件 4 并且在那里实现同步；来自同步存储元件 4 的输出信号 SUOT 被发送到有限状态机 2。当它的信号已经被有限状态机 2 识别出来的时候，有限状态机 2 将复位信号 CLK 发送到异步存储元件 3 以将其复位。有限状态机 2 具有寄存器 5，用于复位信号 CLK 的临时存储，并且既可以是一个内部寄存器也可以是外部寄存器。寄存器 5 防止异步存储元件 3 在不稳定的状态下过早的复位。必须选择独立寄存器的逻辑芯片，以便于由它们导致的时间延迟尽可能的小。

为了在复位之后将异步存储元件 3 转换到特定的状态，信号 RST 通过 OR 门连接到复位信号 CLR 上。异步存储元件 3 的输入 D 连接到信号 RST 上，使得异步存储元件 3 的复位状态能够被检测。

为了测试电路结构的同步，异步存储元件 3 的时钟速率可以通过门 7 利用信号 TE 转换到时钟速率 CLK2。

图 3 表示较快系统与较慢系统相同步的信号流。独立的信号流表示在时间

轴上。如图 3 中所表示的，第一条线所表示的有限状态机 1 的时钟速率 CLK 1 高于第二条线所表示的有限状态机 2 的时钟速率 CLK2。信号传输始于有限状态机 1，其将第三条线所表示的信号 SIG 经异步存储元件 3 发送到同步存储元件 4。同步存储元件 4 以时钟速率 CLK2 运行，以便于第四条线所表示的同步存储元件 4 的输出信号 SOUT 与有限状态机 FSM2 的时钟速率同步。信号 SOUT 在 CLK2 的新时钟周期开始处表示上升沿。信号到达有限状态机 2，按照顺序，在 CLK2 的下一个时钟周期开始处，发送图 3 中的底线所表示的 CLR 信号，以将异步存储元件 3 复位。不久以后，信号 SOUT 也复位。

类似地，图 4 表示较慢系统与较快系统相同步的信号流。在这一实施例中，时钟速率 CLK1 比时钟速率 CLK2 低。在第三条线所表示的信号 SIG 由有限状态机 1 激活之后，信号 SIG 以上述记载的方式转换，在经过一定的时间之后，产生第四条线所表示的信号 SOUT 的上升沿。类似于前面的例子，在下一个周期，复位信号 CLR（底线）被有限状态机 2 激活，并且信号 SOUT 因此再次复位。具有较慢时钟速率 CLK1 的有限状态机 1 因此与较快的有限状态机 2 同步。

所描述的电路结构特别适于其中使用几个时钟速率的系统，例如移动发送接收机，个人数字助理（PDA），GPS 系统，汽车导航系统，以及类似的系统。

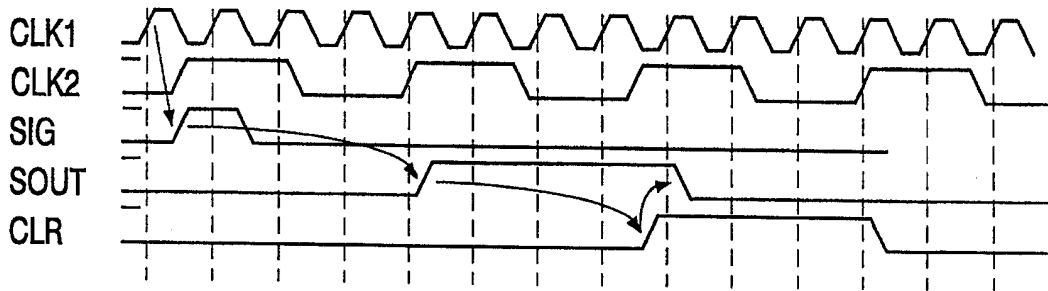


图 3

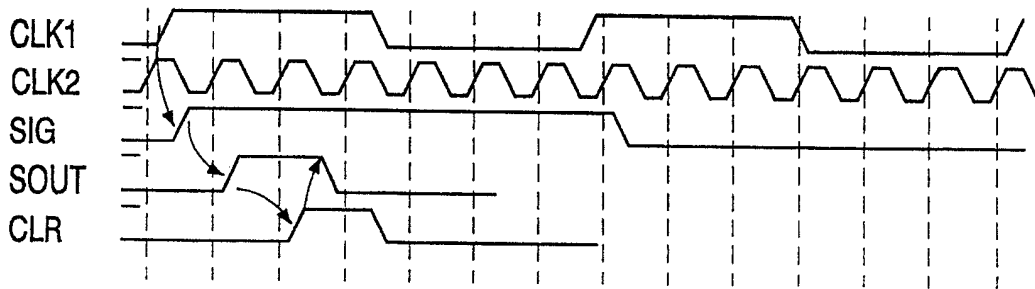


图 4