

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年12月4日(04.12.2014)



(10) 国際公開番号

WO 2014/192153 A1

- (51) 国際特許分類:
G06F 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2013/065275
- (22) 国際出願日: 2013年5月31日(31.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所(HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 吉村 地尋(YOSHIMURA Chihiro); 〒
1858601 東京都国分寺市東恋ヶ窪一丁目280
番地 株式会社日立製作所 中央研究所内
Tokyo (JP). 山岡 雅直(YAMAOKA Masanao); 〒
1858601 東京都国分寺市東恋ヶ窪一丁目280
番地 株式会社日立製作所 中央研究所内
Tokyo (JP). 関口 知紀(SEKIGUCHI Tomonori);
SL68YA パークシャー州、ロウワークックハム

ロード、メイデンヘッド、ホワイトブルック
パーク 日立ヨーロッパ社内 Berkshire (GB). 戸
丸 辰也(TOMARU Tatsuya); 〒1858601 東京都国
分寺市東恋ヶ窪一丁目280番地 株式会社日
立製作所 中央研究所内 Tokyo (JP).

(74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.);
〒1040032 東京都中央区八丁堀二丁目7番1号
Tokyo (JP).

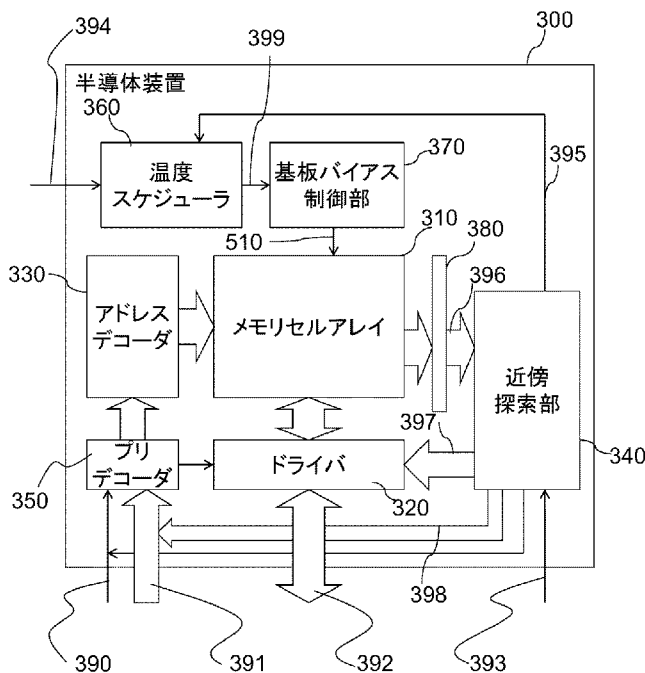
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図3



- | | |
|--------------------------|---------------------------------|
| 300 Semiconductor device | 340 Neighborhood search unit |
| 310 Memory cell array | 350 Pre-decoder |
| 320 Driver | 360 Temperature scheduler |
| 330 Address decoder | 370 Substrate bias control unit |

(57) Abstract: An objective of the present invention is to provide an easily fabricated device whereby it is possible to derive a ground state of an arbitrary Ising model. A semiconductor device comprises a first memory cell, and a second memory cell which interacts with the first memory cell. The storage content of the first memory cell and the second memory cell is stochastically inverted. The storage content is stochastically inverted by a threshold voltage of the first and second memory cell being lowered. The threshold voltage of the first and second memory cells is lowered by controlling a substrate bias, a power supply voltage, or a trip point, of the first and second memory cells.

(57) 要約: 容易に製造できる任意のイジングモデルの基底状態を求めることのできる装置を提供することを目的とする。半導体装置は、第1のメモリセルと、第1のメモリセルと相互作用する第2のメモリセルとを有し、第1のメモリセルと第2のメモリセルの記憶内容が確率的に反転させられる。第1および第2のメモリセルの閾値電圧が下げられることで記憶内容が確率的に反転させられる。第1および第2のメモリセルの基板バイアスまたは電源電圧またはトリップポイントが制御されることによって、第1および第2のメモリセルの閾値電圧が下げられる。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、例えばイジングモデルの基底状態を求める半導体装置に適用可能である。

背景技術

[0002] 従来、コンピュータの性能向上は半導体素子の進歩に依存していた。現在主流のノイマン型コンピュータはプログラムを逐次的に実行するものであり、その実行速度を高めるために、主にプロセッサのクロック周波数の向上に頼っていた。しかし、2000年頃からクロック周波数の向上は頭打ちとなり、次なる性能向上策として半導体素子の微細化に頼ったプロセッサのマルチコア化と、それに対応するためのプログラムの並列化が現在用いられている。

[0003] しかし、半導体素子の微細化も限界に近付きつつある上に、元々逐次的に実行することを前提としていたプログラムを並列化することにも限界が見えてきている。こうした状況を鑑みると、今後、コンピュータの継続的な性能向上を実現していく上では、プログラムの逐次的な実行とは異なる、新しい情報処理の原理を実現することが必要となる。

[0004] ところで、イジングモデルは磁性体の振舞いを説明するための統計力学のモデルであり、磁性体の研究に用いられている。イジングモデルはサイト（ $+1/-1$ の2値をとるスピン）間の相互作用として定義される。トポロジが非平面グラフになるイジングモデルの基底状態を求めることはNP困難問題であることが知られている。

[0005] そのため、イジングモデルの基底状態を求めることのできる装置があれば、各種の問題をイジングモデルの基底状態を求めるという問題に変換することで、問題を解くことが出来る。しかし、イジングモデルの基底状態を求めることは、前述した通りNP困難問題であるから、ノイマン型コンピュータ

で解くことは計算時間の面で困難を伴う。ヒューリスティックを導入して高速化を図るアルゴリズムも提案されているが、ノイマン型コンピュータではなく物理現象をより直接的に利用した計算、すなわちアナログコンピュータでイジングモデルの基底状態を高速に求める方法が提案されている。例えば、このような装置として、例えば特許文献1に記載の装置がある。

[0006] 解きたい問題をイジングモデルに変換する、より具体的にはサイト間の相互作用の係数に問題を変換することが出来れば、前述したようなアナログコンピュータで当該問題を解くことが出来る。従来のノイマン型コンピュータでは問題をアルゴリズムという時間方向に逐次的なステップで表現しており、そのことが高速化を阻害する要因となっていた。しかし、問題をイジングモデルに変換するということは、サイト間の相互作用の係数という空間方向のパラメータとして問題を表現していることになり、高速化に都合が良い。

[0007] そこで、解きたい問題をイジングモデルに変換すること、そして、そのイジングモデルの基底状態を求めることのできるハードウェアを実現することが必要となる。

先行技術文献

特許文献

[0008] 特許文献1：国際公開2012／118064号

発明の概要

発明が解決しようとする課題

[0009] 特許文献1では、イジングモデルの基底状態を求めることのできるハードウェアとして、レーザを用いており、所望の特性のレーザを製造することが困難である。

[0010] 本開示は、容易に製造できる任意のイジングモデルの基底状態を求めることのできる装置を提供することを目的とする。

課題を解決するための手段

[0011] 本開示のうち、代表的なものの概要を簡単に説明すれば、下記のとおりで

ある。

半導体装置は、第1のメモリセルと、第1のメモリセルと相互作用する第2のメモリセルとを有し、第1のメモリセルと第2のメモリセルの記憶内容が確率的に反転するようにされる。

発明の効果

[0012] 上記半導体装置によれば、任意のイジングモデルの基底状態を求める装置を容易に製造することができる。

図面の簡単な説明

[0013] [図1]エネルギー関数の構成例を説明する図である。

[図2]エネルギー関数の構成例を説明する図である。

[図3]実施例1におけるイジングモデルの基底状態を求める半導体装置の構成を説明する図である。

[図4]実施例1における近傍探索部の構成を説明する図である。

[図5]実施例1におけるメモリセルの構成を説明する図である。

[図6]実施例1におけるメモリセルアレイの構成を説明する図である。

[図7]実施例1における温度スケジューラの構成を説明する図である。

[図8]実施例2におけるメモリセルの構成を説明する図である。

[図9]実施例3におけるメモリセルの構成を説明する図である。

[図10]実施例2におけるイジングモデルの基底状態を求める半導体装置の構成を説明する図である。

[図11]実施例3におけるイジングモデルの基底状態を求める半導体装置の構成を説明する図である。

発明を実施するための形態

[0014] 実施の形態の概要を簡単に説明すれば、下記のとおりである。

(1) 半導体装置は、第1のメモリセルと、第1のメモリセルと相互作用する第2のメモリセルとを有し、第1のメモリセルと第2のメモリセルの記憶内容が確率的に反転するようにされる。

(2) 上記(1)の半導体装置は、第1のメモリセルと前記第2のメモリセ

ルの閾値電圧を変えることで記憶内容が確率的に反転するようにされる。

(3) 上記(1)の半導体装置は、さらに第1のレジスタと第2のレジスタを有し、第1のメモリセルと第2のメモリセルの閾値電圧を制御する制御電圧を時間経過に伴い変化させ、制御電圧が第1のレジスタで指定された条件に達したとき、制御電圧を前記第2のレジスタで指定された値に基づいた電圧とするようにされる。

(4) 上記(3)の半導体装置において、制御電圧は基板バイアスである。

(5) 上記(3)の半導体装置において、制御電圧は電源電圧である。

(6) 上記(3)の半導体装置において、第1のメモリセルと前記第2のメモリセルは、メモリセルのトリップポイントを可変するためのトランジスタを有し、制御電圧は前記トランジスタのゲートに印加される電圧である。

(7) 上記(1)から(6)のいずれか1つの半導体装置は、さらに第1の演算器と第2の演算器を有し、第1の演算器は第1のメモリセルと第2のメモリセルを入力としたエネルギー関数を計算するようにされ、第2の演算器は第1のメモリセルと第2のメモリセルの反転値を入力としたエネルギー関数を計算するようにされる。

(8) 上記(1)から(7)のいずれか1つの半導体装置において、第1のメモリセルと第2のメモリセルのそれぞれは、ワード線、第1のビット線、及び、第2のビット線を有し、第1のビット線は前記ワード線がアクティベートされたときに読み書きが可能であり、第2のビット線は常時読み出しが可能である。

(9) 上記(1)から(8)のいずれか1つの半導体装置において、第1のメモリセルと第2のメモリセルのそれぞれは、1対のCMOSインバータを含むSRAMメモリセルである。

(10) 半導体装置は、第1のメモリセルと、第1のメモリセルと相互作用する第2のメモリセルとを有し、第1および第2のメモリセルのそれぞれは、1対のCMOSインバータを含むSRAMメモリセルであり、第1および第2のメモリセルの記憶内容が確率的に反転するようにされる。

(11) 上記(10)の半導体装置は、さらに、温度とエネルギーを設定する第1のレジスタと、温度を設定する第2のレジスタと、現在の温度とエネルギーを保持する第3のレジスタと、を有し、第1および第2のメモリセルの印加電圧を時間経過に伴い変化させ、第3のレジスタの内容が第1のレジスタで指定された条件に達したとき、基板バイアスを第2のレジスタで指定された温度に基づいた電圧とするようにされる。

(12) 上記(10)および(11)のいずれか1つの半導体装置は、さらに第1の演算器と第2の演算器を有し、第1の演算器は第1および第2のメモリセルを入力としたエネルギー関数を計算するようにされ、第2の演算器は第1および第2のメモリセルの反転値を入力としたエネルギー関数を計算するようにされる。

(13) 上記(10)から(12)のいずれか1つの半導体装置において、第1および第2のメモリセルは、それぞれワード線、第1のビット線、及び、第2のビット線を有し、第1のビット線はワード線がアクティベートされたときに読み書きが可能であり、第2のビット線は常時読み出しが可能である。

(14) 上記(10)から(13)のいずれか1つの半導体装置は、第1および第2のメモリセルの基板バイアスを制御し、第1および第2のメモリセルの閾値電圧を下げることで記憶内容を確率的に反転するようにされる。

[0015] 実施の形態に係る半導体装置は、現在幅広く用いられているCMOS集積回路のプロセスで製造することができる。したがって、イジングモデルの基底状態を求める装置を容易に製造することができる。

[0016] また、実施の形態に係る半導体装置は、同様にCMOS集積回路のプロセスで製造したノイマン型コンピュータでイジングモデルの基底状態を求める場合と比較して、より少量のハードウェア資源で構成することができる。

[0017] 以下、図面を参照して実施例を説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[0018] 実施例では、因数分解する問題を例として説明するが、それに限定されるものではなく、イジングモデルの基底状態を求めることができるNP困難問題であればよい。

実施例 1

[0019] 本実施例では、イジングモデルの基底状態を求める半導体装置の例を説明する。本実施例では、解くべき問題として因数分解を例に挙げる。具体的には4ビットの数を2個の2ビットの値に因数分解する問題を、イジングモデルの基底状態を求める問題に変換し、それを半導体装置によって解く。

[0020] <解きたい問題のイジングモデル変換>

イジングモデルの基底状態を求めるというのは、イジングモデルのエネルギー関数を最小化するスピンの配列を求める最適化問題である。そのため、まず因数分解を最適化問題として定式化する。因数分解すべき数をN、Nの因数をa、bとすると、下記の式(1)を満たすa、bを求めることで因数分解が出来る。

[0021] [数1]

$$(N-ab)^2=0 \quad \cdots (1)$$

[0022] 次に、式(1)をイジングモデルのハミルトニアン(エネルギー関数)で表現する。イジングモデルのエネルギー関数は一般的に下記の式(2)で表わされる。なお、 σ_i 、 σ_j はそれぞれi番目とj番目のサイトの値、 $J_{i,j}$ はi番目とj番目のサイトの間の相互作用係数、 H_i はi番目のサイトに対する外部磁場係数、 $\langle i,j \rangle$ は隣接する2つのサイトの組合せ、 σ はサイトの配列を表わすものとする。

[0023] [数2]

$$E(\sigma) = -\sum_{\langle i,j \rangle} J_{ij} \sigma_i \sigma_j - \sum_i H_i \sigma_i \quad \cdots (2)$$

[0024] 各サイト σ_i は+1/-1の2値を持つスピンである。よって、式(1)の変数a、bを2値のスピン複数個の組合せで表現すれば良い。但し、後述するように本実施例ではスピンではなく、CMOS回路で実現されるフリップ

フロップなどの記憶素子をサイトとして用いるので、これ以降、各サイト σ_i は 0 / 1 の 2 値を持つものとする。解くべき問題は $6 = 2 \times 3$ であるため、因数 a 、 b を表現するためにそれぞれ 2 ビットずつを利用するものとして、サイト a_1 、 a_2 、 b_1 、 b_2 とすると、下記の式 (3) で表されるエネルギー関数を最小化する a_1 、 a_2 、 b_1 、 b_2 を求めれば因数分解が出来ることになる。

[0025] [数3]

$$E(a_1, a_2, b_1, b_2) = [N - (2a_1 + a_2)(2b_1 + b_2)]^2 \quad \dots (3)$$

[0026] 式 (3) を展開すれば、式 (2) を構成する相互作用係数と外部磁場係数が得られる。しかし、式 (2) では相互作用の及ぶ範囲が高々 2 体間であったのに対して、式 (3) を展開すると 3 体間、4 体間の相互作用が出てきてしまう。よって、このままではイジングモデルに問題を変換できないため、下記の技術文献に記載の方法で 2 体相互作用に収める。

[0027] [技術文献] Gernot Schaller and Ralf Schutzhold, The role of symmetries in adiabatic quantum algorithms, arXiv:0708.1882, 2007.

図 1 は、式 (3) のエネルギー関数を、補助ビットを導入して表現したものである。因数分解すべき数 N は 4 ビット ω_1 、 ω_2 、 ω_3 、 ω_4 で表現している。補助ビットとして、 S_{11} 、 S_{12} 、 S_{21} 、 S_{22} 、 z_{01} 、 z_{02} 、 z_{11} 、 z_{12} 、 z_{21} 、 z_{22} を導入している。但し、補助ビットの幾つかは 0 にしかならないことが自明であり、そうした補助ビットを取り除いて簡約化したものを図 2 に示す。その結果、4 ビット ω_1 、 ω_2 、 ω_3 、 ω_4 それぞれに対応して下記の式 (4) ~ 式 (7) が得られる。

[0028] [数4]

$$a_2 b_2 - \omega_4 = 0 \quad \dots (4)$$

[0029] [数5]

$$a_1 b_2 - S_{21} = 0 \quad \dots (5)$$

[0030]

[数6]

$$a_2 b_1 + S_{21} - \omega_3 - 2z_{11} = 0 \quad \cdots (6)$$

[0031] [数7]

$$a_1 b_1 + z_{11} - \omega_2 - 2\omega_1 = 0 \quad \cdots (7)$$

[0032] しかし、式（４）～式（７）をそれぞれ二乗してエネルギー関数を得よう
 とすると、式（３）の場合と同様に３体以上の相互作用が出てしまい、イジ
 ングモデルにならない。そこで、非特許文献１に記載されている方式を用い
 る。２値（０／１）のビット変数 a 、 b 、 c_1 、 c_2 、 c_3 、 c_4 、 $\cdots$ 、 c_n と、
 c_1 、 c_2 、 c_3 、 c_4 、 $\cdots$ 、 c_n に対する整数係数 k_1 、 k_2 、 k_3 、 k_4 、 $\cdots$ 、
 k_n があるときに、下記の式（８）と式（９）を満たすビット変数 a 、 b 、 c
 c_1 、 c_2 、 c_3 、 c_4 、 $\cdots$ 、 c_n は同一である。すなわち、０になる条件が同じ近
 似式が得られる。

[0033] [数8]

$$(ab + k_1 c_1 + k_2 c_2 + k_3 c_3 + k_4 c_4 + \cdots + k_n c_n)^2 = 0 \quad \cdots (8)$$

[0034] [数9]

$$2 \left[\frac{1}{2} \left(a + b - \frac{1}{2} \right) + k_1 c_1 + k_2 c_2 + k_3 c_3 + k_4 c_4 + \cdots + k_n c_n \right]^2 - \frac{1}{8} = 0 \quad \cdots (9)$$

[0035] 式（９）では $a b$ という項が $a + b$ になっているため、２体間相互作用の
 範囲内で収まる。この変換を式（４）～式（７）それぞれに適用して、下記
 の式（１０）～式（１３）を得る。

[0036] [数10]

$$2 \left[\frac{1}{2} \left(a_2 + b_2 - \frac{1}{2} \right) - \omega_4 \right]^2 - \frac{1}{8} = a_2 b_2 - 2a_2 \omega_4 - 2b_2 \omega_4 + 3\omega_4 \quad \cdots (10)$$

[0037] [数11]

$$2 \left[\frac{1}{2} \left(a_1 + b_2 - \frac{1}{2} \right) - S_{21} \right]^2 - \frac{1}{8} = a_1 b_2 - 2a_1 S_{21} - 2b_2 S_{21} + 3S_{21} \quad \cdots (11)$$

[0038]

[数12]

$$\begin{aligned}
& 2 \left[\frac{1}{2} \left(a_2 + b_1 - \frac{1}{2} \right) + S_{21} - \omega_3 - 2z_{11} \right]^2 - \frac{1}{8} \\
& = a_2 b_1 + 2a_2 S_{21} + 2b_1 S_{21} + S_{21} - 2a_2 \omega_3 - 2b_1 \omega_3 - 4S_{21} \omega_3 + 3\omega_3 - 4a_2 z_{11} - 4b_1 z_{11} - 8\omega_3 z_{11} + 10z_{11} \\
& \quad \dots \quad (12)
\end{aligned}$$

[0039] [数13]

$$\begin{aligned}
& 2 \left[\frac{1}{2} \left(a_1 + b_1 - \frac{1}{2} \right) + z_{11} - \omega_2 - 2\omega_1 \right]^2 - \frac{1}{8} \\
& = a_1 b_1 - 4a_1 \omega_1 - 4b_1 \omega_1 + 10\omega_1 - 2a_1 \omega_2 - 2b_1 \omega_2 + 8\omega_1 \omega_2 + 3\omega_2 + 2a_1 z_{11} + 2b_1 z_{11} - 8\omega_1 z_{11} - 4\omega_2 z_{11} + z_{11} \\
& \quad \dots \quad (13)
\end{aligned}$$

[0040] 式(10)～式(13)で得られた項を纏めると、下記の式(14)に示すようなエネルギー関数として纏められる。なお、 $a_1 = \sigma_1$ 、 $a_2 = \sigma_2$ 、 $b_1 = \sigma_3$ 、 $b_2 = \sigma_4$ 、 $z_{11} = \sigma_5$ 、 $S_{21} = \sigma_6$ とする。

[0041] [数14]

$$E(\sigma) = \sum_{\langle i,j \rangle} J_{ij} \sigma_i \sigma_j + \sum_i H_i \sigma_i + Offset \quad \dots \quad (14)$$

$$J_{ij} = \begin{pmatrix} 0 & 0 & 1 & 1 & 2 & -2 \\ 0 & 0 & 1 & 1 & -4 & 2 \\ 0 & 0 & 0 & 0 & -2 & 2 \\ 0 & 0 & 0 & 0 & 0 & -2 \\ 0 & 0 & 0 & 0 & 0 & -8 \\ 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix}$$

$$H_i = \begin{pmatrix} -4\omega_1 - 2\omega_2 \\ -2\omega_3 - 2\omega_4 \\ -4\omega_1 - 2\omega_2 - 2\omega_3 \\ -2\omega_4 \\ -8\omega_1 - 4\omega_2 + 8\omega_3 + 11 \\ -4\omega_3 + 4 \end{pmatrix}$$

$$Offset = 8\omega_1 \omega_2 + 10\omega_1 + 3\omega_2 + 3\omega_3 + 3\omega_4$$

[0042] よって、本実施例では、因数分解すべき数 N を4ビットで表現した ω_1 、 ω_2 、 ω_3 、 ω_4 が与えられたときに、式(14)で示されるエネルギー関数 $E(\sigma)$ に対応するイジングモデルの基底状態、すなわち $E(\sigma) = 0$ となる $\sigma = \{\sigma_1, \sigma_2, \sigma_3, \sigma_4, \sigma_5, \sigma_6\}$ を求める半導体装置を示す。

[0043] <イジングモデルの基底状態を求める半導体装置>

図3は、実施例1の半導体装置の構成図の例である。本実施例の半導体装置300はSRAM(Static Random Access Memory)を基にした構造となっている。メモリセルアレイ310、ドライバ320、アドレスデコーダ330、プリデコーダ350、センスアンプ380、リクエスト線390、アドレス線391、及び、データ線392は、SRAMにおける対応する構成要素を踏襲している。半導体装置300はCMOS(Complementary Metal Oxide Semiconductor)集積回路のプロセスで製造される。SRAMとの違いに関しては、各構成要素の説明において詳細を述べる。

[0044] イジングモデルのサイト、すなわち式(14)における σ はメモリセルアレイ310で実現する。よって、式(14)の例であればメモリセルアレイ310は6ビット以上のメモリセルを有するメモリセルアレイである。

[0045] (SRAMと同様の構成)

メモリセルアレイ310は、SRAMと同様に外部からアドレスを指定することで読書きが可能な構成である。メモリセルアレイ310は、例えば、1ワード8ビット、8ワード構成であれば、合計64ビットのメモリセルアレイであり、アドレス毎に1ワード8ビットずつ読み書きが出来るものとする。そのために、半導体装置300は、メモリセルアレイ310のワード線をアクティベートするアドレスデコーダ330、メモリセルアレイ310内のビット線を駆動、ないしは、読み出しするためのドライバ320、及び、制御信号を生成するプリデコーダ350を有する。ドライバ320は読み出しに用いるセンスアンプと書込みに用いるライトドライバから構成される。

[0046] メモリセルアレイ310の構造を、図5及び図6を用いて説明する。図5は実施例1におけるメモリセルの構成を説明する図である。図6は実施例1

におけるメモリセルアレイの構成を説明する図である。メモリセルアレイ 310は図6に示すように図5のメモリセル500を並べたものである。メモリセル500はデータ保持部560、及び、1対のパスゲートトランジスタ550から構成され、外部とのインタフェースとして1対のワード線520、1対の第1ビット線530、1対の第2ビット線540、基板バイアス制御線510を持っている。データ保持部560は2個のCMOSインバータから構成される。CMOSインバータINV1の出力がCMOSインバータINV2の入力にノードN1で接続され、CMOSインバータINV2の出力がCMOSインバータINV1の入力にノードN2で接続されたフリップフロップを構成している。ノードN1とノードN2が相補的な記憶ノードとなっている。パスゲートトランジスタ550はnチャネル型MOSトランジスタで構成される。

[0047] データ保持部560の入出力をパスゲートトランジスタ550と、パスゲートトランジスタ550に対する制御信号であるワード線520で制御し、第1ビット線530で読書きを行うという点はSRAMと共通である。アドレスデコーダ330がワード線520を駆動し、ドライバ320が第1ビット線530を駆動する。

[0048] 本実施例の特徴として、データ保持部560に対する基板バイアス制御を行う基板バイアス制御線510を有することと、データ保持部560の記憶内容を読み出すために、第1ビット線530とは別に、第2ビット線540を有することを特徴としている。

[0049] 図6のメモリセルアレイ310の構成では、第1ビット線530は1ワードの入出力を行うために設けられており、ワード線520によりワードを選択する。それに加えて、各メモリセル500から個別に第2ビット線540を外部に出力している。すなわち、メモリセルアレイ310はワード単位での読書きとは別に、全ビットの読み出しを並行して行うことの可能な構成となっている点が特徴である。また、メモリセルアレイ310に含まれる全てのメモリセル500のデータ保持部560の基板バイアスを外部から制御で

きるようになっている。本実施例では、データ保持部560が第2ビット線520に直接接続されているが、第1ビット線530と同様に、パスゲートトランジスタを介して接続される、いわゆるデュアルポートSRAMの構成としてもよい。メモリセルが多い場合は、デュアルポートSRAMの構成の方が有効である。

[0050] (SRAMと異なる構成)

半導体装置300はSRAMとは異なり、近傍探索部340、温度スケジューラ360、基板バイアス制御部370をさらに有している。

[0051] イジングモデルの基底状態を求めるなどの最適化問題の解法として、従来のノイマン型コンピュータ上ではシミュレーテッドアニーリングと呼ばれるアルゴリズムが用いられている。シミュレーテッドアニーリングは、近傍探索、メトロポリス法、温度スケジューリングの3要素から構成されている。

[0052] 近傍探索とは、現在の状態の近傍にある状態のエネルギーを計算し、エネルギーが減少する場合には状態を近傍に遷移するというものである。近傍探索を繰り返すことにより、エネルギーが小さい状態、すなわち、最適解に近い状態に向かうことが出来るが、局所解に陥った場合には抜けだすことが出来ない。

[0053] そこで、局所解からの脱出用にメトロポリス法を導入する。メトロポリス法は近傍探索において、エネルギーが大きくなる状態への遷移を確率的に許すことで、局所解からの脱出を行う。遷移を許す度合いは、温度とエネルギーの差で決まり、温度を T 、現在の状態のエネルギーを $E_{current}$ 、近傍の状態のエネルギーを E_{next} としたときに、式(15)で示される確率で遷移を許す。

[0054] [数15]

$$P = \exp\left(-\frac{E_{next} - E_{current}}{T}\right) \quad \dots (15)$$

[0055] さらに、この温度が一定のままでいつまでも収束しないので、温度を徐々に下げていく温度スケジューリングが必要となる。

[0056] シミュレーテッドアニーリングはノイマン型コンピュータで実行するアルゴリズムであり、逐次的に実行することが前提となっている。しかし、本実施例では半導体装置 300 でイジングモデルの基底状態を高速に探索することを実現するために、シミュレーテッドアニーリングの動作を改変して、近傍探索部 340、温度スケジューラ 360、基板バイアス制御部 370 でそれぞれ同時並行的に動作させる。

[0057] (a) 近傍探索

近傍探索部 340 の構成を図 4 に示す。近傍探索部 340 は、2 個のエネルギー演算器 410A、410B、係数記憶部 420、ビット反転器 440、比較器 450、及び、書込み信号生成部 460 から構成されている。

[0058] 半導体装置 300 では、近傍探索を以下のようにして行う。まず、メモリセルアレイ 310 の第 2 ビット線 540 からセンスアンプ 380 で全ビットを読み出す。なお、これ以降、読み出したビット列を現状態ベクトルと呼称する。現状態ベクトルを信号線 395 を介してエネルギー演算器（第 1 の演算器）410A に入力するとともに、現状態ベクトルをビット反転器 440 に入力する。ビット反転器 440 は入力されたビット列（現状態ベクトル）のうち、ランダムに選んだ 1 ビットを反転させたビットを生成する。これを近傍状態ベクトルと呼称する。ビット反転器 440 が生成した近傍状態ベクトルはエネルギー演算器（第 2 の演算器）410B に入力する。また、ビット反転器 440 は反転したビットを示す識別子（ビット番号）を書込み信号生成部 460 に送る。

[0059] エネルギー演算器 410A、410B は両方とも共通した構造の演算器であり、式 (14) で示したエネルギー関数 $E(\sigma)$ の計算を行う。このとき、エネルギー関数 $E(\sigma)$ の引数である σ はエネルギー演算器 410A、410B に入力されたビット列（エネルギー演算器 410A の場合は現状態ベクトル、エネルギー演算器 410B の場合は近傍状態ベクトル）となる。また、エネルギー関数 $E(\sigma)$ を計算する上で必要となるパラメータである J_i 、 H_i 、及び、Offset は係数記憶部 420 が保持している。

- [0060] 係数記憶部420は半導体装置300と外部とのインタフェースである係数設定インタフェース393を介して、エネルギー関数を計算する上で必要となるパラメータを外部から設定し、保持するための記憶装置である。
- [0061] 比較器450はエネルギー演算器410A、410Bの計算したエネルギーを比較し、エネルギーが小さい方を判定する。判定結果は書込み信号生成部460に入力される。
- [0062] なお、エネルギー演算器410A、410B、及び、比較器450はデジタル回路によるものであっても、アナログ回路によるものであっても良い。
- [0063] 書込み信号生成部460は、近傍状態ベクトルの方のエネルギーが小さいときに、メモリセルアレイ310に記憶されている内容を現在の記憶内容（現状態ベクトル）から近傍状態ベクトルに更新するための信号を生成する。具体的には、ビット反転器440から指定されたビット番号に基づき、現状態ベクトルのうち反転されたビットを含む1ワードを取りだし、当該ワード中の当該ビットを反転させた1ワードと、そのワードをメモリセルアレイ310に書込むためのアドレスを生成する。生成したワードは信号線397を介してドライバ320に、アドレスは信号線398を介してプリデコーダ350に、書込み要求信号はリクエスト線390を介してプリデコーダ350に入力される。
- [0064] これらの動作により、近傍探索部340はシミュレーテッドアニーリングにおける近傍探索に相当する動作を高速に実現することが出来る。
- [0065] マルチプレクサ470は比較器450の比較結果を元に、次の状態ベクトル（現状態ベクトルと近傍状態ベクトルのうち、エネルギーの低い方）のエネルギーを、信号線395を介して後述する温度スケジューラ360に送る。
- [0066] 次に、メトロポリス法に相当する動作を実現する基板バイアス制御部370と、温度スケジュールに相当する動作を実現する温度スケジューラ360について説明する。
- [0067] （b）メトロポリス法

シミュレーテッドアニーリングでのメトロポリス法は、近傍探索において、エネルギーが高くなる状態への遷移を、式（１５）で示される確率で決めるというものであった。しかし、この方式では近傍探索と独立したハードウェアで同時並行的に行うことが難しい。かつ、確率的な動作を行うために、大量の乱数を発生させる必要があるため、そのこともシミュレーテッドアニーリングを実現するコストを上昇させている。

[0068] そこで、半導体装置 300 では、メトロポリス法の代替として、所定の確率でメモリセルアレイ 310 内の各メモリセルの記憶内容を反転させる、すなわちメモリセルを不安定な状態にすることで、局所解からの脱出を実現する。このとき、記憶内容が反転する確率は、メトロポリス法とは異なり、現状態ベクトルのエネルギーと近傍状態ベクトルのエネルギーの差とは関係なく、単に温度だけで決定する。

[0069] また、エネルギー演算器 410A、410B によって計算されたエネルギーの履歴から、エネルギーが減少しないときに局所解に陥っているものと判定し、そのときにメモリセルの記憶内容を確率的に反転させることで、局所解からの脱出を図る。

[0070] メモリセルを不安定な状態とし、その記憶内容を確率的に反転させるための手段として、メモリセルの閾値電圧 (V_{th}) を変化させる。閾値電圧を変化させる手段として、例えば、基板バイアス制御、電源電圧制御、ないしは、トリップポイント制御を用いることができる。本実施例においては、基板バイアス制御を利用する。

[0071] 基板バイアス制御では、基板バイアス制御部 370 はメモリセルアレイ 310 内の各メモリセルの基板バイアス制御線 510 に、基板バイアスを印加する。

[0072] 一般的に基板バイアス制御は、半導体装置製造時のばらつきを補償するためや、待機時のリーク電流削減用に用いられている。具体的には、待機時のリーク電流削減を例にとると、通常動作時には基板バイアスをかけずに低い閾値電圧 (V_{th}) でトランジスタを利用する。一方、待機時には逆方向の

基板バイアスをかけることで V_{th} を高くし、リーク電流を削減する。あるいは、通常はリーク電流の発生を抑制できる程度の V_{th} にしておき、動作時に順方向の基板バイアスをかけて V_{th} を下げて利用する。これらの基板バイアスの利用方法とは異なり、本実施例では基板バイアスで V_{th} を下げることで、メモリセルを意図的に不安定とする。通常、データを保持する目的からはデータ保持部560の V_{th} はノイズの影響を受けない程度に高く設定する。しかし、本実施例では V_{th} を下げることで、意図的にノイズの影響を受けさせて、メモリセルの内容を確率的に反転させる。反転する確率は V_{th} で調節する。また、メモリセル近傍にノイズ源を配置し、ノイズ源の強度と V_{th} の双方で確率を制御しても良い。

[0073] これにより、本実施例では、基板バイアスの制御でメトロポリス法相当の動作を実現することが出来る。本来、メトロポリス法を実現するためには大量の乱数を発生させる必要があるため、乱数発生器を何度も使うか、乱数発生器自体を大量に用意する必要があった。それに対して、本実施例では基板バイアスを下げることによって発生するメモリセルの不安定性を直接的に利用することで、この問題を解決している。

[0074] (c) 温度スケジューリング

基板バイアスは、温度スケジューラ360が生成する電圧によって時系列的に変化させる。温度スケジューラ360の構成を、図7を用いて説明する。図7は実施例1における温度スケジューラの構成を説明する図である。温度スケジューラ360は、初期温度レジスタ710（第2のレジスタ）、冷却係数レジスタ（第4のレジスタ）720、D/A変換器730、乗算器740、再加熱条件レジスタ750（第1のレジスタ）、再加熱判定器760、現在温度レジスタ（第3のレジスタ）770から構成されている。

[0075] 半導体装置300と外部とのインタフェースである温度設定インタフェース394を介して、初期温度レジスタ710、冷却係数レジスタ720、及び、再加熱条件レジスタ750を設定する。初期温度レジスタ710は温度スケジュールにおける最初の温度、及び、再加熱する際の最初の温度を記憶

するためのレジスタであり、外部から値を設定し保持するためにある。冷却係数レジスタ 720 は温度を冷却する係数を設定する。温度スケジュールは現在の温度に対して、冷却係数レジスタ 720 が保持する係数 (< 1) を乗じていくことで冷却する幾何冷却法を用いる。再加熱条件レジスタ 750 は、冷却が進んだときにメモリセルアレイ 310 の内容が解に達していないとき、再度加熱して解への収束を促進させるための条件を設定する。具体的には、再加熱を行う条件となる温度とエネルギーを設定する。

[0076] 初期温度レジスタ 710 に設定された内容で現在温度レジスタ 770 が初期化され、乗算器 740 が現在温度レジスタ 770 の値と冷却係数レジスタ 720 の値を乗じて現在温度レジスタ 770 に設定することで、現在温度レジスタ 770 の時系列的な値の変化は幾何冷却法に基づく温度スケジュールに則ったものとなる。そして、D/A 変換器 730 が現在温度レジスタ 770 の値を電圧に変換することで、基板バイアス制御に用いる電圧が得られ、信号線 399 を介して基板バイアス制御部 370 に送られる。

[0077] この温度スケジュールの過程において、再加熱判定器 760 は、信号線 395 を介して近傍探索部 340 からのエネルギーと、現在温度レジスタ 770 からメモリセルアレイ 310 の現在の状態におけるエネルギーと現在の温度を取得する。そして、再加熱条件レジスタ 750 が保持している再加熱条件エネルギーと再加熱条件温度と現在のエネルギー及び温度を比較する。（現在のエネルギー $>$ 再加熱条件エネルギー） $\wedge$ （現在の温度 $<$ 再加熱条件温度）という条件を満たすとき、再加熱を行う。再加熱は初期温度レジスタ 710 の値を現在温度レジスタ 770 に格納することで行う。

[0078] 以上の構成により、半導体装置 300 は、係数設定インタフェース 393 で係数記憶部 420 に設定した係数を持つイジングモデルの基底状態を求めることができる。例えば、式 (14) に示した係数 J_{ij} 、 H_i 、 $Offset$ を設定することで、イジングモデルの基底状態を求めることを通して、因数分解を行うことができる。

[0079] その際、イジングモデルの複雑さの度合いに応じて、温度設定インタフェ

ース 394 で初期温度レジスタ 710、冷却係数レジスタ 720、及び、再加熱条件レジスタ 750 に適切なパラメータを設定する必要がある。また、メモリセルアレイ 310 に格納される状態の初期値は、メモリセルアレイ 310 をリクエスト線 390、アドレス線 391、及び、データ線 392 で S R A M と同様に書込むことで設定することができる。そして、近傍探索部 340、温度スケジューラ 360、及び、基板バイアス制御部 370 の動作によって、イジングモデルの基底状態を求めた後は、メモリセルアレイ 310 を S R A M と同様に読み出すことで、イジングモデルの基底状態を取得することが可能である。

実施例 2

[0080] (メモリセルの電源電圧制御による実施例)

図 10 は、実施例 2 の半導体装置の構成図の例である。本実施例の半導体装置 1000 は実施例 1 の半導体装置 300 と比較して、メモリセルを確率的に反転させるために、メモリセルの電源電圧を制御する点が異なる。それ以外の点は実施例 1 と共通であるため、繰り返しの説明を省略する。

[0081] 半導体装置 1000 では、図 8 に示すように実施例 1 と同じメモリセル 500 でメモリセルアレイ 310 を構成する。C M O S インバータ I N V 1、I N V 2 はそれぞれ、p チャネル型 M O S トランジスタ M P と n チャネル型 M O S トランジスタ M N 1 で構成される。メモリセル 500 の電源線 810 に供給する電圧 (V_{DD}) を制御することで、メモリセル 500 の電源電圧を制御することができる。一般的には、S R A M の電源電圧としてはその記憶を確実に保持するために、1 V 程度の電圧が用いられる。これにより、 10^{-9} 程度の B E R (B i t E r r o r R a t e) を得ることができる。この場合、1 G ビット中 1 ビットの割合で誤り、すなわちビットの反転が生じる。

[0082] 一方で、電源電圧を下げることにより B E R を悪化させて意図的にメモリセルの記憶内容の反転を引き起こすことができ、その度合いは電圧の下げ具合、すなわち B E R の悪化度合いに比例する。実施例 1 と同様に、温度によ

るスケジューリング、もしくは、エネルギーが変化しないことをトリガーとしてメモリセル500の電源電圧を制御する。本実施例では電源電圧制御部1010が電源線810を制御する。そのときの電圧としては、例えば0.6V程度に落とすことで 10^{-1} 程度のBERを得ることができる。この場合、10ビット中1ビットの割合で誤り、すなわちビット反転が発生する。本実施例では、電源電圧制御部1010を用いて、電源線810を通常の領域（例えば1V程度）と比較して、記憶内容を正確に保持するのに不十分なほど低い電圧（例えば0.6V程度）に下げること、イジングモデルの基底状態を探索するために必要な、局所解からの脱出を実現できることを特徴としている。

実施例 3

[0083] (メモリセルのトリップポイント制御による実施例)

図11は、実施例3の半導体装置の構成図の例である。本実施例の半導体装置1100は、実施例1の半導体装置300、及び、実施例2の半導体装置1000と比較して、メモリセルを確率的に反転させるために、メモリセルのトリップポイント（0から1、ないしは、1から0に記憶内容を遷移させるための電圧の変化点）を制御する点が異なる。それ以外の点は実施例1、及び、実施例2と共通であるため繰り返しの説明を省略する。

[0084] 半導体装置1100では、図9に示すメモリセル900でメモリセルアレイ1120を構成する。実施例1および実施例2のメモリセル500と比較して、メモリセルのトリップポイントを制御するためのnチャネル型MOSトランジスタMN2と、トランジスタMN2を制御するためのトリップポイント制御線910をさらに有することを特徴としている。すなわち、CMOSインバータはpチャネル型MOSトランジスタMPとnチャネル型MOSトランジスタMN1とnチャネル型MOSトランジスタMN2とで構成される。

[0085] 実施例1、実施例2と同様に、メモリセルの内容を確率的に反転するとき（温度スケジューリングで温度が高い状態、もしくは、エネルギーが変化し

ないことから局所解に陥っていることを検出したとき)、本実施例ではトリップポイント制御線 910 に供給する電圧をトリップポイント制御部 1110 で制御する。

[0086] 以上、本発明者によってなされた発明を実施の形態および実施例に基づき具体的に説明したが、本発明は、上記実施の形態および実施例に限定されるものではなく、種々変更可能であることはいうまでもない。

符号の説明

[0087] 300、1000、1100 半導体装置

310、1120 メモリセルアレイ

320 ドライバ

330 アドレスデコーダ

340 近傍探索

350 プリデコーダ

360 温度スケジューラ

370 基板バイアス制御部

380 センスアンプ

390 リクエスト線

391 アドレス線

392 データ線

393 係数設定インタフェース

394 温度設定インタフェース

410A、410B エネルギー演算器

420 係数記憶部

440 ビット反転器

450 比較器

460 書込み信号生成部

470 マルチプレクサ

500、900 メモリセル

- 5 1 0 基板バイアス制御線
- 5 2 0 ワード線
- 5 3 0 第1ビット線
- 5 4 0 第2ビット線
- 5 5 0 パスゲートトランジスタ
- 5 6 0 データ保持部
- 7 1 0 初期温度レジスタ
- 7 2 0 冷却係数レジスタ
- 7 3 0 D/A変換器
- 7 4 0 乗算器
- 7 5 0 再加熱条件レジスタ
- 7 6 0 再加熱判定器
- 7 7 0 現在温度レジスタ
- 8 1 0 電源線
- 9 1 0 トリップポイント制御線
- 1 0 1 0 電源電圧制御部
- 1 1 1 0 トリップポイント制御部

請求の範囲

- [請求項1] 第1のメモリセルと、前記第1のメモリセルと相互作用する第2のメモリセルとを有し、
前記第1のメモリセルと前記第2のメモリセルの記憶内容が確率的に反転するようにされる、
半導体装置。
- [請求項2] 前記第1のメモリセルと前記第2のメモリセルの閾値電圧を変えることで記憶内容が確率的に反転するようにされる、
請求項1の半導体装置。
- [請求項3] さらに第1のレジスタと第2のレジスタを有し、
前記第1のメモリセルと第2のメモリセルの閾値電圧を制御する制御電圧を時間経過に伴い変化させ、
前記制御電圧が前記第1のレジスタで指定された条件に達したとき、制御電圧を前記第2のレジスタで指定された値に基づいた電圧とするようにされる、
請求項2の半導体装置。
- [請求項4] 前記制御電圧は基板バイアスである、
請求項3の半導体装置。
- [請求項5] 前記制御電圧は電源電圧である、
請求項3の半導体装置。
- [請求項6] 前記第1のメモリセルと前記第2のメモリセルは、メモリセルのトリップポイントを可変するためのトランジスタを有し、
前記制御電圧は前記トランジスタのゲートに印加される電圧である、
請求項3の半導体装置。
- [請求項7] さらに第1の演算器と第2の演算器を有し、
前記第1の演算器は前記第1のメモリセルと前記第2のメモリセルを入力としたエネルギー関数を計算するようにされ、

前記第2の演算器は前記第1のメモリセルと前記第2のメモリセルの反転値を入力としたエネルギー関数を計算するようにされる、
請求項1乃至6のいずれか1項の半導体装置。

[請求項8] 前記第1のメモリセルと前記第2のメモリセルのそれぞれは、ワード線、第1のビット線、及び、第2のビット線を有し、

前記第1のビット線は前記ワード線がアクティベートされたときに読み書きが可能であり、

前記第2のビット線は常時読み出しが可能である、
請求項1乃至7のいずれか1項の半導体装置。

[請求項9] 前記第1のメモリセルと前記第2のメモリセルのそれぞれは、1対のCMOSインバータを含むSRAMメモリセルである、
請求項1乃至8のいずれか1項の半導体装置。

[請求項10] 第1のメモリセルと、前記第1のメモリセルと相互作用する第2のメモリセルとを有し、

前記第1および第2のメモリセルのそれぞれは、1対のCMOSインバータを含むSRAMメモリセルであり、

前記第1および第2のメモリセルの記憶内容が確率的に反転するようにされる、
半導体装置。

[請求項11] さらに、温度とエネルギーを設定する第1のレジスタと、
温度を設定する第2のレジスタと、

現在の温度とエネルギーを保持する第3のレジスタと、
を有し、

前記第1および第2のメモリセルの印加電圧を時間経過に伴い変化させ、

前記第3のレジスタの内容が前記第1のレジスタで指定された条件に達したとき、基板バイアスを前記第2のレジスタで指定された温度に基づいた電圧とするようにされる、

請求項 10 の半導体装置。

[請求項12]

さらに第 1 の演算器と第 2 の演算器を有し、

前記第 1 の演算器は前記第 1 および第 2 のメモリセルを入力としたエネルギー関数を計算するようにされ、

前記第 2 の演算器は前記第 1 および第 2 のメモリセルの反転値を入力としたエネルギー関数を計算するようにされる、

請求項 10 乃至 11 のいずれか 1 項の半導体装置。

[請求項13]

前記第 1 および第 2 のメモリセルは、それぞれワード線、第 1 のビット線、及び、第 2 のビット線を有し、

前記第 1 のビット線は前記ワード線がアクティベートされたときに読み書きが可能であり、

前記第 2 のビット線は常時読み出しが可能である、

請求項 10 乃至 12 のいずれか 1 項の半導体装置。

[請求項14]

前記第 1 および第 2 のメモリセルの基板バイアスを制御し、

前記第 1 および第 2 のメモリセルの閾値電圧を下げることで記憶内容を確認率的に反転するようにされる、

請求項 10 乃至 13 のいずれか 1 項の半導体装置。

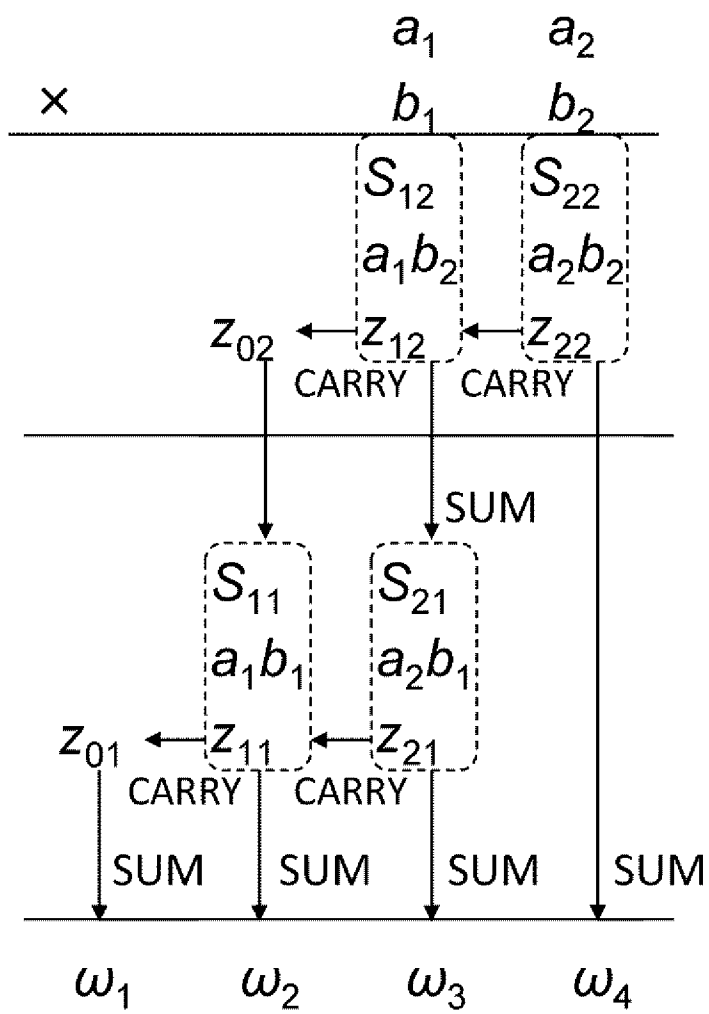
[図1]

図 1

$$N = 2^3\omega_1 + 2^2\omega_2 + 2\omega_3 + \omega_4$$

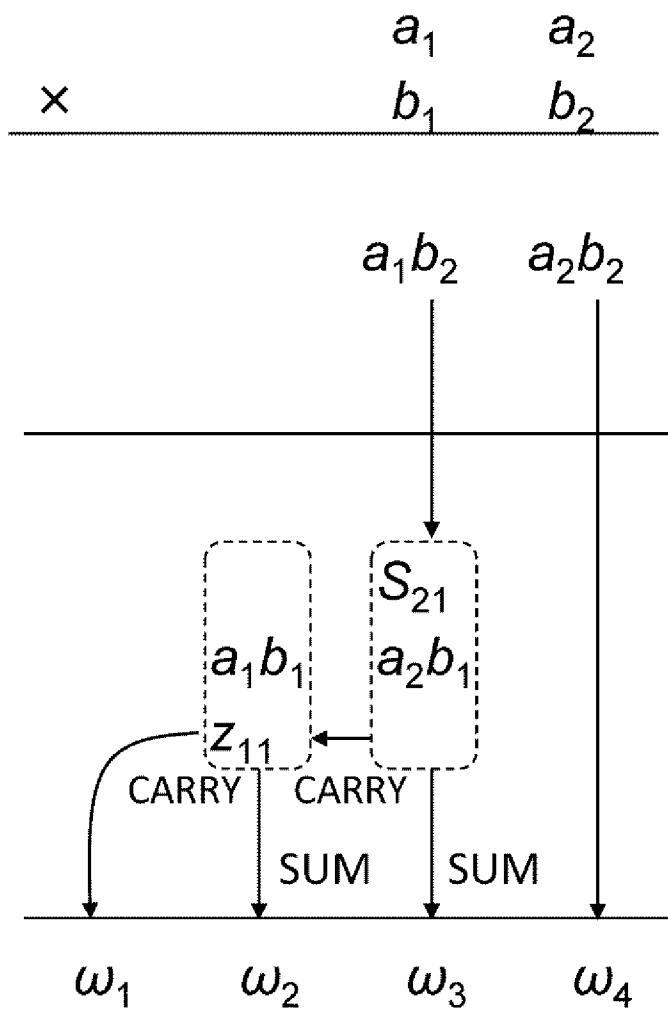
$$a = 2a_1 + a_2$$

$$b = 2b_1 + b_2$$



[図2]

図 2



$$a_2b_2 - w_4 = 0$$

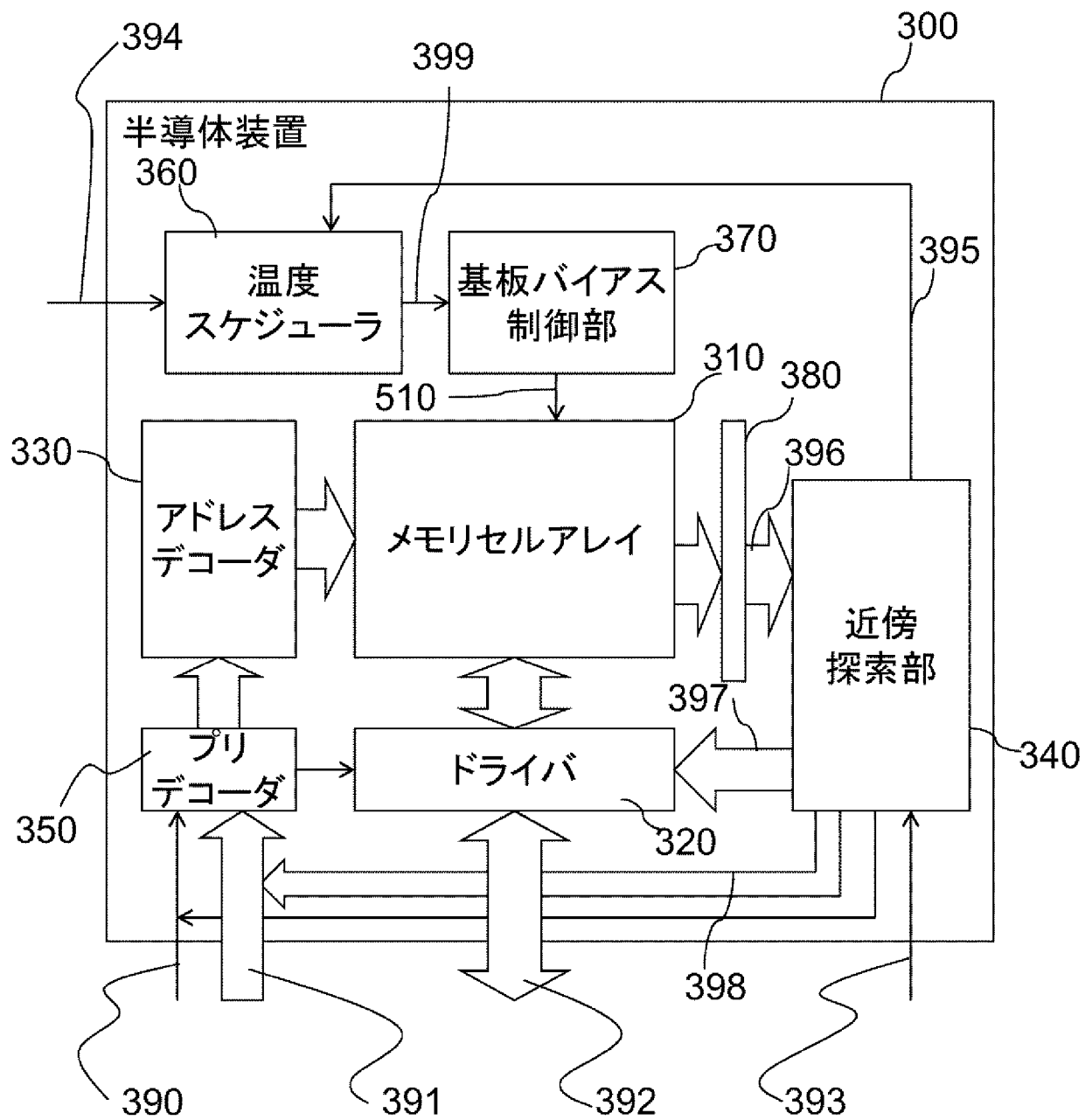
$$a_1b_2 - S_{21} = 0$$

$$a_2b_1 + S_{21} - w_3 - 2z_{11} = 0$$

$$a_1b_1 + z_{11} - w_2 - 2w_1 = 0$$

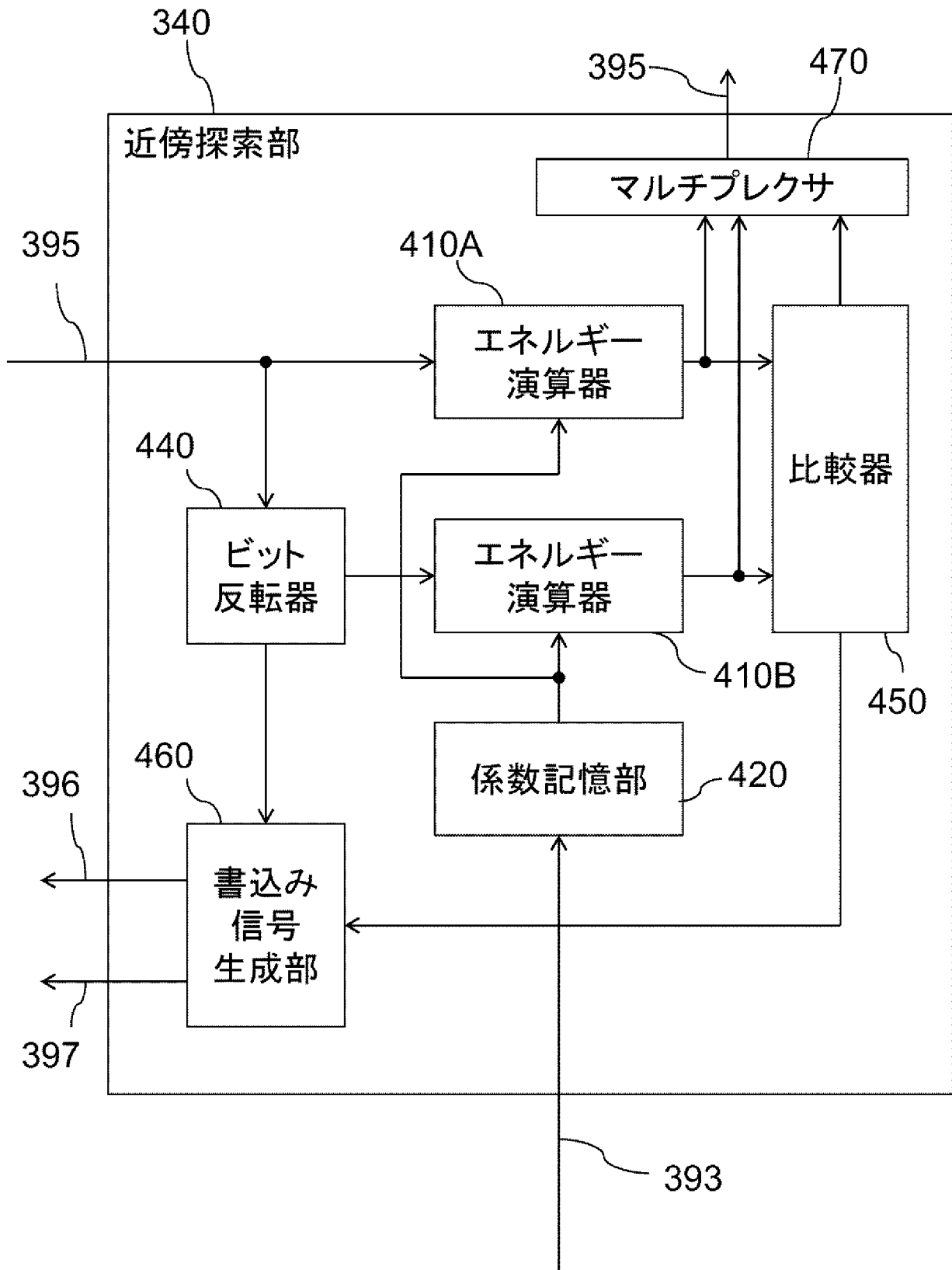
[図3]

図 3



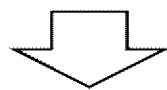
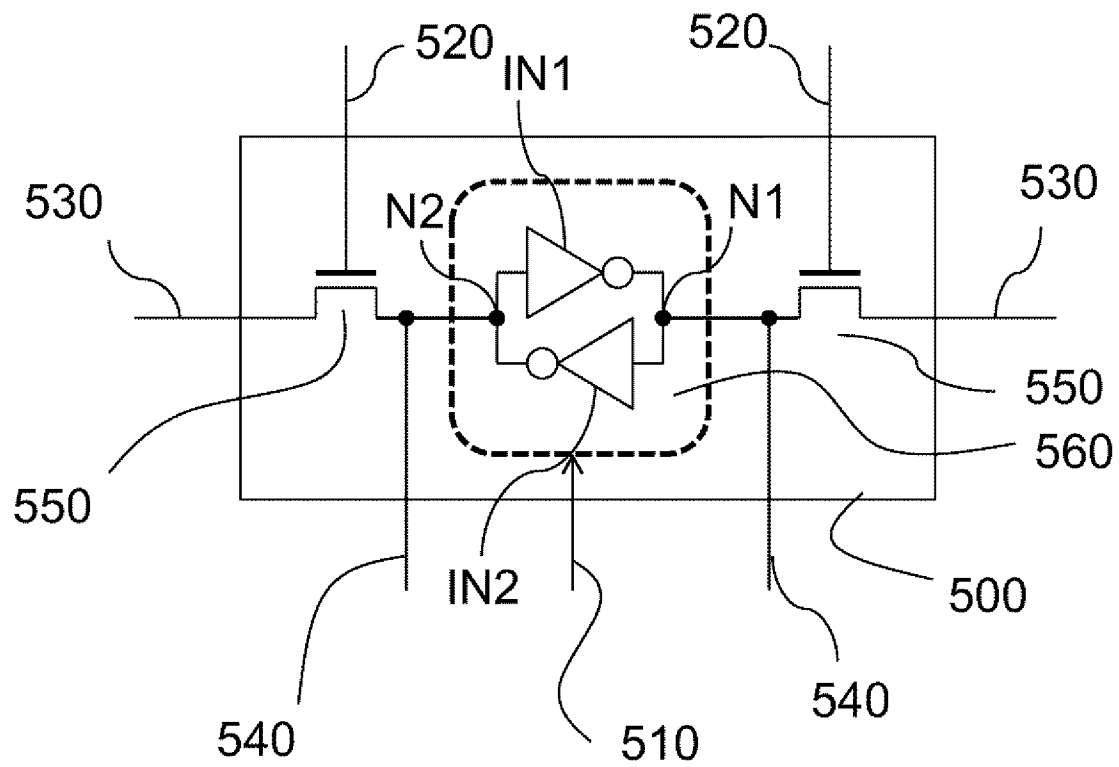
[図4]

図 4

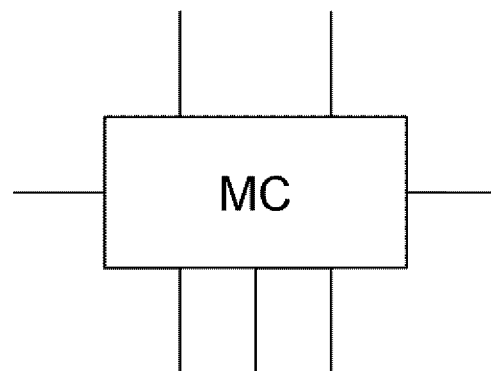


[図5]

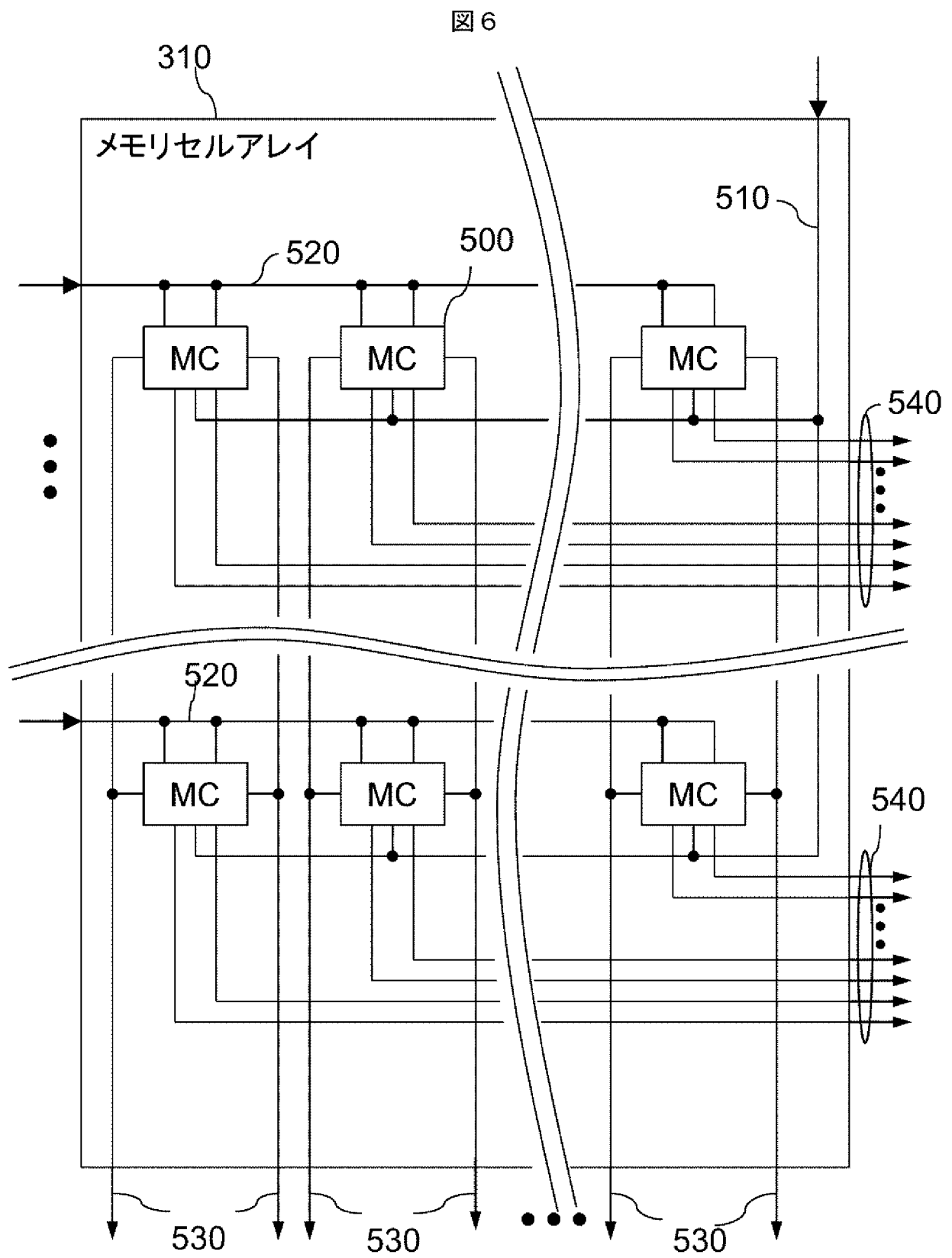
図 5



省略表記

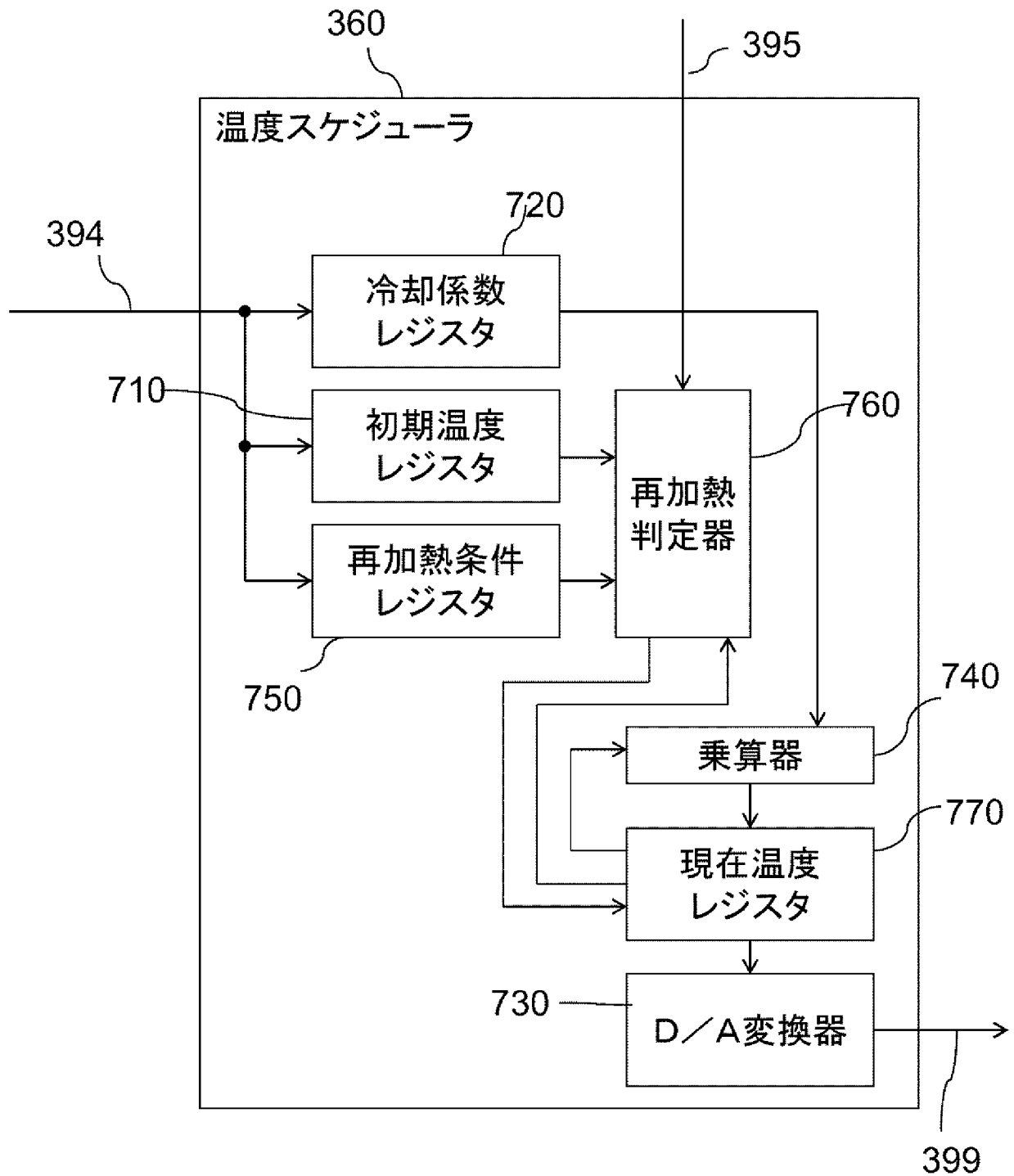


[図6]



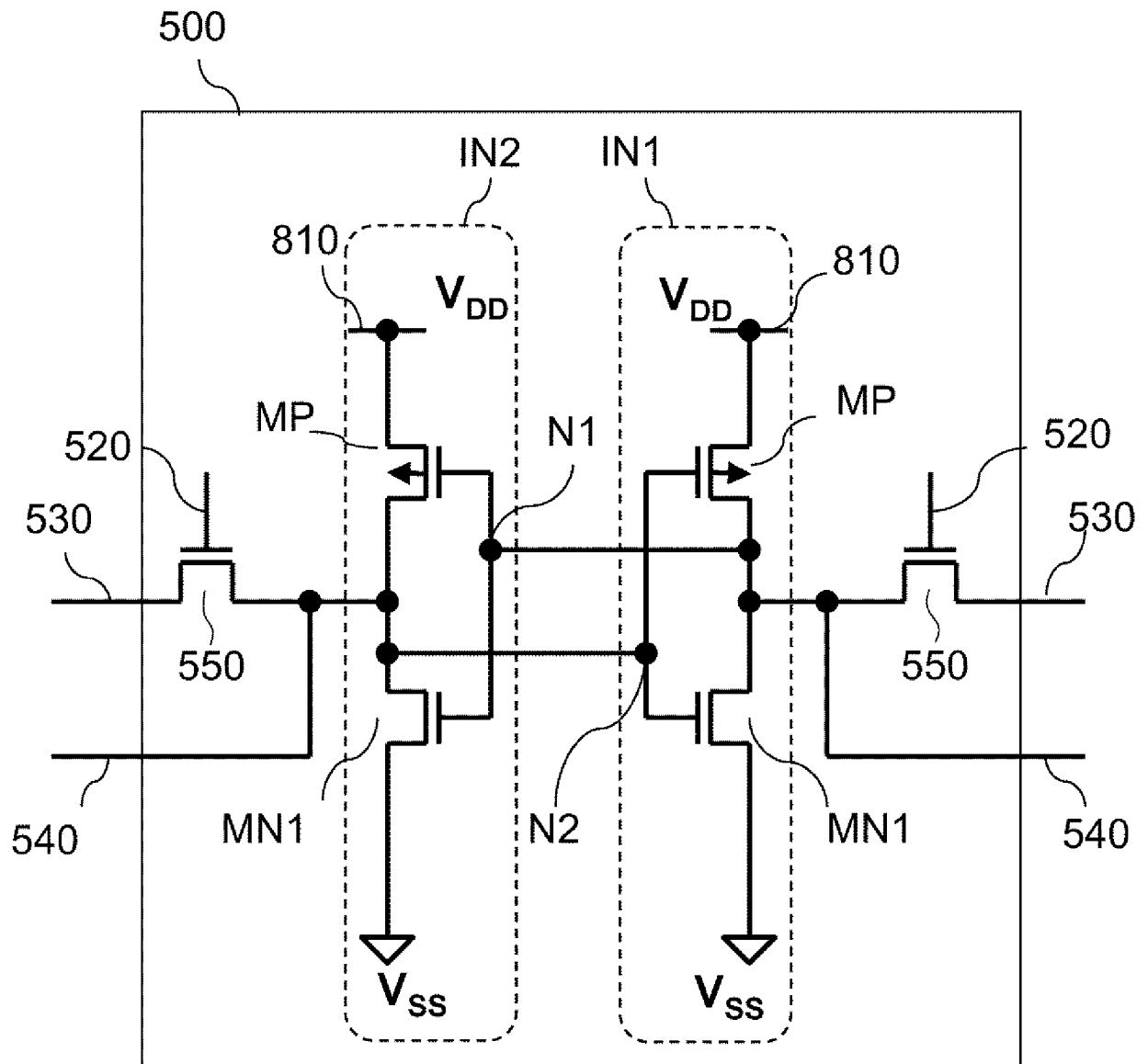
[図7]

図 7



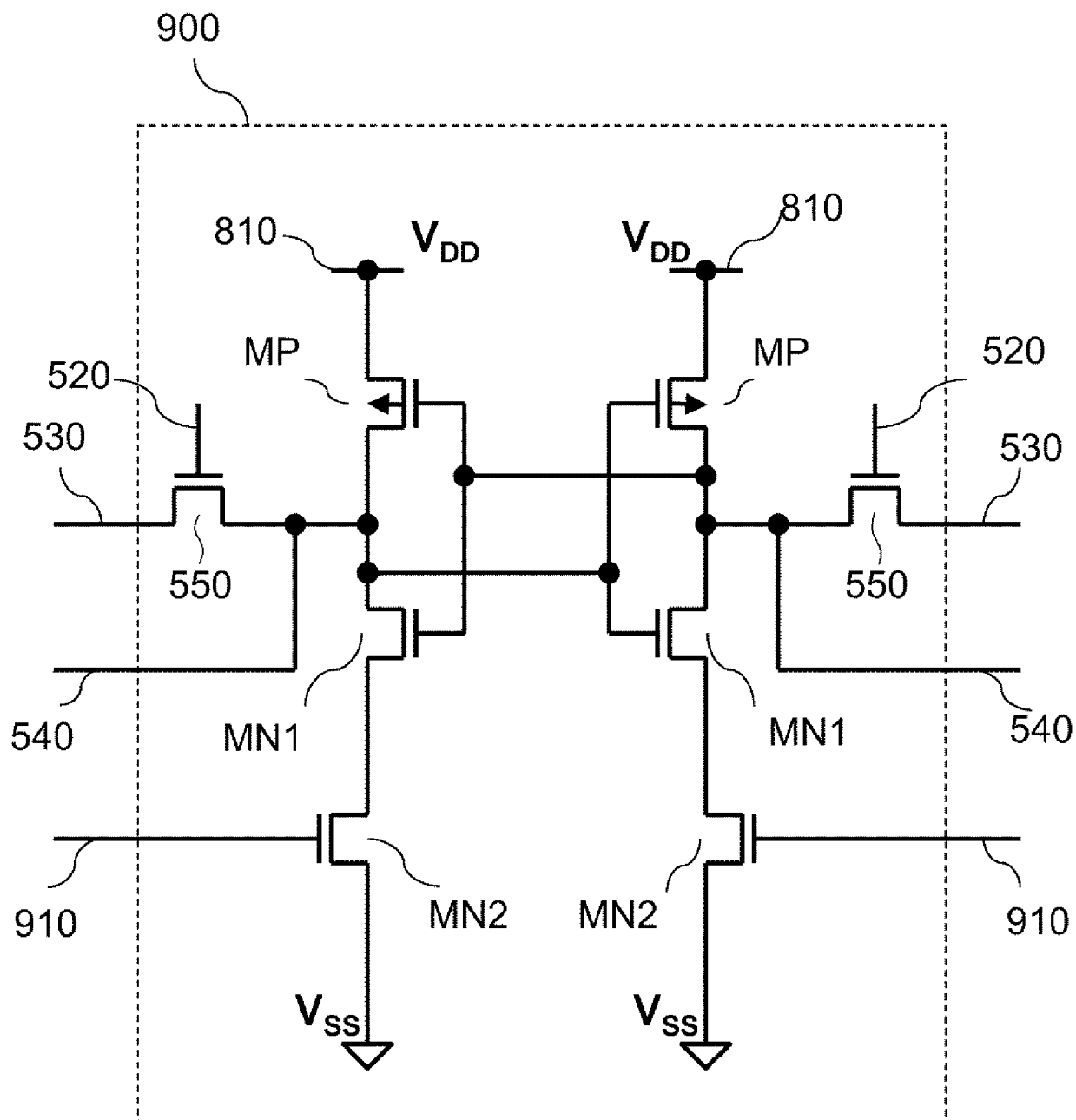
[図8]

図 8



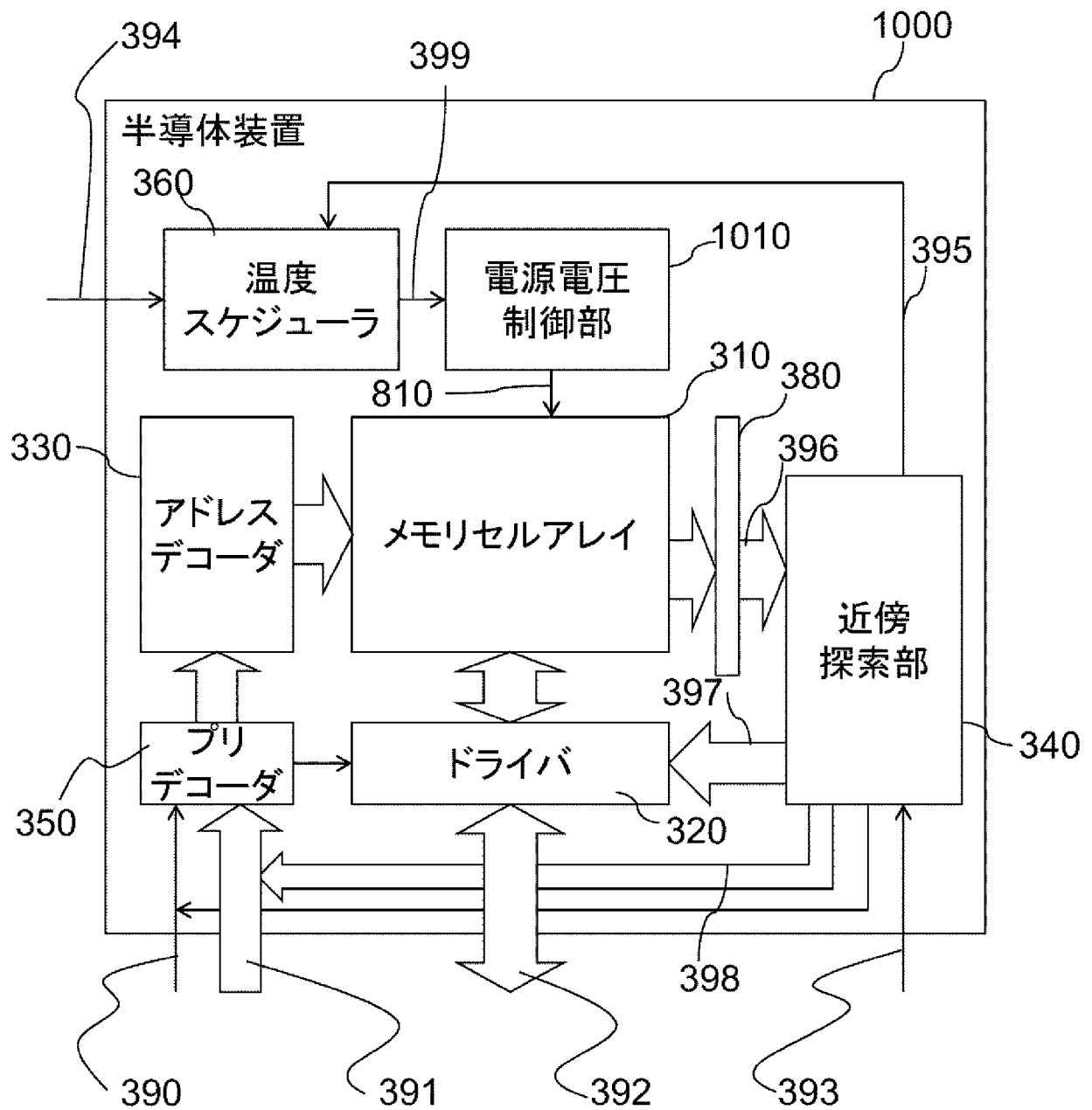
[図9]

图 9



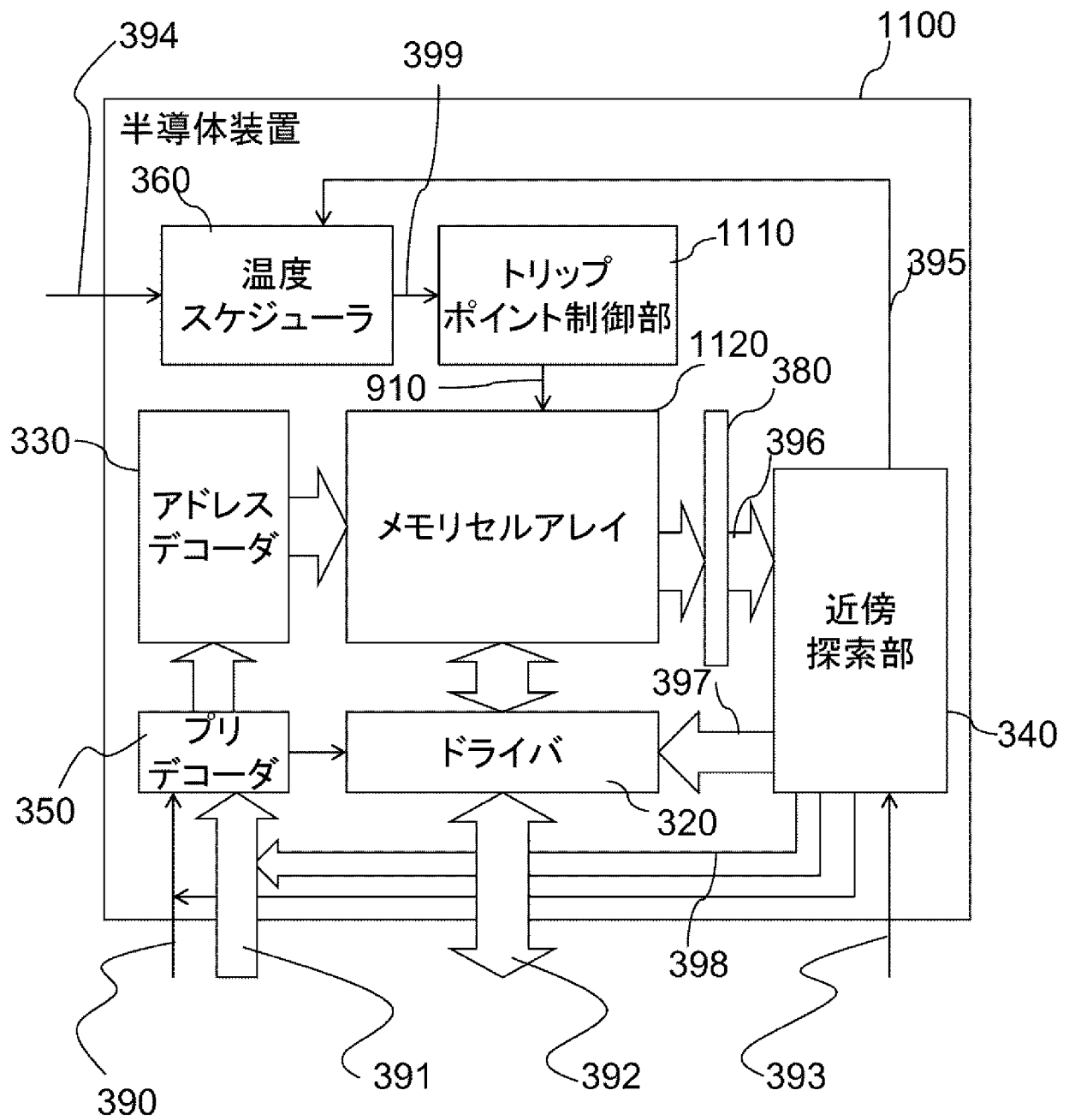
[図10]

図 10



[図11]

図 1 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/065275

A. CLASSIFICATION OF SUBJECT MATTER

G06F7/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-182258 A (Toshiba Corp.), 19 August 2010 (19.08.2010), paragraph [0035]; fig. 6 & US 2012/0026784 A1 & WO 2010/090328 A1	1, 2 3-14
A	JP 2011-113136 A (Sony Corp.), 09 June 2011 (09.06.2011), claim 1; paragraphs [0021] to [0023] & US 2011/0123022 A1 & CN 102073476 A	1-14
A	JP 2008-310403 A (National Institute of Advanced Industrial Science and Technology), 25 December 2008 (25.12.2008), entire text; all drawings & US 2010/0131578 A1 & EP 2163984 A1 & WO 2008/152845 A1	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 June, 2013 (25.06.13)

Date of mailing of the international search report
09 July, 2013 (09.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F7/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-182258 A (株式会社東芝) 2010.08.19, 段落[0035], 図 6 & US 2012/0026784 A1 & WO 2010/090328 A1	1, 2 3-14
A	JP 2011-113136 A (ソニー株式会社) 2011.06.09, 請求項 1, 段落 [0021]-[0023] & US 2011/0123022 A1 & CN 102073476 A	1-14
A	JP 2008-310403 A (独立行政法人産業技術総合研究所) 2008.12.25, 全文、全図 & US 2010/0131578 A1 & EP 2163984 A1 & WO 2008/152845 A1	1-14

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 6 . 2 0 1 3

国際調査報告の発送日

0 9 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田中 友章

5 E

9 3 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1