(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月30日(30.12.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/260853 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)

(21) 国際出願番号： PCT/JP2020/024835

(22) 国際出願日： 2020年6月24日(24.06.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 富永 貴亮 (**TOMINAGA Takaaki**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

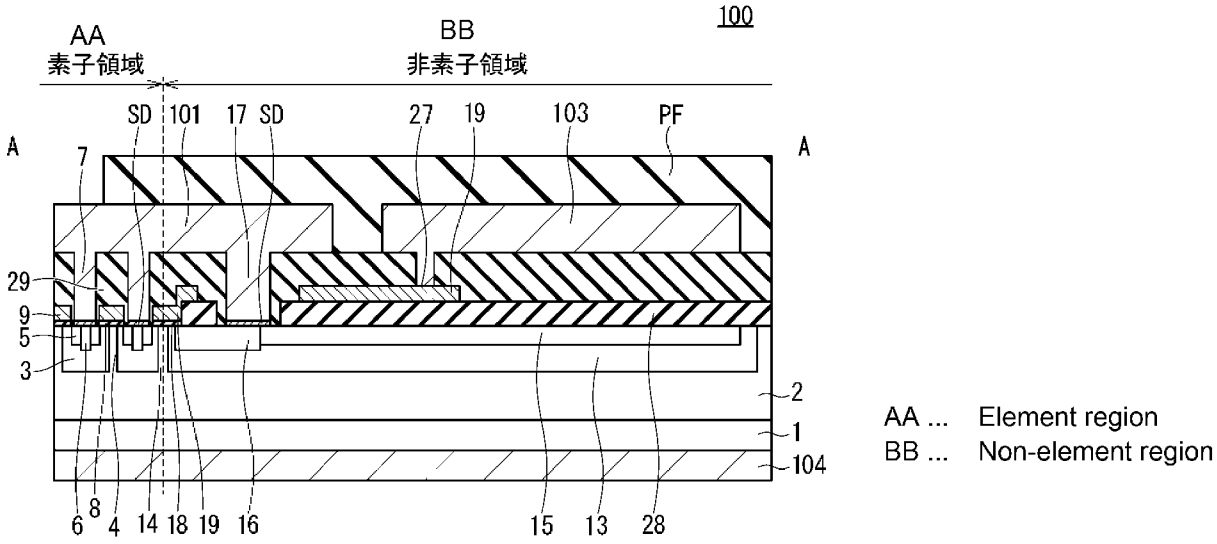
日野 史郎 (**HINO Shiro**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:吉竹 英俊, 外 (**YOSHITAKE Hidetoshi** et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称： 炭化珪素半導体装置



(57) **Abstract:** The present disclosure relates to a silicon carbide semiconductor device, comprising: a p-type second well region provided in an upper layer portion of a semiconductor layer; an n-type second impurity region provided in the upper layer portion of the p-type second well region; a p-type second well contact region which is provided in an upper layer portion of the second well region, and which is joined to the second impurity region at a side surface; a field insulating film provided on the second well region; a second contact which penetrates the field insulating film, makes ohmic contact with the second impurity region and the second well contact region, and electrically connects to a first main electrode; a boundary part gate insulating film which is provided from above an edge of the second impurity region on the side of a boundary between an element region and a non-element region, to above an edge of a first impurity region inside a first well region adjacent to the boundary; a boundary part gate electrode on the boundary part gate insulating film; and a

WO 2021/260853 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

second main electrode. The second well contact region extends from below the second contact to the element region side, and the second impurity region extends from below the second contact to the non-element region side.

(57) 要約:本開示は炭化珪素半導体装置に関し、半導体層の上層部に設けられたｐ型の第２ウェル領域と、その上層部に設けられたｎ型の第２不純物領域と、第２ウェル領域の上層部に設けられ、側面において第２不純物領域に接合するｐ型の第２ウェルコンタクト領域と、第２ウェル領域上に設けられたフィールド絶縁膜と、フィールド絶縁膜を貫通して、第２不純物領域および第２ウェルコンタクト領域にオーミック接触し、第１主電極に電気的に接続される第２コンタクトと、素子領域と非素子領域との境界の側の第２不純物領域の端縁部上から、境界に隣り合う第１ウェル領域内の第１不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、その上の境界部ゲート電極と、第２主電極と、を備え、第２ウェルコンタクト領域は、第２コンタクトの下方から素子領域側に延在し、第２不純物領域は、第２コンタクトの下方から非素子領域側に延在する。

明　細　書

発明の名称 ： 炭化珪素半導体装置

技術分野

[0001] 本開示は炭化珪素半導体装置に関し、特に、ゲート絶縁膜を有する炭化珪素半導体装置に関する。

背景技術

[0002] インバータ回路などに用いられるスイッチング素子として、縦型の電力用半導体装置が広く用いられており、特に、ＭＯＳ（Metal Oxide Semiconductor）構造を有する電力用半導体装置が広く用いられている。典型的には、絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor：ＩＧＢＴ）、および、ＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）が用いられている。

[0003] シリコン（Ｓｉ）のバンドギャップに比して約３倍大きなバンドギャップを有する炭化珪素を半導体材料として用いる炭化珪素半導体装置の１つであるｎ型ＭＯＳＦＥＴは、インバータ回路のスイッチング素子として用いることでインバータ回路の電力損失を低減することができる。

[0004] ｎ型ＭＯＳＦＥＴは、典型的には、ｎ型ドリフト層と、その上に設けられたｐ型ウェルとを有しており、ＭＯＳＦＥＴがオン状態からオフ状態へとスイッチングされると、ＭＯＳＦＥＴのドレイン電圧、すなわちドレイン電極の電圧が急激に上昇して、略０Ｖから数百Ｖへ変化する。そうすると、ｐ型ウェルとｎ型ドリフト層との間に存在する寄生容量を介して変位電流が発生する。ドレイン電極側に発生した変位電流はドレイン電極へと流れ、ソース電極側に発生した変位電流はｐ型ウェルを経由してソース電極へと流れる。また、ＭＯＳＦＥＴがオフ状態からオン状態へとスイッチングされると、オン状態からオフ状態へとスイッチングされる場合とは逆方向の変位電流がｐ型ウェルを経由して流れる。

[0005] 特許文献１には、ゲートパッドの下方に位置する最外周のｐ型ウェル上に

、ゲート絶縁膜よりも膜厚が厚いフィールド絶縁膜を貫通して、ソース電極に接続するウェルコンタクトホールが設けられている。これにより、ゲートパッドの下方に位置する大面積のｐ型ウェル内を流れる変位電流の大部分が、ウェルコンタクトホールを経由してソース電極に流れ、大面積のｐ型ウェルとはウェルコンタクトホールの反対側に形成されるゲート絶縁膜直下のｐ型ウェルとゲート電極との間に高電界が発生することを抑制して、ゲート絶縁膜の絶縁破壊を防止する構成が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第２０１１／１２５２７４号

発明の概要

発明が解決しようとする課題

[0007] 特許文献１に開示の技術によれば、ウェルコンタクトホールの最外周ｐ型ウェル端側では、フィールド絶縁膜からゲート絶縁膜に厚さが変わる部分で段差がウェルコンタクトホールと最外周のｐ型ウェル端側との間に設けられることになるので、ウェルコンタクトホールと最外周のｐ型ウェル端側との間に距離を設ける必要が生じる。そのため、最外周のｐ型ウェル端側からウェルコンタクトホールに流れる変位電流によって最外周のｐ型ウェルに発生する電位とゲート電極の電位との間に生じる電界がゲート絶縁膜に印加される。

[0008] 最外周のｐ型ウェルに生じる変位電流の大部分は、ウェルコンタクトホールの最外周のｐ型ウェル端側と反対側の大面積の最外周のｐ型ウェルに流れるため、通常は最外周のｐ型ウェル端には高電圧は発生せず、ゲート絶縁膜に高電界は生じない。

[0009] しかしながら、昨今では、時間ｔに対するドレイン電圧Ｖの変動であるｄＶ／ｄｔをより一層大きくすることが求められており、例えば、２０Ｖ/ｎｓｅｃ以上の大きなｄＶ/ｄｔが要求される場合には、ウェルコンタクトホール

と最外周のｐ型ウェル端側との間の距離が無視できなくなり、最外周のｐ型ウェル端側からウェルコンタクトホールに無視できない大きさの変位電流が流れ、最外周のｐ型ウェル端に高電圧が発生し、ゲート絶縁膜が絶縁破壊する可能性があった。

[0010] 本開示は、上記のような問題を解決するためになされたものであり、大きなｄＶ／ｄｔが印加された場合でも、ゲート絶縁膜に生じる電界を抑制できる炭化珪素半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 本開示に係る炭化珪素半導体装置は、半導体素子が形成された素子領域と、該素子領域以外の非素子領域とを有し、前記素子領域において、炭化珪素基板の厚み方向に主電流が流れ、前記炭化珪素基板の第１の主面上に設けられた第１導電型の半導体層と、前記素子領域の前記半導体層の上層部に設けられた第２導電型の第１ウェル領域と、前記第１ウェル領域の上層部に設けられた第１導電型の第１不純物領域と、前記第１ウェル領域の上層部に設けられ、側面において前記第１不純物領域に接合する第２導電型の第１ウェルコンタクト領域と、第１不純物領域の端縁部上、前記第１ウェル領域上および前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記第１不純物領域および前記第１ウェルコンタクト領域にオーミック接触し、前記半導体層の上方に設けられた第１主電極に電気的に接続される第１コンタクトと、前記非素子領域の前記半導体層の上層部に設けられた第２導電型の第２ウェル領域と、前記第２ウェル領域の上層部に設けられた第１導電型の第２不純物領域と、前記第２ウェル領域の上層部に設けられ、側面において前記第２不純物領域に接合する第２導電型の第２ウェルコンタクト領域と、前記第２ウェル領域上に設けられたフィールド絶縁膜と、前記フィールド絶縁膜を貫通して、前記第２不純物領域および前記第２ウェルコンタクト領域にオーミック接触し、前記第１主電極に電気的に接続される少なくとも１つの第２コンタクトと、前記素子領域と前記非素子領域との境界の側の前記第２不純物領域の端縁部上から、前記境界に隣り

合う前記第１ウェル領域内の前記第１不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、前記境界部ゲート絶縁膜上に設けられた境界部ゲート電極と、前記炭化珪素基板の前記第１の主面とは反対側の第２の主面上に設けられた第２主電極と、を備え、前記第２ウェルコンタクト領域は、前記少なくとも１つの第２コンタクトの下方から前記素子領域側に延在し、前記第２不純物領域は、前記少なくとも１つの第２コンタクトの下方から前記非素子領域側に延在する。

発明の効果

[0012] 本開示に係る炭化珪素半導体装置によれば、オフ状態からオン状態にスイッチングする場合に、第２不純物領域が形成されていることにより、少なくとも１つの第２コンタクトから流入する変位電流のより多くを、少なくとも１つの第２コンタクトよりも非素子領域側に流すことができる。そのため、第２コンタクトよりも素子領域側に流れる変位電流を低減することができ、第２ウェル領域の端部と境界部ゲート電極との間の電位差が抑制され、境界部ゲート絶縁膜の絶縁破壊を抑制できる。

図面の簡単な説明

[0013] [図1]実施の形態１の炭化珪素半導体装置の上面構成を模式的に示す平面図である。

[図2]実施の形態１の炭化珪素半導体装置の構成を示す断面図である。

[図3]実施の形態１の炭化珪素半導体装置の構成を示す断面図である。

[図4]実施の形態１の炭化珪素半導体装置の構成を示す断面図である。

[図5]実施の形態１の炭化珪素半導体装置の構成を示す部分平面図である。

[図6]実施の形態１の炭化珪素半導体装置の構成を示す断面図である。

[図7]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図8]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図9]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である

。

[図10]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図11]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図12]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図13]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図14]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図15]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図16]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図17]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図18]実施の形態１の炭化珪素半導体装置の製造方法を説明する断面図である。

[図19]実施の形態２の炭化珪素半導体装置の構成を示す断面図である。

[図20]実施の形態２の炭化珪素半導体装置の構成を示す断面図である。

[図21]実施の形態３の炭化珪素半導体装置の構成を示す部分平面図である。

[図22]実施の形態３の炭化珪素半導体装置の構成を示す断面図である。

[図23]実施の形態４の炭化珪素半導体装置の構成を示す断面図である。

[図24]実施の形態４の炭化珪素半導体装置の構成を示す断面図である。

発明を実施するための形態

[0014] ＜はじめに＞

以下の説明において、「素子領域」とは半導体素子のオン状態において主

電流が流れる領域である。また、以下において、「外側」とは半導体素子の外周に向かう方向であり、「内側」とは「外側」に対して反対の方向とする。

[0015] なお、図面は模式的に示されるものであり、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。また、本明細書において、「～上」および「～を覆う」という場合、構成要素間に介在物が存在することが妨げられるものではない。例えば、「Ａ上に設けられたＢ」または「ＡがＢを覆う」と記載している場合、ＡとＢとの間に他の構成要素Ｃが設けられたものも設けられていないものも意味され得る。また、以下の説明では、「上」、「下」、「側」、「底」、「表」または「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向とは関係しない。

[0016] また、「ＭＯＳ」という用語は、古くは金属-酸化物-半導体の接合構造に用いられているが、特にＭＯＳ構造を有するＭＯＳ電界効果トランジスタ（ＭＯＳＦＥＴ）においては、近年の集積化や製造プロセスの改善などの観点からゲート絶縁膜およびゲート電極の材料が改善されている。

[0017] 例えばＭＯＳＦＥＴにおいては、主としてソース・ドレインを自己整合的に形成する観点から、ゲート電極の材料として金属の代わりに多結晶珪素が採用されてきている。また電気的特性を改善する観点から、ゲート絶縁膜の材料として高誘電率の材料が採用されるが、当該材料は必ずしも酸化物には限定されない。

[0018] 従って「ＭＯＳ」という用語は必ずしも金属-酸化物-半導体の積層構造のみに限定されて採用されているわけではなく、本明細書でもそのような限定を前提としない。すなわち、技術常識に鑑みて、ここでは「ＭＯＳ」とはそ

の語源に起因した略語としてのみならず、広く導電体-絶縁体-半導体の積層構造をも含む意義を有する。

[0019] 以下、図面に基づいて実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照符号を付しその説明は繰返さない。

[0020] また、以下に説明する実施の形態１～４においては、炭化珪素半導体装置の一例として、主電流が基板の厚み方向に流れる縦型のｎ型ＭＯＳＦＥＴを用いて説明する。

[0021] ＜実施の形態１＞

＜装置構成＞

図１は、本開示に係る実施の形態１のｎ型炭化珪素ＭＯＳＦＥＴ１００の上面構成を模式的に示す平面図である。なお、全ての実施の形態においては図１の上面構成は共通である。

[0022] また、ｎ型炭化珪素ＭＯＳＦＥＴ１００はプレーナゲート型として説明するが、本開示の適用はプレーナゲート型に限定されず、トレンチゲート型にも適用可能である。また、ＭＯＳ構造を有するのであればＭＯＳＦＥＴに限定されず、ＩＧＢＴにも適用可能である。

[0023] 図１に示されるように、ｎ型炭化珪素ＭＯＳＦＥＴ１００は四角形状の外形を有し、その外縁にはゲート配線１０３が設けられている。また、ｎ型炭化珪素ＭＯＳＦＥＴ１００の主面の中央部には、ＭＯＳ構造の最小単位であるユニットセルＵＣが複数配置されたセル配置領域ＣＲが設けられている。

[0024] セル配置領域ＣＲの平面視形状は、一辺の中央部が内側に凹んだ四角形をなし、セル配置領域ＣＲの内側に凹んだ部分に入り込むようにゲートパッド１０２が設けられている。なお、セル配置領域ＣＲとゲートパッド１０２およびゲート配線１０３とは離間している。

[0025] ゲートパッド１０２には、外部の制御回路（図示せず）からゲート電圧が印加され、ここに印加されたゲート電圧は、ゲート配線１０３を通じてユニットセルＵＣのゲート電極（図示せず）に供給される。

[0026] また、セル配置領域ＣＲには、各ユニットセルのソースを並列に接続するソースパッド１０１（ソース電極）が設けられており、ソースパッド１０１はセル配置領域ＣＲのほぼ全面を覆うように設けられている。なお、図１ではユニットセルＵＣをソースパッド１０１中に図示しているがこれは便宜的なものである。

[0027] 図２は、図１におけるＣ－Ｃ線での矢示方向断面図であり、ユニットセルＵＣの構成を模式的に示す断面図である。図２に示されるように、ｎ型炭化珪素ＭＯＳＦＥＴ１００は、ｎ型（第１導電型）不純物を比較的高濃度に含む炭化珪素基板１上に設けられている。

[0028] 炭化珪素基板１の第１の主面上には、ｎ型不純物を比較的低濃度に含む半導体層であるドリフト層２（半導体層）が設けられている。ドリフト層２は、例えばエピタキシャル成長により形成されたエピタキシャル成長層である。

[0029] ドリフト層２の上層部には、ｐ型（第２導電型）不純物を含む第１ウェル領域３が設けられており、第１ウェル領域３の上層部には、ｐ型不純物を比較的高濃度に含む第１ウェルコンタクト領域６が選択的に設けられている。そして、第１ウェルコンタクト領域６の２つの側面に接するようにｎ型不純物を比較的高濃度に含む第１ソース領域５（第１不純物領域）が設けられている。なお、隣り合う第１ウェル領域３の間のドリフト層２はＪＦＥＴ（Junction Field Effect Transistor）領域４となっている。

[0030] なお、第１ウェル領域３のドリフト層２の最表面からの深さは、第１ソース領域５のドリフト層２の最表面からの深さよりも深く形成されている。また、第１ウェルコンタクト領域６のドリフト層２の最表面からの深さは、第１ソース領域５のドリフト層２の最表面からの深さと同等か、それよりも深く形成されているが、第１ウェル領域３は超えない。

[0031] ドリフト層２の上には、ゲート絶縁膜８が形成され、ゲート絶縁膜８上にはゲート電極９が設けられている。ゲート電極９は、ＪＦＥＴ領域４、第１ウェル領域３および第１ソース領域５の端縁部上に設けられる。

[0032] そして、ゲート電極９上を含むドリフト層２上には層間絶縁膜２９が設けられているが、第１ウェルコンタクト領域６と第１ソース領域５の一部に接触するように第１ソースコンタクト７（第１コンタクト）が設けられ、第１ソースコンタクト７の底部には、例えば、ニッケルシリサイドで構成されるシリサイド膜ＳＤが設けられ、第１ウェルコンタクト領域６および第１ソース領域５の一部はシリサイド膜ＳＤで覆われている。第１ウェルコンタクト領域６と第１ソース領域５はシリサイド膜ＳＤおよび第１ソースコンタクト７を介して、ソースパッド１０１に電気的に接続されている。また、炭化珪素基板１の第１の主面とは反対側の第２の主面上には、ドレイン電極１０４が設けられている。

[0033] シリサイド膜ＳＤはニッケルシリサイドに限定されず、アルミシリサイド、チタンシリサイドを用いることもできる。第１ソースコンタクト７は、ソースパッド１０１形成時に、コンタクトホール内にソースパッド１０１の材料となる金属、例えば、ニッケル、アルミニウム、チタンを埋め込むことで形成することができる。

[0034] ドリフト層２の不純物濃度は、１．０×10^{14}ｃｍ$^{-3}$以上１．０×10^{17}ｃｍ$^{-3}$以下であることが好適である。ＪＦＥＴ領域４の不純物濃度は、第１ウェル領域３の不純物濃度よりも低く形成することが好適である。これは、ＪＦＥＴ領域４と第１ウェル領域３とで形成されるｐｎ接合による空乏層が、よりＪＦＥＴ領域４側に延伸するようにするためである。第１ウェル領域３の不純物濃度は、１．０×10^{16}ｃｍ$^{-3}$以上１．０×10^{20}ｃｍ$^{-3}$以下であることが好適である。第１ソース領域５の不純物濃度は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下であることが好適である。第１ウェルコンタクト領域６の不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{22}ｃｍ$^{-3}$以下であることが好適である。

[0035] 図３は、図１におけるＡ－Ａ線での矢示方向断面図であり、セル配置領域ＣＲ、すなわち半導体素子が形成された素子領域と、半導体素子が形成されない非素子領域の構成を模式的に示す断面図である。

[0036] 図３に示されるように、素子領域の構成は図２に示した構成と同様である。非素子領域においては、ドリフト層２の上層部にｐ型不純物を含む第２ウェル領域１３が設けられており、第２ウェル領域１３の上層部には、ｎ型不純物を比較的高濃度に含む第２ソース領域１５（第２不純物領域）と、第２ソース領域１５に接し、第２ウェル領域１３よりも高い不純物濃度を有するｐ型の第２ウェルコンタクト領域１６が選択的に設けられている。第２ソース領域１５は、平面方向において第２ウェル領域１３の上層部の大部分を占める大きさに形成され、第２ウェルコンタクト領域１６は、第２ウェル領域１３の上層部の残りの部分のうち、第２ソース領域１５よりも素子領域に近い側に設けられ、第２ソースコンタクト１７（第２コンタクト）の下方のｐｎ接合部から境界部ゲート電極１９の下方まで延在するように設けられている。

[0037] 素子領域の複数の第１ウェル領域３のうち、第２ウェル領域１３と隣り合う第１ウェル領域３と、第２ウェル領域１３との間のドリフト層２は最外周ＪＦＥＴ領域１４となっており、素子領域と非素子領域との境界は最外周ＪＦＥＴ領域１４と定義する。

[0038] 非素子領域においては、第２ウェル領域１３上にフィールド絶縁膜２８が形成され、フィールド絶縁膜２８を貫通して、第２ソース領域１５と第２ウェルコンタクト領域１６とに電気的に接続される第２ソースコンタクト１７が設けられている。また、素子領域と非素子領域との境界の第２ウェル領域１３上および第１ウェル領域３上には境界部ゲート絶縁膜１８を介して境界部ゲート電極１９が設けられている。なお、境界部ゲート電極１９は、第２ソース領域１５の上方のフィールド絶縁膜２８上にまで延在している。図３では、素子領域のゲート電極９と境界部ゲート電極１９とは不連続であるが、平面視では連続している。

[0039] ゲート電極９上および境界部ゲート電極１９上を含むドリフト層２上には層間絶縁膜２９が設けられており、ゲート電極９および境界部ゲート電極１９とソースパッド１０１とは、層間絶縁膜２９により電気的に離間されてい

る。第２ソースコンタクト１７は層間絶縁膜２９も貫通して、第２ソース領域１５と第２ウェルコンタクト領域１６と電気的に接続されている。また、層間絶縁膜２９を貫通してフィールド絶縁膜２８上の境界部ゲート電極１９に達するようにゲートコンタクト２７が設けられており、境界部ゲート電極１９およびゲート電極９はゲートコンタクト２７を介してゲート配線１０３に電気的に接続される。

[0040] 非素子領域のゲート配線１０３上およびソースパッド１０１上と、素子領域のソースパッド１０１の一部上部には保護膜ＰＦが設けられている。保護膜ＰＦは絶縁膜で構成されている。

[0041] 第２ソースコンタクト１７の底部には、例えば、ニッケルシリサイドで構成されるシリサイド膜ＳＤが設けられ、第２ソース領域１５および第２ウェルコンタクト領域１６の一部はシリサイド膜ＳＤで覆われている。第２ウェルコンタクト領域１６と第２ソース領域１５はシリサイド膜ＳＤおよび第２ソースコンタクト１７を介して、ソースパッド１０１に電気的に接続されている。なお、シリサイド膜ＳＤはニッケルシリサイドに限定されず、アルミシリサイド、チタンシリサイドを用いることもできる。第１ソースコンタクト７は、ソースパッド１０１形成時に、コンタクトホール内にソースパッド１０１の材料となる金属、例えば、ニッケル、アルミニウム、チタンを埋め込むことで形成することができる。

[0042] 第２ウェル領域１３の不純物濃度は、１．０×10^{16}ｃｍ$^{-3}$以上１．０×10^{20}ｃｍ$^{-3}$以下であることが好適である。第２ソース領域１５の不純物濃度は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下であることが好適である。第２ウェルコンタクト領域１６の不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{22}ｃｍ$^{-3}$以下であることが好適である。このような濃度範囲とすることで、所望の定格を有する炭化珪素半導体装置を得ることができる。

[0043] また、第２ウェルコンタクト領域１６が、第２ソースコンタクト１７の下方のｐｎ接合部から素子領域側に延在する長さは、１．０μｍ以上１００μ

ｍ以下であることが好適である。このような範囲に設定することで炭化珪素半導体装置の寸法設計上のマージンを取ることができる。

[0044] 図４は、図１におけるＢ－Ｂ線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド１０２の形成領域の構成を模式的に示す断面図である。図４に示されるように、素子領域および非素子領域の構成は図３に示した構成と同様である。

[0045] 図５は、図１における領域Ｘにおける素子領域および非素子領域の構成を模式的に示す平面図である。便宜的に、ドリフト層２上の絶縁膜および電極は省略し、ドリフト層２の上層部の構成のみを示している。

[0046] 図５に示されるように、素子領域のユニットセルＵＣの平面視形状は正方形であり、マトリクス状に配置されているが、これは一例であり、この形状に限定されるものではなく、長方形、多角形とすることもできる。

[0047] 平面視形状が正方形のユニットセルＵＣにおいては、外形が正方形の第１ウェルコンタクト領域６の周囲を第１ソース領域５が囲み、さらにその外側が第１ウェル領域３によって囲まれている。

[0048] ユニットセルＵＣ間はＪＦＥＴ領域４となっており、対角線方向で隣り合うユニットセルＵＣ間の角部どうしは第１ウェル領域３によって接続されている。

[0049] 非素子領域においては、第２ウェル領域１３に連続するように第２ウェルコンタクト領域１６が設けられており、第２ウェルコンタクト領域１６に連続するように第２ソース領域１５が設けられている。

[0050] 第２ウェルコンタクト領域１６は、平面視で複数の第２ソースコンタクト１７の下方に及ぶように連続的に形成され、同様に、第２ソース領域１５は、平面視で複数の第２ソースコンタクト１７の下方に及ぶように連続的に設けられている。

[0051] 図６は、図５におけるＤ－Ｄ線での矢示方向断面図であり、素子領域と、非素子領域の構成を模式的に示す断面図である。図５に示したように、第２ソースコンタクト１７は離間して複数設けられており、複数の第２ソースコ

ンタクト１７間においては、図６に示されるように、境界部ゲート電極１９が素子領域から非素子領域にかけて連続的に設けられており、ゲート配線１０３に印加されたゲート信号をゲートコンタクト２７を介して、素子領域のゲート電極９に伝えることができる。

[0052] ＜製造方法＞

次に、ｎ型炭化珪素ＭＯＳＦＥＴ１００の製造方法の一例について、製造工程を順に示す断面図である図７～図１８を用いて説明する。

[0053] まず、図７に示すように、第１の主面の面方位が（０００１）面であり、４Ｈのポリタイプを有するｎ型で低抵抗の炭化珪素基板１の第１の主面の上に、化学気相堆積（Chemical Vapor Deposition：ＣＶＤ）法により炭化珪素のｎ型のドリフト層２をエピタキシャル成長させる。ドリフト層２のｎ型の不純物濃度は、例えば、$1\times10^{14}cm^{-3}$～$1\times10^{17}cm^{-3}$とし、ドリフト層２の厚さは、例えば、５μｍ～５０μｍとする。

[0054] 次に、ドリフト層２上にフォトレジストなどにより注入マスク（図示せず）を形成し、ｐ型の不純物であるＡｌ（アルミニウム）をイオン注入して、ドリフト層２の上層部にｐ型の第１ウェル領域３および第２ウェル領域１３を形成する。Ａｌのイオン注入の深さは、ドリフト層２の厚さを超えない深さとし、例えば、０．５～３μｍとする。また、イオン注入されたＡｌの不純物濃度は、例えば、$1\times10^{16}cm^{-3}$～$1\times10^{20}cm^{-3}$とし、ドリフト層２のｎ型の不純物濃度より高くする。Ａｌをイオン注入した後、注入マスクを除去する。ここでは、第１ウェル領域３および第２ウェル領域１３を同一工程で形成しているが、別々の工程で形成することもできる。

[0055] 次に、図８示す工程において、ドリフト層２上にフォトレジストなどにより注入マスク（図示せず）を形成し、ｎ型の不純物であるＮ（窒素）をイオン注入し、第１ウェル領域３の上層部にｎ型の第１ソース領域５を形成し、第２ウェル領域１３の上層部に第２ソース領域１５を形成する。Ｎのイオン注入深さは、第１ウェル領域３および第２ウェル領域１３の厚さより浅くする。また、イオン注入したＮの不純物濃度は、例えば、$1\times10^{17}cm^{-3}$～

１×１０^{21}ｃｍ$^{-3}$とし、それぞれ第１ウェル領域３および第２ウェル領域１３のｐ型の不純物濃度より高くする。Ｎをイオン注入した後、注入マスクを除去する。ここでは第１ソース領域５および第２ソース領域１５を同一工程で形成しているが、別々の工程で形成することもできる。

[0056] 次に、図９に示す工程において、ドリフト層２上にフォトレジストなどにより注入マスク（図示せず）を形成し、ｐ型の不純物であるＡｌをイオン注入し、第１ウェル領域３の上層部にｐ型の第１ウェルコンタクト領域６を形成し、第２ウェル領域１３の上層部に第２ウェルコンタクト領域１６を形成する。第１ウェルコンタクト領域６は、第１ソース領域５の最表面から第１ウェル領域３と電気的に接続される深さに形成される。第２ウェルコンタクト領域１６は、第２ソース領域１５の最表面から第２ウェル領域１３と電気的に接続される深さに形成される。第１ウェルコンタクト領域６は、第１ウェル領域３と、ソースパッド１０１とを電気的に接続する第１ソースコンタクト７との良好な電気的接触を得るために設ける。

[0057] 第１ウェルコンタクト領域６および第２ウェルコンタクト領域１６のｐ型の不純物濃度は、それぞれ第１ウェル領域３および第２ウェル領域１３のｐ型の不純物濃度より高いことが好ましい。Ａｌをイオン注入した後、注入マスクを除去する。ここでは第１ウェルコンタクト領域６および第２ウェルコンタクト領域１６を同一工程で形成しているが、別々の工程で形成することもできる。

[0058] 次に、図１０に示す工程において、ドリフト層２上にフォトレジストなどにより注入マスクＲＭ１を形成し、ｎ型の不純物であるＮをイオン注入し、ＪＦＥＴ領域４内および最外周ＪＦＥＴ領域１４内にｎ型の不純物の濃度が高い高濃度領域を形成することで、ＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４のｎ型の不純物濃度をドリフト層２のｎ型の不純物濃度より高くする。ただし、イオン注入したＮの不純物濃度は、第１ウェル領域３のｐ型の不純物濃度より低くすることが好適である。この理由は、第１ウェル領域３に対してＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４の不純物濃度を相対的

に低くすることで、第１ウェル領域３とＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４との間に形成されるｐｎ接合に逆バイアスが印加された際に、ＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４側に空乏層が伸びるようにするためである。

[0059] Ｎをイオン注入した後、注入マスクＲＭ１を除去する。なお、本実施の形態では、一例として、ｎ型の不純物注入により、ドリフト層２よりも不純物濃度が高いＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４を形成したが、必ずしもｎ型の不純物注入である必要はなく、ｐ型の不純物注入とすることもできる。また、ＪＦＥＴ領域４および最外周ＪＦＥＴ領域１４の不純物濃度はドリフト層２の不純物濃度と同じとすることもできる。

[0060] 次に、図１１に示す工程において、ドリフト層２上にｎ型またはｐ型のエピタキシャル層ＥＰをエピタキシャル成長させる。エピタキシャル層ＥＰの厚みは１０～５００ｎｍとすることができる。なお、エピタキシャル層ＥＰは、その内部にチャネルが形成されるエピタキシャルチャネル層として設けるが、必須の構成ではなく、図２～４および以下に示す図では図示を省略する。

[0061] 次に、図１２に示す工程において、減圧ＣＶＤ法によりドリフト層２上にフィールド絶縁膜２８を形成し、フィールド絶縁膜２８上にフォトレジストなどによりエッチングマスクＲＭ２を形成する。そして、フィールド絶縁膜２８を部分的にエッチングして除去する。除去する部分は、後にゲート絶縁膜８および境界部ゲート絶縁膜１８が形成される部分である。その後、エッチングマスクＲＭ２を除去する。

[0062] 次に、図１３に示す工程において、ドリフト層２の表面を熱酸化して、所望の厚みのゲート絶縁膜８を形成する。

[0063] 次に、図１４に示す工程において、ゲート絶縁膜８上に、減圧ＣＶＤ法により導電性を有する多結晶珪素（ポリシリコン）膜を形成し、これをエッチングでパターンニングすることによりゲート電極９および境界部ゲート電極１９を形成する。また、ゲート電極９および境界部ゲート電極１９で覆われ

ないゲート絶縁膜８をエッチング等で除去する。ここで、境界部ゲート電極１９の下部に位置するゲート絶縁膜８が境界部ゲート絶縁膜１８となる。

[0064] 次に、図１５に示す工程において、ゲート電極９上および境界部ゲート電極１９上を含むドリフト層２上に、減圧ＣＶＤ法により層間絶縁膜２９を形成する。

[0065] 次に、図１６に示す工程において、層間絶縁膜２９およびゲート絶縁膜８を貫通して第１ウェルコンタクト領域６および第１ソース領域５に到達する第１ソースコンタクトホール７Ｃ、および層間絶縁膜２９およびゲート絶縁膜８を貫通して第２ウェルコンタクト領域１６および第２ソース領域１５に到達する第２ソースコンタクトホール１７Ｃを形成する。また、層間絶縁膜２９を貫通してゲート電極９に到達するゲートコンタクトホール２７Ｃを形成する。

[0066] 次に、図１７に示す工程において、層間絶縁膜２９に、スパッタリング法などにより、例えばニッケル（Ｎｉ）を主成分とする金属膜ＭＦを形成し、６００℃以上１１００℃以下の温度で熱処理を行い、Ｎｉを主成分とする金属膜ＭＦと炭化珪素とを反応させてシリサイド膜ＳＤを形成する。続いて、シリサイド膜ＳＤ以外の層間絶縁膜２９上に残留した金属膜ＭＦをウェットエッチングにより除去する。このシリサイド膜ＳＤにより、第１ソースコンタクトホール７Ｃおよび第２ソースコンタクトホール１７Ｃの底面にオーミック接触が形成される。

[0067] 次に、図１８示す工程において、炭化珪素基板１の第２の主面（裏面）に、Ｎｉを主成分とする金属膜を形成し、熱処理することにより、炭化珪素基板１の裏面に裏面コンタクト（図示せず）を形成する。その後、層間絶縁膜２９が形成された炭化珪素基板１の前面に、スパッタリング法または蒸着法によりＡｌ等の金属層を形成し、フォトリソグラフィー技術により所定の形状に加工することで、第１ソースコンタクト７、第２ソースコンタクト１７およびゲートコンタクト２７を形成すると共に、第１ソースコンタクト７および第２ソースコンタクト１７に接続されたソースパッド１０１およびゲー

トコンタクト２７に接続されたゲート配線１０３を形成する。このとき、ゲート配線１０３に接続されたゲートパッド１０２（図４）も形成される。また、炭化珪素基板１の裏面の裏面コンタクト上にスパッタリング法または蒸着法によりＡｌ等の金属層を形成してドレイン電極１０４とする。その後、非素子領域のゲート配線１０３上およびソースパッド１０１上と、素子領域のソースパッド１０１の一部上部を覆うように保護膜ＰＦ（図３）を絶縁膜等で形成することで、ｎ型炭化珪素ＭＯＳＦＥＴ１００が完成する。

[0068] ＜効果＞

次に、実施の形態１のｎ型炭化珪素ＭＯＳＦＥＴ１００の構成による効果について説明する。ｎ型炭化珪素ＭＯＳＦＥＴ１００においては、例えば、図３に示したように、第２ウェルコンタクト領域１６は、第２ソースコンタクト１７の下方のｐｎ接合部から素子領域側に延在し、第２ソース領域１５は、第２ソースコンタクト１７の下方のｐｎ接合部から非素子領域側に延在するように設けられている。

[0069] また、図５に示したように、第２ウェルコンタクト領域１６は、平面視で複数の第２ソースコンタクト１７の下方に及ぶように連続的に形成され、同様に、第２ソース領域１５は、平面視で複数の第２ソースコンタクト１７の下方に及ぶように連続的に設けられている。このため、ｎ型炭化珪素ＭＯＳＦＥＴ１００がオフ状態からオン状態にスイッチングする際に、第２ソースコンタクト１７から流入する変位電流を分散することができ、変位電流の集中を回避できる。

[0070] 第２ソースコンタクト１７にはニッケル、アルミニウム、チタンなどの金属で構成し、第２ソースコンタクト１７の底部には、炭化珪素と金属とのシリサイド膜ＳＤを形成することで、第２ソース領域１５および第２ウェルコンタクト領域１６の両方に良好なオーミック接触を形成している。

[0071] ここで、ｐ型の第２ウェルコンタクト領域１６とｎ型の第２ソース領域１５に対して、第２ソースコンタクト１７がオーミック接触する部分を同一プロセスで形成する場合、第２ソースコンタクト１７と第２ウェルコンタクト

領域１６との単位面積当たりのコンタクト抵抗値（接触微分抵抗値）は、第２ソースコンタクト１７と第２ソース領域１５との接触微分抵抗値よりも大きくなる。

[0072] そのため、第２ウェルコンタクト領域１６に対して第２ソースコンタクト１７がオーミック接触する部分での電位降下を抑制するために、第２ソースコンタクト１７の下方における第２ウェルコンタクト領域１６の面積をなるべく大きくすることが好適である。具体的には、第２ソースコンタクト１７の下方における第２ウェルコンタクト領域１６の面積を、第２ソースコンタクト１７の下方における第２ソース領域１５の面積の１倍以上１００倍以下とすることが好適である。

[0073] これは、図５においても示されており、第２ソースコンタクト１７の下方における第２ウェルコンタクト領域１６の面積は、第２ソースコンタクト１７の下方における第２ソース領域１５の面積よりも２倍以上大きくなっている。このため、第２ウェルコンタクト領域１６に対して第２ソースコンタクト１７がオーミック接触する部分での電位降下を抑制することができる。

[0074] なお、第２ソースコンタクト１７と第２ウェルコンタクト領域１６との接触微分抵抗値は大きくなるが、製造工程が簡略化されるメリットがある。

[0075] また、第２ソース領域１５の不純物濃度は、１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下、より好ましくは１×10^{19}ｃｍ$^{-3}$以上１×10^{20}ｃｍ$^{-3}$以下とする。また、第２ウェルコンタクト領域１６の不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{22}ｃｍ$^{-3}$以下、より好ましくは１．０×10^{19}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下とする。

[0076] ここで、第２ソース領域１５のシート抵抗値は第２ウェルコンタクト領域１６のシート抵抗値よりも低くする。これにより、第２ソース領域１５に電流が流れやすくする。

[0077] 以上説明した構成を採ることで、ｎ型炭化珪素ＭＯＳＦＥＴ１００がオフ状態からオン状態にスイッチングする際に、例えば、２０Ｖ/ｎｓｅｃ以上の大きなｄＶ/ｄｔ（電圧の時間変動）ソースとドレインとの間に加えられた場

合に、第２ソースコンタクト１７から流入する変位電流のより多くの割合を、第２ソース領域を介して、第２ソースコンタクト１７よりも非素子領域側に流すことができ、第２ソースコンタクト１７よりも素子領域側に流れる変位電流を抑制することができる。このため、第２ウェル領域１３の素子領域側の端部（第２ウェル領域１３端）に発生する電圧を低減することができ、第２ウェル領域１３端と境界部ゲート電極１９との間の電位差が抑制され、境界部ゲート絶縁膜１８の絶縁破壊が抑制され、半導体装置としての信頼性が向上する。

[0078] ＜実施の形態２＞

図１９は、実施の形態２のｎ型炭化珪素ＭＯＳＦＥＴ２００の構成を示す断面図であり、図１におけるＡ－Ａ線での矢示方向断面図に相当する。図１９に示されるようにｎ型炭化珪素ＭＯＳＦＥＴ２００においては、第２ウェルコンタクト領域１６の第２ソースコンタクト１７の下方のｐｎ接合部から素子領域側に延在する部分が、フィールド絶縁膜２８の直下までしか延在せず、境界部ゲート電極１９の直下には達していない。

[0079] 図２０は、図１におけるＢ－Ｂ線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド１０２の形成領域の構成を模式的に示す断面図である。図２０に示されるように、素子領域および非素子領域の構成は図１９に示した構成と同様である。

[0080] このように実施の形態２のｎ型炭化珪素ＭＯＳＦＥＴ２００においては、第２ウェルコンタクト領域１６が境界部ゲート電極１９の下方には達していないので、高濃度の第２ウェルコンタクト領域１６上に境界部ゲート絶縁膜１８が形成されることがなく、境界部ゲート絶縁膜１８の膜質が向上する。すなわち、高濃度の不純物注入領域では結晶構造が崩れているため、その上に形成される境界部ゲート絶縁膜１８の均質性が低下するが、ｎ型炭化珪素ＭＯＳＦＥＴ２００の構成では、それが発生せず、耐圧およびリーク電流で評価される膜質が向上する。そのため、境界部ゲート絶縁膜１８の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

[0081] ＜実施の形態３＞

図２１は、実施の形態３のｎ型炭化珪素ＭＯＳＦＥＴ３００の素子領域および非素子領域の構成を示す平面図であり、図１における領域Ｘにおける平面図に相当する。なお、図５と同様、便宜的に、ドリフト層２上の絶縁膜および電極は省略し、ドリフト層２の上層部の構成のみを示している。なお、図２１においては、図５を用いて説明した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

[0082] 図２１に示されるようにｎ型炭化珪素ＭＯＳＦＥＴ３００においては、第２ウェルコンタクト領域１６の一部において、第２ソース領域１５との接合部から素子領域側に延在する部分の長さが、第２ソースコンタクト１７の下方のｐｎ接合部から素子領域側に延在する部分の長さよりも短くなっている。そして、第２ウェルコンタクト領域１６の長さが短くなった分だけ第２ソース領域１５の長さが長く形成されている。平面視的には、第２ウェルコンタクト領域１６が部分的に素子領域側に凹み、第２ソース領域１５が部分的に突出した形状となっている。

[0083] なお、図２１においては、第２ウェルコンタクト領域１６が凹み、第２ソース領域１５が突出した部分は、２つの第２ソースコンタクト１７の間に１ヶ所だけとなっているが、典型的には第２ソースコンタクト１７は、非素子領域においてゲート配線１０３に沿って複数設けられるので、第２ソースコンタクト１７間のそれぞれに第２ウェルコンタクト領域１６が凹み、第２ソース領域１５が突出した部分を設けることができる。

[0084] 図２２は、図２１におけるＤ－Ｄ線での矢示方向断面図である。図２２に示されるように、ｎ型炭化珪素ＭＯＳＦＥＴ３００においては、第２ウェルコンタクト領域１６の長さが、図３に示したｎ型炭化珪素ＭＯＳＦＥＴ１００の第２ソース領域１５との接合部から素子領域側に延在する第２ウェルコンタクト領域１６の長さよりも短く形成され、その分だけ第２ソース領域１５が長く形成されている。

[0085] このように第２ウェルコンタクト領域１６を部分的に短くし、その分だけ

第２ソース領域１５を長くすることで、ｎ型炭化珪素ＭＯＳＦＥＴ３００がオフ状態からオン状態にスイッチングする際に、第２ソースコンタクト１７から流入する変位電流のより多くの割合を、長くなった第２ソース領域１５を介して、第２ソースコンタクト１７よりも非素子領域側に流すことができ、第２ソースコンタクト１７よりも素子領域側に流れる変位電流をさらに抑制することができる。このため、第２ウェル領域１３の素子領域側の端部（第２ウェル領域１３端）に発生する電圧をさらに低減することができ、第２ウェル領域１３端と境界部ゲート電極１９との間の電位差がさらに抑制され、境界部ゲート絶縁膜１８の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

[0086] ＜実施の形態４＞

図２３は、実施の形態４のｎ型炭化珪素ＭＯＳＦＥＴ４００の構成を示す断面図であり、図１におけるＡ－Ａ線での矢示方向断面図に相当する。図２３に示されるようにｎ型炭化珪素ＭＯＳＦＥＴ４００においては、第２ウェルコンタクト領域１６の第２ソースコンタクト１７の下方のｐｎ接合部から素子領域側に延在する部分が、第２ウェル領域１３の端部（第２ウェル領域１３端）まで設けられている。

[0087] 図２４は、図１におけるＢ－Ｂ線での矢示方向断面図であり、素子領域と、非素子領域であるゲートパッド１０２の形成領域の構成を模式的に示す断面図である。図２４に示されるように、素子領域および非素子領域の構成は図２３に示した構成と同様である。

[0088] このように実施の形態４のｎ型炭化珪素ＭＯＳＦＥＴ４００においては、第２ウェルコンタクト領域１６が第２ウェル領域１３端まで設けられているので、ｎ型炭化珪素ＭＯＳＦＥＴ４００がオフ状態からオン状態にスイッチングする際に、第２ウェル領域１３端に発生する電圧を効果的に低減することができる。

[0089] すなわち、第２ウェルコンタクト領域１６のシート抵抗値は、第２ウェル領域１３のシート抵抗よりも低いので、第２ウェルコンタクト領域１６の端

部に発生する電圧は、第２ウェル領域１３端に発生する電圧よりも低くすることができる。この結果、第２ウェル領域１３端と境界部ゲート電極１９との間の電位差がさらに抑制され、境界部ゲート絶縁膜１８の絶縁破壊の抑制効果がより高くなり、半導体装置としての信頼性がより向上する。

[0090] 本開示は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、本開示がそれに限定されるものではない。例示されていない無数の変形例が、本開示の範囲から外れることなく想定され得るものと解される。

[0091] なお、本開示は、開示の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

[請求項1] 半導体素子が形成された素子領域と、該素子領域以外の非素子領域とを有し、前記素子領域において、炭化珪素基板の厚み方向に主電流が流れる炭化珪素半導体装置であって、

前記炭化珪素基板の第１の主面上に設けられた第１導電型の半導体層と、

前記素子領域の前記半導体層の上層部に設けられた第２導電型の第１ウェル領域と、

前記第１ウェル領域の上層部に設けられた第１導電型の第１不純物領域と、

前記第１ウェル領域の上層部に設けられ、側面において前記第１不純物領域に接合する第２導電型の第１ウェルコンタクト領域と、

前記第１不純物領域の端縁部上、前記第１ウェル領域上および前記半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と、

前記第１不純物領域および前記第１ウェルコンタクト領域にオーミック接触し、前記半導体層の上方に設けられた第１主電極に電気的に接続される第１コンタクトと、

前記非素子領域の前記半導体層の上層部に設けられた第２導電型の第２ウェル領域と、

前記第２ウェル領域の上層部に設けられた第１導電型の第２不純物領域と、

前記第２ウェル領域の上層部に設けられ、側面において前記第２不純物領域に接合する第２導電型の第２ウェルコンタクト領域と、

前記第２ウェル領域上に設けられたフィールド絶縁膜と、

前記フィールド絶縁膜を貫通して、前記第２不純物領域および前記第２ウェルコンタクト領域にオーミック接触し、前記第１主電極に電気的に接続される少なくとも１つの第２コンタクトと、

前記素子領域と前記非素子領域との境界の側の前記第２不純物領域の端縁部上から、前記境界に隣り合う前記第１ウェル領域内の前記第１不純物領域の端縁部上にかけて設けられた境界部ゲート絶縁膜と、

前記境界部ゲート絶縁膜上に設けられた境界部ゲート電極と、

前記炭化珪素基板の前記第１の主面とは反対側の第２の主面上に設けられた第２主電極と、を備え、

前記第２ウェルコンタクト領域は、前記少なくとも１つの第２コンタクトの下方から前記素子領域側に延在し、

前記第２不純物領域は、前記少なくとも１つの第２コンタクトの下方から前記非素子領域側に延在する、炭化珪素半導体装置。

[請求項2] 前記少なくとも１つの第２コンタクトは複数の第２コンタクトであって、

前記第２ウェルコンタクト領域は、

平面視で前記複数の第２コンタクトの下方に及ぶように連続的に設けられ、

前記第２不純物領域は、

平面視で複数の第２コンタクトの下方に及ぶように連続的に設けられる、請求項１記載の炭化珪素半導体装置。

[請求項3] 前記第２ウェルコンタクト領域は、前記少なくとも１つの第２コンタクトの下方から前記境界部ゲート絶縁膜の直下まで延在する、請求項１記載の炭化珪素半導体装置。

[請求項4] 前記第２ウェルコンタクト領域は、前記少なくとも１つの第２コンタクトの下方から前記境界部ゲート絶縁膜の直下に達しない長さに設けられる、請求項１記載の炭化珪素半導体装置。

[請求項5] 前記第２ウェルコンタクト領域は、

前記複数の第２コンタクト間において、前記第２不純物領域との接合部から前記素子領域側に延在する部分の長さが、前記少なくとも１つの第２コンタクトの下方の前記第２不純物領域との接合部から前記

素子領域側に延在する部分の長さよりも短い、請求項２記載の炭化珪素半導体装置。

[請求項6] 前記第２ウェルコンタクト領域は、前記少なくとも１つの第２コンタクトの下方から前記素子領域の側の前記第２ウェル領域の端部まで延在する、請求項１記載の炭化珪素半導体装置。

[請求項7] 前記少なくとも１つの第２ソースコンタクトにオーミック接触する前記第２ウェルコンタクト領域の面積は、前記少なくとも１つの第２ソースコンタクトにオーミック接触する前記第２不純物領域の面積よりも広い、請求項１記載の炭化珪素半導体装置。

[請求項8] 前記少なくとも１つの第２ソースコンタクトにオーミック接触する前記第２ウェルコンタクト領域の面積は、前記少なくとも１つの第２ソースコンタクトにオーミック接触する前記第２不純物領域の面積の１倍以上１００倍以下である、請求項１記載の炭化珪素半導体装置。

[請求項9] 前記第２不純物領域の第１導電型の不純物濃度は、

１．０×10^{17}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下である、請求項１記載の炭化珪素半導体装置。

[請求項10] 前記第２不純物領域の第１導電型の不純物濃度は、

１．０×10^{19}ｃｍ$^{-3}$以上１．０×10^{20}ｃｍ$^{-3}$以下である、請求項１記載の炭化珪素半導体装置。

[請求項11] 前記第２ウェルコンタクト領域の第２導電型の不純物濃度は、

１．０×10^{18}ｃｍ$^{-3}$以上１．０×10^{22}ｃｍ$^{-3}$以下である、請求項１記載の炭化珪素半導体装置。

[請求項12] 前記第２ウェルコンタクト領域の第２導電型の不純物濃度は、

１．０×10^{19}ｃｍ$^{-3}$以上１．０×10^{21}ｃｍ$^{-3}$以下である、請求項１記載の炭化珪素半導体装置。

[請求項13] 前記第２ウェルコンタクト領域は、

前記少なくとも１つの第２コンタクトの下方の前記第２不純物領域との接合部から前記素子領域側に延在する部分の長さが、１．０μｍ

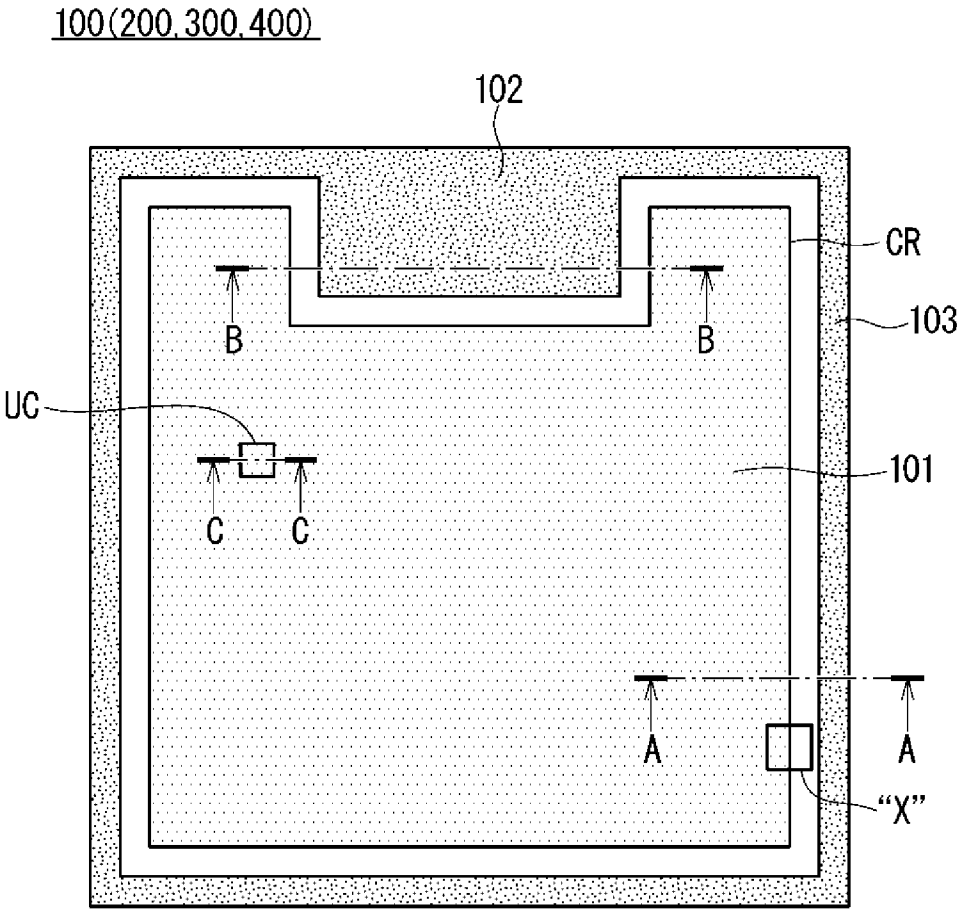
以上１００μｍ以下である、請求項１記載の炭化珪素半導体装置。

[請求項14] 前記第２不純物領域のシート抵抗値は、前記第２ウェルコンタクト領域のシート抵抗値よりも低い、請求項１記載の炭化珪素半導体装置。

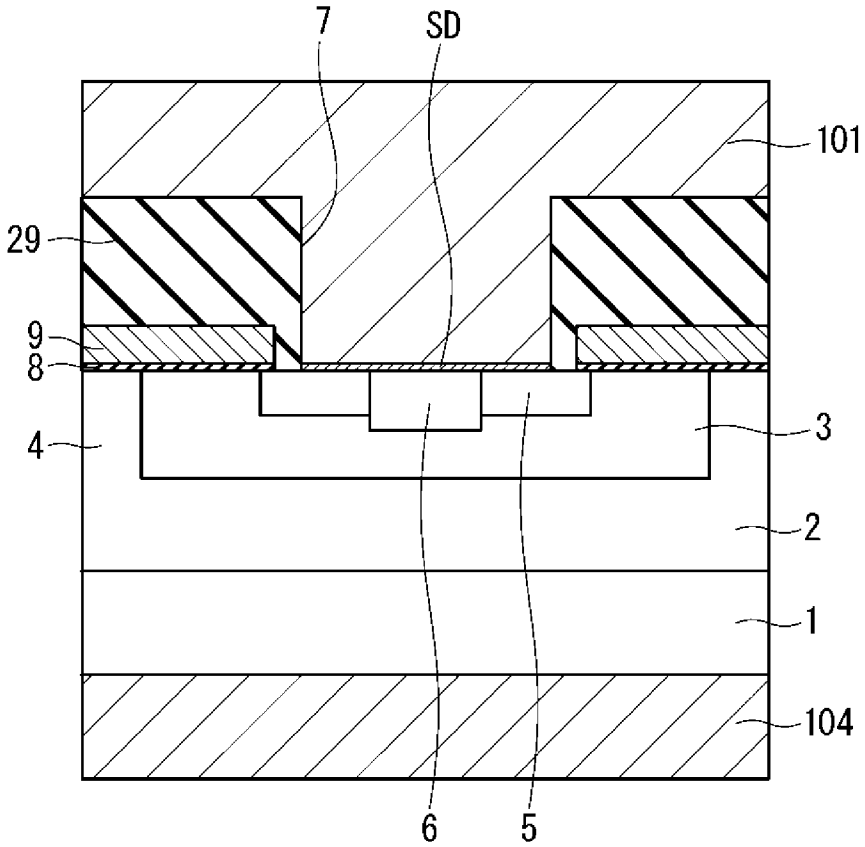
[請求項15] 前記第２不純物領域と前記少なくとも１つの第２コンタクトとの接触微分抵抗値は、前記第２ウェルコンタクト領域と前記少なくとも１つの第２ソースコンタクトとの接触微分抵抗値よりも低い、請求項１記載の炭化珪素半導体装置。

[請求項16] 前記第１主電極と前記第２主電極との間に加わる電圧の時間変動は、２０Ｖ/ｎｓｅｃ以上である、請求項１記載の炭化珪素半導体装置。

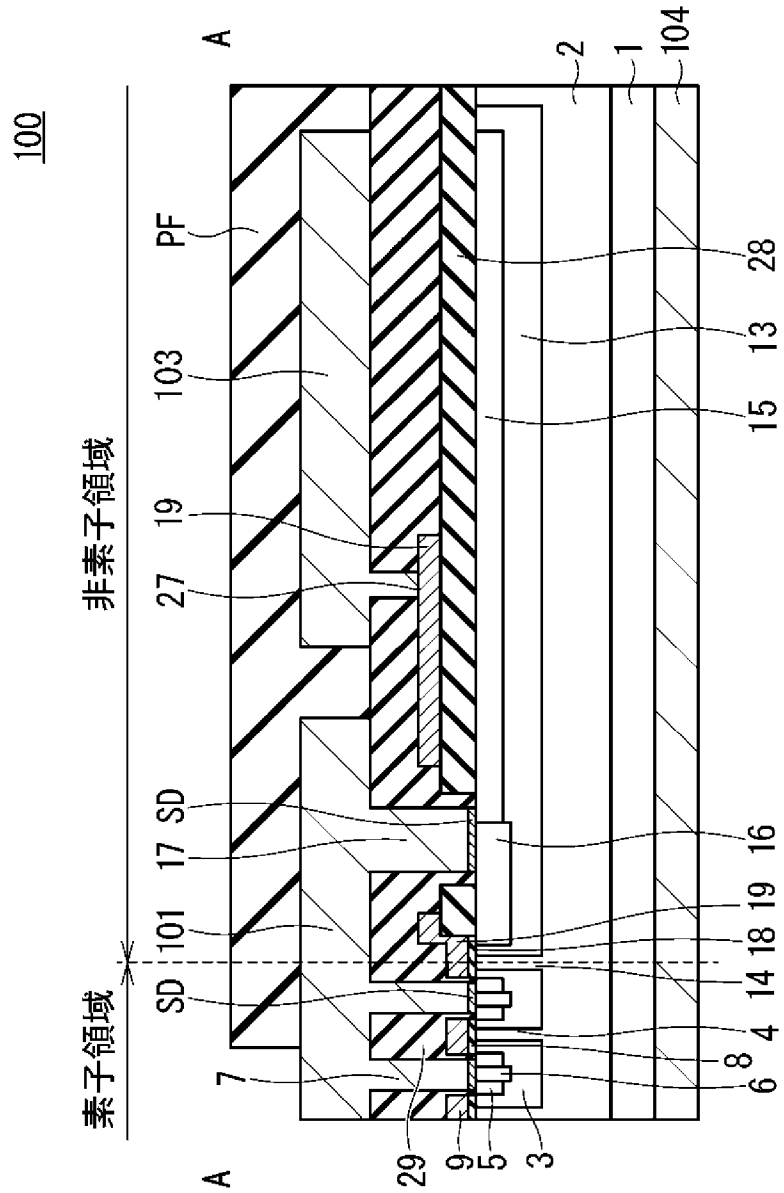
[図1]


100(200,300,400)
102
CR
B
B
103
UC
101
C
C
A
A
"X"

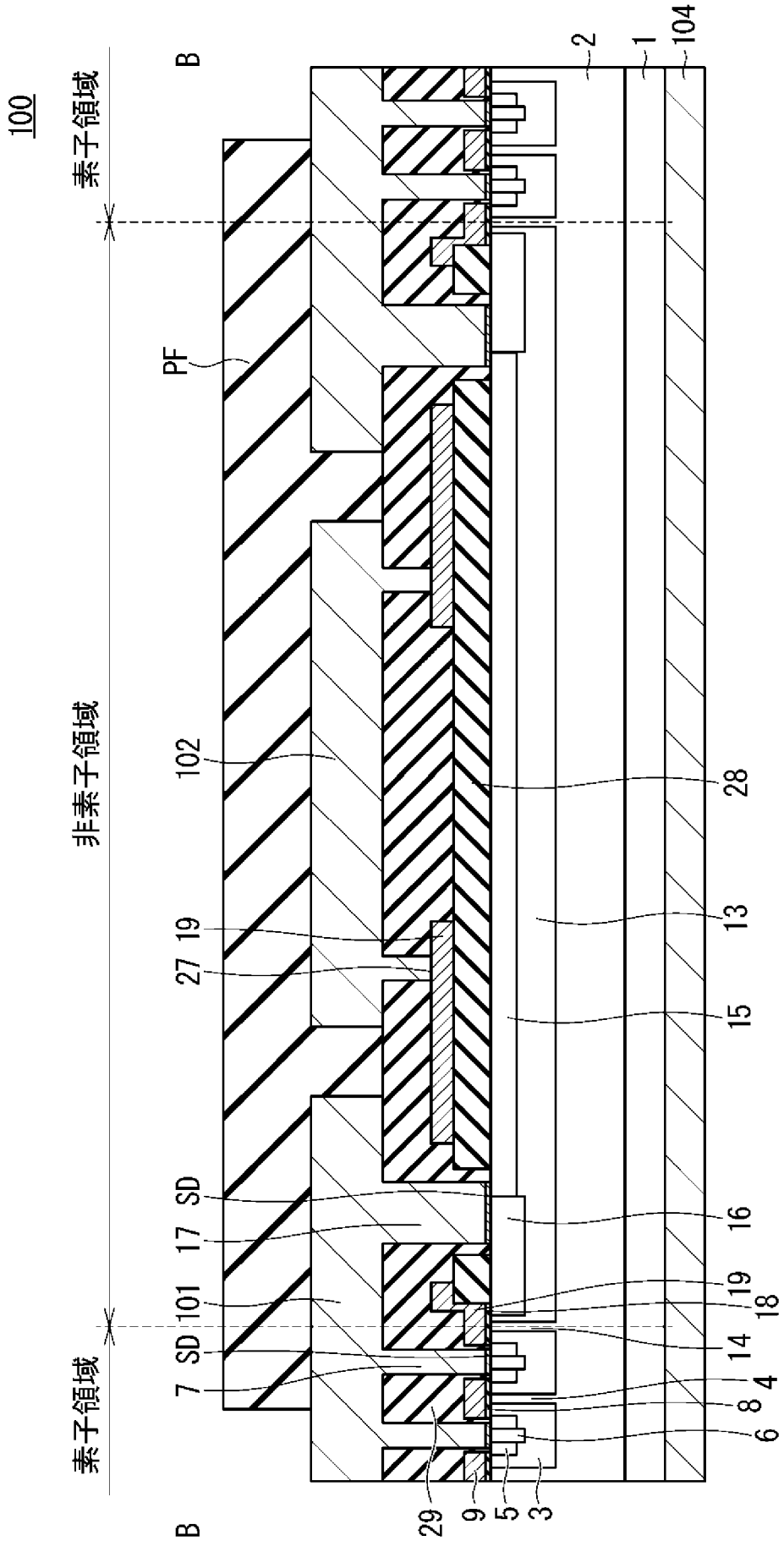
[図2]


7
SD
101
29
9
8
3
4
2
1
104
6
5

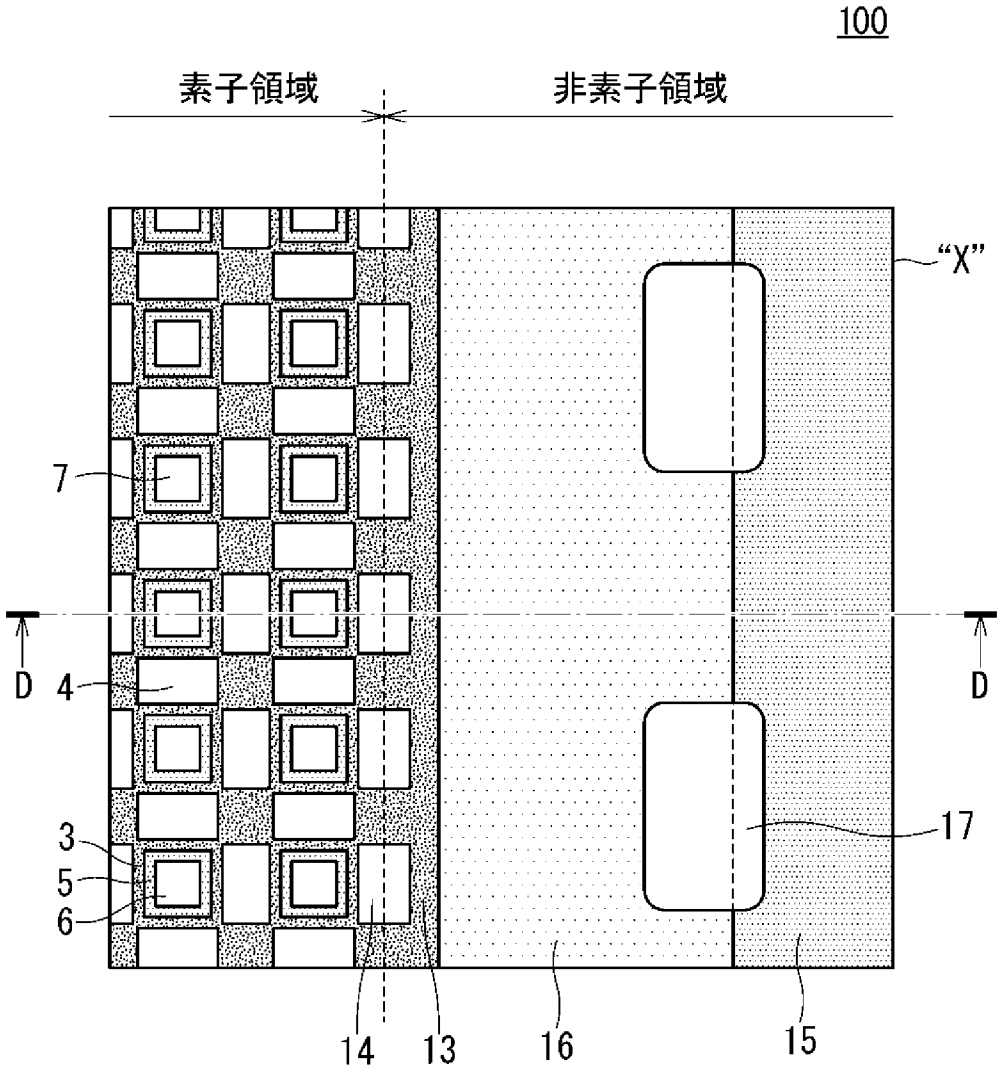
[図3]


100
A
A
非素子領域
素子領域
PF
103
19
27
SD
17
101
SD
7
29
9
5
3
2
1
104
28
13
15
16
19
18
14
4
8
6

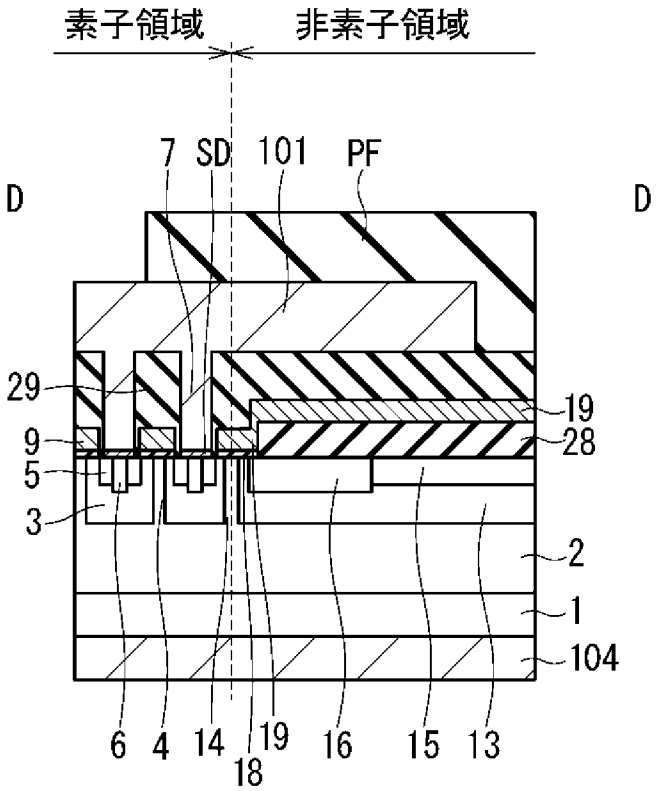
[図4]


100
素子領域
非素子領域
素子領域
B
B
PF
102
27
19
SD
17
101
SD
7
2
1
104
28
13
15
16
19
18
14
4
8
6
29
9
5
3

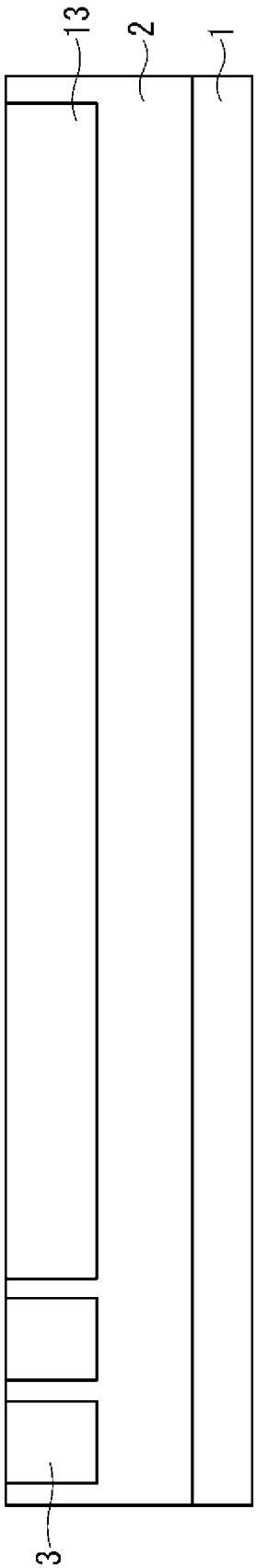
[図5]


100
素子領域
非素子領域
"X"
7
D
4
D
3
5
6
17
14
13
16
15

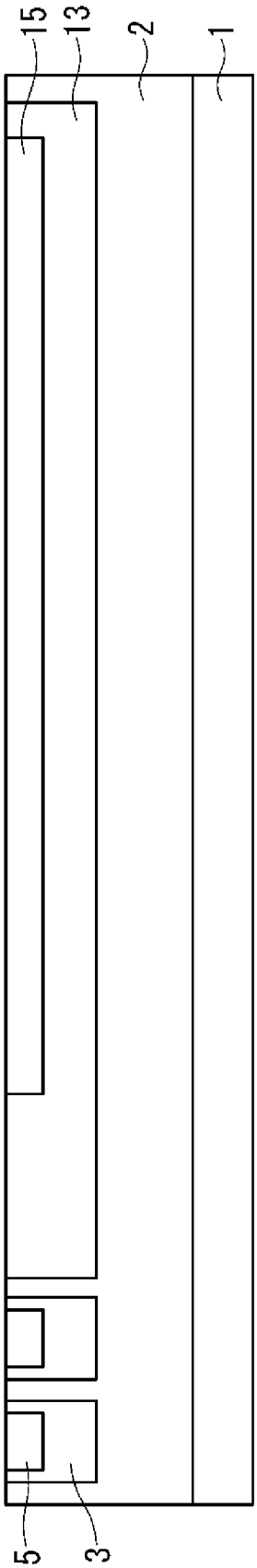
[図6]


素子領域
非素子領域
7
SD
101
PF
D
D
29
19
9
28
5
3
2
1
104
6
4
14
18
19
16
15
13

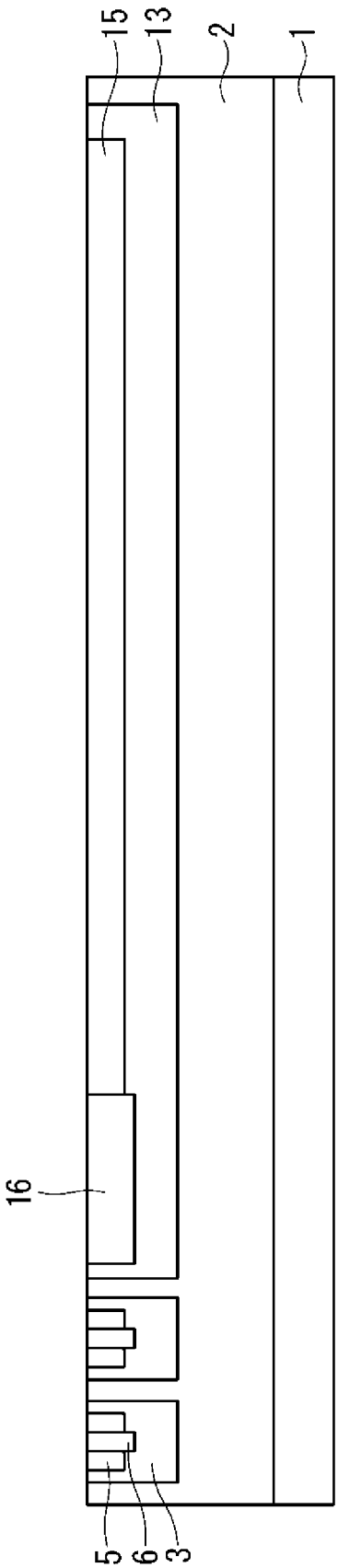
[図7]



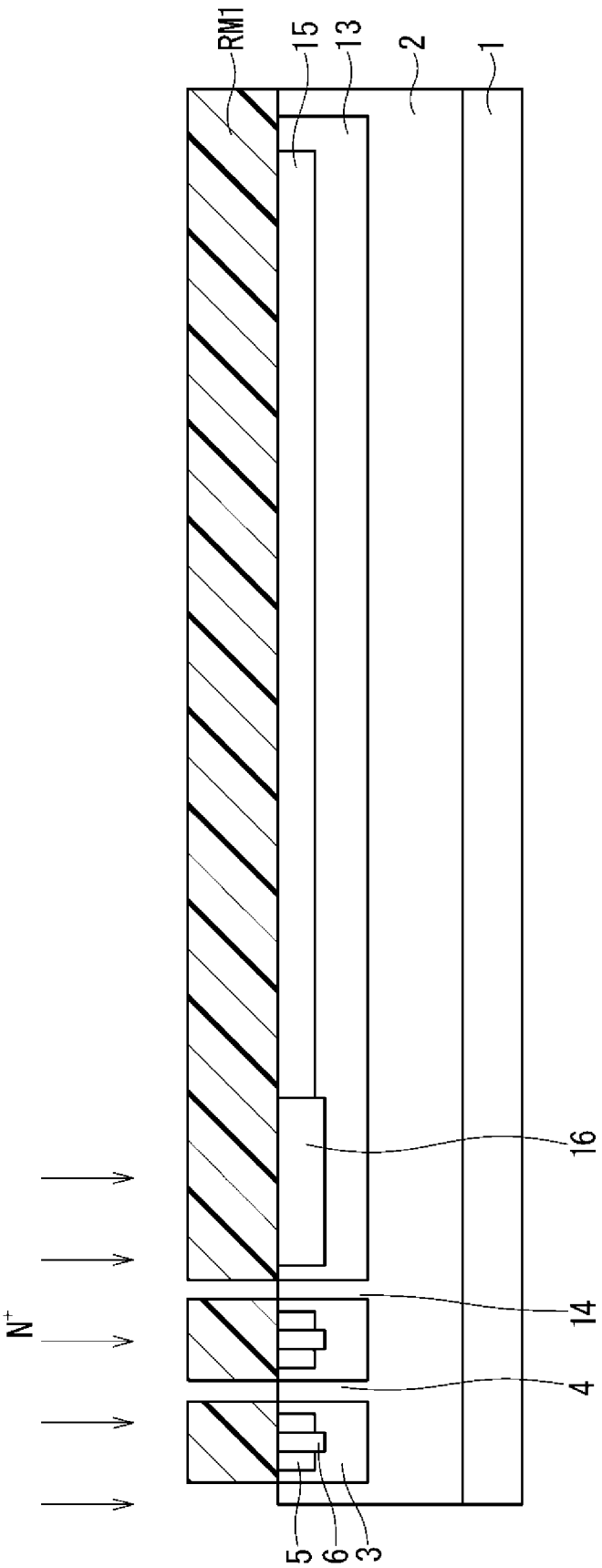
[図8]



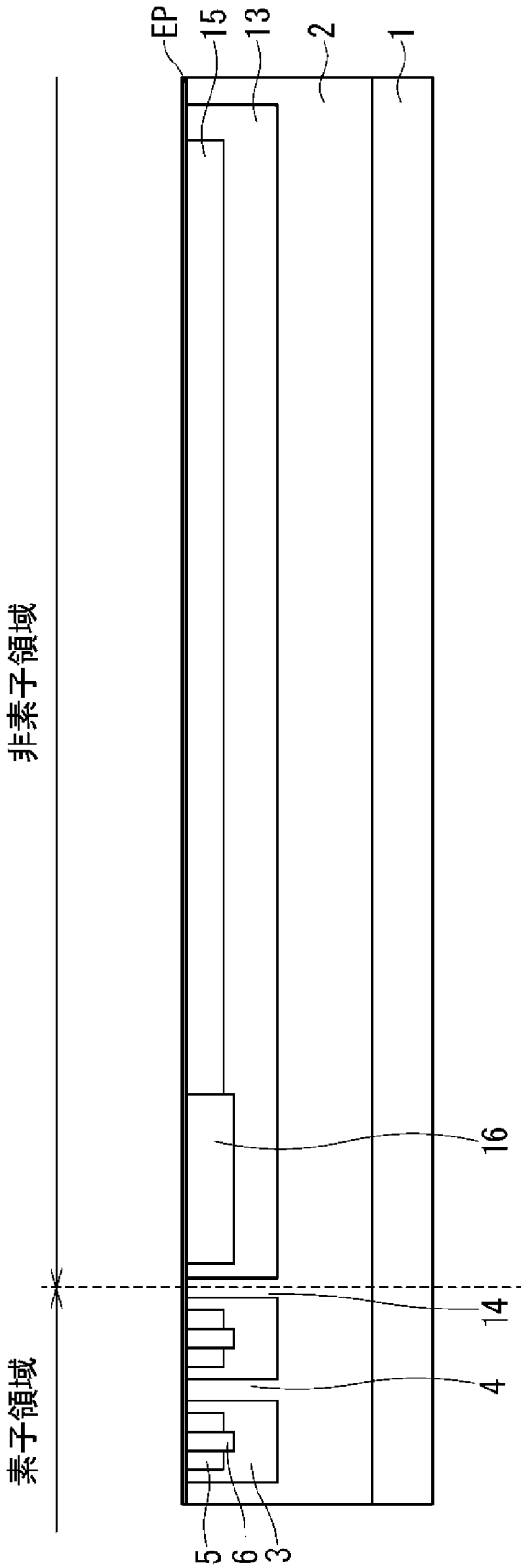
[図9]



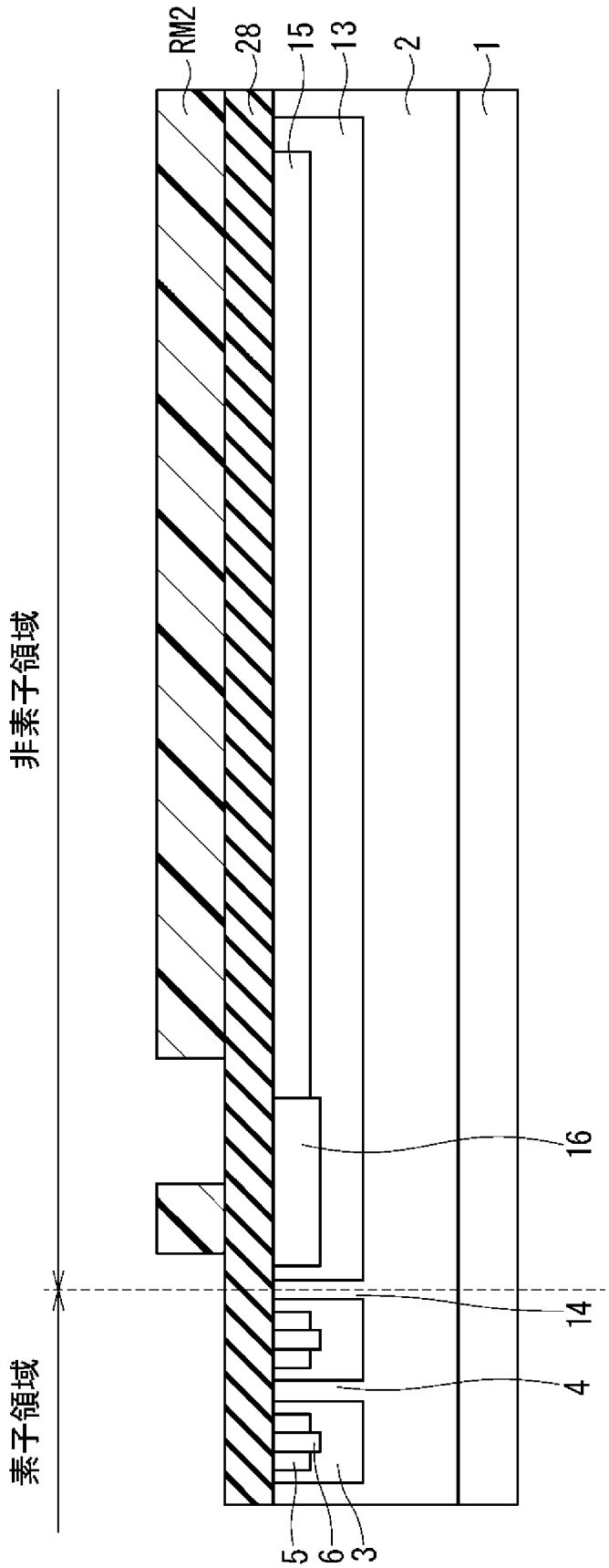
[図10]



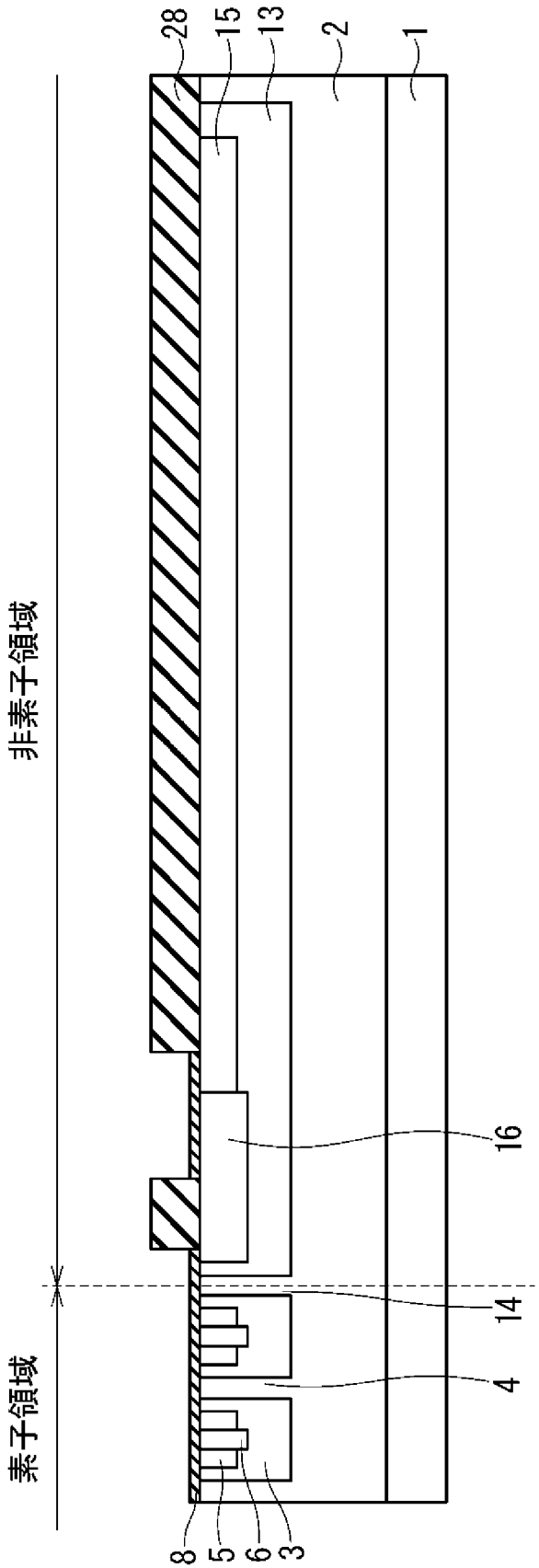
[図11]



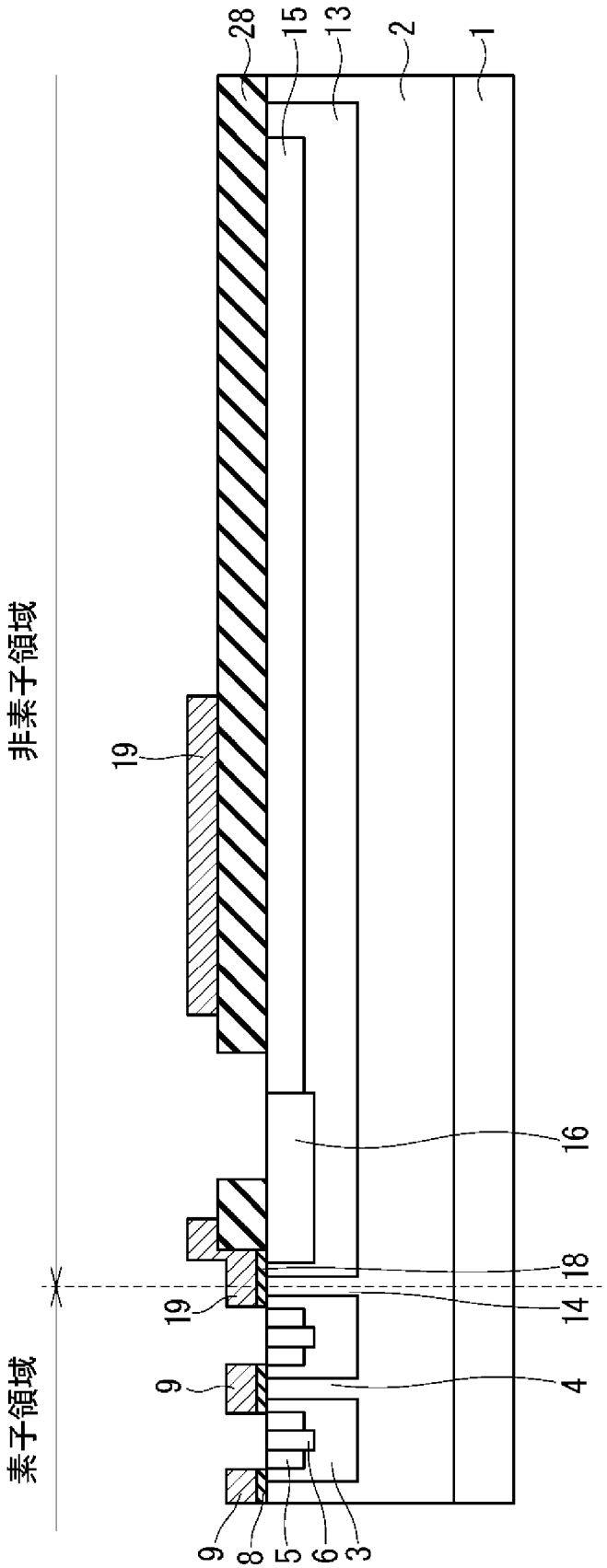
[図12]



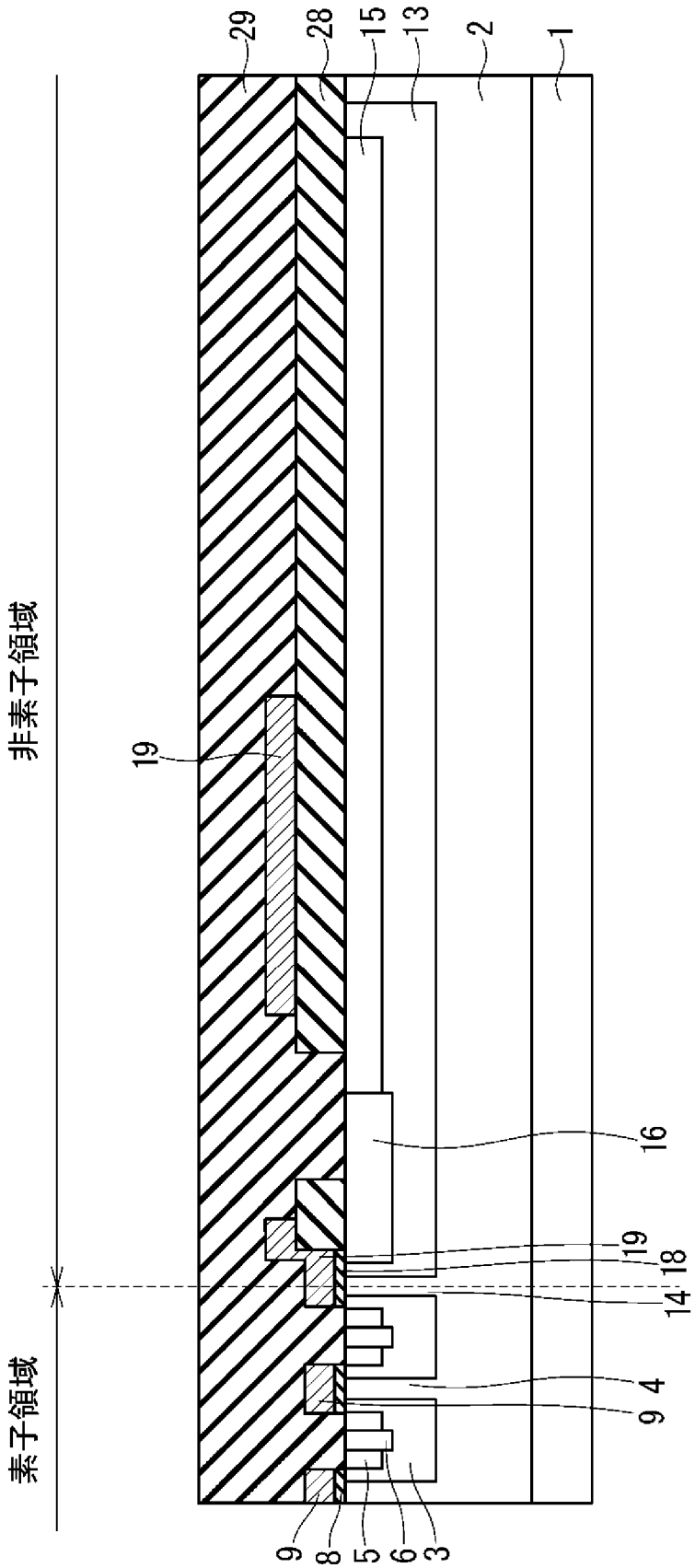
[図13]



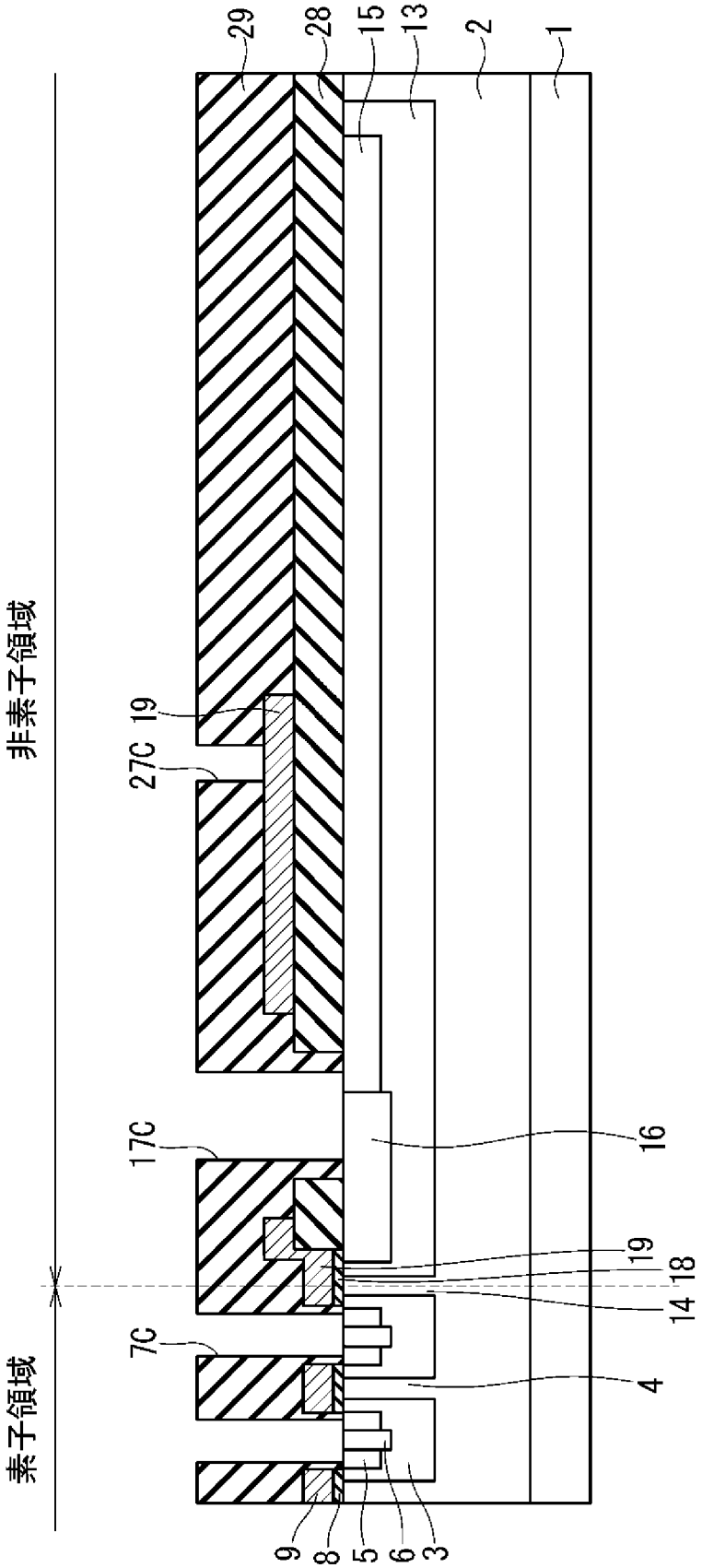
[図14]



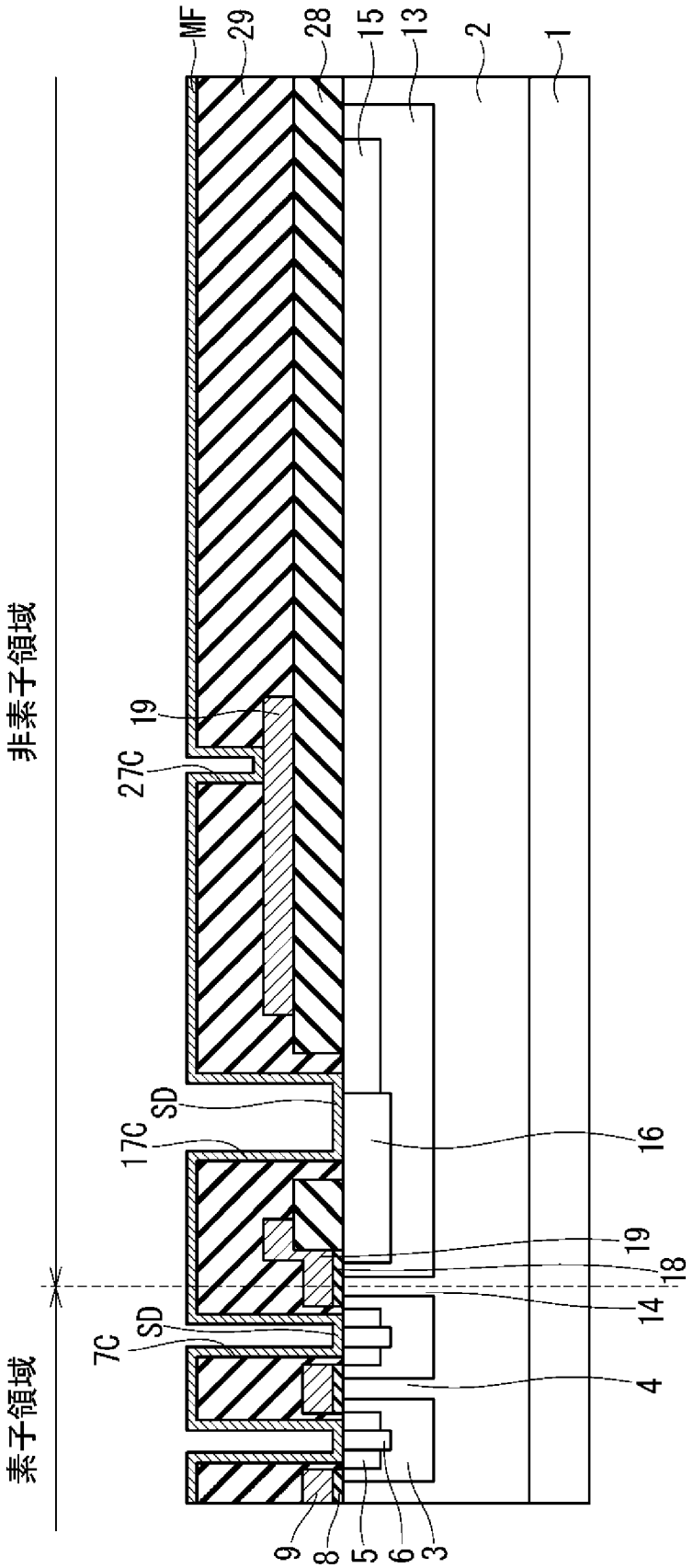
[図15]



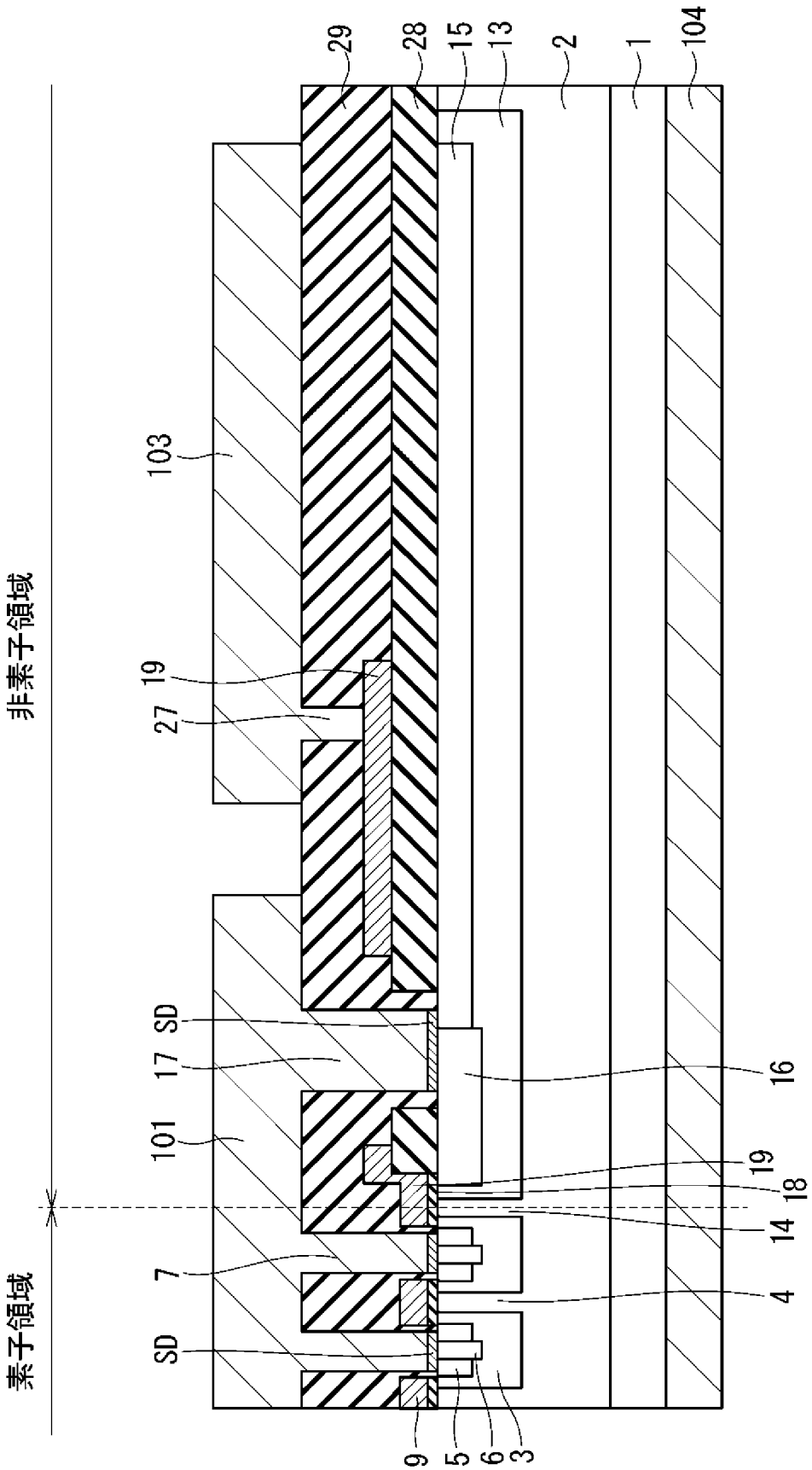
[図16]



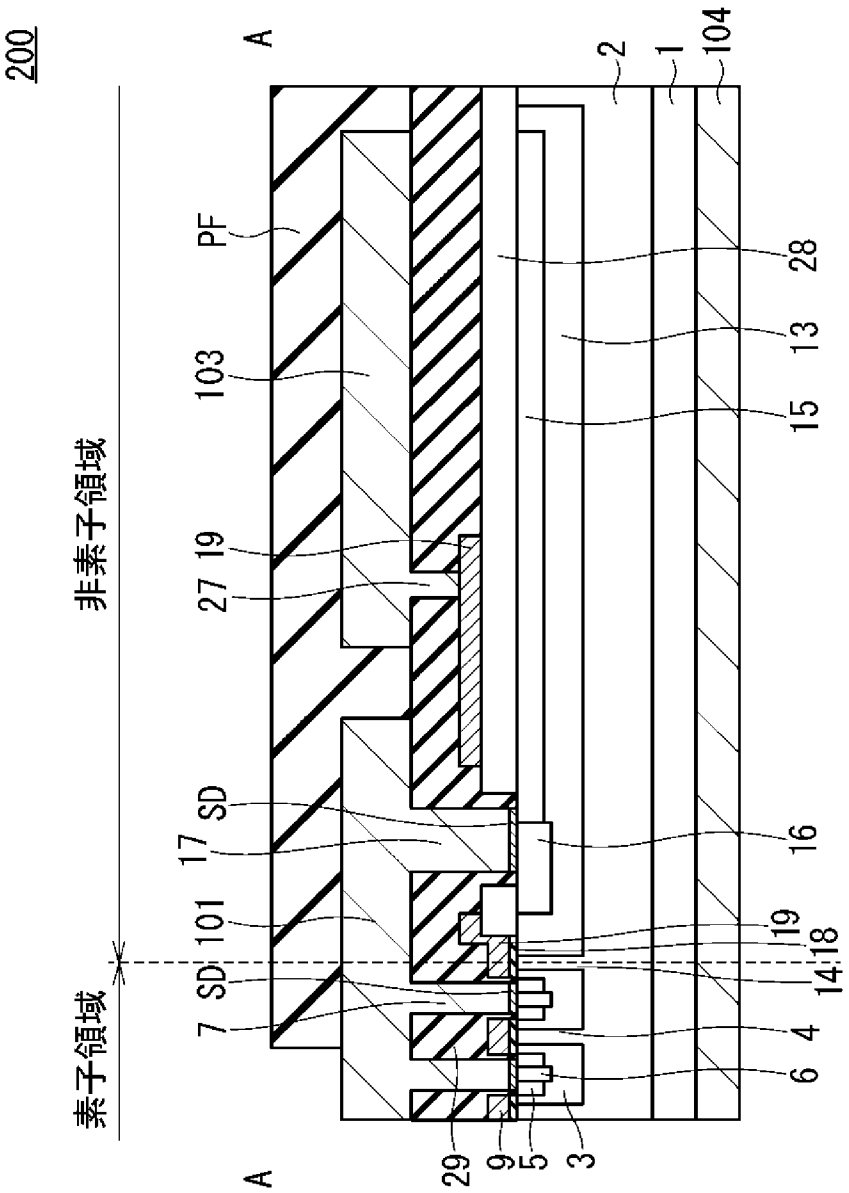
[図17]



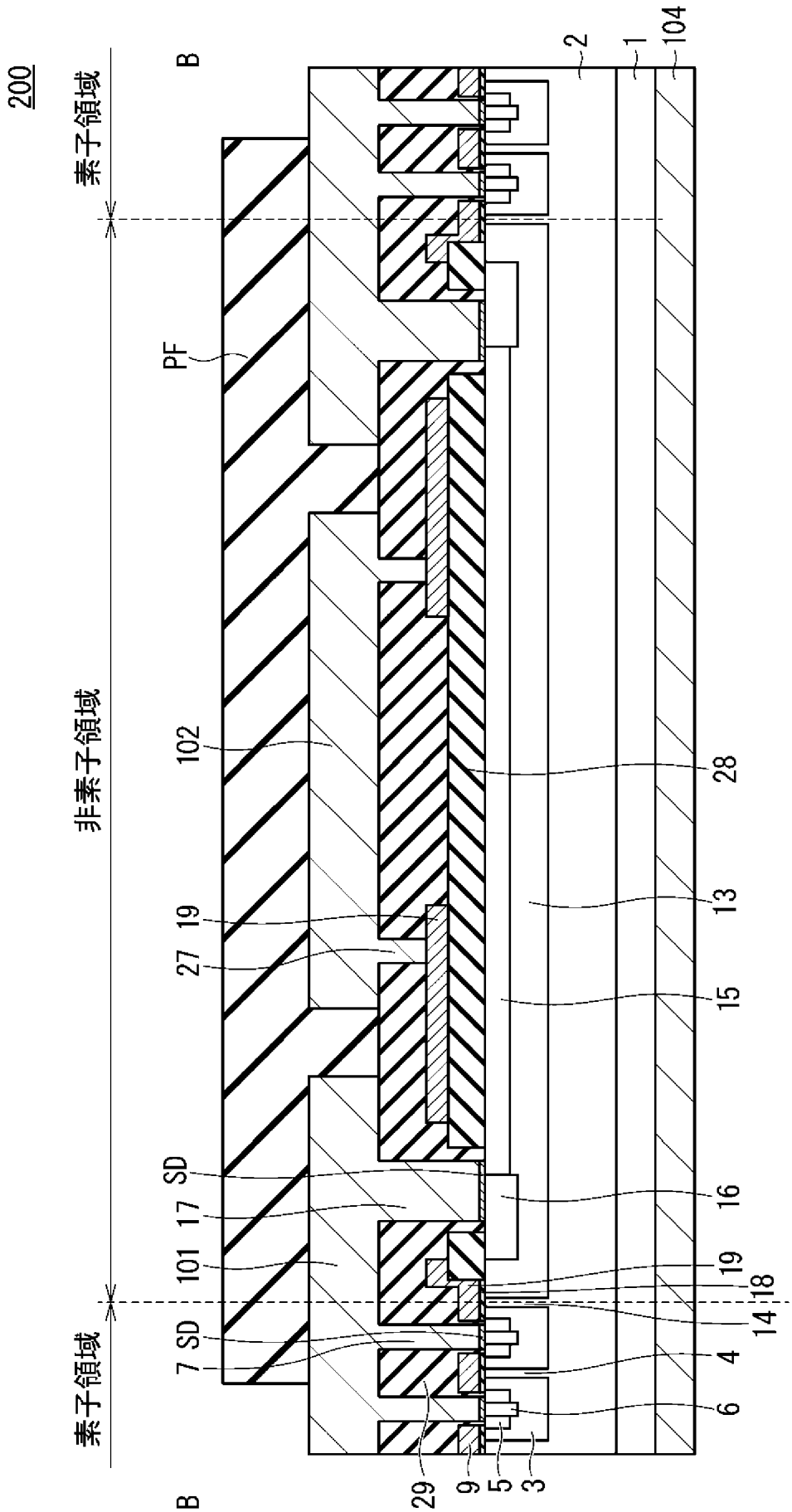
[図18]


29
28
15
13
2
1
104
103
非素子領域
19
27
SD
17
16
101
19
18
14
素子領域
7
4
SD
9
5
6
3

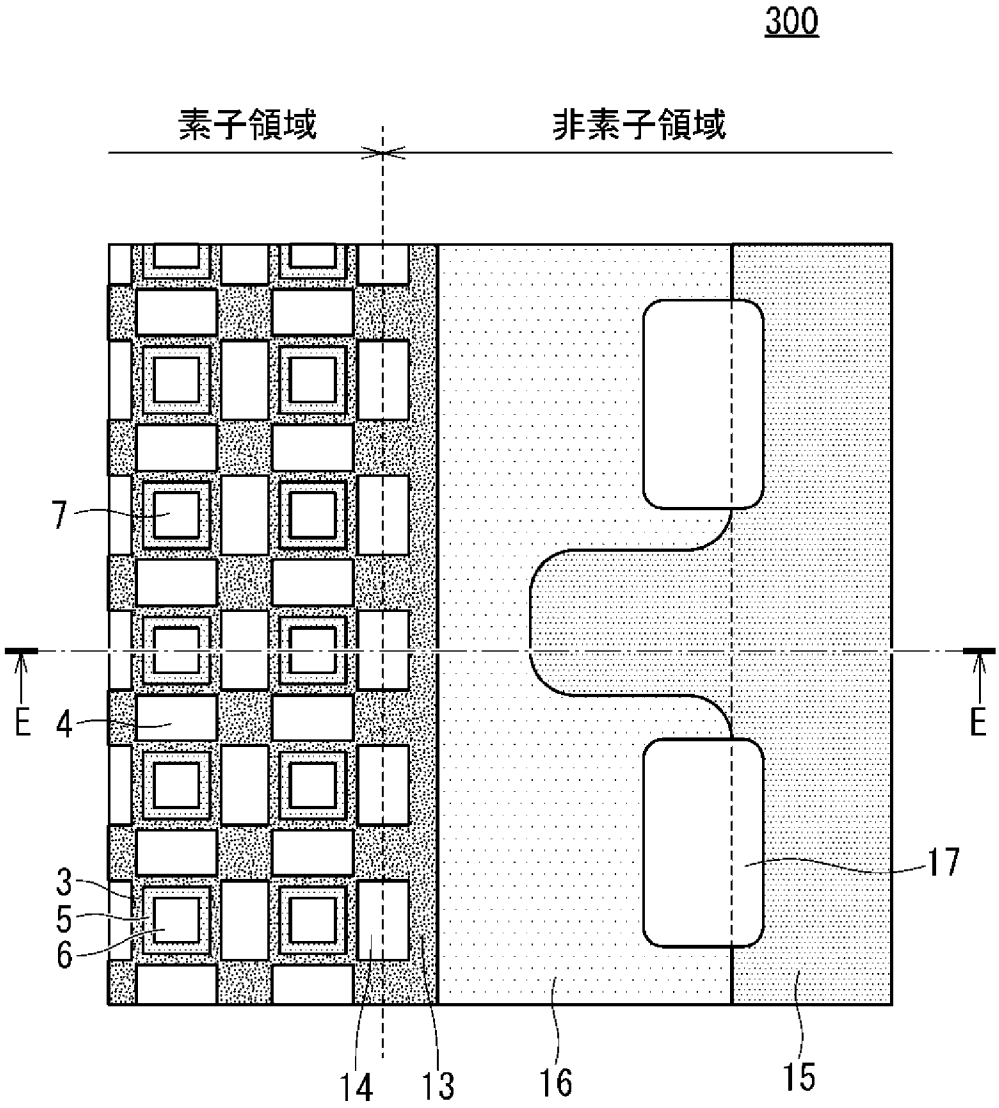
[図19]


200
A
2
1
104
PF
28
13
103
15
非素子領域
27
19
SD
17
16
101
19
18
SD
14
素子領域
7
4
6
29
9
5
3
A

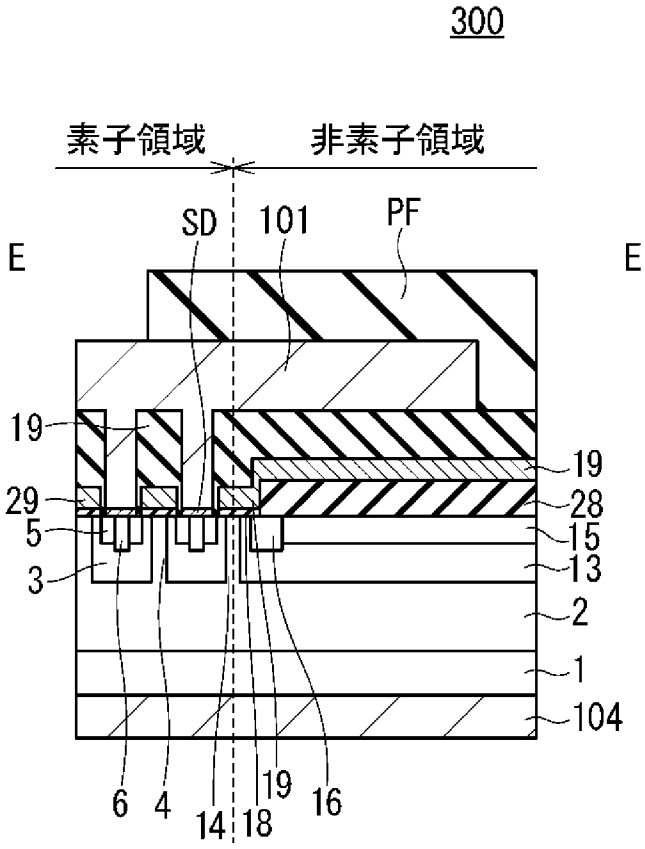
[図20]


200
B
素子領域
PF
非素子領域
102
19
27
SD
17
101
7
SD
素子領域
B
29
9
5
3
2
1
104
28
13
15
16
19
18
14
4
6

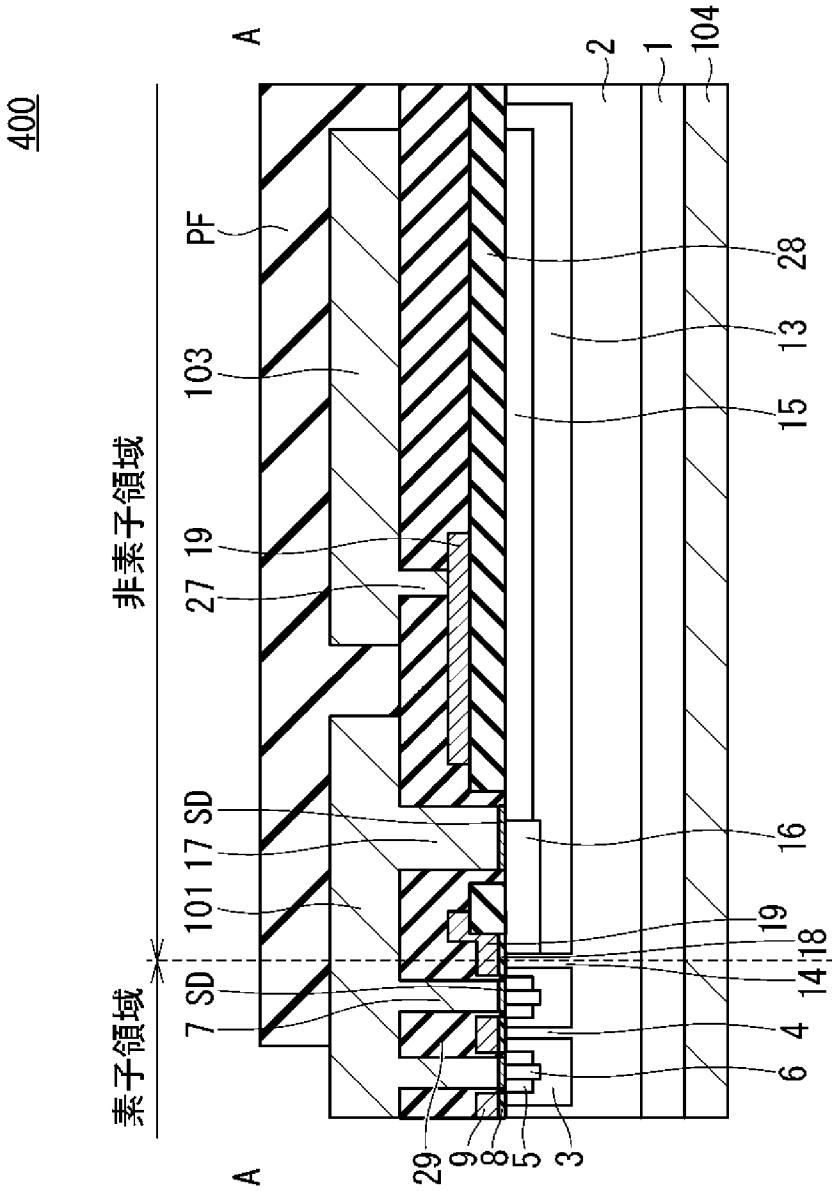
[図21]



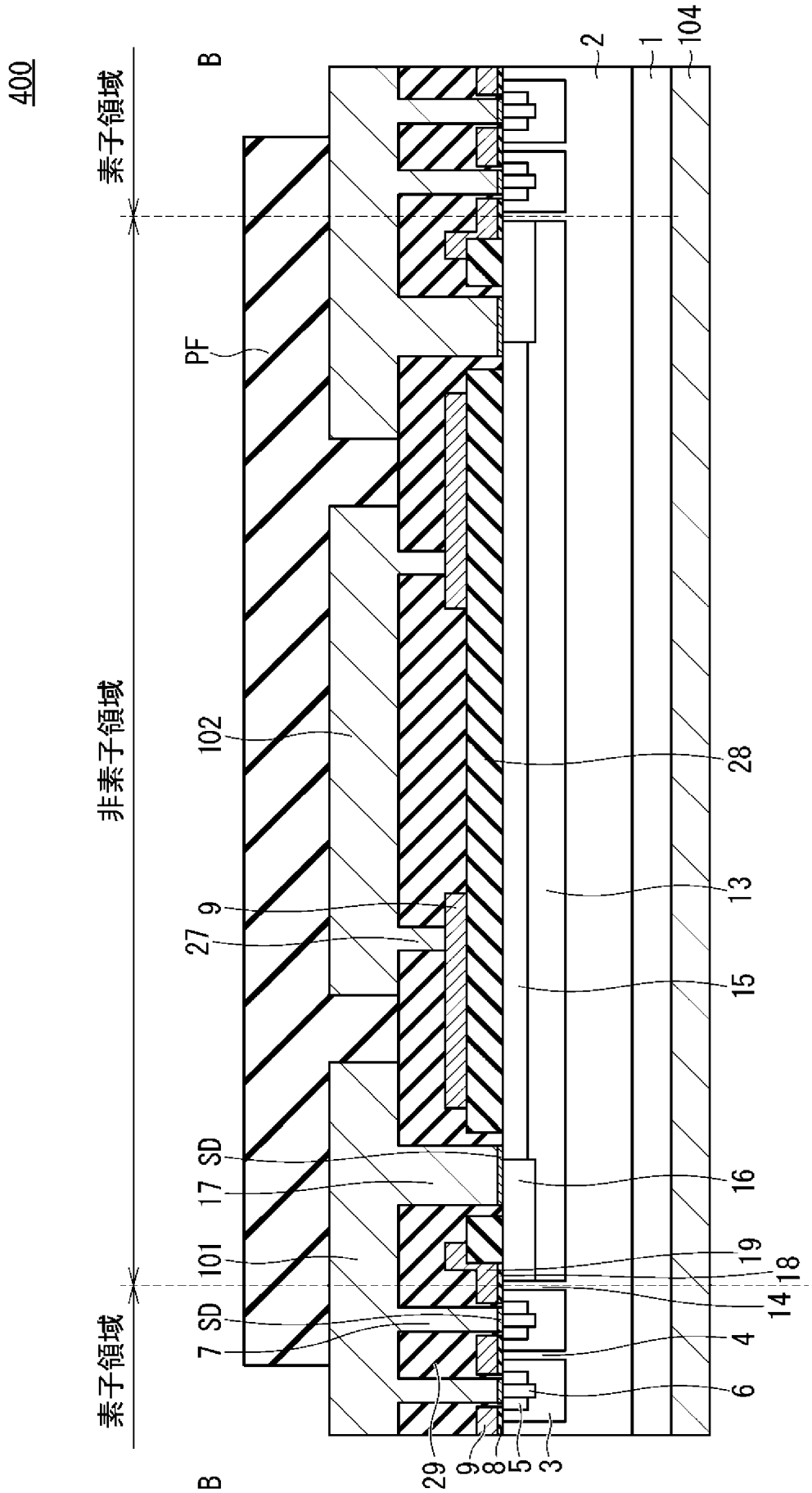
[図22]


300
素子領域
非素子領域
SD
101
PF
E
E
19
29
5
3
19
28
15
13
2
1
104
6
4
14
18
19
16

[図23]


400
A
A
2
1
104
PF
28
103
13
15
非素子領域
19
27
SD
17
101
16
19
18
14
素子領域
SD
7
4
6
29
9
8
5
3

[図24]


400
素子領域
非素子領域
素子領域
B
B
PF
102
101
9
27
SD
17
SD
7
2
1
104
28
13
15
16
19
18
14
4
6
29
9
8
5
3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/024835

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/78(2006.01)i; H01L 29/06(2006.01)i
FI: H01L29/78 652P; H01L29/06 301V; H01L29/06 301D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78; H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/147352 A1 (MITSUBISHI ELECTRIC CORP.) 22 September 2016 (2016-09-22) entire text, all drawings	1-16
A	JP 2005-116951 A (TOYOTA CENTRAL R&D LABS., INC.) 28 April 2005 (2005-04-28) entire text, all drawings	1-16
A	JP 2014-150279 A (MITSUBISHI ELECTRIC CORP.) 21 August 2014 (2014-08-21) entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 September 2020 (08.09.2020)	15 September 2020 (15.09.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/024835

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2016/147352 A1	22 Sep. 2016	US 2018/0019308 A1 entire text, all drawings CN 107431090 A	
JP 2005-116951 A	28 Apr. 2005	US 2005/0077572 A1 entire text, all drawings	
JP 2014-150279 A	21 Aug. 2014	US 2011/0278599 A1 entire text, all drawings WO 2010/098294 A1	

国際調査報告

国際出願番号
PCT/JP2020/024835

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 29/06(2006.01)i
FI: H01L29/78 652P; H01L29/06 301V; H01L29/06 301D

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2016/147352 A1 (三菱電機株式会社) 22.09.2016 (2016-09-22) 全文，全図	1-16
A	JP 2005-116951 A (株式会社豊田中央研究所) 28.04.2005 (2005-04-28) 全文，全図	1-16
A	JP 2014-150279 A (三菱電機株式会社) 21.08.2014 (2014-08-21) 全文，全図	1-16

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
08.09.2020	15.09.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
高橋　優斗 5F 5585
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/024835

引用文献	公表日	パテントファミリー文献	公表日
WO 2016/147352 A1	22.09.2016	US 2018/0019308 A1 全文，全図 CN 107431090 A	
JP 2005-116951 A	28.04.2005	US 2005/0077572 A1 全文，全図	
JP 2014-150279 A	21.08.2014	US 2011/0278599 A1 全文，全図 WO 2010/098294 A1	