

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4343377号

(P4343377)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.

F I

G 1 1 C 15/04 (2006.01)

G 1 1 C 15/04 6 3 1 D

G 1 1 C 15/04 6 3 1 G

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2000-45643 (P2000-45643)	(73) 特許権者	501285133
(22) 出願日	平成12年2月23日(2000.2.23)		川崎マイクロエレクトロニクス株式会社
(65) 公開番号	特開2001-236790 (P2001-236790A)		千葉県千葉市美浜区中瀬一丁目3番地
(43) 公開日	平成13年8月31日(2001.8.31)	(74) 代理人	100080159
審査請求日	平成19年2月7日(2007.2.7)		弁理士 渡辺 望穂
		(74) 代理人	100090217
			弁理士 三和 晴子
		(72) 発明者	吉澤 宏
			東京都千代田区内幸町2丁目2番3号 川
			崎製鉄株式会社東京本社内
		(72) 発明者	米田 正人
			東京都千代田区内幸町2丁目2番3号 川
			崎製鉄株式会社東京本社内
		審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】 連想メモリ

(57) 【特許請求の範囲】

【請求項 1】

複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された連想メモリアレイと、

各々の前記物理バンクの構成を設定し、これに対応して各論理バンクの構成を設定し、これら各論理バンクと各物理バンクとの間の対応関係を割り当てて、各々の前記物理バンクを制御する論理・物理信号変換回路と、

前記論理バンクに対応する前記物理バンクに対して検索を行い、各々の前記物理バンクから出力される検索結果について、あらかじめ設定されている優先順位に従って順次出力するプライオリティ回路とを備え、異なる構成の複数の連想メモリの機能を1つのデバイスで実現することを特徴とする連想メモリ。

【請求項 2】

前記論理・物理信号変換回路は、各々の前記物理バンクに対応して設けられ、外部から設定されて対応する物理バンクの構成を定義するレジスタを有することを特徴とする請求項1記載の連想メモリ。

【請求項 3】

前記論理・物理信号変換回路は、外部から入力される信号により、前記各論理バンクへの前記物理バンクの1つもしくは複数の割り当てが設定される論理物理変換テーブルを備えることを特徴とする請求項1または2に記載の連想メモリ。

【請求項 4】

10

20

前記論理・物理信号変換回路は、前記論理バンクの1つを指定する信号と検索の開始を指示する信号との入力を受け、該1つの論理バンクに対応づけられた1つもしくは複数の物理バンクのみに、検索の開始を指示する信号を出力することを特徴とする請求項1ないし3のいずれかに記載の連想メモリ。

【請求項5】

前記プライオリティ回路は、前記物理バンクから出力される検索結果に、該当する物理バンクを示すビットを追加して出力することを特徴とする請求項1ないし4のいずれかに記載の連想メモリ。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、異なる構成の複数の連想メモリの機能を1つのデバイスで実現する連想メモリに関するものである。

【0002】

【従来の技術】

近年、インターネットの発展により、例えばスイッチングハブやルータ等のネットワークを構築する中継装置に対して、高速性、高機能が要求されるようになってきている。このような要求に対応するために、これらの装置では、例えばアドレスフィルタリング、パケットの分類処理（クラシフィケーション）等の処理に連想メモリ（CAM：Content Addressable Memory）を使用することが多くなってきた。

20

【0003】

CAMは、ネットワークのOSI（Open Systems Interconnection）モデルのレイヤー2、3、4の各レイヤーでも使用されることが多い。この場合、検索キーデータの長さは32～256ビット以上まで様々であり、CAMの機能としては、従来の‘0’と‘1’のみのデータを持つバイナリ（Binary）CAMの構成で十分なものや、これに加えて‘X（Don't care）’のデータを持つターナリ（Ternary）CAM構成の機能が必要なものもある。

【0004】

従って、図12（a）に示すように、レイヤー2～4で必要な機能に対して、それぞれに適した異なる構成のデバイス、図示例の場合、64ビットのバイナリCAM、64ビットのターナリCAM、256ビットのターナリCAMを使用したり、あるいは、同図（b）に示すように、バイナリCAMの機能をターナリCAMの機能で代用して、大きなサイズの同じ構成のデバイス、図示例の場合、256ビットの3個のターナリCAMを使用して実現している。

30

【0005】

上記図12（a）の例では、それぞれの機能に適応したCAMを使用するため、各処理をパイプラインにできるが、図中各CAMを制御するネットワークファンクションのブロックが少数または1チップのLSIで構成されている場合にはCAMへの信号ピンの増加が問題となる。また、近年では大容量のCAMが主流であり、メモリ容量の小さいCAMは製造されないため、同図（b）のように、無駄に大容量のCAMを搭載せざるをえないという問題があった。

40

【0006】

また、同図（b）の例では、多ビットのCAMで全てを満足させようとするために、例えば64ビット長のテーブルを128ビット長のCAMで実現する場合、図13に示すように、データをMSB（最上位ビット）側とLSB（最下位ビット）側に分割登録し、LSB側をマスクしてMSB側を検索し、逆に、MSB側をマスクしてLSB側を検索した後、結果を得るという外部での処理が必要になる。従って、外部回路が複雑になるという問題点があった。

【0007】

【発明が解決しようとする課題】

50

本発明の目的は、前記従来技術に基づく問題点を解消し、構成の異なる複数の連想メモリを使用するシステムにおいて、コスト的に無駄がなく、制御しやすい連想メモリを提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、複数の物理バンクに分割され、各々の前記物理バンクを異なる構成に設定可能に構成された連想メモリアレイと、

各々の前記物理バンクの構成を設定し、これに対応して各論理バンクの構成を設定し、これら各論理バンクと各物理バンクとの間の対応関係を割り当てて、各々の前記物理バンクを制御する論理・物理信号変換回路と、

前記論理バンクに対応する前記物理バンクに対して検索を行い、各々の前記物理バンクから出力される検索結果について、あらかじめ設定されている優先順位に従って順次出力するプライオリティ回路とを備え、異なる構成の複数の連想メモリの機能を1つのデバイスで実現することを特徴とする連想メモリを提供するものである。

ここで、前記論理・物理信号変換回路は、各々の前記物理バンクに対応して設けられ、外部から設定されて対応する物理バンクの構成を定義するレジスタを有することが好ましい。

また、前記論理・物理信号変換回路は、外部から入力される信号により、前記各論理バンクへの前記物理バンクの1つもしくは複数の割り当てが設定される論理物理変換テーブルを備えることが好ましい。

さらに、前記論理・物理信号変換回路は、前記論理バンクの1つを指定する信号と検索の開始を指示する信号との入力を受け、該1つの論理バンクに対応づけられた1つもしくは複数の物理バンクのみに、検索の開始を指示する信号を出力することが好ましい。

また、前記プライオリティ回路は、前記物理バンクから出力される検索結果に、該当する物理バンクを示すビットを追加して出力することが好ましい。

【 0 0 0 9 】

【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明の連想メモリを詳細に説明する。

【 0 0 1 0 】

図1は、本発明の連想メモリの一実施例の構成概略図である。

本発明の連想メモリ（以下、CAMという）10は、バイナリCAM/ターナリCAMの種類の違いや、ビット長の違いを持つ、異なる構成の複数のCAMの機能を1つのデバイスで実現できるように構成したもので、同図に示すように、連想メモリアレイ12と、論理・物理信号変換回路14と、プライオリティ回路16と、デコーダ18とを備えている。

【 0 0 1 1 】

まず、連想メモリアレイ12は、ブロック分割された複数の物理バンクから構成されたもので、図示例の場合、物理バンク0～7までの8個のブロックに分割されている。各々の物理バンクの構成は、論理・物理信号変換回路14から入力される信号CONFIGに応じて、バイナリCAMあるいはターナリCAMとして使用するかを設定することができ、また、あらかじめ用意されている複数種類のビット長の中から任意のビット長に設定することができる。

【 0 0 1 2 】

続いて、論理・物理信号変換回路14は、必要とするCAMの構成に応じて、連想メモリアレイ12の各々の物理バンクの構成を設定し、これに対応して各論理バンクの構成を設定し、これら各論理バンクと連想メモリアレイ12の各物理バンクとの間の対応関係を割り当てることによって、各論理バンクに対応する連想メモリアレイ12の各物理バンクに対して正しくアクセスが行われるように、連想メモリアレイ12の各物理バンクを制御する。

## 【 0 0 1 3 】

ここで、論理・物理信号変換回路 1 4 には、信号 I N < 6 3 : 0 >、信号 L B A N K < 2 : 0 >、信号 S E A R C H、信号 G E N F U L、信号 P U R G E \_ H I T、信号 T A B L E \_ W R が入力されている。また、論理・物理信号変換回路 1 4 からは、連想メモリアレイ 1 2 の各々の物理バンクに対して、信号 S R C H、信号 G N F L、信号 P R G \_ H I T、信号 C O N F I G < 2 : 0 > が出力されている。

## 【 0 0 1 4 】

連想メモリアレイ 1 2 には、論理・物理信号変換回路 1 4 から入力される各信号の他、信号 R E A D、信号 W R I T E により生成される信号 R D、信号 W R、A D D R E S S < 1 4 : 0 > の上位 3 ビットである A D D R E S S < 1 4 : 1 2 > からデコード回路 1 8 によって生成される信号 A D D R E S S < 1 1 : 0 >、信号 D A T I N < 6 3 : 0 > が入力され、連想メモリアレイ 1 2 からは、プライオリティ回路 1 6 に対して、信号 H H A < 1 1 : 0 >、信号 H E A < 1 1 : 0 >、信号 H I T、信号 F U L L が出力されている。連想メモリアレイ 1 2 からは、信号 D A T O U T < 6 3 : 0 > も合わせて出力されている。

## 【 0 0 1 5 】

最後に、プライオリティ回路 1 6 は、あらかじめ設定されている優先順位に従って、連想メモリアレイ 1 2 から入力される信号 H H A < 1 1 : 0 >、信号 H E A < 1 1 : 0 > にアドレス上位 3 ビットを付加して信号 H H A < 1 4 : 0 >、信号 H E A < 1 4 : 0 > を順次出力する。本実施例では、連想メモリアレイ 1 2 の物理バンク 0 の優先順位が最も高く、以下順次優先順位が低くなり、物理バンク 7 の優先順位が最も低いものとする。プライオリティ回路 1 6 からは、信号 H I T、信号 F U L L も合わせて出力されている。

## 【 0 0 1 6 】

本発明において、物理バンクとは、連想メモリアレイ 1 2 を物理的に複数個のブロックに分割した時の各々のブロックのことである。これに対して、論理バンクとは、論理的に物理バンクのメモリ空間を割り当てたもので、必要に応じて複数個の物理バンクを連結し、これを 1 つのメモリ空間として使用することもできる。この論理バンクの概念により、個々の物理バンクのメモリ空間を意識することなく、論理バンクのメモリ空間を使用することができる。

## 【 0 0 1 7 】

例えば、図 2 に示すように、物理バンク 0 を A ビット長のバイナリ C A M に設定し、以下同様に、物理バンク 1 を B ビット長のバイナリ C A M、物理バンク 2 を C ビット長のバイナリ C A M、物理バンク 3 を A ビット長のターナリ C A M、物理バンク 4 を B ビット長のターナリ C A M、物理バンク 5 を C ビット長のターナリ C A M、物理バンク 6 を A ビット長のバイナリ C A M、物理バンク 7 を B ビット長のターナリ C A M として設定する。

## 【 0 0 1 8 】

そして、図 3 に示すように、論理バンク 0 に、物理バンク 0、6 を連結した A ビット長のバイナリ C A M を割り当て、以下同様に、論理バンク 1 ~ 3 に、それぞれ物理バンク 1 ~ 3 の B ビット長のバイナリ C A M、C ビット長のバイナリ C A M、A ビット長のターナリ C A M を割り当てる。また、論理バンク 4 に、物理バンク 4、7 を連結した B ビット長のターナリ C A M を割り当て、論理バンク 5 に物理バンク 5 の C ビット長のターナリ C A M を割り当てる。

## 【 0 0 1 9 】

本発明の C A M 1 0 では、必要とする連想メモリの構成、すなわち、バイナリ C A M として使用するのか、ターナリ C A M として使用するのかの C A M の種類や、必要なビット長に応じて、図 2 に示すように、連想メモリアレイ 1 2 の各々の物理バンクの構成を決定し、必要なワード数に応じて、図 3 に示すように、複数の物理バンクを連結して各々の論理バンクを構成することにより、構成の異なる複数の C A M の機能を 1 つのデバイスで実現することができる。

## 【 0 0 2 0 】

以下、図 4 ~ 図 1 0 に示す実施例を挙げて、本発明の C A M 1 0 の動作を具体的に説明す

10

20

30

40

50

る。

#### 【 0 0 2 1 】

まず、図 4 は、図 1 の C A M 1 0 における各論理バンクと各物理バンクとの対応関係を表す一実施例の概念図である。本実施例の場合、同図に示すように、物理バンク 0 , 2 , 6 は 6 4 ビット長のバイナリ C A M として設定され、以下同様に、物理バンク 1 , 3 , 4 は 1 2 8 ビット長のターナリ C A M、物理バンク 5 , 7 は 2 5 6 ビット長のターナリ C A M として設定されている。なお、各々の物理バンクの詳細については後述する。

#### 【 0 0 2 2 】

ここで、各々の物理バンクの構成は、既に述べたように、論理・物理信号変換回路 1 4 から各々の物理バンクに対して出力される信号 C O N F I G < 2 : 0 > によって設定される。この信号 C O N F I G < 2 : 0 > は、例えば論理・物理信号変換回路 1 4 の内部にある 3 ビット × 8 個分のレジスタ（図示省略）によって定義され、各々のレジスタは、信号 T A B L E \_ W R を与えることにより、C A M 1 0 の外部から設定される。

#### 【 0 0 2 3 】

また、図 4 例では、論理バンク 0 に物理バンク 0 , 2 , 6 を連結して得られる 6 4 ビット長、1 2 K ワードのバイナリ C A M、論理バンク 1 に物理バンク 1 , 3 , 4 を連結して得られる 1 2 8 ビット長、6 K ワードのターナリ C A M、論理バンク 2 に物理バンク 5 , 7 を連結して得られる 2 5 6 ビット長、2 K ワードのターナリ C A M がそれぞれ割り当てられている。図 4 の各論理バンクと各物理バンクとの対応関係を図 5 の表に示す。

#### 【 0 0 2 4 】

論理バンクの指定は、信号 L B A N K < 2 : 0 > で行われる。論理バンクと物理バンクとの対応関係は、図 6 に示すように、例えば論理・物理信号変換回路 1 4 の内部にある論理物理変換テーブルによって定義される。この論理物理変換テーブルは、図 5 に示す各論理バンクと各物理バンクとの対応関係の表に対応するもので、図 5 の ' Assign ( 割り当てあり ) '、' No Assign ( 割り当てなし ) ' にそれぞれ対応して ' 1 '、' 0 ' が設定されている。

#### 【 0 0 2 5 】

この論理物理変換テーブルには、信号 T A B L E \_ W R を与えることにより、図 7 に、その対応関係を表すように、信号 I N < 6 3 : 0 > から入力される値が設定される。各論理バンクと各物理バンクとの対応関係に基づいて、信号 C O N F I G < 2 : 0 > を定義する 8 個のレジスタおよび図 6 の論理物理変換テーブルの内容を設定することにより、信号 L B A N K < 2 : 0 > で論理バンクを指定した時に、これに対応する物理バンクを制御することができる。

#### 【 0 0 2 6 】

続いて、図 8 は、物理バンクに接続される信号を表す一実施例の概念図である。同図は、図 1 に示す C A M 1 0 の連想メモリアレイ 1 2 の物理バンクを表すもので、物理バンクには、C O N F I G < 2 : 0 >、S R C H、G N F L、P R G \_ H I T、W R I T E、R E A D、D A T I N < 6 3 : 0 >、A D D R E S S < 1 1 : 0 >、H H A < 1 1 : 0 >、H E A < 1 1 : 0 >、H I T、F U L L、D A T O U T < 6 3 : 0 > の各信号が接続される。

#### 【 0 0 2 7 】

まず、C O N F I G < 2 : 0 > は、連想メモリアレイ 1 2 の物理バンクの構成を設定するための信号である。本実施例では、図 9 の表に示すように、物理バンクをバイナリ C A M として使用するのか、あるいは、ターナリ C A M として使用するのかの C A M の種類の違い、また、ビット長を 6 4 , 1 2 8 , 2 5 6 ビットとするのかの違いに応じて、3 ビットの信号により、各々の物理バンクの機能構成を 6 通りの中から指定することができる。

#### 【 0 0 2 8 】

次に、A D D R E S S < 1 1 : 0 > は、この物理バンクのメモリアドレスを指定する入力信号である。

D A T I N < 6 3 : 0 > は、この物理バンクに対するエントリデータや検索キーデータの

10

20

30

40

50

入力信号である。

D A T O U T < 6 3 : 0 > は、物理バンクに格納されているエントリデータを読み出した出力信号である。

【 0 0 2 9 】

W R I T E は、D A T I N < 6 3 : 0 > として入力される 6 4 ビットの信号を、A D D R E S S < 1 1 : 0 > によって指定されるメモリアドレスに書き込むための入力信号である。

R E A D は、A D D R E S S < 1 1 : 0 > によって指定される物理バンクのメモリアドレスに格納されているエントリデータを D A T O U T < 6 3 : 0 > として読み出すための入力信号である。

10

【 0 0 3 0 】

S R C H は、この物理バンクに対して検索開始を指示する入力信号である。

H I T は、一致検索の結果、この物理バンク内にヒットエントリ、すなわち、検索キーデータと一致するエントリデータが存在するか否かを表す出力信号である。H I T は、本実施例の場合、エントリデータの中にヒットエントリが 1 つでも存在する場合にはローレベルとなり、ヒットエントリが 1 つも存在しない場合にのみハイレベルとなる。

【 0 0 3 1 】

H H A < 1 1 : 0 > は、最優先順位のヒットアドレス ( Highest Hit Address ) の出力信号である。H H A < 1 1 : 0 > としては、一致検索の結果、前述の H I T がローレベルとなり、ヒットエントリが存在する場合に、最も優先順位の高いヒットエントリが格納されているメモリアドレス、すなわち、最優先順位のヒットアドレスが出力される。本実施例の場合、ヒットアドレスの内の最も小さいアドレスが出力される。

20

【 0 0 3 2 】

P R G \_ H I T は、一致検索の結果、H I T がローレベルとなり、この物理バンク内にヒットエントリが存在する場合に、このヒットエントリを消去するための入力信号である。

G N F L は、この物理バンク内の最優先順位のエンプティアドレス ( H E A : Highest Empty Address ) を検索するための入力信号である。この G N F L を入力することにより、H E A < 1 1 : 0 > が出力される。

【 0 0 3 3 】

F U L L は、この物理バンクに対して前述の G N F L を入力した結果、この物理バンク内にエンプティエントリ、すなわち、一致検索の対象となる有効なエントリデータが格納されていないメモリアドレスが存在するかどうかを表すための出力信号である。F U L L は、本実施例の場合、エンプティエントリが全く存在しない場合にのみローレベルとなり、1 つでもエンプティエントリが存在する場合にはハイレベルとなる。

30

【 0 0 3 4 】

最後に、H E A < 1 1 : 0 > は、前述の最優先順位のエンプティアドレスの出力信号である。H E A < 1 1 : 0 > としては、G N F L を入力した結果、F U L L がハイレベルとなり、物理バンク内にエンプティエントリが存在する場合に、最も優先順位の高いエンプティエントリが格納されているメモリアドレス、すなわち、最優先順位のエンプティアドレスの出力信号である。本実施例では、エンプティアドレスの内の最も小さいアドレスが出力される。

40

【 0 0 3 5 】

図示例の物理バンクは、物理的には 6 4 ビット長、4 K ワードでメモリ容量 2 5 6 K ビットのターナリ C A M 構成の連想メモリアレイのブロックである。例えば、この物理バンクを 1 2 8 ビット長のバイナリ C A M として設定した場合、異なる 6 4 ビットの検索キーデータを用いて 2 回の一致検索が行われ、検索結果の A N D がとられて最終的な検索結果として出力される。これにより、見かけ上、1 2 8 ビット長の C A M として動作する。

【 0 0 3 6 】

この場合、物理バンクのワード数は、見かけ上半分の 2 K ワードになる。従って、1 2 8 ビット長、4 K ワードの C A M が必要な場合には、2 つの物理バンクを連結して 1 つの論

50

理バンクとして使用することになる。なお、ターナリCAMの‘X (Don't Care)’のデータを適宜設定することにより、ターナリCAMをバイナリCAMとして使用することができる。また、256ビット長のCAMの場合には合計4回のAND検索が行われる。

【0037】

図1に示すCAM10において、信号CONFIG<2:0>、信号SRCH、信号GNFL、信号PRG\_HIT、信号WR、信号RD、信号DATIN<63:0>、信号ADDRESS<11:0>、信号HHA<11:0>、信号HEA<11:0>、信号HIT、信号FULL、信号DATOUT<63:0>は、図8に示す物理バンクに接続される各々の信号に対応する信号である。

【0038】

なお、信号SRCH、信号GNFL、信号PRG\_HITは、それぞれ論理・物理信号変換回路14に入力される信号SEARCH、信号GENFUL、信号PURGE\_HITと図6の論理物理変換テーブルからの出力との論理積をとることにより、信号LBANK<2:0>によって指定される論理バンクで、なおかつ、論理物理変換テーブルに‘1’が設定されている物理バンクに対してのみ出力される信号である。

【0039】

図1に示すCAM10において、まず、一致検索を行う前に、各々の論理バンクに対応する連想メモリアレイ12の各物理メモリに対してエントリデータを書き込む。エントリデータは、信号WRITEを与えることにより、信号ADDRESS<14:0>で指定される論理バンクのメモリアドレス、すなわち、この論理バンクに対応する物理バンクのメモリアドレスに対して信号DATIN<63:0>が書き込まれる。

【0040】

一例として、論理バンク1の128ビット長のターナリCAMに対して一致検索を行う場合、まず、信号LBANK<2:0>=‘001(2進数)’として論理バンク1を指定する。この指定により、図6の論理物理変換テーブルの論理バンク1に対応する行の物理バンクの割り当ての設定=‘01011000’が出力され、対応する物理バンク1, 3, 4に対してのみ信号SRCH、信号GNFL、信号PRG\_HITが与えられる。

【0041】

例えば、DATIN<63:0>として検索キーデータを入力し、かつ、信号SEARCHを入力して検索の開始を指示すると、論理・物理信号変換回路14から、物理バンク1, 3, 4に対してのみ信号SRCHが与えられ、これらの物理バンク1, 3, 4でのみ一致検索が開始される。論理バンク1は128ビット長のターナリCAMであるから、既に述べたように、異なる64ビットの検索キーデータを用いて2回のAND検索が行われる。

【0042】

その結果、これらの物理バンク1, 3, 4に登録されたエントリデータの中で、合計128ビット長の検索キーデータに一致するヒットエントリが存在する場合、信号HITがローレベルとなり、対応する物理バンク1, 3, 4から、ヒットエントリが登録されているヒットアドレスである信号HHA<11:0>が出力され、これらの信号HITおよび信号HHA<11:0>はプライオリティ回路16に入力される。

【0043】

なお、一致検索の結果、物理バンク1, 3, 4の中でヒットエントリが存在しない物理バンク、および、信号SRCHが与えられていない物理バンク0, 2, 5~7からは、信号HITとしてハイレベルが出力される。

プライオリティ回路16では、各々の物理バンクから入力される信号HITによって優先順位を決定し、最優先順位の信号HHA<11:0>に最優先順位を持った物理バンクの番号3ビットを上位に付加した信号HHA<14:0>を出力する。例えば、最優先順位を持った物理バンクが‘5’ならば、付加される3ビットは‘101’となる。また、合わせて信号HITも出力される。

【0044】

10

20

30

40

50

本実施例では、図10の表に示すように、物理バンクの番号が小さいほど優先順位が高く、例えば物理バンク1にヒットエントリが存在する場合には、物理バンク3, 4の状態に係わらず、プライオリティ回路16からは、物理バンク1の信号HHA<11:0>が出力され、HHA<14:12>は‘001’となる。また、信号HITは、各々の物理バンク0~7から入力される信号HITの論理積をとったもので、物理バンク0~7のいずれかにヒットエントリが存在すればローレベルとなる。

#### 【0045】

同様に、エンプティアドレスの検索を行う場合、論理バンク1を指定すると、これに対応する物理バンク1, 3, 4に対してのみ、論理・物理信号変換回路14から信号GNFLが与えられる。信号GENFULを入力して、エンプティアドレスの検索を開始すると、前述のように、物理バンク1, 3, 4に対してのみ信号GNFLが与えられ、これらの物理バンク1, 3, 4においてエンプティアドレスの検索が開始される。

#### 【0046】

その結果、エンプティアドレスが存在する物理バンク1, 3, 4の信号FULLはハイレベルとなり、対応する物理バンク1, 3, 4から、エンプティアドレスである信号HEA<11:0>が出力される。なお、エンプティアドレスの検索の結果、物理バンク1, 3, 4の中でエンプティアドレスが存在しない物理バンク、および、信号GNFLが与えられていない物理バンク0, 2, 5~7からは、信号FULLとしてローレベルが出力される。

#### 【0047】

プライオリティ回路16では、各々の物理バンクから入力される信号FULLによって優先順位を決定し、図10の表に示す優先順位に従って最優先順位の信号HEA<11:0>に最優先順位を持った物理バンクの番号3ビットを上位に付加した信号HEA<14:0>を出力する。また、合わせて信号FULLも出力される。信号FULLは、各々の物理バンク0~7から入力される信号FULLの論理和をとったもので、物理バンク0~7のいずれかにエンプティアドレスが存在すればハイレベルとなる。

#### 【0048】

以上のように、本発明のCAM10は、大容量の連想メモリアレイ12を複数の物理バンクのブロックに分割し、これらの物理バンクを論理バンクとして再構成するので、大規模な連想メモリを使用用途に応じて分割して使用することができる。また、大容量の連想メモリアレイ12を分割して検索動作を行わせるため、つまり、論理バンクに対応する物理バンクに対してのみ検索動作が行われるため、消費電力を低減することができる。

#### 【0049】

なお、図示例では、連想メモリアレイ12を8つの物理バンクに分割した場合を例に挙げているが、本発明はこれに限定されず、2つ以上の物理バンクに分割してあればよい。また、実施例では、設定可能なビット長を64, 128, 256ビットの3種類としたが、これも限定されない。また、別の例を図11に示すように、物理バンクの構成の設定や、論理バンクと物理バンクとの対応関係の設定も何ら限定されず自由に設定することができる。

#### 【0050】

また、上記実施例では、物理バンクの構成を決定する要素として、バイナリCAMなのかターナリCAMなのかというCAMの種類、およびビット長の2つを挙げて説明している。しかし、本発明はこれに限定されず、例えばこれ以外の機能的な違い等を物理バンクの構成を決定する要素として選択可能としてもよい。また、物理バンクの構成を決定する要素として、本発明は、少なくとも1つの要素を含んでいればよい。

#### 【0051】

さらに、上記実施例では、連想メモリアレイ12、論理・物理信号変換回路14、プライオリティ回路16、デコーダ18の具体的な構成回路を図示していないが、本発明では、これらの具体的な回路構成は何ら限定されず、上述する機能を実現する回路であればどのような構成のものであってもよい。特に、論理・物理信号変換回路14は、レジスタやテ

10

20

30

40

50



ーブルを用いて構成する場合を例示したが、何ら限定されず、他の回路を用いて構成してもよい。

#### 【 0 0 5 2 】

本発明の連想メモリは、基本的に以上のようなものである。

以上、本発明の連想メモリについて詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

#### 【 0 0 5 3 】

##### 【発明の効果】

以上詳細に説明した様に、本発明の連想メモリは、大容量の連想メモリアレイを複数の物理バンクのブロックに分割し、これら各々の物理バンクを異なる構成に設定可能に構成しておき、これらの物理バンクを論理バンクとして再構成して使用するようにしたものである。

これにより、本発明の連想メモリによれば、大規模な連想メモリを使用用途に応じて分割して使用することができ、構成の異なる複数の連想メモリの機能を1つのデバイスで実現することができるため、コストを削減することができる。また、本発明の連想メモリによれば、論理バンクの概念により、物理バンクのメモリ空間を意識する必要がないため、制御が容易であるという利点がある。また、本発明の連想メモリによれば、論理バンクに対応する物理バンクに対してのみ検索動作が行われるため、全ての連想メモリセルが同時動作する連想メモリでは常に問題となる消費電力も低減することができる。

##### 【図面の簡単な説明】

【図 1】 本発明の連想メモリの一実施例の構成概略図である。

【図 2】 各々の各物理バンクの構成を設定した状態を表す一実施例の概念図である。

【図 3】 各論理バンクと各物理バンクとの間の対応関係を割り当てた状態を表す一実施例の概念図である。

【図 4】 各論理バンクと各物理バンクとの対応関係を表す一実施例の概念図である。

【図 5】 各論理バンクと各物理バンクとの対応関係を表す一実施例の表である。

【図 6】 各論理バンクと各物理バンクとの対応関係を表す一実施例のテーブルである。

【図 7】 図 8 のテーブルと信号  $IN < 63 : 0 >$  の各ビットとの間の関係を表す一実施例の表である。

【図 8】 物理バンクに接続される信号を表す一実施例の概念図である。

【図 9】 信号  $CONF IG < 2 : 0 >$  と連想メモリアレイの物理バンクの構成との対応を表す一実施例の表である。

【図 10】 物理バンク間の優先順位を表す一実施例の表である。

【図 11】 各論理バンクと各物理バンクとの対応関係を表す別の実施例の概念図である。

【図 12】 ( a ) および ( b ) は、従来の連想メモリを利用したシステムの一例の構成概略図である。

【図 13】 従来の連想メモリを利用したシステムの一例の構成概略図である。

##### 【符号の説明】

1 0 連想メモリ

1 2 連想メモリアレイ

1 4 論理・物理信号変換回路

1 6 プライオリティ回路

1 8 デコーダ



【図 6】

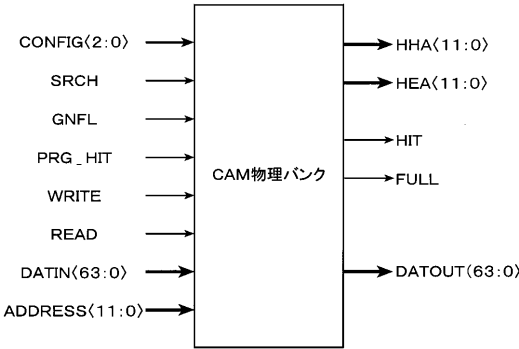
	物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7	テーブル出力
論理バンク0	1	0	1	0	0	0	1	0	10100010
論理バンク1	0	1	0	1	1	0	0	0	01011000
論理バンク2	0	0	0	0	0	1	0	1	00000101
論理バンク3	0	0	0	0	0	0	0	0	00000000
論理バンク4	0	0	0	0	0	0	0	0	00000000
論理バンク5	0	0	0	0	0	0	0	0	00000000
論理バンク6	0	0	0	0	0	0	0	0	00000000
論理バンク7	0	0	0	0	0	0	0	0	00000000

Assign="1"  
No assign="0"

【図 7】

	物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7
論理バンク0	ビット<0>	ビット<1>	ビット<2>	ビット<3>	ビット<4>	ビット<5>	ビット<6>	ビット<7>
論理バンク1	ビット<8>	ビット<9>	ビット<10>	ビット<11>	ビット<12>	ビット<13>	ビット<14>	ビット<15>
論理バンク2	ビット<16>	ビット<17>	ビット<18>	ビット<19>	ビット<20>	ビット<21>	ビット<22>	ビット<23>
論理バンク3	ビット<24>	ビット<25>	ビット<26>	ビット<27>	ビット<28>	ビット<29>	ビット<30>	ビット<31>
論理バンク4	ビット<32>	ビット<33>	ビット<34>	ビット<35>	ビット<36>	ビット<37>	ビット<38>	ビット<39>
論理バンク5	ビット<40>	ビット<41>	ビット<42>	ビット<43>	ビット<44>	ビット<45>	ビット<46>	ビット<47>
論理バンク6	ビット<48>	ビット<49>	ビット<50>	ビット<51>	ビット<52>	ビット<53>	ビット<54>	ビット<55>
論理バンク7	ビット<56>	ビット<57>	ビット<58>	ビット<59>	ビット<60>	ビット<61>	ビット<62>	ビット<63>

【図 8】



【図 9】

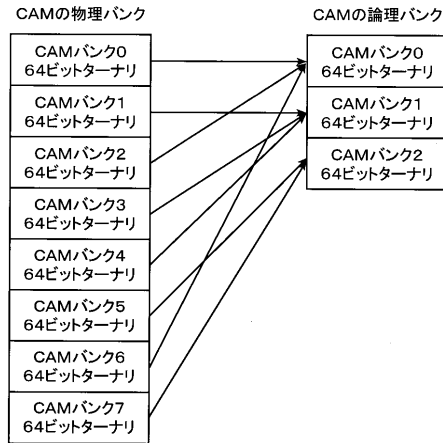
	CONFIG<2:0>
64ビットバイナリ	000
128ビットバイナリ	001
256ビットバイナリ	010
64ビットターナリ	100
128ビットターナリ	101
256ビットターナリ	110

【図 10】

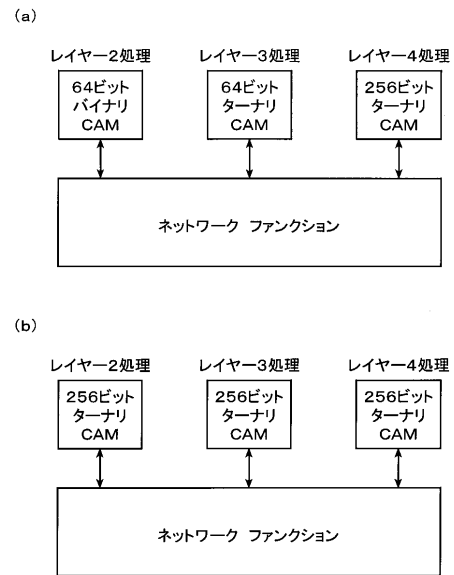
物理バンク0	物理バンク1	物理バンク2	物理バンク3	物理バンク4	物理バンク5	物理バンク6	物理バンク7	HHA<11:0> 選択について
Hit	Hit	Hit	Hit	Hit	Hit	Hit	Hit	
0	X	X	X	X	X	X	X	バンク0
1	0	X	X	X	X	X	X	バンク1
1	1	0	X	X	X	X	X	バンク2
1	1	1	0	X	X	X	X	バンク3
1	1	1	1	0	X	X	X	バンク4
1	1	1	1	1	0	X	X	バンク5
1	1	1	1	1	1	0	X	バンク6
1	1	1	1	1	1	1	0	バンク7

ビット有り="0"  
ビット無し="1"  
Don't care="X"

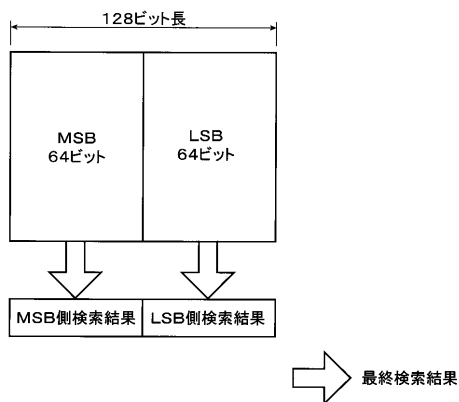
【図 1 1】



【図 1 2】



【図 1 3】



---

フロントページの続き

(56)参考文献 特開昭63-181198(JP,A)  
国際公開第99/000750(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

G11C 15/04

G06F 17/30

H04L 12/56