



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 945980

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 02.12.80 (21) 3210569/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.07.82. Бюллетень № 27

Дата опубликования описания 23.07.82

(51) М. Кл.³

Н 03 К 13/20

(53) УДК 681.325.
3(088.8)

(72) Авторы
изобретения

С. Г. Андросенко, И. М. Власов, В. А. Ландык и А. А. Морозов

(71) Заявитель

Ордена Ленина институт кибернетики АН Украинской ССР

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ ВРЕМЕННЫХ ИНТЕРВАЛОВ В ДВОИЧНЫЙ КОД

Изобретение относится к электронным дискретным устройствам систем автоматики, телемеханики, вычислительной техники и связи и может быть использовано в системах сбора, обработки и передачи многоканального потока информации.

Известно устройство для преобразования временных интервалов в двоичный код, содержащее код управления, генератор тактовых импульсов, подключенные к его выходу счетчики, блок вывода информации и логические элементы [1].

Работа этого устройства основана на подсчете числа периодов генератора тактовых импульсов в измеряемые интервалы времени и представлении полученного числа в двоичном коде, однако оно не может обеспечить надежный прием и достоверную регистрацию поступающих с переменной интенсивностью мощных потоков данных, когда скорость поступления и объем информации значительно превышает пропускную способность средств обработки, и поэтому они не могут быть

использованы в современных системах вычислительной техники, предназначенных для приема и обработки данных, поступающих к ним по каналам связи от множества удаленных терминалов.

Известно устройство для преобразования временных интервалов в двоичный код для процессора сбора, обработки и передачи многоканального потока информации, которое содержит процессор, входящие в состав процессора блок управления и блок памяти, а также схему сравнения, регистр адреса массива двоичных кодов, подключенный выходом к входу блока памяти процессора, буферный регистр и счетчик с дешифратором на выходе [2].

Недостатком известного устройства является отсутствие в нем средств для предотвращения ошибок, возникающих вследствие дробления кодовых посылок (а значит и соответствующих им временных интервалов) при передаче информации по каналам связи. Вследствие этого ложные изменения состояния канала вос-

принимаются устройством как истинные, что приводит к неверному принятию решения о значении единиц информации, содержащихся в дробных временных интервалах.

Наиболее близким по технической сущности является устройство для преобразования временных интервалов в двоичный код, содержащее блок управления с генератором тактовых импульсов на входе, регистр адреса, подключенный к входу блока памяти, регистр числа, блок вычитания, сумматор, блок скорости канала и блок вывода информации, в состав которого входят сдвиговой регистр (буферный регистр) и счетчик с дешифратором на выходе, причем первый выход блока управления подключен к входу регистра адреса и к первому входу регистра числа, второй вход которого соединен с выходом блока памяти, а также блок дополнения до бита, блок остатка преобразования, блок временного интервала и схема сравнения. Блок управления, генератор тактовых импульсов, блок памяти, регистр числа, блок вычитания и сумматор входят в состав процессора [3].

Недостатком этого устройства является низкая достоверность преобразования в случае, если краевые искажения и/или дробление кодовых посылок таково, что длительность принятых временных интервалов отличается от длительности передаваемых (идеальных) кодовых посылок более, чем на половину длительности бита. Кроме того, известное устройство, в процессе преобразования производит большое количество операций, что связано с необходимостью сравнения между собой величин временного интервала, дополнения до бита и остатка преобразования и с принятием тех или иных решений в зависимости от результатов сравнения. Это ограничивает быстродействие устройства.

Цель изобретения - повышение достоверности преобразования и быстродействия устройства.

Поставленная цель достигается тем, что в устройство для преобразования временных интервалов в двоичный код, содержащее блок управления, первый вход которого соединен с выходом генератора тактовых импульсов, регистр адреса, выход которого подключен к входу блока памяти, регистр числа, блок вычитания, сумматор, блок скорости канала и блок вывода информации, первый выход блока управления подключен к входу регистра

адреса и к первому входу регистра числа, второй вход которого соединен с выходом блока памяти, введены регистр времени, вычитающий счетчик, два коммутатора, элемент ИЛИ и элемент И, причем второй выход блока управления соединен с первыми входами коммутаторов и элемента ИЛИ, вторые входы которых подключены к третьему выходу блока управления, четвертый выход которого подключен к первым входам блока вычитания и вычитающего счетчика, а пятый - к первому входу элемента И, второй вход которого соединен с выходом генератора тактовых импульсов, а выход - с вторым входом вычитающего счетчика и первым входом блока вывода информации, второй вход которого подключен к первому выходу регистра числа, второй выход которого соединен с третьим входом первого коммутатора и с вторым входом блока вычитания, выход которого подключен к третьему входу вычитающего счетчика, а третий вход - к выходу регистра времени и четвертому входу первого коммутатора, второй вход блока управления соединен с выходом вычитающего счетчика и с третьим входом второго коммутатора, четвертый вход которого подключен к выходу блока скорости канала, выходы первого и второго коммутаторов подключены соответственно к первому и второму входам сумматора, третий вход которого соединен с выходом элемента ИЛИ и первым входом регистра времени, второй вход которого соединен с выходом сумматора.

На чертеже представлена блок-схема устройства для преобразования временных интервалов в двоичный код.

Устройство содержит блок 1 управления, генератор 2 тактовых импульсов, регистр 3 адреса, блок 4 памяти, регистр 5 числа, сумматор 6, регистр 7 времени, вычитающий счетчик 8, блок 9 вычитания, блок 10 скорости канала, два коммутатора 11 и 12, элемент И 13, элемент ИЛИ 14 и блок 15 вывода информации, содержащий сдвиговой регистр 16, счетчик 17, дешифратор 18, ключевой элемент 19, вход 20 пуска, выходы 21-25 блока 1 управления, второй вход 26 блока 1 управления.

Блок 1 управления представляет собой конечный автомат, работающий от генератора 2 тактовых импульсов и содержащий, как правило счетчик, дешифратор и распределитель импульсов или же

группу триггеров и связанных с ними логических элементов.

Блок 10 скорости канала может быть выполнен в виде регистра, в котором хранится кодовая константа, отображающая представленную дополнительным кодом половину длительности бита $\frac{\Delta t}{2}$ и характеризующая скорость передачи данных по каналу связи.

На чертеже двойными линиями обозначены шины передачи данных, одинарными - линии передачи управляющих сигналов.

Устройство работает следующим образом:

В блок 4 памяти предварительно заносят принятые по каналу связи данные в виде кода состояния канала в сопровождении кода текущего времени, отображающего моменты t_1 , изменения состояния канала. При этом масштаб отсчета времени всегда можно выбрать таким, чтобы время было представлено в битах и долях бит.

По команде "Пуск", подаваемой на вход 20 блока 1 управления, последний посылает последовательно по тактам управляющие сигналы на соответствующие входы блоков устройства.

Первый управляющий сигнал поступает с выхода 21 блока 1 управления на первый вход регистра 3 адреса и регистра 5 числа, в результате чего по адресу, хранящемуся в регистре 3 адреса, из блока 4 памяти в регистр 5 числа переписывается код времени t_1 изменения состояния канала и код состояния ("0" или "1"), предшествующего этому изменению. В это же время происходит модификация адреса в регистре 3. Затем блок 1 управления осуществляет безусловный переход во второе состояние, и управляющий сигнал поступает с его выхода 22 на первые (управляющие) входы коммутаторов 11 и 12 и через элемент ИЛИ 14 - на управляющие входы (третий) сумматора 6 и (первый) регистра 7 времени, в результате чего через коммутаторы 11 и 12 - на информационные входы (первый и второй) сумматора 6 из регистра 5 числа поступает код первого значения времени t_1 изменения состояния канала, а из блока 10 скорости канала - код (дополнительный), отображающий отрицательное значение половины длительности бита ($-\frac{\Delta t}{2}$), и результат $T_1 = t_1 - \frac{\Delta t}{2}$ с выхода сумматора 6 заносится в регистр 7 времени.

После этого блок 1 управления осуществляет безусловный переход в третье

состояние, и управляющий сигнал с его выхода 21 снова поступает на входы регистра 3 адреса и регистра 5 числа, в результате чего по очередному адресу из блока 4 памяти в регистр 5 числа переписываются данные о втором времени t_2 изменения состояния канала и о состоянии канала, предшествующем этому изменению.

Далее блок 1 управления осуществляет безусловный переход в четвертое состояние и с его выхода 23 на входы счетчика 8 и блока 9 вычитания поступает сигнал, по которому блок 9 определяет разницу между значением времени t_2 и T_1 / поступившими на его информационные входы соответственно из регистра 5 числа и регистра 7 времени. Целая часть N_1 числа, полученного в результате этой операции, отображающая выраженную в битах длительность истинной кодовой посылки, заносится в счетчик 8, с выхода которого эти данные поступают на третий информационный вход коммутатора 12 и на вход 26 блока 1 управления.

Если $N_1 = 0$, что может быть только при условии $t_{i+1} - t_1 \leq \frac{\Delta t}{2}$ и свидетельствует о дроблении кодовой посылки (истинного временного интервала), то блок 1 управления возвращается в третье состояние, и повторяется уже описанный цикл операций со следующей группой данных, извлеченных по очередному адресу из блока 4 памяти.

Если $N_1 \gg 1$, то блок 1 управления переходит в пятое состояние. При этом управляющий сигнал с его выхода 25 поступает на вторые входы коммутаторов 11 и 12 и через элемент ИЛИ 14 - на входы сумматора 6 и регистра 7 времени. В результате этого через коммутаторы 11 и 12 на входы сумматора 6 из регистра 7 времени поступает код времени T_1 , а из счетчика 8 - код целого числа N_1 , отображающего длительность первого истинного временного интервала. Результат суммирования $T_2 = T_1 + N_1$ заносится в регистр 7 времени. Он отображает значение времени, соответствующего середине последнего бита первого временного интервала (первой кодовой посылки).

В общем случае значение времени $T_{i+1} = T_i + N_i$ соответствует середине последнего бита i -ой кодовой посылки.

Далее блок 1 управления осуществляет безусловный переход в шестое состояние, и через его выход 24 на вход элемента И 13 поступает сигнал, раз-

решающий прохождение тактовых импульсов генератора 2 на счетный вход счетчика 8 и на сдвигающий вход регистра 16 и вход двоичного счетчика 17 блока 15 вывода информации.

Каждый из этих тактовых импульсов сдвигает влево на один разряд содержимое регистра 16 и при этом в его младший разряд заносится бит, значение ("0" или "1") которого соответствует состоянию канала, зафиксированному в регистре 5 числа.

В то же время каждый тактовый импульс увеличивает на единицу содержимое двоичного счетчика 17 и уменьшает на единицу содержимое счетчика 8.

Как только содержимое счетчика 8 станет равным нулю, блок 1 управления возвращается в третье состояние, после чего повторяется уже описанный цикл операций со следующей группой данных, извлеченных по очередному адресу из блока 4 памяти.

Таким образом, число тактовых импульсов генератора 2, поступивших на управляющий вход блока 15 вывода информации, а значит и число бит, зарегистрированных в сдвиговом регистре 16 за один цикл, равно N_i .

Когда сдвиговой регистр 16 блока 15 вывода информации полностью заполняется, счетчик 17 переполняется, и на всех его выходах (на чертеже они обозначены одной линией) появляется "0", в результате чего на выходе дешифратора 18 появляется сигнал, открывающий ключевой элемент 19, через который полученные в результате преобразования данные выводятся из устройства.

Таким образом, предлагаемое устройство, благодаря введению в него вычитающего счетчика, регистра времени, двух коммутаторов, элемента И, элемента ИЛИ и новых связей, позволяет, в отличие от известных устройств, отсчитывать единицы информации не от границ кодовых посылок, более всего подверженных искажениям, а от середины бит, где вероятность искажений минимальна, что на 30-80% (в зависимости от интенсивности помех в канале связи) повышает достоверность обрабатываемой информации.

При этом в предлагаемом устройстве отсутствуют операции, связанные с оценкой дробной части числа, отображающего длительность реальных (т.е. имеющих искажения) временных интервалов. Вследствие этого на 20% повышается быстро-

действие устройства по сравнению с известным устройством [3].

Повышение достоверности обрабатываемой информации уменьшает число запросов и повторных передач данных по каналам связи, что так же, как и повышение быстродействия устройства, приводит к экономии машинного времени, которая в сумме составляет не менее 20%.

Ф о р м у л а и з о б р е т е н и я

Устройство для преобразования временных интервалов в двоичный код, содержащее блок управления, первый вход которого соединен с выходом генератора тактовых импульсов, регистр адреса, выход которого подключен к входу блока памяти, регистр числа, блок вычитания, сумматор, блок скорости канала, и блок вывода информации, первый выход блока управления подключен к входу регистра адреса и к первому входу регистра числа, второй вход которого соединен с выходом блока памяти, отличающееся тем, что, с целью повышения достоверности преобразования и быстродействия устройства, в него введены регистр времени, вычитающий счетчик, два коммутатора, элемент ИЛИ и элемент И, причем второй выход блока управления соединен с первыми входами коммутаторов и элемента ИЛИ, вторые входы которых подключены к третьему выходу блока управления, четвертый выход которого подключен к первым входам блока вычитания и вычитающего счетчика, а пятый - к первому входу элемента И, второй вход которого соединен с выходом генератора тактовых импульсов, а выход - с вторым входом вычитающего счетчика и с первым входом блока вывода информации, второй вход которого подключен к первому выходу регистра числа, второй выход которого соединен с третьим входом первого коммутатора и с вторым входом блока вычитания, выход которого подключен к третьему входу вычитающего счетчика, а третий вход - к выходу регистра времени и четвертому входу третьего коммутатора, второй вход блока управления соединен с выходом вычитающего счетчика и с третьим входом второго коммутатора, четвертый вход которого подключен к выходу блока скорости канала, выходы первого и второго коммутаторов подключены соответственно к первому и второму входам сумматора, третий вход которого

соединен с выходом элемента ИЛИ и первым входом регистра времени, второй вход которого соединен с выходом сумматора.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 218545, кл. Н 03 К 13/20, 1967.
2. Патент США № 3311889, кл. Н 03 К 13/20, 1969.
3. Авторское свидетельство СССР № 497725, кл. Н 03 К 13/20, 1972.

