



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년10월07일

(11) 등록번호 10-2452571

(24) 등록일자 2022년10월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 27/148 (2006.01)

(52) CPC특허분류
H01L 27/14603 (2013.01)
H01L 27/14812 (2013.01)

(21) 출원번호 10-2022-7011326(분할)

(22) 출원일자(국제) 2015년08월07일
심사청구일자 2022년04월05일

(85) 번역문제출일자 2022년04월05일

(65) 공개번호 10-2022-0047677

(43) 공개일자 2022년04월18일

(62) 원출원 특허 10-2017-7006550
원출원일자(국제) 2015년08월07일
심사청구일자 2020년08월07일

(86) 국제출원번호 PCT/US2015/044360

(87) 국제공개번호 WO 2016/022998
국제공개일자 2016년02월11일

(30) 우선권주장
62/035,377 2014년08월08일 미국(US)
62/164,506 2015년05월20일 미국(US)

(56) 선행기술조사문헌
EP02182523 A1
US20040169842 A1

(73) 특허권자
퀀텀-에스아이 인코포레이티드
미국 06437 코네티컷주 길포드 올드 화이트필드 스트리트 530

(72) 발명자
로스버그, 조나단, 엠.
미국 06437 코네티컷주 길퍼드 운카스 포인트 로드 215
파이프, 키스, 지.
미국 94306 캘리포니아주 팔로 알토 마타데로 애비뉴 635
보이스버트, 데이비드
미국 95120 캘리포니아주 산 호세 그레이스톤 레인 18900

(74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 1 항

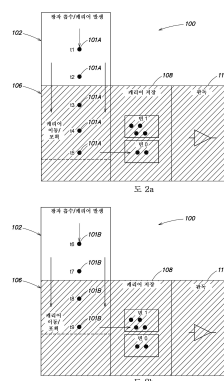
심사관 : 이창용

(54) 발명의 명칭 수신된 광자들의 시간 비닝을 위한 집적 디바이스

(57) 요약

집적 회로는 입사 광자들을 수신하도록 구성되는 광검출 영역을 포함한다. 이 광검출 영역은 입사 광자들에 응답하여 복수의 전하 캐리어를 생성하도록 구성된다. 집적 회로는 또한, 적어도 하나의 전하 캐리어 저장 영역을 포함한다. 집적 회로는 또한, 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키도록 구성되는 전하 캐리어 분리 구조물을 포함한다.

대표도



명세서

청구범위

청구항 1

장치로서,

생물학적 분자의 서브-유닛과 관련된 발광 분자로부터 상기 발광 분자의 각각의 여기들(excitations) 이후에 광을 수신하고, 상기 광의 타이밍을 검출하여 상기 서브-유닛을 식별하도록 구성되는 집적 회로; 및

하나 이상의 전하 캐리어 저장 영역

을 포함하고,

상기 집적 회로는, 상기 하나 이상의 전하 캐리어 저장 영역에, 상기 발광 분자의 각각의 여기들 이후에 생성된 광생성된(photogenerated) 전하 캐리어들을 응집시키고,

상기 하나 이상의 전하 캐리어 저장 영역은 상기 발광 분자의 여기 이후의 상이한 시간들에서 생성된 전하 캐리어들을 저장하도록 구성되는 복수의 전하 캐리어 저장 영역을 포함하고,

상기 집적 회로는 광생성된 전하 캐리어들을 상기 광의 타이밍에 기초하여 상기 복수의 전하 캐리어 저장 영역 중의 선택된 전하 캐리어 저장 영역들 내로 선택적으로 지향(direct)시키도록 구성되는 전하 캐리어 분리 구조물(charge carrier segregation structure)을 포함하는, 장치.

발명의 설명

기술 분야

- [0001] 관련 출원의 상호참조
- [0002] 본 출원은, 각각이 그 전체가 참조로 본 명세서에 포함되는, 2014년 8월 8일 출원된 발명의 명칭이 "INTEGRATED DEVICE FOR TEMPORAL BINNING OF RECEIVED PHOTONS"인 미국 가출원 제62/035,377호와, 2015년 5월 20일 출원된 발명의 명칭이 "INTEGRATED DEVICE FOR TEMPORAL BINNING OF RECEIVED PHOTONS"인 미국 가출원 제62/164,506호에 대한 우선권을 주장한다.
- [0003] 본 출원은 하기의 미국 출원들에도 역시 관련되어 있다:
- [0004] 2014년 8월 8일 출원된 발명의 명칭이 "INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES"인 미국 임시 특허 출원 제62/035,258호;
- [0005] 2014년 8월 8일 출원된 발명의 명칭이 "OPTICAL SYSTEM AND ASSAY CHIP FOR PROBING, DETECTING AND ANALYZING MOLECULES"인 미국 임시 특허 출원 제62/035,242호;
- [0006] 2015년 5월 20일 출원된 발명의 명칭이 "INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES"인 미국 임시 출원 제62/164,464호;
- [0007] 2015년 5월 20일 출원된 발명의 명칭이 "PULSED LASER"인 미국 임시 특허 출원 제62/164,485호;
- [0008] 2015년 5월 20일 출원된 발명의 명칭이 "METHODS FOR NUCLEIC ACID SEQUENCING"인 미국 임시 특허 출원 제62/164,482호;
- [0009] 발명의 명칭이 "OPTICAL SYSTEM AND ASSAY CHIP FOR PROBING, DETECTING AND ANALYZING MOLECULES"인, 도ocket 번호 R0708.70003US01인, 본원과 동일한 날짜에 출원된 미국 정식 특허 출원; 및
- [0010] 발명의 명칭이 "INTEGRATED DEVICE WITH EXTERNAL LIGHT SOURCE FOR PROBING, DETECTING, AND ANALYZING MOLECULES"인, 도ocket 번호 R0708.70004US02인, 본원과 동일한 날짜에 출원된 미국 정식 특허 출원.
- [0011] 위에서 열거한 관련 출원들 각각은 그 전체가 참조로 본 명세서에 포함된다.

배경 기술

[0012] 광검출기는 다양한 응용에서 광을 검출하는데 이용된다. 입사광의 강도를 나타내는 전기 신호를 생성하는 집적 광검출기가 개발되었다. 촬상 응용을 위한 집적 광검출기는 소정 장면에 걸쳐 수신된 광의 강도를 검출하는 픽셀 어레이를 포함한다. 집적 광검출기의 예로서는, CCD(charge coupled device) 및 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서가 포함된다.

발명의 내용

[0013] 일부 실시예는 입사 광자를 수신하도록 구성되는 광검출 영역을 포함하는 집적 회로에 관한 것으로, 이 광검출 영역은 입사 광자들에 응답하여 복수의 전하 캐리어를 생성하도록 구성된다. 집적 회로는 또한, 적어도 하나의 전하 캐리어 저장 영역을 포함한다. 집적 회로는 또한, 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키도록 구성되는 전하 캐리어 분리 구조물을 포함한다.

[0014] 일부 실시예는 입사 광자를 수신하도록 구성되는 광검출 영역을 포함하는 집적 회로에 관한 것으로, 이 광검출 영역은 입사 광자들에 응답하여 복수의 전하 캐리어를 생성하도록 구성된다. 집적 회로는 또한, 적어도 하나의 전하 캐리어 저장 영역을 포함한다. 집적 회로는 또한, 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키기 위한 수단을 포함한다.

[0015] 일부 실시예는, 입사 광자를 수신하는 단계, 및 입사 광자들에 응답하여 생성된 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키는 단계를 포함하는 광검출 방법에 관한 것이다.

[0016] 일부 실시예는 프로세서에 의해 실행될 때 광검출 방법을 수행하는 명령어들을 저장한 컴퓨터 판독가능한 저장 매체에 관한 것이다. 이 방법은, 입사 광자들에 응답하여 생성된 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키도록 전하 캐리어 분리 구조물을 제어하는 단계를 포함한다.

[0017] 일부 실시예는 집적 회로를 형성하는 방법에 관한 것이다. 이 방법은 광검출 영역 및 전하 캐리어 이동 영역을 포함하는 전하 캐리어 국한 영역을 형성하는 단계를 포함한다. 광검출 영역은 입사 광자들에 응답하여 복수의 전하 캐리어를 생성하도록 구성된다. 이 방법은 또한, 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키도록 구성되는 전하 캐리어 분리 구조물을 형성하는 단계를 포함한다.

[0018] 일부 실시예는 핵산을 시퀀싱하는 방법에 관한 것이다. 이 방법은, 핵산의 각각의 뉴클레오티드에 직접 또는 간접적으로 적어도 일정 기간 동안 부착된 발광 분자로부터 광자를 수신하는 단계를 포함한다. 이 방법은 또한, 입사 광자들에 응답하여 생성된 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키는 단계를 포함한다.

[0019] 일부 실시예는, 프로세서에 의해 실행될 때 핵산을 시퀀싱하는 방법을 수행하는 명령어들을 저장한 컴퓨터 판독가능한 저장 매체에 관한 것이다. 이 방법은, 핵산의 각각의 뉴클레오티드에 연결된 발광 분자로부터 광자를 수신하는 집적 회로에 의해 검출된 입사 광자의 도달 시간을 적어도 부분적으로 이용하여 핵산을 시퀀싱하는 단계를 포함한다.

[0020] 일부 실시예는 핵산을 시퀀싱하는 방법에 관한 것이다. 이 방법은, 집적 회로를 이용하여, 핵산의 각각의 뉴클레오티드에 연결된 발광 분자로부터의 입사 광자의 도달 시간을 검출하는 단계를 포함한다. 이 방법은 또한, 발광 분자로부터의 입사 광자의 도달 시간을 검출하는 집적 회로를 적어도 부분적으로 이용하여 발광 분자를 식별하는 단계를 포함한다.

[0021] 일부 실시예는 형광 수명 촬상(fluorescence lifetime imaging)의 방법에 관한 것이다. 이 방법은, 형광 분자로부터의 입사 광자의 도달 시간을 검출하는 집적 회로를 적어도 부분적으로 이용하여 형광 수명을 나타내는 이미지를 생성하는 단계를 포함한다.

[0022] 일부 실시예는 비행 시간 촬상(time-of-flight imaging)의 방법에 관한 것이다. 이 방법은, 입사 광자를 수신하는 단계, 및 입사 광자들에 응답하여 생성된 복수의 전하 캐리어 중의 전하 캐리어들을 전하 캐리어들이 생성

되는 시간에 기초하여 적어도 하나의 전하 캐리어 저장 영역 내로 선택적으로 지향시키는 단계를 포함한다.

[0023] 전술된 요약은 설명을 위해 제공된 것이지만 제한하려는 것은 아니다.

도면의 간단한 설명

[0024] 도면에서, 다양한 도면에 나타나 있는 각각의 동일하거나 거의 동일한 컴포넌트는 유사한 참조 문자로 표시된다. 명료성을 위해, 모든 도면에서 모든 컴포넌트가 라벨링되지는 않았다. 도면은 반드시 축척비율대로 그려진 것은 아니며, 여기서 설명된 기술 및 디바이스의 다양한 양태에 관해 강조가 이루어진 곳도 있다.

도 1a는, 상이한 수명을 갖는 2개의 마커에 대한 시간의 함수로서 방출되는 광자의 확률을 도시한다.

도 1b는 예시적인 여기 펄스(점선) 및 예시적인 형광 방출(실선)에 대한 시간 경과에 따른 강도 프로파일의 예를 도시한다.

도 2a는 일부 실시예에 따른 집적 광검출기의 픽셀의 도면을 도시한다.

도 2b는 도 2a에서와 상이한 시간 및 공간에서 전하 캐리어를 포획하는 것을 나타낸다.

도 3a는 일부 실시예에 따른 픽셀의 전하 캐리어 국한 영역을 도시한다.

도 3b는 도 3a의 전하 캐리어 국한 영역 위에 놓인 복수의 전극(Vb0-Vbn, b0-bm, st1, st2 및 tx0-tx3)을 갖는 도 3a의 픽셀을 도시한다.

도 3c는 광자 흡수/캐리어 발생 영역이 PN 접합을 포함하는 실시예를 도시한다.

도 3d는 도핑 특성의 부가를 수반한 도 3c에서와 같은 픽셀의 평면도를 도시한다.

도 3e는, 캐리어 이동/포획 영역을 포함하는, 도 3c에서와 같은 픽셀의 평면도를 도시한다.

도 3f는 도 3e에서와 같은 픽셀 어레이를 도시한다. 도 3f는, 확산 영역, 폴리실리콘 영역, 콘택트 및 금속 1의 영역들을 나타낸다.

도 3g는 도 3f의 픽셀 어레이를 도시하며, 또한 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피(epi)의 영역들을 도시한다.

도 4는 도 3b의 픽셀의 회로도를 도시한다. 전하 캐리어 국한 영역은 짙은 어두운 선으로 표시된다.

도 5a는 도 3b의 라인 A-A'를 따른 광자 흡수/캐리어 발생 영역 및 캐리어 이동/포획 영역 내의 전하 캐리어 국한 영역에서 설정될 수 있는 전위 구배(potential gradient)를 나타낸다.

도 5b는, 소정 기간 후에 전극 b0의 전압을 감소시킴으로써 시간 t1에서 전자에 대한 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5c는, 또 다른 기간 후에 전극 b2의 전압을 감소시킴으로써 시간 t2에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5d는, 또 다른 기간 후에 전극 b4의 전압을 감소시킴으로써 시간 t3에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5e는, 또 다른 기간 후에 전극 b6의 전압을 감소시킴으로써 시간 t4에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 5f는, 또 다른 기간 후에 전극 bm의 전압을 감소시킴으로써 시간 t5에서 전자에 대한 또 다른 전위 장벽이 상승될 수 있다는 것을 도시한다.

도 6a는 광생성된(photogenerated) 캐리어의 위치를 도시한다.

도 6b는, 설정된 전위 구배에 응답하여 아래쪽 방향으로 이동함에 따른, 그 직후의 캐리어의 위치를 도시한다.

도 6c는 캐리어가 드레인에 도달할 때의 캐리어의 위치를 도시한다.

도 6d는 광생성된 캐리어(예를 들어, 전자)의 위치를 도시한다.

도 6e는, 전위 구배에 응답하여 아래쪽 방향으로 이동함에 따른, 그 직후의 캐리어의 위치를 도시한다.

도 6f는 시간 t_1 후에 전위 장벽에 도달할 때의 캐리어의 위치를 도시한다.

도 6g는, 전자가 시간 t_1 과 t_2 사이에서 전극 b_0 과 b_2 사이에 도달한다면, 도 6g에 나타난 바와 같이, 전위 장벽(501)과 전위 장벽(502) 사이에서 전자가 포획될 것임을 도시한다.

도 6h는, 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있는 예를 도시한다.

도 6i는, 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있는 예를 도시한다.

도 6j는, 전자가 시간 t_1 과 t_2 사이에서 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 남아 있는 예를 도시한다.

도 6k는 시간 경과에 따른 전극들 b_0 - b_8 , st_0 및 st_1 의 전압을 나타내는 전압 타이밍도를 도시한다.

도 7a는 도 3b의 라인 B-B'를 따른 전하 캐리어 국한 영역의 단면에 대한 전위의 플롯을 도시한다.

도 7b는, 시간 t_5 이후에, 전자 전달을 용이하게 하기 위해, 전극들 b_1 , b_3 , b_5 및 b_7 상의 전압이 감소되어(도 6k에는 도시되지 않음) 전위 우물(potential well) 내의 전자의 위치를 상승시킬 수 있다는 것을 나타낸다.

도 7c는, 시간 t_6 (도 6k)에서 전극들 st_0 및 st_1 상의 전압이 상승될 수 있다는 것을 도시한다.

도 7d는, 시간 t_7 에서 전극 st_0 상의 전압이 강하됨으로써 대응하는 빈(bin)(이 예에서는 빈2)에 포획된 캐리어(존재한다면)를 국한하는 것을 도시한다.

도 7e는 전위 장벽들(503과 504) 사이에서 포획된 전자를 나타내는 평면도를 도시한다.

도 7f는 전극 st_1 의 전압이 상승되고 캐리어가 전달되는 것을 나타내는 평면도를 도시한다.

도 7g는 전극 st_1 의 전압이 강하되고 캐리어가 빈2에 포획된 것을 나타내는 평면도이다.

도 7h는 일부 실시예에 따른 전하 캐리어 분리 구조물의 전극들의 특성을 도시한다.

도 8a는 일부 실시예에 따른 복수의 측정을 수행하는 것을 포함하는 방법의 플로차트를 도시한다.

도 8b는, 시간 t_0 에서 생성되는 여기 펄스, 및 시간 빈(time bin)들, 빈0 내지 빈3을 도시하는 도면이다.

도 8c는, 마커 또는 다이 형광의 확률이 시간에 따라 지수적으로 감소하는 한 세트의 형광 수명 측정에 대한 각각의 시간 빈에서의 광자/전하 캐리어 수의 플롯을 도시한다.

도 8d는, 복수의 상이한 트리거 이벤트에 응답하여 광이 집적 광검출기에서 수신되는 일부 실시예에 따른 집적 광검출기를 동작시키는 방법을 도시한다.

도 8e는 도 8d의 방법을 수행할 때 전하 캐리어 분리 구조물의 전극들의 전압을 나타낸다.

도 9a는 상관된 이중 샘플링(correlated double sampling)을 이용하여 빈들, 빈0 내지 빈3을 순차적으로 판독하기 위한 타이밍도의 예를 도시한다.

도 9b는, 일부 실시예에 따른, 각각의 신호 값에 대한 리셋 값을 측정할 것을 요구하지 않는 상관된 이중 샘플링을 수행하기 위한 판독 시퀀스를 도시한다.

도 10a는 복수의 열(C_1 내지 C_n) 및 복수의 행을 갖는 픽셀 어레이를 나타내며, 예시로서 선택된 행(R_i)이 도시되어 있다.

도 10b는 복수의 열에 공통의 판독 회로가 제공된 실시예를 도시한다.

도 10c는 열의 개수보다 적은 수의 복수의 판독 회로를 갖춘 실시예를 도시한다.

도 10d는 샘플 및 홀드 회로(sample and hold circuitry), 증폭기 회로 및 아날로그-대-디지털(A/D) 변환기를 포함하는 열 판독 회로를 나타내는 회로도를 도시한다.

도 10e는 증폭기 회로 및 A/D 변환기 양쪽 모두가 픽셀 어레이의 2개의 열에 의해 공유되는 판독 회로의 실시예를 나타낸다.

- 도 10f는 픽셀 어레이의 n개 열이 판독 회로 및/또는 A/D 변환기를 공유하는 실시예를 도시한다.
- 도 10g는 복수의 증폭기를 포함하는 증폭기 회로의 예를 도시한다.
- 도 10h는 각각의 열에 대한 제1 스테이지 증폭기 및 2개의 열들에 의해 공유되는 제2 스테이지 증폭기를 갖는 증폭기 회로를 포함하는 판독 회로의 도면을 도시한다.
- 도 10i는, 제1 스테이지 증폭기, 제2 스테이지 증폭기 및 제3 스테이지 증폭기를 포함하는 판독 회로의 도면을 도시한다.
- 도 10j는 차동 샘플 및 홀드 회로와 차동 증폭기를 포함하는 2개의 열에 의해 공유되는 판독 회로를 도시한다.
- 도 10k는 제1 열이 샘플 페이즈(phase)에 있고 제2 열이 홀드 페이즈에 있을 때 차동 샘플 및 홀드 회로와 차동 증폭기의 도면을 도시한다.
- 도 10l은 제2 열이 샘플 페이즈에 있고 제1 열이 홀드 페이즈에 있을 때 차동 샘플 및 홀드 회로와 차동 증폭기의 도면을 도시한다.
- 도 10m은 차동 샘플 및 홀드 회로와 차동 증폭기를 포함하는 2개보다 많은 열에 의해 공유되는 판독 회로를 도시한다.
- 도 11은 시간 빈들의 타이밍이 한 세트의 측정의 결과에 기초하여 측정들 사이에서 적응적으로 제어될 수 있다는 것을 도시한다.
- 도 12는 4개의 서브픽셀을 포함하는 픽셀의 예를 도시한다.
- 도 13은 일부 실시예에 따른 칩 아키텍처의 도면을 도시한다.
- 도 14a는 일부 실시예에 따른 쿼드 픽셀(quad pixel)들의 64 x 64 어레이를 갖는 칩의 실시예의 도면을 도시한다.
- 도 14b는 일부 실시예에 따른 2×2 어레이를 포함하는 칩의 실시예의 도면을 도시하며, 여기서, 각각의 어레이는 쿼드 픽셀들의 256×64 옥탈 픽셀 어레이(octal pixels array)를 갖는다.
- 도 15a는 반도체 기판에 형성될 수 있는 전하 국한 영역의 사시도를 도시한다.
- 도 15b는 도 15a에 대응하는 평면도를 도시한다.
- 도 16은 패터닝된 폴리실리콘 층을 형성함으로써 절연 층 위에 전극을 형성하는 것을 도시한다.
- 도 17은 p+ 영역과 n+ 영역을 갖는 스플릿-도핑된 전극(split-doped electrode)을 도시한다.
- 도 18은 비아에 접속하기 위해 패터닝된 폴리실리콘 층 위에 금속 층(예를 들어, 금속 1)을 형성하는 것을 도시한다.
- 도 19는 폴리실리콘 층 및 전하 국한 영역 상에 오버레이된 금속 층을 도시한다.
- 도 20은 금속 층과 접촉하는 비아의 형성을 도시한다.
- 도 21은 제2 금속 층 뿐만 아니라 제2 금속 층과 접촉하는 비아(들)의 형성을 도시한다.
- 도 22는 제3 금속 층의 형성을 도시한다.
- 도 23은 일부 실시예에 따른 전하 캐리어 분리 구조물의 전극을 구동하기 위한 구동 회로의 예를 도시한다.
- 도 24는 칩이 인쇄 회로 기판에 부착된 실시예를 도시한다.
- 도 25는 칩의 중앙 영역 내의 32개의 행을 인에이블하고 칩의 엣지에 있는 48개의 행을 디스에이블하는 것을 도시한다.
- 도 26은 예시적인 컴퓨팅 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025]

입사 광자의 도달 타이밍을 정확하게 측정하거나 "시간-비닝(time-bin)" 할 수 있는 집적 광검출기가 설명된다. 일부 실시예에서, 집적 광검출기는 나노초 또는 피코초 해상도로 광자의 도달을 측정할 수 있다. 이러한 광검

출기는, 핵산의 시퀀싱(예를 들어, DNA 시퀀싱)에 적용될 수 있는 분자 검출/정량화를 포함하는 다양한 응용 분야에 응용할 수 있다. 이러한 광검출기는, 뉴클레오타이드를 라벨링하는데 이용되는 발광 분자로부터의 입사 광자의 도달 시간-영역 분석을 용이하게 함으로써, 휘도 수명에 기초한 뉴클레오타이드의 식별 및 시퀀싱을 가능하게 한다. 집적 광검출기의 다른 응용 예는, 이하에서 논의되는 바와 같이, 형광 수명 활상 및 비행 시간 활상을 포함한다.

[0026] 분자 검출/정량화를 위한 시간 영역 측정에 대한 논의

[0027] 생물학적 샘플의 검출 및 정량화는 생물학적 검정("생물검정(bioassays)")을 이용하여 수행될 수 있다. 생물검정은, 통상적으로, 장비를 조작하고 생물검정을 수행하도록 훈련된 연구 과학자를 요구하는 크고 값 비싼 실험실 장비를 수반한다. 생물검정은, 통상적으로, 검출 및 정량화를 위해 대량의 특정한 유형의 샘플이 필요하도록 대량으로 수행된다. 일부 생물검정은, 특정한 파장의 광을 방출하는 발광 마커로 샘플을 태깅함으로써 수행된다. 샘플은 광원을 이용하여 조사되어 발광을 야기하고, 발광 광은 광검출기로 검출되어 마커에 의해 방출되는 광의 양을 정량화한다. 발광 태그 및/또는 리포터(reporter)를 이용하는 생물검정은, 통상적으로, 샘플을 조사(illuminate)하는 고가의 레이저 광원 및 조사된 샘플로부터의 광을 수집하기 위한 복잡한 발광 검출 광학기기 및 전자 디바이스를 수반한다.

[0028] 일부 실시예에서, 본 명세서에서 설명되는 집적 광검출기는 여기(excitation)에 응답하여 생물학적 및/또는 화학적 샘플(들)의 휘도 특성을 검출할 수 있다. 더 구체적으로는, 이러한 집적 광검출기는 샘플(들)로부터 수신된 광의 시간 특성을 검출할 수 있다. 이러한 집적 광검출기는, 여기에 응답하여 발광 분자에 의해 방출된 광의 휘도 수명, 예를 들어 형광 수명의 검출 및/또는 구별을 가능하게 할 수 있다. 일부 실시예에서, 샘플(들)의 식별 및/또는 정량적 측정은 휘도 수명의 검출 및/또는 구별에 기초하여 수행될 수 있다. 예를 들어, 일부 실시예에서, 핵산(예를 들어, DNA, RNA)의 시퀀싱은 각각의 뉴클레오타이드에 부착된 발광 분자의 휘도 수명을 검출 및/또는 구별함으로써 수행될 수 있다. 각각의 발광 분자는, 대응하는 뉴클레오타이드에 직접 부착(예를 들어, 결합)되거나 뉴클레오타이드 및 발광 분자에 결합된 링커 분자(linker molecule)를 통해 대응하는 뉴클레오타이드에 간접적으로 부착될 수 있다.

[0029] 일부 실시예에서, "픽셀"이라고 지칭되는 다수의 광검출 구조물 및 연관된 전자 회로를 갖는 집적 광검출기는, 복수의 샘플(예를 들어, 수백, 수천, 수백만 또는 그 이상)의 측정 및 분석을 가능하게 하여, 복잡한 측정을 수행하는 비용을 절감하여, 발견 속도를 빠르게 진보시킬 수 있다. 일부 실시예에서, 광검출기의 각각의 픽셀은, 단일 분자 또는 하나보다 많은 분자일 수 있는, 샘플로부터의 광을 검출할 수 있다. 일부 실시예에서, 이러한 집적 광검출기는 핵산(예를 들어, DNA, RNA) 시퀀싱 등의 동적 실시간 응용에 이용될 수 있다.

[0030] 휘도 수명을 이용한 분자의 검출/정량화

[0031] 본 출원의 양태에 따른 집적 광검출기를 갖는 집적 회로는 다양한 검출 및 활상 응용을 위한 적절한 기능으로 설계될 수 있다. 이하에서 더 상세히 설명되는 바와 같이, 이러한 집적 광검출기는 하나 이상의 시간 간격 또는 "시간 빈" 내에서 광을 검출하는 능력을 가질 수 있다. 광의 도달 시간에 관한 정보를 수집하기 위해, 전하 캐리어들이 입사 광자들에 응답하여 생성되고, 그들의 도달 시간에 기초하여 각각의 시간 빈으로 분리될 수 있다.

[0032] 본 출원의 일부 양태에 따른 집적 광검출기는, 형광체(fluorophores) 등의 발광 분자를 포함하는 발광 소스를 구별하는데 이용될 수 있다. 발광 분자들은, 그들이 방출하는 광의 파장, 방출하는 광의 시간적 특성(예를 들어, 방출 감쇠 시간), 및 여기 에너지에 대한 반응에 있어서 다르다. 따라서, 발광 분자는 이들 특성의 검출에 기초하여 다른 발광 분자로부터 식별되거나 구별될 수 있다. 그러한 식별 또는 구별 기술들은 단독으로 또는 임의의 적절한 조합으로 이용될 수 있다.

[0033] 일부 실시예에서, 본 출원에서 설명되는 집적 광검출기는 형광 수명 등의 휘도 수명을 측정하거나 구별할 수 있다. 형광 수명 측정은, 하나 이상의 형광 분자를 여기시켜 방출된 발광의 시간 변화를 측정하는 것에 기초한다. 형광 분자가 여기 상태(excited state)에 도달한 후 형광 분자가 광자를 방출할 확률은 시간에 따라 지수적으로 감소한다. 확률이 감소하는 속도는 형광 분자의 특성일 수 있으며, 상이한 형광 분자마다 상이할 수 있다. 형광 분자에 의해 방출되는 광의 시간적 특성을 검출함으로써, 형광 분자를 식별하고 및/또는 형광 분자를 서로에 관해 구별할 수 있다. 발광 분자는 본 출원에서 발광 마커 또는 단순히 "마커"라고도 지칭된다.

[0034] 여기 상태에 도달한 후, 마커는 주어진 시간에서 소정의 확률로 광자를 방출할 수 있다. 광자가 여기된 마커로부터 방출될 확률은, 마커의 여기 후에 시간 경과에 따라 감소될 수 있다. 시간의 경과에 따라 광자가 방출되

는 확률의 감소는 지수 감쇠 함수 $p(t) = e^{-t/\tau}$ 로 나타낼 수 있으며, 여기서 $p(t)$ 는 시간 t 에서 광자 방출의 확률이고, τ 는 마커의 시간 파라미터이다. 시간 파라미터 τ 는 마커가 광자를 방출할 확률이 소정 값일 때 여기 후의 시간을 나타낸다. 시간 파라미터 τ 는 흡수 및 방출 스펙트럼 속성과는 구분될 수 있는 마커의 속성이다. 이러한 시간 파라미터 τ 는, 휘도 수명, 형광 수명 또는 간단히 마커의 "수명"이라고 한다.

[0035] 도 1a는, 상이한 수명을 갖는 2개의 마커에 대한 시간의 함수로서 방출되는 광자의 확률을 도시한다. 확률 곡선 B로 표시된 마커는, 확률 곡선 A로 표시된 마커에 대한 방출 확률보다 신속하게 감쇠되는 방출되는 확률을 갖는다. 확률 곡선 B로 표시되는 마커는, 확률 곡선 A로 표시되는 마커보다 짧은 시간 파라미터 τ 또는 수명을 가진다. 마커는 일부 실시예에서 0.1 내지 20 ns 범위의 형광 수명을 가질 수 있다. 그러나, 본 출원에서 설명된 기술은 이용된 마커(들)의 수명에 관해 제한되지 않는다.

[0036] 마커의 수명은 하나보다 많은 마커를 구분하는데 이용될 수 있고, 마커(들)을 식별하는데 이용될 수 있다. 일부 실시예에서, 상이한 수명들을 갖는 복수의 마커가 여기 소스에 의해 여기되는 형광 수명 측정이 수행될 수 있다. 예로서, 각각, 0.5, 1, 2, 및 3 나노초의 수명을 갖는 4개의 마커는, 선택된 파장(예를 들어, 635nm)을 갖는 광을 방출하는 광원에 의해 여기될 수 있다. 마커는, 마커에 의해 방출된 광의 수명 측정에 기초하여 서로간에 식별되거나 구별될 수 있다.

[0037] 형광 수명 측정은, 절대 강도 값과는 달리, 시간 경과에 따른 강도 변화를 비교함으로써 상대 강도 측정을 이용할 수 있다. 그 결과, 형광 수명 측정은 절대 강도 측정의 곤란점들 중 일부를 피할 수 있다. 절대 강도 측정은, 현재 존재하는 형광체의 농도에 따라 달라질 수 있으며, 다양한 형광체 농도에 대해 보정 단계(calibration step)가 필요할 수 있다. 대조적으로, 형광 수명 측정은 형광체의 농도에 민감하지 않을 수 있다.

[0038] 발광 마커는 외인성 또는 내인성일 수 있다. 외인성 마커는, 발광 라벨링(luminescent labeling)을 위한 리포터 및/또는 태그로서 이용되는 외부 발광 마커일 수 있다. 외인성 마커의 예로서는, 형광 분자, 형광체, 형광 염료, 형광 스테인(fluorescent stains), 유기 염료, 형광 단백질, 효소 및/또는 양자점(quantum dot)을 포함할 수 있다. 이러한 외인성 마커는, 특정한 표적 또는 성분에 특이적으로 결합하는(specifically bind) 프로브 또는 작용기(예를 들어, 분자, 이온 및/또는 리간드)에 공액접합(conjugate)될 수 있다. 외인성 태그 또는 리포터를 프로브에 부착시키는 것은, 외인성 태그 또는 리포터의 존재 검출을 통한 표적의 식별을 허용한다. 프로브의 예로서는, 단백질, DNA 분자 또는 RNA 분자 등의 핵산, 지질 및 항체 프로브가 포함될 수 있다. 외인성 마커와 작용기(functional group)의 조합은, 분자 프로브, 라벨링된 프로브, 하이브리드화 프로브, 항체 프로브, 단백질 프로브(예를 들어, 바이오틴-결합 프로브), 효소 라벨, 형광 프로브, 형광 태그 및/또는 효소 리포터를 포함한, 검출에 이용되는, 임의의 적절한 프로브, 태그, 및/또는 라벨을 형성할 수 있다.

[0039] 외인성 마커가 샘플 또는 영역에 추가될 수 있지만, 내인성 마커는 이미 샘플 또는 영역의 일부일 수 있다. 내인성 마커는 여기 에너지의 존재 하에서 발광 또는 "자가형광(autofluoresce)"할 수 있는 임의의 존재하는 발광 마커를 포함할 수 있다. 내인성 형광체의 자가형광은, 내인성 형광체의 도입을 요구하지 않고 라벨이 없는 비침습적인 라벨링을 제공할 수 있다. 이러한 내인성 형광체의 예로서는, 제한없이 예로서, 헤모글로빈, 옥시헤모글로빈, 지질, 콜라겐 및 엘라스틴 가교결합, 환원된 니코틴아미드 아데닌 디뉴클레오타이드(NADH), 산화 플라빈(FAD 및 FMN), 리포푸신, 케라틴, 및/또는 프로피린에 포함될 수 있다.

[0040] 수명 측정에 의해 마커들을 구분하는 것은, 마커들이 방출 스펙트럼의 측정에 의해 구분될 때보다 여기 광의 더 적은 수의 파장이 이용되는 것을 허용할 수 있다. 일부 실시예에서, 여기 광 및/또는 발광 광의 더 적은 수의 파장을 이용할 때, 센서, 필터, 및/또는 회절 광학기기의 수가 감소되거나 제거될 수 있다. 일부 실시예에서, 라벨링은 상이한 수명들을 갖는 마커들로 수행될 수 있고, 마커들은 동일한 여기 파장 또는 스펙트럼을 갖는 광에 의해 여기될 수 있다. 일부 실시예에서, 단일 파장 또는 스펙트럼의 광을 방출하는 여기 광원이 이용될 수 있어서, 비용을 감소시킬 수 있다. 그러나, 본 명세서에서 설명된 기술은, 임의의 개수의 여기 광 파장 또는 스펙트럼이 이용될 수 있기 때문에, 이 점에서 제한되지 않는다. 일부 실시예에서, 집적 광검출기는 수신된 광에 관한 스펙트럼 및 시간 정보 양쪽 모두를 결정하는데 이용될 수 있다. 일부 실시예에서, 존재하는 분자(들)의 타입들의 정량적 분석은, 시간 파라미터, 스펙트럼 파라미터, 또는 마커로부터 방출된 발광의 시간 및 스펙트럼 파라미터들의 조합을 결정함으로써 수행될 수 있다.

[0041] 입사 광자의 도달 시간을 검출하는 집적 광검출기는, 추가적인 광 필터링(예를 들어, 광 스펙트럼 필터링) 요건을 감소시킬 수 있다. 후술되는 바와 같이, 본 출원에 따른 집적 광검출기는, 특정한 시간에서 광생성된 캐리

어를 제거하기 위한 드레인(drain)을 포함할 수 있다. 이러한 방식으로 광생성된 캐리어를 제거함으로써, 여기 펄스로부터의 광의 수신을 방지하는 광학 필터링의 필요없이, 여기 광 펄스에 응답하여 생성된 원치않는 전하 캐리어가 제거될 수 있다. 이러한 광검출기는, 전체 설계 통합 복잡성, 광학 및/또는 필터링 컴포넌트들, 및/또는 비용을 감소시킬 수 있다.

[0042] 일부 실시예에서, 형광 수명은, 시간의 함수로서 휘도 강도 값을 검출하기 위해 집적 광검출기의 하나 이상의 시간 bin에서 수집된 전하 캐리어들을 응집시켜 방출된 발광의 시간 프로파일을 측정함으로써 결정될 수 있다. 일부 실시예에서, 마커의 수명은, 마커가 여기 상태로 여기되는 복수의 측정을 수행한 다음, 광자가 방출되는 시간이 측정됨으로써 결정될 수 있다. 각각의 측정에 대해, 여기 소스는 마커쪽으로 지향된 여기 광의 펄스를 생성할 수 있고, 여기 펄스와 마커로부터의 후속 광자 이벤트 사이의 시간이 결정될 수 있다. 추가로 또는 대안으로서, 여기 펄스가 반복적으로 및 주기적으로 발생하는 경우, 광자 방출 이벤트가 발생하는 때와 후속 여기 펄스 사이의 시간이 측정될 수 있고, 이 측정된 시간이 여기 펄스들 사이의 시간 간격(즉, 여기 펄스 파형의 기간)으로부터 감소되어 광자 흡수 이벤트의 시간을 결정할 수 있다.

[0043] 이러한 실험을 복수의 여기 펄스로 반복함으로써, 여기 이후의 소정 시간 간격 내에서 광자가 마커로부터 방출되는 경우의 수가 결정될 수 있고, 이것은, 여기 이후의 이러한 시간 간격 내에서 광자가 방출될 확률을 나타낸다. 수집된 광자 방출 이벤트의 수는, 마커에 방출된 여기 펄스의 수에 기초할 수 있다. 측정 기간에 걸친 광자 방출 이벤트의 수는, 일부 실시예에서 50 내지 10,000,000회 이상일 수 있지만, 본 명세서에 설명된 기술은 이 점에서 제한되지 않는다. 여기 후 소정 시간 간격 내에서 마커로부터 광자가 방출되는 경우의 수는, 일련의 이산적인 시간 간격들 또는 시간 bin들 내에서 발생하는 광자 방출 이벤트의 수를 나타내는 히스토그램(histogram)을 채울 수 있다. 특정한 수명 및/또는 특정한 마커를 식별하기 위해, 시간 bin의 수 및/또는 각각의 bin의 시간 간격이 설정 및/또는 조정될 수 있다. 시간 bin의 수 및/또는 각각의 bin의 시간 간격은, 방출된 광자를 검출하는데 이용되는 센서에 의존할 수 있다. 시간 bin의 수는, 1, 2, 3, 4, 5, 6, 7, 8이거나, 또는 16, 32, 64 이상 등의, 그 이상일 수 있다. 커브 피팅(curve fitting) 알고리즘은, 곡선을 기록된 히스토그램에 곡선을 맞추어, 그 결과, 주어진 시간에서 마커의 여기 이후에 방출될 광자의 확률을 나타내는 함수를 생성

하는데 이용될 수 있다. $p(t) = e^{-t/\tau}$ 등의 지수 감쇠 함수는, 히스토그램 데이터를 대략적으로 맞추는데 (approximately fit) 이용될 수 있다. 이러한 곡선 피팅으로부터, 시간 파라미터 또는 수명이 결정될 수 있다. 결정된 수명은, 존재하는 마커의 타입을 식별하기 위해 마커의 알려진 수명과 비교될 수 있다.

[0044] 수명은, 2개의 시간 간격에서의 강도 값들부터 계산될 수 있다. 도 1b는 예시적인 여기 펄스(점선) 및 예시적인 형광 방출(실선)에 대한 시간 경과에 따른 강도 프로파일의 예를 도시한다. 도 1b에 도시된 예에서, 광검출기는 적어도 2개의 시간 bin에 걸쳐 강도를 측정한다. 시간 t_1 과 t_2 사이에서 발광 에너지를 방출하는 광자는, 광검출기에 의해 강도 I_1 로서 측정되고, 시간 t_3 과 t_4 사이에서 방출되는 발광 에너지는 I_2 로서 측정된다. 도 1b에는 2개만이 도시되어 있지만, 임의의 적절한 개수의 강도 값이 획득될 수 있다. 그러면, 이러한 강도 측정은 수명을 계산하는데 이용될 수 있다. 한 번에 하나의 형광체가 존재할 때, 시간 비닝된(time binned) 발광 신호는 단일 지수 감쇠에 적절할 수 있다. 일부 실시예에서, 형광체의 수명을 정확하게 식별하기 위해 단 2개의 시간 bin만이 필요할 수 있다. 2개 이상의 형광체가 존재할 때, 발광 신호를, 이중 또는 삼중 지수 등의 다중 지수 감쇠에 맞추어 결합된 발광 신호로부터 개개의 수명이 식별할 수 있다. 일부 실시예에서, 이러한 발광 신호로부터 하나보다 많은 형광 수명을 정확하게 식별하기 위하여, 2개 이상의 시간 bin이 필요할 수 있다. 그러나, 복수의 형광체를 갖는 일부 경우에, 단일 지수 감쇠를 발광 신호에 맞추어, 평균 형광 수명이 결정될 수 있다.

[0045] 일부 경우에는, 광자 방출 이벤트의 확률과 그에 따른 마커의 수명은, 마커의 환경 및/또는 조건에 기초하여 변화할 수도 있다. 예를 들어, 여기 광의 파장보다 작은 직경을 갖는 체적 내에 국한된 마커의 수명은, 그 마커가 체적 내에 있지 않을 때보다 작을 수 있다. 마커가 라벨링에 이용될 때와 유사한 조건에서 알려진 마커를 이용한 수명 측정이 수행될 수 있다. 마커를 식별할 때, 알려진 마커를 이용한 이러한 측정으로부터 결정된 수명이 이용될 수 있다.

[0046] 휘도 수명 측정을 이용한 시퀀싱

[0047] 집적 광검출기 상의 개개의 픽셀들은, 분자 또는 분자 상의 특정한 위치 등의, 하나 이상의 표적을 라벨링하는 형광 태그 및/또는 리포터를 식별하는데 이용되는 형광 수명 측정을 할 수 있다. 임의의 하나 이상의 관심 분자는, 단백질, 아미노산, 효소, 지질, 뉴클레오타이드, DNA 및 RNA를 포함한, 형광체로 라벨링될 수 있다. 방출

된 광 또는 기타의 라벨링 기술의 스펙트럼을 검출하는 것과 결합될 때, 형광 수명은 이용될 수 있는 형광 태그 및/또는 리포터의 총 수를 증가시킬 수 있다. 수명에 기초한 식별은 단일 분자 분석 방법에 이용되어 이러한 정보가 양상을 평균에서 소실되는 복잡한 혼합물에서 분자 상호작용의 특성에 관한 정보를 제공할 수 있으며, 단백질-단백질 상호작용, 효소 활성, 분자 역학, 및/또는 세포막 상의 확산을 포함할 수 있다. 추가로, 상이한 형광 수명을 갖는 형광체는, 라벨링된 성분의 존재에 기초하는 다양한 분석 방법에서 표적 성분을 태깅하는데 이용될 수 있다. 일부 실시예에서, 형광체의 특정한 수명을 검출하는 것에 기초하여, 마이크로유체 시스템의 이용하는 등에 의해, 성분들이 분리될 수 있다.

[0048] 형광 수명을 측정하는 것은, 다른 분석 방법과 조합하여 이용될 수 있다. 예를 들어, 형광 수명은, 하나 이상의 분자에 위치한 도너 및 억셉터 형광체의 상태 및/또는 환경을 구별하기 위해 형광 공명 에너지 전달(FRET; fluorescence resonance energy transfer) 기술과 조합하여 이용될 수 있다. 이러한 측정은 도너와 억셉터 사이의 거리를 결정하는데 이용될 수 있다. 일부 경우에, 도너로부터 억셉터로의 에너지 전달은 도너의 수명을 감소시킬 수 있다. 또 다른 예에서, 형광 수명 측정은, 상이한 수명들을 갖는 4개의 형광체가 미지의 뉴클레오타이드들의 서열을 갖는 DNA 분자에서 4개의 상이한 뉴클레오타이드(A, T, G, C)를 라벨링하는데 이용될 수 있는 DNA 시퀀싱 기술과 조합하여 이용될 수 있다. 형광체의 발광 스펙트럼 대신 형광 수명은 뉴클레오타이드들의 서열을 식별하는데 이용될 수 있다. 소정 기술에 대해 방출 스펙트럼 대신 형광 수명을 이용하면, 절대 강도 측정으로 인한 아티팩트가 감소되므로, 정확도 및 측정 해상도가 높아질 수 있다. 추가로, 수명 측정은, 더 적은 수의 여기 에너지 파장이 요구되고 및/또는 더 적은 수의 방출 에너지 파장이 검출될 필요가 있기 때문에, 시스템의 복잡성 및/또는 비용을 감소시킬 수 있다.

[0049] 본 출원에서 설명되는 방법은, DNA 시퀀싱 또는 RNA 시퀀싱 등의, 핵산의 시퀀싱에 이용될 수 있다. DNA 시퀀싱은, 표적 핵산 분자에서 뉴클레오타이드들의 순서 및 위치의 결정을 허용한다. DNA 시퀀싱에 이용되는 기술은, 시퀀싱 과정에서 속도, 판독 길이 및 오류 발생률 뿐만 아니라 핵산 서열을 결정하는데 이용되는 방법에 따라 크게 다르다. 다수의 DNA 시퀀싱 방법들은, 뉴클레오타이드가 표적 핵산에 상보적인 핵산의 새로 합성된 가닥(strand)에 혼입됨에 따라 뉴클레오타이드의 정체에 결정되는, 합성에 의한 시퀀싱에 기초한다. 합성 방법에 의한 많은 시퀀싱은, 표적 핵산 분자들의 집단(예를 들어, 표적 핵산의 사본들)의 존재 또는 표적 핵산들의 집단을 달성하기 위한 표적 핵산의 증폭 단계를 요구한다. 단일 핵산 분자들의 서열을 결정하기 위한 개선된 방법이 요구된다.

[0050] 높은 정확성과 긴 판독 길이를 갖는 단일 핵산 분자들을 시퀀싱하는데 있어서 최근 진보가 있었다. 예를 들어, Pacific Biosciences가 개발한 SMRT 기술과 같은 단일 분자 시퀀싱 기술에 이용되는 표적 핵산은, 샘플 웰(sample well)의 바닥 등의 고체 지지체에 고정되거나 부착된 시퀀싱 반응(예를 들어, DNA 중합효소)의 적어도 하나의 성분을 포함하는 샘플 웰에 추가되는 단일 가닥 DNA 템플릿이다. 샘플 웰은 또한, 형광체 등의 검출 라벨에 공액접합된 아데닌, 시토신, 구아닌, 및 티민 dNTP를 포함한, "dNTPs"라고도 하는, 디옥시리보뉴클레오타이드 3인산염(deoxyribonucleoside triphosphate)을 함유한다. 바람직하게는, dNTPs의 각각의 부류(예를 들어, 아데닌 dNTPs, 시토신 dNTPs, 구아닌 dNTPs, 및 티민 dNTPs)는, 신호의 검출이 새로 합성된 핵산에 혼입된 dNTP의 정체를 표시하도록, 별개의 검출 라벨에 각각의 공액접합된다. 검출 라벨은, 검출 라벨의 존재가 새로 합성된 핵산 가닥 내로의 dNTP의 혼입 또는 중합효소의 활성을 금지하지 않도록 임의의 위치에서 dNTP에 공액접합될 수 있다. 일부 실시예에서, 검출 라벨은 dNTP의 말단 인산염(γ 인산염)에 공액접합된다.

[0051] 임의의 중합효소는 표적 핵산에 상보적인 핵산을 합성할 수 있는 단일 분자 DNA 시퀀싱에 이용될 수 있다. 중합효소의 예로서는, 대장균 DNA 중합효소 I, T7 DNA 중합효소, 박테리오파지 T4 DNA 중합효소 $\phi 29$ (psi29) DNA 중합효소, 및 이들의 변이체가 있다. 일부 실시예에서, 중합효소는 단일 서브유닛 중합효소이다. 표적 핵산의 핵 염기와 상보형 dNTP 사이의 염기쌍을 형성할 때, 중합효소는, 새로 합성된 핵산 가닥의 3'히드록실 말단과 dNTP의 알파 인산염 사이에 포스포디에스테르 결합(phosphodiester bond)을 형성함으로써 dNTP를 새로 합성된 핵산 가닥에 혼입시킨다. dNTP에 공액접합된 검출 라벨이 형광체인 예에서, 그 존재는 여기에 의해 시그널링되고, 방출의 펄스는 혼입 단계 동안에 검출된다. dNTP의 말단(감마) 인산염에 공액접합된 검출 라벨의 경우, 새로 합성된 가닥으로의 dNTP의 혼입의 결과, 베타 및 감마 인산염과, 샘플 웰에서 자유롭게 확산되는 검출 라벨이 방출되어, 결국 형광체로부터 검출되는 방출이 감소한다.

[0052] 본 출원에서 설명되는 기술은, 분자 또는 다른 샘플의 검출 또는 정량화, 또는 시퀀싱 수행에 대해 제한되지 않는다. 일부 실시예에서, 집적 광검출기는, 영역, 대상 또는 장면에 관한 공간 정보, 및 영역, 대상 또는 장면을 이용하는 입사 광자의 도달에 관한 시간 정보를 획득하기 위해 활상을 수행할 수 있다. 일부 실시예에서,

집적 광검출기는, 형광 수명 활상 등의, 영역, 대상 또는 샘플의 발광 수명 활상을 수행할 수 있다.

[0053] 추가 응용

[0054] 여기서 설명되는 집적 광검출기가, 전술된 바와 같이, 복수의 생물학적 및/또는 화학적 샘플의 분석에 적용될 수 있지만, 집적 광검출기는, 예를 들어, 활상 응용 등의 다른 응용에도 적용될 수 있다. 일부 실시예에서, 집적 광검출기는, 영역, 대상 또는 장면의 활상을 수행하는 픽셀 어레이를 포함할 수 있고, 영역, 대상 또는 장면의 상이한 영역들로부터 개개의 픽셀에서 수신된 광의 시간적 특성을 검출할 수 있다. 예를 들어, 일부 실시예에서, 집적 광검출기는, 조직으로부터 수신된 광의 시간적 특성에 기초하여 조직의 활상을 수행할 수 있으며, 이것은 의사가 절차(예를 들어, 수술)를 수행하여 조직의 비정상적 또는 질환이 있는 영역(암 또는 전암성)을 식별할 수 있게 한다. 일부 실시예에서, 집적 광검출기는 외과용 활상 도구 등의 의료 디바이스에 통합될 수 있다. 일부 실시예에서, 광 여기 펄스에 응답하여 조직에 의해 방출되는 광에 관한 시간-영역 정보가 획득되어 조직을 이미지화 및/또는 특성규명할 수 있다. 예를 들어, 조직 또는 다른 대상물의 활상 및/또는 특성규명은, 형광 수명 활상을 이용하여 수행될 수 있다.

[0055] 집적 광검출기는, 전술된 바와 같이, 생물학적 및/또는 화학적 샘플의 활상이나 분석, 또는 조직의 활상을 수행하는 등에 의해, 과학적 또는 진단적 맥락에서 적용될 수 있지만, 이러한 집적 광검출기는 기타 임의의 적절한 상황에서 이용될 수 있다. 예를 들어, 일부 실시예에서, 이러한 집적 광검출기는 개개의 픽셀에서 검출된 광의 시간적 특성을 이용하여 장면을 이미지화할 수 있다. 장면을 활상하기 위한 응용의 예는, 광이 광검출기에 도달하는데 걸리는 시간의 양이 분석되어 광이 광검출기까지 이동한 거리를 결정하는, 거리 활상 또는 비행 시간 활상이다. 이러한 기술은, 장면의 3차원 활상을 수행하는데 이용될 수 있다. 예를 들어, 장면은, 집적 광검출기에 관한 알려진 위치로부터 방출된 광 펄스로 조사되고, 반사된 광이 광검출기에 의해 검출된다. 광이, 집적 광검출기의 어레이의 각각의 픽셀에 도달하는데 걸리는 시간의 양이 측정되어, 광검출기의 각각의 픽셀에 도달하기 위해 광이 장면의 각각의 부분으로부터 이동한 거리(들)를 결정한다. 일부 실시예에서, 집적 광검출기는, 예를 들어, 카메라, 셀룰러 전화 또는 태블릿 컴퓨터 등의 소비자 전자 디바이스에 통합되어, 이러한 디바이스가 획득된 범위 정보에 기초하여 이미지 또는 비디오를 포착 및 처리할 수 있게 한다.

[0056] 일부 실시예에서, 본 출원에서 설명된 집적 광검출기는 낮은 광 강도를 측정하는데 이용될 수 있다. 이러한 광검출기는, 예를 들어, 현재 단일 광자 카운팅 기술을 이용할 수 있는 응용과 같이 고감도의 광검출기를 요구하는 응용에 적절할 수 있다. 그러나, 본 출원에서 설명되는 집적 광검출기는 임의의 적절한 광 강도를 측정할 수 있기 때문에, 본 출원에서 설명된 기술은 이 점에서 제한되지 않는다.

[0057] 추가적인 발광 수명 응용

[0058] 수명을 이용한 활상 및 특성규명

[0059] 전술된 바와 같이, 본 출원에서 설명되는 기술은, 외인성 형광체를 이용한 라벨링, 검출 및 정량화로 제한되지 않는다. 일부 실시예에서, 영역, 대상 또는 샘플은, 집적 광검출기의 이용을 통한 형광 수명 활상 기술을 이용하여 이미지화 및/또는 특성규명될 수 있다. 이러한 기술에서, 영역, 대상 또는 샘플 자체의 형광 특성은 활상 및/또는 특성규명에 이용될 수 있다. 수명 활상 및/또는 특성규명을 통해, 외인성 마커 또는 내인성 마커가 검출될 수 있다. 프로브에 부착된 외인성 마커는, 특정한 목표 성분의 존재 및/또는 위치를 검출하기 위해 영역, 대상 또는 샘플에 제공될 수 있다. 외인성 마커는, 라벨링된 프로브에 대한 표적을 포함하는 영역, 대상 또는 샘플의 일부를 검출하기 위해, 라벨링된 프로브의 일부로서의 태그 및/또는 리포터로서 역할할 수 있다. 내인성 마커의 자가형광은, 내인성 마커의 도입을 요구하지 않고 활상에 용이하게 이용될 수 있는 공간 해상도를 위한 라벨이 없는 비침습적 콘트라스트를 제공할 수 있다. 예를 들어, 생물학적 조직으로부터의 자가형광 신호는, 조직의 생화학적 및 구조적 조성에 의존할 수 있고, 이를 나타낼 수 있다.

[0060] 형광 수명 측정은, 형광체 주변의 조건에 대한 정량적 측정을 제공할 수 있다. 조건의 정량적 측정은, 검출 또는 대조에 추가될 수 있다. 형광체의 형광 수명은, pH 또는 온도 등의 형광체의 주위 환경에 따라 달라질 수 있으며, 형광 수명 값의 변화는 형광체를 둘러싼 환경의 변화를 나타낼 수 있다. 예를 들어, 형광 수명 활상은, 생물학적 조직(예를 들어, 조직 절편 또는 외과적 절제술)에서와 같이, 샘플의 국소 환경의 변화를 맵핑할 수 있다. 내인성 형광체의 자가형광에 대한 형광 수명 측정은, 조직의 물리적 변화 및 대사 변화를 검출하는데 이용될 수 있다. 예로서, 조직 구조물, 형태, 산소화, pH, 혈관질(vascularity), 세포 구조물 및/또는 세포 대사 상태에서의 변화는, 샘플로부터의 자가형광을 측정하고 측정된 자가형광으로부터 수명을 결정함으로써 검출될 수 있다. 이러한 방법은, 스크리닝, 이미지-유도된 생체검사 또는 수술, 및/또는 내시경 검사 등의,

임상 응용에 이용될 수 있다. 일부 실시예에서, 본 출원의 집적 광검출기는, 예를 들어, 형광 수명 활상을 수행하기 위한 수술 도구 등의, 임상 도구에 통합될 수 있다. 측정된 자가형광에 기초하여 형광 수명을 결정하는 것은, 임상가가 조직을 신속하게 스크리닝하고 육안으로는 뚜렷하지 않은 작은 암 및/또는 전암성 병변을 검출할 수 있게 해주는 라벨없는 활상 방법으로서의 임상적 가치를 제공한다. 형광 수명 활상은, 건강한 조직보다 긴 형광 수명을 갖는 발광을 방출하는 종양 또는 암 세포 등의, 악성 세포 또는 조직의 검출 및 묘사에 이용될 수 있다. 예를 들어, 형광 수명 활상은, 수술 동안에 노출된 위장관, 방광, 피부 또는 조직 표면 등의, 광학적으로 접근가능한 조직 상의 암을 검출하는데 이용될 수 있다.

[0061] 일부 실시예에서, 형광 수명은 현미경 기술에 이용되어 상이한 타입들 또는 샘플 상태들 사이에서 대비를 제공할 수 있다. 형광 수명 활상 현미경(FILIM; Fluorescence lifetime imaging microscopy)은, 샘플을 광 펄스로 여기시키고, 감쇠되는 형광 신호를 검출하여 수명을 결정하고, 결과적인 이미지에서 감쇠 시간을 맵핑하는 것에 의해 수행될 수 있다. 이러한 현미경 이미지에서, 이미지 내의 픽셀 값들은, 시야를 수집하는 광검출기의 각각의 픽셀에 대해 결정된 형광 수명에 기초할 수 있다.

[0062] 시간 정보를 이용한 장면 또는 대상 활상

[0063] 전술된 바와 같이, 본 출원에 설명되는 집적 광검출기는, 방출된 광의 타이밍이, 영역, 대상 또는 샘플을 검출, 정량화 및/또는 이미지화하는데 이용될 수 있는 과학적 및 임상적 상황에서 이용될 수 있다. 그러나, 여기서 설명된 기술은, 집적 광검출기가 입사 광자의 도달 시간에 관한 시간 정보를 이용할 수 있는 임의의 활상 애플리케이션에서 이용될 수 있기 때문에, 과학적 및 임상적 응용으로 제한되지 않는다. 응용의 예는 비행 시간 활상이다.

[0064] 비행 시간 응용

[0065] 일부 실시예에서, 집적 광검출기는, 비행 시간 측정을 포함한, 산란되거나 반사된 광의 시간 프로파일을 측정하는 것에 기초하는 활상 기술에서 이용될 수 있다. 이러한 비행 시간 측정에서, 광 펄스가 영역 또는 샘플 내에 방출될 수 있고, 산란된 광은 집적 광검출기에 의해 검출될 수 있다. 산란되거나 반사된 광은, 영역 또는 샘플의 특성을 나타낼 수 있는 별개의 시간 프로파일을 가질 수 있다. 샘플에 의한 후방산란된 광은, 샘플에서의 그 비행 시간에 의해 검출되고 해결될 수 있다. 이러한 시간 프로파일은 TPSF(temporal point spread function)일 수 있다. 시간 프로파일은, 광 펄스가 방출된 후 복수의 시간 빈에 걸친 통합된 강도(integrated intensity)를 측정함으로써 취득될 수 있다. 광 펄스의 반복 및 산란된 광의 측정은, 후속 광 펄스를 생성하기 전에 모든 이전의 TPSF가 완전히 소멸되는 것을 보장하기 위해 조정 비율로 수행될 수 있다. 시간-분해된 확산 광학 활상 방법은, 샘플 내의 더 깊은 곳에서 이미지를 얻기 위하여 광 펄스가 적외선일 수 있는 분광 확산 광학 단층촬영을 포함할 수 있다. 이러한 시간-분해된 확산 광학 활상 방법은, 사람의 머리 등의, 유기체 또는 그 일부에서 종양을 검출하는데 이용될 수 있다.

[0066] 추가로 또는 대안으로서, 비행 시간 측정은, 방출된 광 펄스와, 물체로부터 반사된 광을 검출하는 것 사이의 시간 및 광의 속도에 기초하여 거리 또는 거리 범위를 측정하는데 이용될 수 있다. 이러한 비행 시간 기술은, 카메라, 자동차의 근접 검출 센서, 인간-머신 인터페이스, 로봇, 및 이러한 기술에 의해 수집된 3차원 정보를 이용할 수 있는 기타의 응용을 포함한 다양한 응용에서 이용될 수 있다.

[0067] 광생성된 전하 캐리어를 시간 비닝(Time Binning)하기 위한 집적 광검출기

[0068] 일부 실시예는, 입사 광자들에 응답하여 전하 캐리어를 생성하고 전하 캐리어가 기준 시간(예를 들어, 트리거 이벤트)에 관한 입사 광자의 도달에 의해 생성되는 타이밍을 식별할 수 있는 광검출기를 갖는 집적 회로에 관한 것이다. 일부 실시예에서, 전하 캐리어 분리 구조물은, 상이한 시간들에서 생성된 전하 캐리어들을 분리하고, 전하 캐리어들을 상이한 기간들 내에서 생성된 전하 캐리어들을 응집시키는 하나 이상의 전하 캐리어 저장 영역("빈")으로 향하게 한다. 각각의 빈은 선택된 시간 간격 내에서 생성된 전하 캐리어를 저장한다. 각각의 빈에 저장된 전하를 판독하는 것은, 각각의 시간 간격 내에 도달한 광자의 수에 대한 정보를 제공할 수 있다. 이러한 집적 회로는, 본 명세서에 설명된 것들 등의, 다양한 응용들 중 임의의 것에서 이용될 수 있다.

[0069] 광검출 영역 및 전하 캐리어 분리 구조물을 갖는 집적 회로의 예가 설명될 것이다. 일부 실시예에서, 집적 회로는 픽셀 어레이를 포함할 수 있고, 각각의 픽셀은, 이하에서 논의되는 바와 같이, 하나 이상의 광검출 영역 및 하나 이상의 전하 캐리어 분리 구조물을 포함할 수 있다.

[0070] 픽셀 구조물 및 동작의 개요

- [0071] 도 2a는 일부 실시예에 따른 픽셀(100)의 도면을 도시한다. 픽셀(100)은, 광자 흡수/캐리어 발생 영역(102)(광 검출 영역이라고도 함), 캐리어 이동/포획 영역(106), "전하 캐리어 저장 빈" 또는 간단히 "빈"이라고도 하는 하나 이상의 전하 캐리어 저장 영역을 갖는 캐리어 저장 영역(108), 및 전하 캐리어 저장 빈으로부터 신호를 판독하기 위한 판독 회로(110)를 포함한다.
- [0072] 광자 흡수/캐리어 발생 영역(102)은, 입사 광자를 광생성된 전하 캐리어로 변환할 수 있는 반도체 재료(예를 들어, 실리콘)의 영역일 수 있다. 광자 흡수/캐리어 발생 영역(102)은, 광에 노출되어, 입사 광자를 수신할 수 있다. 광자가 광자 흡수/캐리어 발생 영역(102)에 의해 흡수될 때, 광자는, 전자/홀 쌍 등의, 광생성된 전하 캐리어를 발생시킬 수 있다. 광생성된 전하 캐리어는, 본 명세서에서는 간단히 "전하 캐리어"라고도 한다.
- [0073] 광자 흡수/캐리어 발생 영역(102)에서 전계가 형성될 수 있다. 일부 실시예에서, 전계는 캐리어 이동/포획 영역(106) 내의 변화하는 전계와는 구분되는 "정적"일 수 있다. 광자 흡수/캐리어 발생 영역(102)의 전계는, 횡방향 성분, 수직 성분, 또는 횡방향 성분 및 수직 성분 양쪽 모두를 포함할 수 있다. 전계의 횡방향 성분은, 화살표로 나타낸 바와 같이, 광생성된 전하 캐리어들을 캐리어 이동/포획 영역(106)을 향하도록 구동시키는 힘을 광생성된 전하 캐리어에 유도하는 도 2a의 아래쪽 방향일 수 있다. 전계는 다양한 방식으로 형성될 수 있다.
- [0074] 일부 실시예에서, 하나 이상의 전극이 광자 흡수/캐리어 발생 영역(102) 위에 형성될 수 있다. 전극(들)에 전압이 인가되어 광자 흡수/캐리어 발생 영역(102)에서 전계를 확립(establish)할 수 있다. 이러한 전극(들)은 "포토게이트(photogate)(들)"로 지칭될 수 있다. 일부 실시예에서, 광자 흡수/캐리어 발생 영역(102)은 전하 캐리어가 완전히 공핍된 실리콘 영역일 수 있다.
- [0075] 일부 실시예에서, 광자 흡수/캐리어 발생 영역(102) 내의 전계는, PN 접합 등의 접합에 의해 형성될 수 있다. 광자 흡수/캐리어 발생 영역(102)의 반도체 재료는, 광생성된 전하 캐리어들을 캐리어 이동/포획 영역(106)을 향하도록 구동시키는 힘을 광생성된 전하 캐리어들에 유도하는 전계를 생성하는 배향 및/또는 형상을 갖는 PN 접합을 형성하도록 도핑될 수 있다. 접합을 이용하여 전계를 생성하는 것은, 입사 광자의 일부가 광자 흡수/캐리어 발생 영역(102)에 도달하는 것을 방지할 수 있는 광자 흡수/캐리어 발생 영역(102) 위에 놓이는 전극의 이용과 관련하여 양자 효율을 향상시킬 수 있다. 접합을 이용하면 포토게이트의 이용과 관련하여 암전류(dark current)가 감소될 수 있다. 암전류는 캐리어를 생성할 수 있는 반도체 기관의 표면에서의 불완전성에 의해 생성될 수 있다는 것을 알았다. 일부 실시예에서, PN 접합 다이오드의 P 단자는 자신의 전압을 설정하는 단자에 접속될 수 있다. 이러한 다이오드는 "고정형(pinned)" 포토다이오드라고 지칭될 수 있다. 고정형 포토 다이오드는 전압을 설정하고 캐리어를 끌어 당기는 단자로 인해 표면에서의 캐리어 재결합(carrier recombination)을 촉진하여, 암전류를 감소시킬 수 있다. 포획하고자 하는 광생성된 전하 캐리어는, 표면의 재결합 영역 밑을 통과할 수 있다. 일부 실시예에서, 횡방향 전계는 반도체 재료에서의 단계화된 도핑 농도(graded doping concentration)를 이용하여 형성될 수 있다.
- [0076] 일부 실시예에서, 전계를 생성하기 위한 접합을 갖는 흡수/캐리어 발생 영역(102)은 다음과 같은 특성들 중 하나 이상을 가질 수 있다 :
- [0077] 1) 시변동 전계로부터 멀어짐에 따라 테이퍼링되는 공핍된 n형 영역
- [0078] 2) 전계를 n형 영역 내로 횡방향으로 전이시키는 갭을 갖는 n형 영역을 둘러싸는 p형 주입
- [0079] 3) n형 영역을 매립하고 기생 전자에 대한 재결합 영역으로서 역할하는 p형 표면 주입.
- [0080] 일부 실시예에서, 접합과 적어도 하나의 전극의 조합에 의해 광자 흡수/캐리어 발생 영역(102)에서 전계가 형성될 수 있다. 예를 들어, 접합 및 단일 전극, 또는 2개 이상의 전극이 이용될 수 있다. 일부 실시예에서, 하나 이상의 전극이 캐리어 이동/포획 영역(106) 부근에 배치되어, 접합으로부터 비교적 멀리 위치한 캐리어 이동/포획 영역(106) 부근에서 전위 구배를 확립할 수 있다.
- [0081] 도 2a에 나타낸 바와 같이, 광자가 포획되고 전하 캐리어(101A)(예를 들어, 전자)가 시간 t_1 에서 생성될 수 있다. 일부 실시예에서, 전하 캐리어(101A)가 (도 2a에 도시된 화살표로 나타낸 바와 같이) 도 2a의 아래쪽 방향으로 이동하게 하는 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)을 따라 전위 구배가 형성될 수 있다. 전위 구배에 응답하여, 전하 캐리어(101A)는, 시간 t_1 에서의 그 위치로부터, 시간 t_2 에서의 제2 위치, 시간 t_3 에서의 제3 위치, 시간 t_4 에서의 제4 위치, 및 시간 t_5 에서의 제5 위치로 이동할 수 있다. 따라서 전하 캐리어(101A)는 전위 구배에 응답하여 캐리어 이동/포획 영역(106)으로 이동한다.

- [0082] 캐리어 이동/포획 영역(106)은 반도체 영역일 수 있다. 일부 실시예에서, 캐리어 이동/포획 영역(106)은, 캐리어 이동/포획 영역(106)이 (예를 들어, 금속 층 등의 상부에 있는 불투명한 재료에 의해) 입사광으로부터 차폐될 수 있다는 점을 제외하고는, 광자 흡수/캐리어 발생 영역(102)과 동일한 재료(예를 들어, 실리콘)의 반도체 영역일 수 있다.
- [0083] 일부 실시예에서, 및 이하에서 더 논의되는 바와 같이, 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)에서 이들 영역 위에 배치된 전극들에 의해 전위 구배가 형성될 수 있다. 전극들의 위치설정의 예가 도 3b를 참조하여 논의될 것이다. 그러나, 여기에 설명된 기술은 전위 구배를 생성하는데 이용되는 전극의 특정한 위치에 관해 제한되지 않는다. 또한, 여기서 설명된 기술은 전극을 이용하여 전위 구배를 확립하는 것으로 제한되지 않는다. 일부 실시예에서, 전위 구배는 공간적으로 단계화된 도핑 프로파일 및/또는 PN 접합을 이용하여 형성될 수도 있다. 전하 캐리어가 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106)을 따라 이동하게 하는 전위 구배를 확립하기 위해 임의의 적절한 기술이 이용될 수 있다.
- [0084] 전하 캐리어 분리 구조물은 상이한 시간들에서 생성된 전하 캐리어들을 분리할 수 있도록 픽셀 내에 형성될 수 있다. 일부 실시예에서, 전하 캐리어 분리 구조물의 적어도 일부는 캐리어 이동/포획 영역(106) 위에 형성될 수 있다. 후술되는 바와 같이, 전하 캐리어 분리 구조물은 캐리어 이동/포획 영역(106) 위에 형성된 하나 이상의 전극을 포함할 수 있으며, 그 전압은 제어 회로에 의해 제어되어 캐리어 이동/포획 영역(106) 내의 전위를 변화시킬 수 있다.
- [0085] 캐리어 이동/포획 영역(106) 내의 전위는 전하 캐리어를 포획할 수 있도록 변경될 수 있다. 전위 구배는, 캐리어 이동/포획 영역(106) 위에 놓이는 하나 이상의 전극 상의 전압을 변화시킴으로써 변경되어 미리결정된 공간 영역 내에 캐리어를 국한할 수 있는 전위 장벽을 생성한다. 예를 들어, 도 2a의 캐리어 이동/포획 영역(106)에서 파선(dashed line) 위에 놓인 전극 상의 전압은, 도 2a의 캐리어 이동/포획 영역(106) 내의 파선을 따라 전위 장벽을 상승시키기 위해 시간 t_5 에서 변화될 수 있고, 이로써 전하 캐리어(101A)를 포획한다. 도 2a에 도시된 바와 같이, 시간 t_5 에서 포획된 캐리어는 캐리어 저장 영역(108)의 빈 "빈0"에 전달될 수 있다. 전하 캐리어 저장 빈으로의 캐리어의 전달은, 캐리어 이동/포획 영역(106) 및/또는 캐리어 저장 영역(108)의 전위를 (예를 들어, 이들 영역 위에 놓인 전극(들)의 전압을 변화시킴으로써) 변화시켜 캐리어가 전하 캐리어 저장 빈으로 이동하게 함으로써 수행될 수 있다.
- [0086] 캐리어 이동/포획 영역(106)의 미리결정된 공간적 영역 내의 소정 시점에서 전위를 변화시키는 것은, 특정한 시간 간격 내에서 발생된 광자 흡수에 의해 생성된 캐리어를 트래핑(trap)할 수 있게 한다. 상이한 시간들 및/또는 위치들에서 광생성된 전하 캐리어들을 트래핑함으로써, 광전자 흡수에 의해 전하 캐리어들이 생성된 시간들이 구별될 수 있다. 이러한 의미에서, 전하 캐리어는, 트리거 이벤트 발생 후 소정 시점 및/또는 소정 지점에서 전하 캐리어를 트래핑함으로써 "시간 비닝(time binned)"될 수 있다. 특정한 빈 내의 전하 캐리어의 시간 비닝은, 입사 광자의 흡수에 의해 광생성된 전하 캐리어가 생성된 시간에 관한 정보를 제공하고, 따라서, 트리거 이벤트, 광생성된 전하 캐리어를 생성한 입사 광자의 도달에 관한 "시간 빈"과 유사하다.
- [0087] 도 2b는 상이한 시점 및 지점에서 전하 캐리어를 포획하는 것을 나타낸다. 도 2b에 도시된 바와 같이, 캐리어 이동/포획 영역(106)에서 파선 위에 놓인 전극 상의 전압은, 도 2b의 캐리어 이동/포획 영역(106) 내의 파선을 따라 전위 장벽을 상승시키기 위해 시간 t_9 에서 변경되어, 캐리어(101B)를 포획한다. 도 2b에 도시된 바와 같이, 시간 t_9 에서 포획된 캐리어는 캐리어 저장 영역(108)의 빈 "빈1"에 전달될 수 있다. 전하 캐리어(101B)는 시간 t_9 에서 포획되기 때문에, 이것은 시간 t_5 에서 포획된 캐리어(101A)에 대한 광자 흡수 이벤트(즉, t_1 에서)와는 상이한 시간(즉, 시간 t_6)에서 발생한 광자 흡수 이벤트를 나타낸다.
- [0088] 전하 캐리어들이 포획되는 시간들에 기초하여 복수의 측정을 수행하고 전하 캐리어들을 캐리어 저장 영역(108)의 전하 캐리어 저장 빈에 응집시키는 것은, 광자가 광자 흡수/캐리어 발생 영역(102)에서 포획되는 시간에 관한 정보를 제공할 수 있다. 이러한 정보는, 위에서 논의된 바와 같이, 다양한 응용에서 유용할 수 있다.
- [0089] 픽셀 구조물 및 동작의 상세한 예
- [0090] 도 3a는 일부 실시예에 따른 픽셀(100A)의 전하 캐리어 국한 영역(103)을 도시한다. 도 3a에 나타난 바와 같이, 픽셀(100A)은, 광자 흡수/캐리어 발생 영역(102A)(광검출 영역이라고도 함), 캐리어 이동/포획 영역(106A), 드레인(104), 캐리어 저장 영역(108A)의 복수의 전하 캐리어 저장 빈들(빈0, 빈1, 빈2, 빈3), 및 판독 영역(110A)을 포함할 수 있다.
- [0091] 전하 캐리어 국한 영역(103)은, 전하 캐리어 분리 구조물에 의해 생성된 전위 구배에 응답하여 광생성된 전하

캐리어가 이동하는 영역이다. 전하 캐리어는, 전하 캐리어 국한 영역(103) 내의 광자 흡수/캐리어 발생 영역(102A)에서 발생될 수 있다.

[0092] 전하 캐리어 국한 영역(103)은, 반도체 재료(예를 들어, 실리콘) 등의, 임의의 적절한 재료로 형성될 수 있다. 그러나, 임의의 적절한 재료가 전하 캐리어 국한 영역(103)을 형성할 수 있기 때문에, 본 출원에서 설명되는 기술은 이 점에서 제한되지 않는다. 일부 실시예에서, 전하 캐리어 국한 영역(103)은, 전하 캐리어를 전하 캐리어 국한 영역(103) 내에 국한하기 위해 절연체(예를 들어, 산화 실리콘)로 둘러싸일 수 있다.

[0093] 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 부분은 임의의 적절한 형상을 가질 수 있다. 도 3a에 도시된 바와 같이, 일부 실시예에서, 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 부분은, 그 폭이 캐리어 이동/포획 영역(106A) 부근에서 점진적으로 감소하도록 테이퍼링된 형상을 가질 수 있다. 이러한 형상은 전하 처리의 효율을 향상시킬 수 있어서, 특히 소수의 광자가 도달할 것으로 예상되는 경우에 유용할 수 있다. 일부 실시예에서, 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 부분은 덜 테이퍼링되거나 테이퍼링되지 않아서 동적인 범위를 증가시킬 수 있다. 그러나, 여기서 설명되는 기술은 광자 흡수/캐리어 발생 영역(102A) 내의 전하 캐리어 국한 영역(103)의 형상에 관해 제한되지 않는다.

[0094] 도 3a에 도시된 바와 같이, 캐리어 이동/포획 영역(106A) 내의 전하 캐리어 국한 영역(103)의 제1 부분은 광자 흡수/캐리어 발생 영역(102A)으로부터 드레인(104)까지 연장될 수 있다. 전하 캐리어 국한 영역(103)의 연장부는 각각의 전하 저장 빈까지 연장되어, 전하 캐리어가 도 3b와 관련하여 설명된 전하 캐리어 분리 구조물에 의해 전하 캐리어 저장 빈 내로 향하도록 허용한다. 일부 실시예에서, 존재하는 전하 캐리어 국한 영역(103)의 확장부의 수는, 전하 캐리어 저장 빈의 수와 동일할 수 있으며, 여기서, 각각의 확장부는 각각의 전하 캐리어 저장 빈으로 연장된다.

[0095] 관독 영역(110A)은 전하 저장 빈으로부터 관독하기 위한 부동 확산 노드(floating diffusion node)(fd)를 포함할 수 있다. 부동 확산 노드(fd)는, 예를 들어 p형 재료(예를 들어, p형 기판) 내로의 n형 도펀트의 확산에 의해 형성될 수 있다. 그러나, 여기에 설명된 기술은 특정한 도펀트 타입 또는 도핑 기술에 관해 제한되지 않는다.

[0096] 도 3b는, 도 3a의 전하 캐리어 국한 영역(103) 위에 놓인 복수의 전극(V_{b0} - V_{bn} , b_0 - b_m , st_1 , st_2 및 tx_0 - tx_3)을 갖는 도 3a의 픽셀(100A)을 도시한다. 도 3b에 도시된 전극들은, 광생성된 캐리어를 시간 비닝할 수 있는 전하 캐리어 분리 구조물의 적어도 일부를 형성한다.

[0097] 도 3b에 도시된 전극들은 전하 캐리어 국한 영역(103) 내에 전위를 확립한다. 일부 실시예에서, 전극들(V_{b0} - V_{bn} , b_0 - b_m)에는 전압이 인가되어, 전하 캐리어들, 예를 들어 전자들이 드레인(104)을 향해 도 3b의 아래쪽 방향으로 이동하도록, 영역들(102A 및 106A) 내에 전위 구배를 확립할 수 있다. 전극들(V_{b0} - V_{bn})은, 광자 흡수/캐리어 발생 영역(102A)의 전하 국한 영역(103)에서 전위 구배를 확립할 수 있다. 일부 실시예에서, 각각의 전극(V_{b0} - V_{bn})은 고정된 전압일 수 있다. 전극들(b_0 - b_m)은 캐리어 이동/포획 영역(106A)의 전하 국한 영역(103)에서 전위 구배를 확립할 수 있다. 일부 실시예에서, 전극들(b_0 - b_m)은, 전하 캐리어의 트랩핑 및/또는 하나 이상의 전하 저장 빈으로의 전하 캐리어의 전달을 가능하게 하기 위해 그들의 전압을 상이한 레벨들에 설정할 수 있다.

[0098] 전극들(st_0 및 st_1)은 캐리어를 전하 캐리어 저장 영역(108A)의 전하 저장 빈에 전달하기 위해 변화하는 전압을 가질 수 있다. 전달 게이트들(tx_0 , tx_1 , tx_2 및 tx_3)은 전하 저장 빈들로부터 부동 확산 노드(fd)로의 전하의 전달을 가능하게 한다. 리셋 트랜지스터(rt), 증폭 트랜지스터(sf) 및 선택 트랜지스터(rs)를 포함하는 관독 회로(110)가 또한 도시되어 있다.

[0099] 일부 실시예에서, 부동 확산 노드(fd) 및 전달 게이트들(tx_0 - tx_3) 각각의 전위들은, 캐리어 이동/포획 영역(106A) 내가 아니라 부동 확산 영역 내로의 전하 캐리어들의 오버플로우를 허용할 수 있다. 전하 캐리어가 캐리어 저장 영역(108) 내의 빈에 전달될 때, 부동 확산 노드(fd) 및 전달 게이트들(tx_0 - tx_3)의 전위는, 빈 내의 임의의 오버플로우 전하 캐리어가 부동 확산 노드로 흐르는 것을 허용하기 위해 충분히 높을 수 있다. 이러한 "장벽 오버플로우 방지"기술은, 캐리어 이동/포획 영역(106A) 및/또는 픽셀의 다른 영역들로 캐리어가 오버플로하여 확산되는 것을 감소시킬 수 있다. 일부 실시예에서, 장벽 오버플로우 방지 기술은 여기 펄스에 의해 생성된 임의의 오버플로우 전하 캐리어를 제거하는데 이용될 수 있다. 오버플로우 전하 캐리어가 부동 확산 노드로 흐르도록 허용함으로써, 이들 전하 캐리어는 하나 이상의 시간 빈에서 포획되지 않아, 관독 동안에 시간 빈 신

호에 미치는 여기 펄스의 영향을 감소시킨다.

- [0100] 전극들(Vb0-Vbn 및 b0-bm)이 광자 흡수/캐리어 발생 영역(102) 및/또는 캐리어 이동/포획 영역(106) 위에 배치되는 일부 실시예에서, 전극들(Vb0-Vbn 및 b0-bm)은 도 3b의 상부로부터 하부로 진행되는 위치들에 대해 증가하는 전압으로 설정됨으로써, 전하 캐리어가 드레인(104)을 향하여 도 3b의 아래쪽 방향으로 이동하게 하는 전위 구배를 확립한다. 일부 실시예에서, 광자 흡수/캐리어 발생 영역(102) 및/또는 캐리어 이동/포획 영역(106)에서 전위 구배가 단조적으로 변화하여, 전위 구배를 따라 전하 캐리어가 캐리어 이동/포획 영역(106)으로 이동하게 할 수 있다. 일부 실시예에서, 전위 구배는 라인 A-A'을 따른 위치에 관해 선형적으로 변화할 수 있다. 선형 전위 구배는, 전극들을 도 3b의 수직 지수에 걸쳐 선형적으로 변화하는 전압으로 설정함으로써 형성될 수 있다. 그러나, 임의의 적절한 전위 구배가 이용될 수 있기 때문에, 여기서 설명된 기술은 선형 전위 구배로 제한되지 않는다. 일부 실시예에서, 캐리어 이동/포획 영역(106) 내의 전계는, 전하 캐리어가 캐리어 이동/포획 영역(106)에서 충분히 빠르게 이동하여 이동 시간이 광자가 도달할 수 있는 시간에 비해 작게 하도록 충분히 높을 수 있다. 예를 들어, 형광 수명 측정 맥락에서, 전하 캐리어의 이동 시간은 측정되는 발광 마커의 수명과 비교하여 작게 될 수 있다. 이동 시간은, 캐리어 이동/포획 영역(106)에서 충분히 단계화된 전계를 생성함으로써 감소될 수 있다.
- [0101] 도 3c는 광자 흡수/캐리어 발생 영역(102)이 PN 접합을 포함하는 실시예를 도시한다. 도 3c는, 비교적 낮은 전위여서, 표면 전위를 낮은 전위에 "고정(pinning)" 할 수 있는, 외측 전극(302)을 도시한다. 전극(304)은, 캐리어를 캐리어 이동/포획 영역(106)(캐리어 이동/포획 영역(106)의 하위 부분은 도시되지 않음)을 향하여 구동하는 정전계(static electric field)를 위한 전위 구배를 생성하는 것을 돕도록 포함될 수 있다. 도 3c는, 확산 영역, 폴리실리콘 영역, 콘택트 및 금속 1의 영역들을 나타낸다.
- [0102] 도 3d는 도핑 특성의 부가를 수반한 도 3c에서와 같은 픽셀의 평면도를 도시한다. 도 3d는 또한, PN 접합 및 전극(304)에 의해 형성된 전위 구배를 따라 영역(106)까지 캐리어를 스위핑하는 전계를 도시한다. 도 3d는, 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피의 영역들을 나타낸다.
- [0103] 도 3e는, 캐리어 이동/포획 영역(106)을 포함하는, 도 3c에서와 같은 픽셀의 평면도를 도시한다.
- [0104] 도 3f는 도 3e에서와 같은 픽셀 어레이를 도시한다. 도 3f는, 확산 영역, 폴리실리콘 영역, 콘택트 및 금속 1의 영역들을 나타낸다.
- [0105] 도 3g는 도 3f의 픽셀 어레이를 도시하며, 또한 확산, 폴리실리콘, 콘택트, 금속 1, N-주입, P-주입, 및 P-에피(epi)의 영역들을 도시한다.
- [0106] 도 4는 도 3b의 픽셀(100A)의 회로도를 도시한다. 전하 캐리어 국한 영역(103)은 짙은 어두운 선으로 표시된다. 또한, 전극들, 전하 캐리어 저장 영역(108) 및 판독 회로(110)가 도시되어 있다. 이 실시예에서, 캐리어 저장 영역(108)의 전하 저장 빈들, 빈0, 빈1, 빈2 및 빈3은, 전극 st1 아래의 캐리어 국한 영역(103) 내에 있다. 전술된 바와 같이, 일부 실시예에서, 접합은, 전극들 대신에 또는 전극들에 추가하여 영역(102) 내에 정전계를 생성하는데 이용될 수 있다.
- [0107] 광은, 광원(120)으로부터 광자 흡수/캐리어 발생 영역(102)에서 수신된다. 광원(120)은, 제한이 아닌 예로서, (예를 들어, 핵산에 연결된) 발광 샘플 또는 이미지화될 영역 또는 장면을 포함하는, 임의의 타입의 광원일 수 있다. 차광부(121)는 광이 캐리어 이동/포획 영역(106)에 도달하는 것을 방지한다. 차광부(121)는, 제한이 아닌 예로서, 집적 회로의 금속 층 등의, 임의의 적절한 재료로 형성될 수 있다.
- [0108] 도 5a는, 도 3b의 라인 A-A'을 따라 광자 흡수/캐리어 발생 영역(102) 및 캐리어 이동/포획 영역(106) 내의 전하 캐리어 국한 영역(103)에서 형성될 수 있는 전위 구배를 나타낸다. 도 5a에 나타난 바와 같이, 전하 캐리어 (예를 들어, 전자)는, 광자 흡수/캐리어 발생 영역(102) 내에서 광자의 흡수에 의해 발생될 수 있다. 전극들(Vb0-Vbn 및 b0-bm은), 전자가 도 5a의 우측(도 3b의 아래쪽)으로 흐르게 하는 전위 구배를 확립하기 위해 도 5a의 우측으로 증가하는 전압으로 설정될 수 있다. 추가로 또는 대안으로서, PN 접합이 존재하여 전계를 형성하거나 전계 형성을 보조할 수 있다. 이러한 실시예에서, 캐리어는 표면 아래로 흐를 수 있고, 도 5a(및 관련 도면들)는 캐리어가 흐르는 영역의 전위를 도시한다. 초기에, 캐리어는, 도 6a, 도 6b 및 도 6c에 도시된 바와 같이, 캐리어 이동/포획 영역(106)을 통해 드레인(104) 내로 흐르도록 허용될 수 있다. 도 6a는 광생성된 캐리어(101)의 위치를 도시한다. 도 6b는, 형성된 전위 구배에 응답하여 아래쪽 방향으로 이동할 때, 그 직후의 캐리어(101)의 위치를 도시한다. 도 6c는 캐리어(101)가 드레인(104)에 도달할 때의 캐리어의 위치를 도시한다.
- [0109] 도 5b는, 소정 기간 후에 전극 b0의 전압을 감소시킴으로써 시간 t1에서 전자에 대한 전위 장벽(501)이 상승될

수 있다는 것을 도시한다. 도 6d, 도 6e 및 도 6f에 도시된 바와 같이, 전위 장벽(501)은 전자가 도 5b의 우측으로 이동하는 것을 정지시킬 수 있다. 도 6d는 광생성된 캐리어(101)(예를 들어, 전자)의 위치를 도시한다. 도 6e는, 전위 구배에 응답하여 아래쪽 방향으로 이동할 때, 그 직후의 캐리어(101)의 위치를 도시한다. 도 6f는 시간 t1 후에 전위 장벽(501)에 도달할 때의 캐리어(101)의 위치를 도시한다.

[0110] 도 5c는, 또 다른 기간 후에 전극 b2의 전압을 감소시킴으로써 시간 t2에서 전자에 대한 또 다른 전위 장벽(502)이 상승될 수 있다는 것을 도시한다. 시간 t1과 t2 사이에서 전자가 전극 b0과 b2 사이에 도달한다면, 도 5c 및 도 6g에 도시된 바와 같이, 전위 장벽(501)과 전위 장벽(502) 사이에서 전자가 포획될 것이다.

[0111] 도 5d는, 또 다른 기간 후에 전극 b4의 전압을 감소시킴으로써 시간 t3에서 전자에 대한 또 다른 전위 장벽(503)이 상승될 수 있다는 것을 도시한다. 시간 t2와 t3 사이에서 전자가 전극 b2와 b4 사이에 도달하면, 전자는 전위 장벽(502)과 전위 장벽(503) 사이의 위치에서 트래핑될 것이다. 도 5d 및 도 6h의 예에서, 전자는 시간 t1과 t2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 있다.

[0112] 도 5e는, 또 다른 기간 후에 전극 b6의 전압을 감소시킴으로써 시간 t4에서 전자에 대한 또 다른 전위 장벽(504)이 상승될 수 있다는 것을 도시한다. 시간 t3와 t4 사이에서 전자가 전극 b4와 b6 사이에 도달하면, 전자는 전위 장벽(503)과 전위 장벽(504) 사이의 위치에서 트래핑될 것이다. 도 5e 및 도 6i의 예에서, 전자는 시간 t1과 t2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 있다.

[0113] 도 5f는, 또 다른 기간 후에 전극 bm의 전압을 감소시킴으로써 시간 t5에서 전자에 대한 또 다른 전위 장벽(505)이 상승될 수 있다는 것을 도시한다. 시간 t4와 t5 사이에서 전자가 전극 b6과 bm 사이에 도달하면, 전자는 전위 장벽(504)과 전위 장벽(505) 사이의 위치에서 트래핑될 것이다. 도 5f 및 도 6j의 예에서, 전자는 시간 t1과 t2 사이에 도달하여, 전위 장벽(501)과 전위 장벽(502) 사이에 포획된 채로 있다.

[0114] 도 6k는 시간 경과에 따른 전극들(b0-b8, st0 및 st1)의 전압을 나타내는 전압 타이밍도를 도시한다. 상승 전위 장벽들(501-505)의 시퀀스 동안 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어는, 그것이 캐리어 이동/포획 영역(106)에 도달하는 시간에 의존하는 —이것은 결국 광자 흡수/캐리어 발생 영역(102)에서의 광자 흡수에 의해 전하 캐리어가 발생한 시간에 의존함—, 캐리어 이동/포획 영역(106) 내의 위치에서 포획될 것이다. 전위 장벽들(501-505)이 상승되는 타이밍은, 전하 저장 빈들, 빈0 내지 빈3의 타이밍을 설정한다. 도 6k에 도시된 바와 같이, 시간 t1과 t2 사이에 도달하는 캐리어는 빈0에 대한 시간 간격 내에서 트래핑되고, 시간 t2와 t3 사이에 도달하는 캐리어는 빈1에 대한 시간 간격 내에서 트래핑되며, 시간 t3과 t4 사이에 도달하는 캐리어는 빈2에 대한 시간 간격 내에서 트래핑되고, 시간 t4 및 t5 사이에 도달하는 캐리어는 빈3에 대한 시간 간격 내에서 트래핑될 것이다.

[0115] 도 5a 내지 도 5f에 도시된 시퀀스 이후에, 포획된 전하 캐리어는, 전하 캐리어가 캐리어 이동/포획 영역(106) 내에서 포획되는 위치에 기초하여 적절한 전하 캐리어 저장 빈에 전달될 수 있다. 이 실시예에서, 전자가 전극 b1 아래에서 포획되면, 전자는 빈0에 전달된다. 전자가 전극 b3 아래에서 포획되면, 빈1에 전달된다. 전자가 전극 b5 아래에서 포획되면, 빈2에 전달된다. 전자가 전극 b7 아래에서 포획되면, 빈3에 전달된다. 일부 실시예에서, 캐리어 이동/포획 영역(106) 내의 임의의 포획된 캐리어(들)를 그 대응하는 빈(들)에 전달하는 것은 병렬로(예를 들어, 동시에) 수행될 수 있다. 그러나, 여기서 설명된 기술들은 포획된 캐리어들을 전하 저장 빈들에 병렬로 전달하는 것에 관하여 제한되지 않는다.

[0116] 도 6k에 도시된 바와 같이, 도 5a 내지 도 5f에 도시된 시퀀스 이후에, 전극들 st0 및 st1 상의 전압은 임의의 포획된 전하 캐리어를 대응하는 전하 캐리어 저장 빈(들)에 전달하도록 변경될 수 있다. 포획된 전하 캐리어(들)을 전달하기 위한 예시적인 시퀀스는 도 6k 및 도 7a 내지 도 7g와 관련하여 논의될 것이다.

[0117] 도 7a는 도 3b의 라인 B-B'를 따른 전하 캐리어 국한 영역(103)의 단면에 대한 전위의 플롯을 도시한다. 도 7a는 전위 장벽들(503 및 504) 사이에서 전자가 포획되는 예에서의 시간 t5(도 6k)에서의 전위를 도시한다. 전위 장벽(503과 504) 사이에 포획된 전자를 도시하는 평면도가 도 7e에 도시되어 있다.

[0118] 도 7b는, 시간 t5 이후에, 전자 전달을 용이하게 하기 위해, 전극들 b1, b3, b5 및 b7 상의 전압이 감소되어(도 6k에는 도시되지 않음) 전위 우물(potential well) 내의 전자의 위치를 상승시킬 수 있다는 것을 나타낸다.

[0119] 도 7c는, 시간 t6(도 6k)에서 전극들 st0 및 st1 상의 전압이 상승될 수 있다는 것을 도시한다. 이러한 방식으로 전극들의 전압을 변경하는 것은, 캐리어 이동/포획 영역(106)에서 포획된 전하 캐리어를 전극 st1 아래의 대응하는 전하 저장 빈에 전달하게 하는 전위 구배를 제공할 수 있다. 전극 st1의 전압이 상승되고 캐리어(101)

가 이송되는 것을 도시하는 평면도가 도 7f에 도시되어 있다.

- [0120] 도 7d는, 시간 t7에서 전극 st0 상의 전압이 강하됨으로써 대응하는 빈(이 예에서는 빈2)에 포획된 캐리어(존재한다면)를 국한하는 것을 도시한다. 전극 b6 상의 전압은 시간 t8에서 상승되어 캐리어 이동/포획 영역(106)에서 전위 구배를 재형성할 수 있다. 전압 전극 st1이 낮아지고 캐리어(101)가 빈2에서 포획된 것을 도시하는 평면도가 도 7g에 도시되어 있다.
- [0121] 도 7h는 일부 실시예에 따른 전하 캐리어 분리 구조물의 전극들의 특성을 도시한다. 도 7h는, 각각의 전극에 대해, 구배 페이즈 동안의 전압, 비닝 페이즈 동안의 전압, 전달 페이즈 동안의 전압, 판독 페이즈 동안의 전압 하이, 및 전압 변화의 타이밍을 명시한다. 그러나, 이것은 단지 예일 뿐이며, 여기서 설명된 기술은 도 7h에 나타낸 구현 상세사항에 관해 제한되지 않는다.
- [0122] 측정의 예시적 시퀀스
- [0123] 광생성된 전하 캐리어의 광자 흡수/캐리어 발생 및 시간 비닝의 과정을 반복하면, 후술되는 바와 같이, 광자가 광검출기에 도달하는 시간에 관한 통계 정보를 수집할 수 있다.
- [0124] 일부 실시예에서, "측정"은, 광자를 수신하고, 특정한 시간 및/또는 위치에서 전하 캐리어를 포획하며, 포획된 캐리어를 특정한 기간 또는 빈에 대응하는 전하 저장 노드에 전달하는 단계를 포함할 수 있다. 광자가 광검출기에 도달하는 시간에 관한 통계 정보를 수집하기 위해 측정이 복수회 반복될 수 있다.
- [0125] 도 8a는 일부 실시예에 따른 복수의 측정(720)을 수행하는 단계를 포함하는 방법(700)의 플로차트를 도시한다. 이러한 방법은, 여기서 설명되는 바와 같이 적어도 부분적으로 집적된 디바이스에 의해 수행될 수 있다.
- [0126] 단계(702)에서, 측정(720)은 트리거 이벤트에 의해 개시될 수 있다. 트리거 이벤트는, 광자의 도달을 시간 비닝하기 위한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적 및 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트는 형광체를 여기시키는 광 여기 펄스의 발생일 수 있다. 비행 시간 활상의 맥락에서, 트리거 이벤트는, 집적 광검출기를 포함하는 활상 디바이스에 의해 방출된 (예를 들어, 플래시로부터의) 광의 펄스일 수 있다. 트리거 이벤트는, 광자 또는 캐리어의 도달 타이밍을 위한 기준으로 이용되는 임의의 이벤트일 수 있다.
- [0127] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어를 생성할 수 있다. 광 여기 펄스로부터 광생성된 캐리어는 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 낮은 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 광 여기 펄스에 의해 생성된 광생성된 캐리어가 포획되지 않고 드레인(104)으로 흐르게 함으로써, 설계 복잡성 및/또는 비용을 추가시킬 수 있는 셔터 또는 필터 등의 복잡한 광학 컴포넌트에 의해 도달하지 못하게 할 필요가 있는 불필요한 신호의 양을 감소시킬 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 타이밍은, 원치않는 광 신호 흐름에 의해 야기된 광생성된 캐리어가 드레인(104)으로 흐르도록 시간조절될 수 있다. 또한, 이 기술은, 단일의 시간 빈만을 갖는 실시예를 비롯한 임의의 개수의 시간 빈과 함께 이용될 수 있다. 예를 들어, 픽셀은, 캐리어 이동/포획 영역(106) 내에서 원하는 광 신호를 포획하는 동안 전위 장벽의 타이밍이 여기 펄스와 관련된 신호를 감소시키는, 단일 시간 빈 및 드레인을 포함할 수 있다.
- [0128] 그 다음, 측정(720)은, 검출될 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 발생될 수 있는, 단계 704에서 시작될 수 있다. 형광 수명 측정 또는 비행 시간 활상의 맥락에서, 단계 704는 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0129] 단계 706에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(702)에 관하여 선택된 시간들에서 미리결정된 위치들에서 포획될 수 있다. 일부 실시예에서, 전하 캐리어(들)는, 앞서 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 발생된 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다.
- [0130] 단계 708에서, 존재한다면, 포획된 전하 캐리어(들)가, 포획된 위치로부터 대응하는 전하 저장 빈에 전달됨으로써, 전하 캐리어를 "시간-비닝"할 수 있다.
- [0131] 단계 708에 후속하여, 측정(720)은, 트리거 이벤트(702) 후에 광자들이 도달하는 경향이 있는 기간에 관한 통계 정보를 얻기 위해 n-1회 반복될 수 있다. 시간-비닝된 전하 캐리어들은, 측정(720)이 반복됨에 따라 대응하는 전하 저장 빈들에서 응집될 수 있다. 측정(720)을 반복하는 것은, 전하 캐리어 저장 빈 내에 충분한 수의 전하 캐리어를 응집하여 통계적으로 의미있는 결과를 제공하는 것을 가능하게 할 수 있다. 예를 들어, 형광 수명 측

정의 맥락에서, 형광체로부터 수신된 광자에 응답하여 광자 흡수 이벤트가 비교적 드물게 발생할 것으로 예상될 수 있다. 예를 들어, 이러한 이벤트는 약 1,000회의 측정에서 한번 발생할 것으로 예상될 수 있다. 따라서, 많은 수의 측정(720)은, 전하 캐리어 저장 빈에 충분한 수의 전하 캐리어를 응집하여 결과가 통계적으로 의미가 있도록 수행될 필요가 있을 수 있다. 일부 실시예에서, 형광 수명 측정을 위해 수행될 수 있는 형광체의 측정 횟수(n)는, 각각의 빈에서 충분한 수의 전하 캐리어를 포획 및 비닝할 수 있도록 500,000 이상 또는 1,000,000 이상일 수 있다(즉, 일부 실시예에서는, 수십 또는 수백회 이상).

[0132] 일단 할당된 측정 횟수 n이 수행되고 나면, 방법(700)은 시간 빈들을 판독하는 단계 710으로 진행할 수 있다. 시간 빈을 판독하는 단계는, 이하에서 설명되는 바와 같이, 전하 저장 빈들 각각에 응집된 전하량을 대응하는 전압으로 변환하는 단계를 포함할 수 있다.

[0133] 도 8b는, 시간 t0에서 생성되는 여기 펄스, 및 시간 빈들, 빈0 내지 빈3을 도시하는 도면이다. 이 예에서, 광자를 측정하기 위한 시간 빈은, 신호 광자를 측정하기 전에 여기 광이 끝나는 t0 이후의 시간인 t1까지 시작되지 않는다.

[0134] 도 8c는, 마커 또는 다이 형광의 확률이 시간에 따라 지수적으로 감소하는 한 세트의 형광 수명 측정에 대한 각각의 시간 빈에서의 광자/전하 캐리어 수의 플롯을 도시한다. 여기, 전하 포획 및 각각의 빈으로의 전달 시퀀스를 여러번 반복하고 각각의 빈에 전달된 전하 캐리어의 양을 판독함으로써, 상이한 빈들에 등록된 광자 수의 히스토그램이 생성되어 형광체의 수명을 결정 또는 근사화하는 것을 허용할 수 있다.

[0135] 방법(700)은, 광자를 포획하기를 원하는 임의의 적절한 기간에 걸쳐 수행될 수 있다. 형광 수명 측정의 맥락에서, 방법(700)을 수행하기 위한 적절한 기간은, 예를 들어 10 밀리초일 수 있다. 일부 실시예에서, 단계들 702 내지 708은, MHz 범위의 주파수에서 반복될 수 있다. 일부 실시예에서, 시간 빈은 피코초 또는 나노초 스케일의 해상도를 가질 수 있다.

[0136] 상이한 트리거 이벤트들에 응답한 검출의 시간 멀티플렉싱

[0137] 일부 실시예에서, 측정은 복수의 상이한 타입의 트리거 이벤트를 이용하여 수행될 수 있다. 트리거 이벤트는, 픽셀이 상이한 시간들에서 상이한 타입의 트리거 이벤트에 응답하여 광을 수신하도록 시간적으로 멀티플렉싱될 수 있다. 예를 들어, 휘도 수명 측정의 맥락에서, 트리거 이벤트는, 상이한 발광 분자들(예를 들어, 형광체들)을 여기시킬 수 있는 상이한 파장 λ_1 및 λ_2 의 여기 광 펄스들(예를 들어, 레이저 펄스들)일 수 있다. 일부 실시예에서, 형광체들은, 여기 광의 상이한 파장들 λ_1 및 λ_2 에 대한 그들의 응답에 기초하여 서로 식별 및/또는 구별될 수 있다. 상이한 시간들에서 파장 λ_1 및 λ_2 의 광 여기 펄스로 샘플을 여기시키고, 이에 응답하여 샘플에 의해 방출된 휘도를 분석함으로써, 파장 λ_1 의 여기 광에 대한 응답으로 제1 기간에서, 또는 파장 λ_2 의 여기 광에 대한 응답으로 제2 기간에서, 발광이 검출되는지에 기초하여 발광 분자를 검출 및/또는 식별할 수 있다. 이러한 시간 멀티플렉싱에 추가하여, 또는 이에 대한 대안으로서, 발광 분자들은 그들의 휘도 수명 측정에 기초하여 식별 및/또는 구별될 수 있다.

[0138] 일부 실시예에서, 핵산은, 핵산의 뉴클레오타이드들에 부착된 하나 이상의 형광체에 의해 방출된 광의 검출에 기초하여 서열화될 수 있다. 일부 실시예에서, 이러한 시퀀싱은, 휘도 수명 측정에 기초하여, 또는 이러한 기술들의 조합에 기초하여, 상이한 파장들의 여기 광의 시간 멀티플렉싱에 의해 수행될 수 있다.

[0139] 예를 들어, 일부 실시예에서, 4개의 상이한 형광체는 핵산의 각각의 뉴클레오타이드(예를 들어, A, C, G 및 T)에 연결될 수 있다. 4개의 형광체는, 아래 차트에 나타난 바와 같이, 여기 파장과 휘도 수명의 조합에 기초하여 서로 구분될 수 있다.

	λ_1	λ_2
짧은 수명	형광체 1	형광체 3
긴 수명	형광체 2	형광체 4

[0140]

[0141] 일부 실시예에서, 집적 광검출기는, 상이한 파장들의 광 여기 펄스들에 응답하여 샘플에 의해 생성된 광자의 검출을 시간 멀티플렉싱할 수 있다. 예를 들어, 제1 기간에서, 파장 λ_1 의 여기 광에 응답하여 샘플에 의해 생성된 광이 검출될 수 있다. 후속해서, 제2 기간에서, 파장 λ_2 의 여기 광에 응답하여 샘플에 의해 생성된 광이 검출될 수 있다. 이렇게 하기 위해, 복수의 시간 빈을 갖는 픽셀은, 제1 기간에서 광자의 도달을 검출하기 위해 시간 빈들의 제1 서브셋을 이용하고 제2 기간에서 광자의 도달을 검출하기 위해 시간 빈들의 제2 서브셋을

이용할 수 있다. 제1 기간 또는 제2 기간 동안 픽셀에 광이 도달하는지를 검사함으로써, 형광체가 파장 λ_1 의 광 또는 파장 λ_2 의 광에 응답하여 형광하는지를 결정할 수 있다.

- [0142] 일부 실시예에서, 광 여기 펄스에 응답한 광자의 도달 시간에 관한 정보는, 형광 수명을 결정 및/또는 구별하여, 형광체를 식별하는데 이용될 수 있다. 일부 실시예에서, 제1 파장의 제1 여기 펄스가 방출될 수 있고, 그 다음, 픽셀의 시간 빔들의 제1 서브셋이 제1 시간 간격에서 입사 광자들의 도달을 시간-비닝하는데 이용될 수 있다. 그 다음, 제2 파장의 제2 여기 펄스가 방출될 수 있고, 픽셀의 시간 빔들의 제2 서브셋이 제2 시간 간격에서 입사 광자의 도달을 시간-비닝하는데 이용될 수 있다. 따라서, 광자가 제1 시간 간격 및/또는 제2 시간 간격에서 수신되면, 광자를 생성한 형광체의 수명에 관한 정보가 획득될 수 있다. 형광 수명에 관한 정보를 측정하는 것과 함께 광 여기 펄스의 시간 멀티플렉싱 과정을 반복하는 것은, 형광체를 식별할 수 있는 충분한 정보를 제공할 수 있다. 따라서, 형광체가 부착된 뉴클레오티드가 식별될 수 있다. 시퀀싱 반응이 진행됨에 따라, 추가의 뉴클레오티드가 시간이 지남에 따라 중합효소에 혼입될 수 있다. 형광 수명의 측정에서 광 여기 펄스의 시간 멀티플렉싱의 과정을 수행하고 반복하는 것은, 이러한 형광체의 식별을 가능하게 하는 충분한 정보를 제공할 수 있다. 따라서, 핵산 내의 뉴클레오티드 서열이 결정될 수 있다.
- [0143] 도 8d는, 복수의 상이한 트리거 이벤트에 응답하여 광이 집적 광검출기에서 수신되는 일부 실시예에 따른 집적 광검출기를 동작시키는 방법을 도시한다. 도 8e는 도 8d의 방법을 수행할 때 전하 캐리어 분리 구조물의 전극들의 전압을 나타낸다.
- [0144] 단계 802에서, 측정(820)은 트리거 이벤트 A에 의해 개시될 수 있다. 트리거 이벤트 A는, 광자의 시간 비닝 도달에 대한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적 및 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트 A는, 제1 타입의 형광체를 여기시키는 제1 파장의 광 여기 펄스의 생성일 수 있다.
- [0145] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어를 생성할 수 있다. 앞서 논의된 바와 같이, 광 여기 펄스로부터 광생성된 캐리어는 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 낮은 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 것은, 원치않는 광 신호 흐름에 의해 야기된 광생성된 캐리어가 드레인(104)으로 흐르도록 시간조절될 수 있다.
- [0146] 그 다음, 측정(820)은, 검출될 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 발생될 수 있는, 단계 804에서 진행될 수 있다. 형광 수명 측정의 맥락에서, 단계 804는 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0147] 단계 806에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(802)에 관하여 선택된 시간들에서 미리결정된 위치들에서 포획될 수 있다. 일부 실시예에서, 전하 캐리어(들)는, 앞서 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 발생한 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다. 일부 실시예에서, 단계 806은, 전위 장벽들(501, 503 및 503)을 연속적으로 상승시킴으로써, 시간 빔들, 빔0 및/또는 빔1에 대응하는 전하를 (존재한다면) 포획하는 단계를 포함할 수 있다.
- [0148] 단계 808에서, 존재한다면, 포획된 전하 캐리어는 포획된 위치로부터 대응하는 전하 저장 빔에 전달될 수 있으며, 그에 의해 전하 캐리어를 "시간-비닝"한다. 예를 들어, 시간 빔들 빔0 및/또는 빔1에 대응하여 포획된 임의의 전하가, 예를 들어, 도 7a 내지 7d에 도시된 기술을 이용하여 단계 808에서 빔들, 빔0 및/또는 빔1에 전달될 수 있다.
- [0149] 단계 810에서, 제2 측정(821)은 트리거 이벤트 B에 의해 개시될 수 있다. 트리거 이벤트 B는 광자의 도달을 시간 비닝하기 위한 시간 기준으로서 역할하는 이벤트일 수 있다. 트리거 이벤트는, 예를 들어, 광 펄스 또는 전기 펄스일 수 있으며, 단일 이벤트이거나 반복적 및 주기적 이벤트일 수 있다. 형광 수명 측정의 맥락에서, 트리거 이벤트 B는 제2 타입의 형광체를 여기시키는 제2 파장의 광 여기 펄스의 발생일 수 있다.
- [0150] 광 여기 펄스의 발생은, 상당한 수의 광자를 생성할 수 있으며, 그 중 일부는 픽셀(100)에 도달할 수 있고 광자 흡수/캐리어 발생 영역(102)에서 전하 캐리어를 생성할 수 있다. 앞서 논의된 바와 같이, 광 여기 펄스로부터 광생성된 캐리어는 측정하기를 원하지 않기 때문에, 이들은 포획되지 않고 낮은 전위를 따라 드레인(104) 쪽으로 흐르도록 허용될 수 있다. 캐리어 이동/포획 영역(106) 내의 하나 이상의 전위 장벽을 상승시키는 것은, 원

치않는 광 신호 흐름에 의해 야기된 광생성된 캐리어가 드레인(104)으로 흐르도록 시간조절될 수 있다.

- [0151] 그 다음, 제2 측정(821)은, 검출될 광자(들)가 흡수될 수 있고 전하 캐리어가 영역(102)에서 발생될 수 있는, 단계 812에서 진행될 수 있다. 형광 수명 측정의 맥락에서, 단계 812는 제2 광 여기 펄스가 완료된 후에 시작될 수 있다.
- [0152] 단계 814에서, 캐리어 이동/포획 영역(106)을 통해 이동하는 전하 캐리어(들)가 트리거 이벤트(810)에 관하여 선택된 시간들에서 미리결정된 위치들에서 포획될 수 있다. 일부 실시예에서, 전하 캐리어(들)는, 앞서 논의된 바와 같이, 하나 이상의 전위 장벽을 상승시켜 광자 흡수에 의해 발생된 시간에 의존하는 위치에서 캐리어를 트래핑함으로써, 캐리어 이동/포획 영역(106)의 하나 이상의 영역에서 포획될 수 있다. 일부 실시예에서, 단계 814는, 전위 장벽들(503, 504 및 505)을 연속적으로 상승시킴으로써, 시간 빈들, 빈2 및/또는 빈3에 대응하는 전하를 (존재한다면) 포획하는 단계를 포함할 수 있다.
- [0153] 단계 816에서, 존재한다면, 포획된 전하 캐리어는 포획된 위치로부터 대응하는 전하 저장 빈에 전달될 수 있으며, 그에 의해 전하 캐리어를 "시간-비닝"한다. 예를 들어, 시간 빈들 빈2 및/또는 빈3에 대응하여 포획된 임의의 전하가, 예를 들어, 도 7a 내지 7d에 도시된 기술을 이용하여 단계 816에서 빈들, 빈2 및/또는 빈3에 전달될 수 있다.
- [0154] 픽셀이 4개의 시간 빈을 갖고, 해당 광 여기 펄스의 각각에 응답하여 생성된 광의 도달 시간을 측정하기 위해 2개의 빈이 할당되는 예가 설명되었지만, 여기서 설명된 기술은 이 점에서 제한되지 않는다. 예를 들어, 픽셀은, 상이한 여기 펄스들에 응답하여 광을 측정하는 임의의 적절한 방법으로 할당될 수 있는 더 크거나 작은 수의 빈을 가질 수 있다. 또한, 여기서 설명된 기술은, 임의의 개수의 파장의 광 여기 펄스가 이용될 수 있고 그에 따라 멀티플렉싱될 수 있기 때문에, 2개의 상이한 파장의 광 여기 펄스로 제한되지 않는다.
- [0155] 단계 816에 후속하여, 측정들(820 및 821)은, 트리거 이벤트 후에 광자들이 도달하는 경향이 있는 기간에 관한 통계 정보를 얻기 위해 $n-1$ 회 반복될 수 있다. 시간-비닝된 전하 캐리어들은, 측정들이 반복됨에 따라 대응하는 전하 저장 빈들에서 응집될 수 있다.
- [0156] 일단 할당된 측정 횟수 n 이 수행되고 나면, 방법(800)은 시간 빈들을 판독하는 단계 710으로 진행할 수 있다. 시간 빈을 판독하는 단계는, 이하에서 설명되는 바와 같이, 전하 저장 빈들 각각에 응집된 전하량을 대응하는 전압으로 변환하는 단계를 포함할 수 있다.
- [0157] 예시적인 판독 회로 및 시퀀스
- [0158] 도 2a 및 도 2b에 나타난 바와 같이, 픽셀(100)은, 전하 캐리어 저장 영역(108)의 전하 저장 빈(들)에 저장된 전하를 판독하는 것을 허용하는 판독 회로(110)를 포함할 수 있다. 픽셀(100)은, 판독 회로(110)는 판독 증폭기를 포함하는 능동 픽셀이거나, 판독 회로(110)가 판독 증폭기를 포함하지 않는 수동 픽셀일 수 있다. 임의의 적절한 타입의 능동 픽셀 또는 수동 픽셀 판독 회로가 이용될 수 있다.
- [0159] 판독 회로(110)가 판독 증폭기를 포함한다면, 임의의 적절한 타입의 증폭기가 이용될 수 있다. 적절한 증폭기의 예로서는, 공통 소스 구성에 기초한 증폭기와 소스-팔로워 구성에 기초한 증폭기가 포함된다. 그러나, 여기서 설명된 기술은 임의의 특정한 증폭기 구성에 관해 제한되지 않는다.
- [0160] 판독 회로(110)가 판독 증폭기를 포함한다면, 판독 증폭기는 전하 저장 빈(예를 들어, 빈0, 빈1, 빈2 또는 빈3)에 축적된 전하를 입력으로서 취하여 전하 저장 빈 내의 전하를 나타내는 전압을 출력으로서 생성한다.
- [0161] 소스-팔로워 구성에 기초한 판독 회로(110)의 한 예가 도 4에 도시되어 있다. 도 4에 도시된 판독 회로(110)의 예는, 4개의 트랜지스터들 : r_t , s_f , r_s 및 전달 게이트들(tx_0 - tx_3) 중 하나를 갖는 "4T" 구성이다. 3개의 트랜지스터(r_t , s_f 및 r_s)가 각각의 전하 저장 빈 사이에서 공유되기 때문에, 4개의 모든 빈에 대해 도 4에 도시된 예시적인 회로는 "1.75T" 구성, (4개의 전달 게이트 + 3 트랜지스터)/4개의 빈이다. 그러나, 여기서 설명된 기술은, 기타 임의의 적절한 타입의 판독 구성이 이용될 수 있기 때문에, 1.75T 구성을 갖는 판독 회로(110)를 이용하는 것으로 제한되지 않는다.
- [0162] 또한, 잡음 감소 기술을 포함하는 임의의 적절한 판독 기술이 이용될 수 있다. 일부 실시예에서, 판독 회로(110)는 상관된 이중 샘플링을 이용하여 전하 캐리어 저장 빈을 판독할 수 있다. 상관된 이중 샘플링은, 미결정된 양의 잡음을 포함하는 노드에서 리셋 전압 레벨로 제1 샘플이 취해질 수 있고, 동일한 미결정된 잡음을 포함하는 노드에서 신호 레벨로 제2 샘플이 취해질 수 있는 기술이다. 잡음은, 샘플링된 신호 레벨로부터 샘플링

된 리셋 레벨을 감소함으로써 제거될 수 있다.

[0163] 판독 회로(110)는 전하 저장 bin의 판독을 순차적으로 또는 병렬로 수행할 수 있다. 상관된 이중 샘플링을 이용하여 도 4에 도시된 판독 회로(110)를 갖는 bin들(bin0 내지 bin3)을 순차적으로 판독하기 위한 타이밍도의 한 예가 도 9a에 도시되어 있다. 도 9a에 도시된 바와 같이, 처음에 리셋 트랜지스터(rt)가 턴온되어 부동 확산 노드(fd)를 리셋 전압(ct)으로 설정한다. 부동 확산 노드의 전압이 리셋되는 기간 동안, 전달 게이트들(tx0-tx3)은 턴오프되어 전하 캐리어가 각각의 bin 내에 저장된다. 부동 확산 노드(fd)가 리셋된 후, 리셋 전압은 트랜지스터(rt)를 턴오프시키고 트랜지스터(rs)를 턴온시켜 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 출력 전압(cb)에 의해 표시되는 리셋 전압은 아날로그 포맷(예를 들어, 커패시터) 또는 디지털 포맷(예를 들어, A/D 변환 및 저장에 의해)으로 저장될 수 있다. 그 다음, 전달 게이트(tx0)가 턴온되어 bin0으로부터의 전하가 부동 확산 노드(fd)로 흐르는 것을 허용한다. 신호 전압은, 트랜지스터(rs)를 턴온시켜 bin0에 저장된 전하에 기초하여 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 출력 전압(cb)에 의해 표시되는 신호 전압은 아날로그 포맷(예를 들어, 커패시터) 또는 디지털 포맷(예를 들어, A/D 변환 및 저장에 의해)으로 저장될 수 있다.

[0164] 그 다음, 리셋 트랜지스터(rt)가 턴온되어 부동 확산 노드(fd)를 리셋 전압(ct)으로 설정한다. 부동 확산 노드(fd)의 전압이 리셋되는 기간 동안, 전달 게이트들(tx0-tx3)은 턴오프되어 전하 캐리어가 각각의 bin 내에 저장된다. 부동 확산 노드(fd)가 리셋된 후, 리셋 전압은 트랜지스터(rt)를 턴오프시키고 트랜지스터(rs)를 턴온시켜 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 다시 한번, 출력 전압(cb)에 의해 표시되는 리셋 전압은 아날로그 포맷(예를 들어, 커패시터) 또는 디지털 포맷(예를 들어, A/D 변환 및 저장에 의해)으로 저장될 수 있다. 그 다음, 전달 게이트(tx1)가 턴온되어 bin1으로부터의 전하가 부동 확산 노드로 흐르는 것을 허용한다. 신호 전압은, 트랜지스터(rs)를 턴온시켜 bin1에 저장된 전하에 기초하여 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 다시 한번, 출력 전압(cb)에 의해 표시되는 신호 전압은 아날로그 포맷(예를 들어, 커패시터) 또는 디지털 포맷(예를 들어, A/D 변환 및 저장에 의해)으로 저장될 수 있다.

[0165] 리셋을 수행하고, 리셋 전압을 샘플링하고, bin으로부터 부동 확산 노드(fd)에 전하를 전달하고, 신호를 샘플링함으로써, 동일한 프로세스가 bin2 및 bin3에 대해 수행될 수 있다. 따라서, 도 9a에 나타난 판독 시퀀스에서, 4개의 bin에 대한 리셋 값 신호 값들을 나타내는 8개의 샘플이 취해질 수 있다. 저장된 신호 값으로부터 각각의 bin에 대해 저장된 리셋 값을 감소하여 각각의 bin에 저장된 전하를 나타내는 결과를 얻음으로써, 상관된 이중 샘플링 프로세스를 완료할 수 있다.

[0166] 선택사항으로서, 전술된 바와 같이, bin에 대한 샘플링된 리셋 전압 레벨은 제1 커패시터에 저장될 수 있고, bin에 대한 샘플링된 신호는 제2 커패시터에 저장될 수 있다. 선택사항으로서, 커패시터 상에서 리셋 레벨과 신호 레벨을 샘플링하기 전에, 커패시터는 이들을 동일한 전압으로 설정함으로써 클리어될 수 있다.

[0167] 도 9b는, 일부 실시예에 따른, 각각의 신호 값에 대한 리셋 값을 측정할 것을 요구하지 않는 상관된 이중 샘플링을 수행하기 위한 판독 시퀀스를 도시한다. 도 9b의 예에서, 픽셀의 모든 bin에 대해 단일 리셋 값이 측정된다. 제1 bin에 대한 신호를 획득하기 위해, 리셋 값은, 전술된 바와 같이, 측정된 신호 값으로부터 감소될 수 있다. 이 지점에서 부동 확산 노드를 리셋하는 대신에, 제2 bin으로부터 부동 확산 노드에 전하가 전달됨으로써, 제1 및 제2 bin에 대한 전하를 응집시킬 수 있다. 제2 bin에 대한 신호는, 제1 및 제2 bin에 대한 응집된 신호로부터 제1 bin에 대한 신호를 감소함으로써 획득될 수 있다. 제1 bin에 대한 신호, 및 제1 및 제2 bin에 대한 응집된 신호 양쪽 모두는 동일한 리셋 값을 포함하기 때문에, 그 결과 리셋 값이 제거된다. 프로세스는 나머지 bin들에 대해 계속될 수 있으며, 여기서, 이전 bin에 대한 응집된 신호는 다음 bin에 대한 응집된 신호로부터 감소된다. 이러한 방식으로 bin들에 대한 저장된 전하를 응집하면, 샘플링된 신호가 각각의 bin이 개별적으로 판독되는 경우보다 잡음 플로어 위에서 더 높을 것이기 때문에, 각각의 bin이 개별적으로 판독되는 경우보다 더 큰 신호가 판독되는 것을 허용할 수 있다. 4개의 시간 bin을 갖는 예에서, 5개의 샘플들, 즉, 하나의 리셋 값 및 전하 저장 bin에 저장된 누적 전하를 나타내는 4개의 샘플이 취해질 수 있다. 이러한 프로세스는 도 9b를 참조하여 더 상세하게 설명될 것이다.

[0168] 도 9b에 도시된 바와 같이, 처음에 리셋 트랜지스터(rt)가 턴온되어 부동 확산 노드(fd)를 리셋 전압(ct)으로 설정한다. 부동 확산 노드의 전압이 리셋되는 기간 동안, 전달 게이트들(tx0-tx3)은 턴오프되어 전하 캐리어가 각각의 bin 내에 저장된다. 부동 확산 노드(fd)가 리셋된 후, 리셋 전압은 트랜지스터(rt)를 턴오프시키고 트랜지스터(rs)를 턴온시켜 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 출력 전압(cb)에 의해 표시되는 리셋 전압은 아날로그 포맷(예를 들어, 커패시터) 또는 디지털 포맷(예를 들어, A/D 변환 및 저장에 의해)으로 저장될 수 있다. 그 다음, 전달 게이트(tx0)가 턴온되어 bin0으로부터의 전하가 부동 확산으로 흐르는 것을 허용할

수 있다. 빈0에 대한 신호 전압은, 트랜지스터(rs)를 턴온시켜 빈0에 저장된 전하에 기초하여 출력 전압(cb)을 생성함으로써 샘플링될 수 있다.

[0169] 그 다음, 전달 게이트(tx1)가 턴온되어 빈1으로부터의 전하가 부동 확산 노드로 흐르는 것을 허용한다. 빈1 + 빈0에 대한 신호 전압은, 트랜지스터(rs)를 턴온시켜 빈1에 저장된 전하와 빈0에 저장된 전하에 기초하여 출력 전압(cb)을 생성함으로써 샘플링될 수 있다. 빈0 + 빈1에 대한 출력 신호 값으로부터 빈0에 대한 출력 신호 값을 감산하여 빈1에 저장된 전하를 나타내는 신호를 생성할 수 있다.

[0170] 빈 n+1에 대한 측정된 신호 레벨로부터 빈 n에 대한 측정된 신호 레벨을 감산함으로써 빈2 및 빈3에 대해 유사한 프로세스가 수행될 수 있다. 따라서, 이러한 기술을 이용하여 취할 필요가 있는 샘플의 수가 감소될 수 있다.

[0171] 이하의 수식은, 측정된 단일 리셋 값만을 이용하여 각각의 빈에 대한 (상관된 이중 샘플링 이용하는) "수정된" 신호를 계산하는 방법을 보여준다.

[0172] 보정된 신호 빈0 = 측정된 신호 빈0 - 리셋 레벨

[0173] 보정된 신호 빈1 =(빈0 + 빈1)에 대한 측정된 신호 - 측정된 신호 빈0

[0174] 보정된 신호 빈2 =(빈0 + 빈1 + 빈2)에 대한 측정된 신호 - (빈0 + 빈1)에 대한 측정된 신호

[0175] 보정된 신호 빈3 =(빈0 + 빈1 + 빈2 + 빈3)에 대한 측정된 신호 -(빈0 + 빈1 + 빈2)에 대한 측정된 신호

[0176] 일부 실시예에서, 픽셀로부터의 판독의 오버샘플링이 수행될 수 있다. 오버샘플링은 픽셀로부터 동일한 신호를 복수회 판독하는 것을 수반한다. 픽셀로부터 신호가 판독될 때마다, 판독되는 신호에는 잡음으로 인해 약간의 변동이 있을 수 있다. 신호의 판독의 오버샘플링 및 샘플들의 평균화는 측정에서의 잡음(예를 들어, 백색 잡음)을 감소시킬 수 있다. 일부 실시예에서, 픽셀로부터 단일의 공칭 신호 값(예를 들어, 단일 리셋 레벨 또는 신호 레벨)을 판독하기 위해 복수의 샘플들이 취해질 수 있다(예를 들어 4-8 샘플). 일부 실시예에서, 신호의 샘플들 각각은 판독 신호 변화를 통해 판독되어 디지털 값(예를 들어, 디지털 워드)으로 변환될 수 있다. 그 다음, 샘플들의 평균이 계산될 수 있고, 그 평균이 픽셀로부터의 측정된 신호로 이용된다. 예를 들어, 8x 오버샘플링(oversampling by 8x)이 이용되는 경우, 각각의 리셋 및 신호 값에 대해 8개의 샘플이 취해질 수 있고, 4개의 시간 빈 및 4개의 리셋 레벨을 측정하는 경우 총 64개의 샘플, 또는 1개의 리셋 레벨 및 4개의 응집된 신호 레벨을 측정하는 경우 40개의 샘플이 취해질 수 있다.

[0177] 픽셀 어레이 판독 회로

[0178] 병렬 판독, 순차 판독, 및 병렬과 순차 판독의 조합에 의한 판독

[0179] 전술된 바와 같이, 픽셀 어레이는, 행들 및 열들로 배열된 복수의 픽셀을 포함할 수 있다. 일부 실시예에서, 판독은 행별로 수행될 수 있다. 일부 실시예에서, 픽셀 어레이의 행이 선택될 수 있고, 선택된 픽셀 행에 대해 판독 프로세스가 수행될 수 있다. 픽셀의 열에 대한 판독 회로는 열 내의 픽셀들에 대해 공통적일 수 있어, 상이한 행들이 선택될 때 열 내의 각각의 픽셀에 대해 판독 회로에 의해 판독이 수행될 수 있다. 선택된 행에 대한 판독은, 병렬로("열 병렬(column parallel)"이라고 함), 순차적으로, 또는 병렬과 순차적으로 조합으로("준-열 병렬(semi-column parallel)"이라고 함) 수행될 수 있다.

[0180] 선택된 행의 픽셀들의 판독을 열 병렬로 수행하기 위해, 도 10a에 나타난 바와 같이, 선택된 행 내의 각각의 열의 픽셀들이 동시에 판독될 수 있도록, 각각의 열에 각각의 판독 회로가 제공될 수 있다. 도 10a는 복수의 열(C1 내지 Cn) 및 복수의 행을 갖는 픽셀 어레이를 나타내며, 예시로서 선택된 행(Ri)이 도시되어 있다. 도 10a의 실시예에서, 각각의 픽셀 열은 연관된 판독 회로(905)를 갖는다. 픽셀들의 각각의 열은, 연관된 판독 회로(905)를 가지기 때문에, 행(Ri) 내의 각각의 픽셀로부터의 신호들이 동시에 판독될 수 있다.

[0181] 선택된 행의 픽셀들의 판독을 순서대로 수행하기 위해, 각각의 열에 개개의 판독 회로가 제공될 필요는 없다. 예를 들어, 일부 실시예에서, 공통 판독 회로가 제공될 수 있고, 선택된 행의 각각의 픽셀은 순차적으로 판독될 수 있다. 도 10b는 복수의 열에 공통 판독 회로(905)가 제공될 수 있는 실시예를 도시한다. 공통 판독 회로는, 적절한 제어 회로의 제어하에 스위치 네트워크(906)에 의해 선택적으로 열에 접속될 수 있다. 예를 들어, 일부 실시예에서, 스위치 네트워크(906)는 픽셀들의 개개의 열을 순차적으로 판독 회로(905)에 접속할 수 있다.

- [0182] 픽셀들의 판독을 준-열 병렬로 수행하기 위해, 도 10c에 나타난 바와 같이, 열의 수보다 적은, 복수의 판독 회로(905)가 제공될 수 있다. 이러한 준-열 병렬 아키텍처에서, 각각의 판독 회로(905)는 열들의 서브셋에 의해 공유될 수 있다. 각각의 판독 회로(905)는 어레이 내의 열들의 서브셋을 순차적으로 판독할 수 있다. 도 10c에 도시된 바와 같이, 판독 회로(905A)는 스위치 네트워크(906A)에 의해 그 각각의 열에 선택적으로 접속될 수 있다. 판독 회로(905B)는 스위치 네트워크(906B)에 의해 그 각각의 열에 선택적으로 접속될 수 있다.
- [0183] 일부 실시예에서, 판독 회로(905)는, 픽셀로부터 신호를 증폭하는 하나 이상의 증폭기와 증폭된 신호를 디지털 값으로 변환하는 아날로그-대-디지털 변환기를 포함할 수 있다. 다양한 실시예에 따른 판독 회로(905)의 구성의 예가 이하에서 설명된다.
- [0184] 샘플 및 홀드 회로
- [0185] 일부 실시예에서, 열을 위한 판독 회로는 하나 이상의 샘플 및 홀드 회로를 포함할 수 있다. 도 10d는, 샘플 및 홀드 회로(907), 증폭기 회로(901), 및 아날로그-대-디지털(A/D) 변환기(902)를 포함하는, 열 판독 회로(905C)를 나타내는 회로도도를 도시한다. 샘플 및 홀드 회로(907)는 (예를 들어, 노드 cb에서) 픽셀로부터의 출력 전압을 용량성 소자(예를 들어, 커패시터)에 샘플링하고, 이 전압을 증폭기에 의해 판독되는 동안 커패시터 상에서 유지할 수 있다. 전술된 바와 같이, 픽셀로부터의 출력 전압은 하나 이상의 시간 간격 동안 포획된 전하 캐리어의 수를 나타낼 수 있다.
- [0186] 샘플 및 홀드 회로는, "샘플" 페이지 및 "홀드" 페이지라고 하는, 복수의 페이지에서 동작할 수 있다. "샘플" 페이지에서, 픽셀로부터의 전압 값은 용량성 요소 상으로 샘플링될 수 있다. 따라서, 판독될 전압은 용량성 소자에 저장된다. "샘플" 페이지에 후속하여, 커패시터의 전압은 "홀드" 페이지에서 판독된다. "홀드" 페이지 동안, 커패시터의 전압은 용량성 소자로부터 판독되어 하나 이상의 증폭기에 의해 처리된 다음 아날로그-대-디지털(A/D) 변환기에 의해 디지털 형태로 변환될 수 있다. 도 10d에 도시된 바와 같이, 샘플 페이지($\phi 1$) 동안, 스위치(s1)는 온으로 되고(전도 상태로 설정됨), 스위치(s2)는 오프되며(비-전도 상태로 설정됨), 픽셀의 판독 단자 cb로부터의 전압을, 용량성 소자, 예를 들어, 커패시터(C1) 상에 샘플링한다. 홀드 페이지($\phi 2$)는 샘플 페이지를 따른다. 유지 페이지 동안 스위치(s1)는 오프되고 스위치(s2)는 온으로 되어, 커패시터(C1)를 증폭기 회로(901)에 접속한다. 스위치(S1)를 오프시킴으로써, 증폭기 회로(901)가 높은 입력 임피던스를 가질 수 있기 때문에, 전압이 판독되는 동안 커패시터의 전압은 실질적으로 일정하게 유지될 수 있다. 증폭기 회로(901)로부터의 증폭된 신호는 증폭된 전압을 디지털 값으로 변환하기 위해 A/D 변환기(902)에 제공될 수 있다.
- [0187] 일부 실시예에서, 소비 전력 및/또는 비용은, 이용된 회로(예를 들어, 증폭기, 아날로그-대-디지털 변환기)의 수를 감소시키거나 최소화함으로써 감소될 수 있다. 일부 실시예에서, 판독 체인 내의 회로들의 수를 감소시키거나 최소화하기 위해, 판독 체인의 하나 이상의 회로는 픽셀 어레이의 하나보다 많은 열에 의해 공유될 수 있다.
- [0188] 판독 회로 컴포넌트(들)의 멀티플렉싱
- [0189] 일부 실시예에서, 판독 회로의 하나 이상의 컴포넌트는 픽셀 어레이의 2개 이상의 열에 의해 공유될 수 있다. 예를 들어, 도 10e에 도시된 바와 같이, 증폭기 회로(901), A/D 변환기(902) 또는 양쪽 모두의 전부 또는 일부는 픽셀 어레이의 2개 이상의 열에 의해 공유될 수 있다. 도 10e는 증폭기 회로(901) 및 A/D 변환기(902) 양쪽 모두가 픽셀 어레이의 2개의 열에 의해 공유되는 판독 회로(905D)의 실시예를 나타낸다. 도 10e의 실시예에서, 각각의 열 라인은 각각의 픽셀 노드(cb1, cb2)에 접속된다. 각각의 열 라인은 각각의 샘플 및 홀드 회로(907A, 907B)에 접속된다. 증폭기 회로(901) 및 A/D 변환기(902)는 양쪽 열에 의해 공유될 수 있다. 증폭기 회로(901)로의 입력은 샘플 및 홀드 회로(907A 및 907B) 사이에서 멀티플렉싱되며, 이들의 출력들이 상이한 시간들(예를 들어, 순차적)에서 증폭기 회로(901)에 접속되도록 멀티플렉싱될 수 있다. 증폭기 회로(901) 및/또는 A/D 변환기(902) 등의 공유된 판독 회로 컴포넌트들을 이용함으로써, 판독 회로 내의 컴포넌트의 개수가 감소될 수 있어서, 판독 회로의 비용 및/또는 전력 소비를 감소시킬 수 있다.
- [0190] 일부 실시예에서, 증폭기 회로(901)를 공유하는 열들에 대한 샘플 및 홀드 페이지는 교번되며, 소정 열이 샘플링 페이지에 있고 증폭기 회로(901)에 접속되지 않을 때, 다른 열은 홀드 페이지에 있고, 샘플 및 홀드 회로는 이전에 샘플링된 전압을 증폭하기 위해 증폭기 회로(901)에 접속되도록 교번될 수 있다. 도 10f의 실시예에서, 샘플 및 판독 페이지들은 2개의 열들 사이에서 교번되며, 이 때, 상위 열은 페이지 1 동안에 샘플 페이지에 있고 페이지 2 동안에 홀드 페이지에 있으며, 하위 열은 페이지 2 동안에 샘플 페이지에 있고 페이지 1 동안에 홀드 페이지에 있다. 페이지 1($\phi 1$) 동안, 노드 cb 1로부터의 신호는 스위치 s1을 온시킴으로써 커패시터 C1 상

으로 샘플링되고, 스위치 s2는 오프되고, 스위치 s3은 오프되며, 커패시터 C2는 온으로 된 스위치 s4를 통해 증폭기(901)에 접속된다. 페이지 2(ϕ_2) 동안, 노드 cb 2로부터의 신호는 스위치 s3을 온시킴으로써 커패시터 C2 상으로 샘플링되고, 스위치 s4는 오프되고, 스위치 s1은 오프되며, 커패시터 C1은 온으로 된 스위치 s2를 통해 증폭기(901)에 접속된다. 하나보다 많은 열에 의해 증폭기 회로(901)를 공유하는 것은, 열에 대한 샘플링 페이지 동안에 증폭기 회로(901)가 유향 상태일 필요가 없으므로, 증폭기 회로(901)의 비작동시간(downtime)을 감소시킬 수 있다.

[0191] 일부 실시예에서, 픽셀 어레이의 2개보다 많은 열들은 판독 회로(901) 및/또는 A/D 변환기(902)를 공유할 수 있다. 도 10f는, 픽셀 어레이의 n개 열이 판독 회로(901) 및/또는 A/D 변환기(902)를 공유하는 실시예를 도시한다. 커패시터들(C1-Cn)은 판독 회로(901)에 순차적으로 접속되어 그들의 전압 값들을 판독할 수 있다. 커패시터들(C1-Cn)은 임의의 적절한 순서로 판독 회로(901)에 접속될 수 있다. 각각의 열에 대한 각각의 샘플 및 홀드 회로의 샘플링 페이지는 샘플 및 홀드 회로가 증폭기 회로(901)에 의해 판독되지 않는 기간 동안 발생하도록 시간조절될 수 있다. 일부 실시예에서, 및 전술된 바와 같이, 샘플링 페이지는 증폭기 회로(901)가 상이한 행을 판독하고 있는 시간 간격 동안 발생하여 증폭기 회로(901)가 유향 상태로 놓이는 시간량을 제한하도록 시간조절될 수 있다. 예를 들어, 전술된 바와 같이, 노드(cb1)로부터의 전압은 페이지 1 동안 커패시터 C1에서 샘플링될 수 있다. 페이지 2 동안, 커패시터 C1의 전압은 증폭기 회로(901)에 의해 판독될 수 있고 노드 cb2로부터의 전압은 커패시터 C2에서 샘플링될 수 있다. 페이지 3 동안, 커패시터 C2의 전압은 증폭기 회로(901)에 의해 판독될 수 있고, 제3 노드 cb3으로부터의 전압은 제3 커패시터 C3 등에서 샘플링될 수 있다. 프로세스는, 마지막 열(행 n)이 증폭기 회로(901)에 의해 판독되는 동안, 또는 마지막 열이 증폭기 회로(901)에 의해 판독된 후에 시작하는 페이지 1에서 다시 한번 시작할 수 있다. 임의의 적절한 개수의 열들이, 2, 4, 8, 16, 32, 64, 128, 또는 (2의 거듭제곱일 필요가 없는) 기타 임의의 적절한 개수의 증폭기 회로(901)를 공유할 수 있다.

[0192] 도 10g는 증폭기 회로(901)를 포함하는 판독 회로의 도면을 도시한다. 도 10g의 실시예에서, 증폭기 회로(901)는 복수의 증폭기(910 및 911)를 포함한다. 동일한 이득을 달성하기 위해 단일 증폭기를 이용하는 것과는 대조적으로 복수의 증폭기(910 및 911)가 이용될 때 더 적은 전력 소산을 수반하여 원하는 신호 이득이 달성될 수 있기 때문에, 복수의 캐스캐이딩된 증폭기(910 및 911)의 이용은 전력 소비를 감소시킬 수 있다.

[0193] 도 10h는 각각의 열에 대한 제1 스테이지 증폭기(910A 및 910B) 및 2개의 열에 의해 공유되는 제2 스테이지 증폭기(911)를 갖는 증폭기 회로(901)를 포함하는 판독 회로의 도면을 도시한다. 멀티플렉서(912)는, 상이한 시간들에서 제1 스테이지 증폭기(910A, 910B)들을 제2 스테이지 증폭기(911)에 접속한다. 일부 실시예에서, 증폭기들(910A, 910B 및 911)는 차동 증폭기일 수 있다.

[0194] 도 10i는, 제1 스테이지 증폭기들(910A 및 910B), 제2 스테이지 증폭기(911) 및 제3 스테이지 증폭기(912)를 포함하는 판독 회로의 도면을 도시한다. 전술된 바와 같이, 원하는 이득 값을 달성하기 위해 추가적인 증폭기 스테이지를 이용하는 것은, 원하는 이득 값을 달성하기 위해 더 적은 수의 증폭기 스테이지를 이용하는 것과 관련한 전력 소비를 감소시킬 수 있다. 일부 실시예에서, 증폭기들(910A, 910B, 911 및 912)은 차동 증폭기일 수 있다.

[0195] 일부 실시예에서, 이득은 복수의 스테이지의 신호 체인에서 적용될 수 있다. 일부 실시예에서, 제1 스테이지 증폭기(예를 들어, 910A, 910B)는 2 이상의 이득을 가질 수 있고, 제2 스테이지 증폭기(예를 들어, 911)는 1 내지 8 이상의 이득을 가질 수 있고, 제3 스테이지 증폭기(예컨대, 912)는 2 내지 32 이상의 3개 스테이지의 전체 이득에 대해, 1 내지 2 이상의 이득을 가질 수 있다.

[0196] 일부 실시예에서, 증폭기들은 디지털적으로 프로그램가능한 이득을 가질 수 있다. 하나 이상의 스테이지의 이득은 수신되는 광의 특성에 따라 변경될 수 있다. 예를 들어, 픽셀에서 상이한 응답들을 생성하는 하나보다 많은 파장의 광 여기 펄스(예를 들어, 레이저 펄스)가 이용된다면, 판독 체인 내의 하나 이상의 증폭기의 이득은 광의 어떤 파장이 현재 검출되고 있는지에 따라 변경될 수 있다. 하나의 파장으로 인해 생성되는 전하 캐리어 수가 더 적다면, 감소된 신호 레벨을 수용하기 위해 이득이 증가될 수 있다. 또 다른 파장으로 인해 더 많은 수의 전하 캐리어가 생성된다면, 이득이 감소될 수 있다. 일부 실시예에서, 상이한 파장들에 대한 판독 체인의 이득은, 상이한 파장들에 응답하여 동일한 출력 레벨을 생성하도록 서로 정규화될 수 있다.

[0197] 판독 회로 설계 고려사항

[0198] 일부 실시예에서, 각각의 시간 빈에 대해 포획된 전하 캐리어의 수는 비교적 작을 수 있고, 예를 들어, 수백 개 정도의 전하 캐리어일 수 있기 때문에, 각각의 픽셀로부터 검출되는 신호는 비교적 작을 수 있다. 따라서, 일

부 실시예에서, 픽셀에서 아날로그-대-디지털 변환기(이를 포함)로 이어지는 신호 체인은 저잡음 판독 회로를 포함할 수 있다. 판독 체인에서 잡음을 제한하기 위한 기술 및 회로에 대해 이하에서 논의될 것이다.

- [0199] 일부 실시예에서, 신호들의 차동 처리는 판독 체인에서 잡음을 감소시키거나 최소화시킬 수 있다. 신호의 차동 처리는 판독 체인 내에 주입될 수 있는 공통-모드 잡음을 제거할 수 있다. 판독 회로는, 차동 샘플 및 홀드 회로, 차동 증폭기(들) 및/또는 차동 A/D 변환기 등의, 하나 이상의 차동 컴포넌트를 포함할 수 있다. 일부 실시예에서, 차동 신호 처리는, 판독 체인 내에 공통 모드 잡음을 주입하는 것을 피하기 위해, 판독 체인에서 가능한 한 조기에(예를 들어, 픽셀 출력에 최대한 가깝게) 이용될 수 있다. 일부 실시예에서, 픽셀 출력으로부터 디지털 워드까지의 전체 판독 체인은 차동 회로 컴포넌트들에 의해 수행될 수 있다. 그러나, 일부 실시예에서, 하나 이상의 단일-단(single-ended) 판독 회로 컴포넌트들이 이용될 수 있기 때문에, 여기서 설명되는 기술은 이 점에서 제한되지 않는다.
- [0200] 도 10j는, 차동 샘플 및 홀드 회로(908) 및 차동 증폭기(909)를 포함하는 2개의 열에 의해 공유되는 판독 회로를 도시한다. 차동 샘플 및 홀드 회로(908)는 픽셀 어레이의 제1 열에 대한 커패시터 C_{in1} 및 픽셀 어레이의 제2 열에 대한 커패시터 C_{in2} 를 포함한다. 차동 증폭기(909)는 픽셀 어레이의 제1 열에 대한 커패시터 C_{f1} 및 픽셀 어레이의 제2 열에 대한 커패시터 C_{f2} 를 포함한다.
- [0201] 도 10k는, 제1 열이 샘플 페이즈에 있고 제2 열이 홀드 페이즈에 있고, 커패시터 C_{in2} 가 차동 증폭기(909)의 입력에 접속된 경우의 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)의 도면을 도시한다. 도 10l은, 제2 열이 샘플 페이즈에 있고 제1 열이 홀드 페이즈에 있고, 커패시터 C_{in1} 이 차동 증폭기(909)의 입력에 접속된 경우의 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)의 도면을 도시한다.
- [0202] 도 10m은 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)를 포함하는 2개보다 많은 열에 의해 공유되는 판독 회로를 도시한다. 도 10n은, 차동 증폭기(909)가 차동 샘플 및 홀드 회로(908)와 차동 증폭기(909)를 이용하여 2개보다 많은 열에 의해 공유된다는 점에서 도 10f와 유사하다.
- [0203] 암 전류 샘플링
- [0204] 본 기술분야의 통상의 기술자라면 이해하는 바와 같이, "암 전류(dark current)"는 광검출기에 의해 아무런 광도 검출되지 않을 때 광검출기에서 생성되는 전류이다. 암 전류의 영향을 보정하도록 광검출기를 설계하면 광검출의 품질을 향상시킬 수 있다.
- [0205] 여기서 설명된 집적 디바이스의 일부 실시예에서, 전하 저장 빈들 중 하나 이상이 암 전류를 샘플링하는데 이용될 수 있다. 예를 들어, 전하 저장 빈은, 광검출기에 의해 아무런 광도 수신되지 않거나 매우 낮은 레벨의 광이 수신되는 기간 동안 도달하는 캐리어들을 응집시킴으로써 암 전류를 샘플링할 수 있다. 형광 수명 측정에 관련된 일부 실시예에서, 타이밍이 일단 발생하면 발광 확률이 무시할 수 있는 값으로 떨어지도록 하는 것이라면 암 전류를 샘플링하기 위해 마지막 빈(예를 들어, 빈3)이 이용될 수 있다. 암 전류 샘플링은, 다른 빈의 샘플로부터 암 전류를 감산하여 암 전류의 영향을 보정하는 것을 허용할 수 있다.
- [0206] 시간 빈의 수와 타이밍
- [0207] 임의의 적절한 수의 시간 빈이 이용될 수 있다. 도 3a 및 도 3b에서, 4개의 시간 빈을 갖는 픽셀의 예가 도시되어 있다. 도 8c는 8개의 빈이 이용되는 플롯을 도시한다. 그러나, 원하는 시간 해상도 및 다른 인자에 기초하여 임의의 적절한 수의 시간 빈을 갖는 픽셀이 생성될 수 있다. 빈의 수를 증가시키는 것은 각각의 픽셀이 차지하는 영역을 증가시킬 수 있고, 전체 픽셀 수를 감소시키거나 더 작은 피처 크기를 갖는 제작 프로세스를 이용함으로써 달성될 수 있다. 작은 수의 빈을 이용하는 것은, 칩에 들어갈 수 있는 픽셀 수를 증가시키는 것을 허용할 수 있다. 일부 실시예에서, 단일 빈은 특정한 기간 내에 도달하는 광자의 수를 결정하는데 이용될 수 있다. 빈의 수는, 적어도 부분적으로, 캐리어 이동/포획 영역(106)으로부터 연장되는 칩 상에 제작된 전하 캐리어 국한 영역의 연장부의 수를 증가시키거나 감소시킴으로써 증가되거나 감소될 수 있다. 전극들(b_0 내지 b_{m-1}), 전달 전극 등의 개수는, 픽셀에 포함되기를 원하는 빈의 수에 기초하여 그에 따라 증가되거나 감소될 수 있다.
- [0208] 시간 빈의 타이밍은 임의의 적절한 방식으로 선택될 수 있다. 일부 실시예에서, 타이밍은, 도 6k에 나타난 바와 같이, 시간 빈(들)에 대한 시작 및 종료 시간을 설정함으로써 선택될 수 있다. 예를 들어, 빈0에 대한 타이밍은, t_1 및 t_2 가 발생하는 시간을 선택함으로써 설정될 수 있고, 나머지 빈의 타이밍은 유사하게 설정될 수 있다.

- [0209] 일부 실시예에서, 시간 빈들에 대한 타이밍은, 각각의 측정 기간에서 타이밍이 동일하도록 고정될 수 있다. 타이밍은 전역적 타이밍 신호에 기초하여 설정될 수 있다. 예를 들어, 타이밍 신호는 측정 기간의 시작을 설정할 수 있고, 시간 빈들은 타이밍 신호로부터 경과된 미리결정된 시간량에 기초하여 시작 및 종료하도록 제어될 수 있다. 형광 수명 측정 맥락에서, 시간 빈에 대한 타이밍은, 검출될 것으로 예상되는 형광 수명의 가능한 범위에 기초하여 여기 펄스의 타이밍에 관해 설정될 수 있다. 비행 시간 촬상 맥락에서, 시간 빈의 타이밍은 촬상될 장면에 대한 예상된 거리 범위에 기초하여 설정될 수 있다. 그러나, 일부 실시예에서, 시간 빈들의 타이밍은 가변적이거나 프로그램가능할 수 있다.
- [0210] 일부 실시예에서, 시간 빈에 대한 타이밍은, 측정(720)을 위한 측정 기간을 개시하는 트리거 이벤트(702)의 타이밍에 기초하여 설정될 수 있다. 형광 수명 측정 맥락에서, 시간 빈에 대한 타이밍은 형광체를 여기시키는 여기 펄스의 타이밍을 검출하는 것에 응답하여 설정될 수 있다. 예를 들어, 광 여기 펄스가 픽셀(100)에 도달할 때, 광자 흡수/캐리어 발생 영역(102)으로부터 드레인(104)으로 캐리어들의 서지(surge)가 이동할 수 있다. 여기 펄스에 응답하여 드레인(104)에서의 광생성된 캐리어의 축적은 드레인(104)의 전압 변화를 야기할 수 있다. 따라서, 일부 실시예에서, 여기 펄스는 드레인(104)의 전압을 검출함으로써 검출될 수 있다. 예를 들어, 비교기는 드레인(104)의 전압을 임계값과 비교할 수 있고, 드레인(104)의 전압이 임계값을 초과할 때 펄스를 생성할 수 있다. 펄스의 타이밍은 트리거 이벤트(702)의 타이밍을 나타낼 수 있고, 시간 빈들의 타이밍(예를 들어, t_1 , t_2 등)은 이 타이밍에 기초하여 설정될 수 있다. 그러나, 임의의 적절한 기술이 측정(720)의 시작을 검출하는데 이용될 수 있기 때문에, 여기서 설명된 기술은 이 점에서 제한되지 않는다.
- [0211] 일부 실시예에서, 집적 디바이스는 시간 빈들의 타이밍을 변화시킬 수 있도록 프로그램될 수 있다. 일부 실시예에서, 시간 빈들의 타이밍은 수행될 특정한 측정 세트에 대해 프로그램될 수 있다. 예를 들어, 통합된 디바이스가 제1 범위 내의 수명을 갖는 제1 마커 세트를 이용하는 제1 타입의 테스트에 이용되는 경우, 시간 빈들은 그 범위 내의 마커들의 수명을 구별하기 위한 적절한 값들로 프로그램될 수 있다. 그러나, 통합된 디바이스가 상이한 수명들을 갖는 상이한 마커들을 이용하는 또 다른 타입의 테스트에 이용되는 경우, 제2 타입의 테스트에서 이용된 마커들에 적절한 상이한 시간 간격들에 대응하도록 프로그램함으로써 시간 빈들이 변경될 수 있다.
- [0212] 일부 실시예에서, 시간 빈들의 타이밍은 한 세트의 측정들의 결과에 기초하여 측정들 사이에서 적응적으로 제어될 수 있다. 예를 들어, 도 11에 도시된 바와 같이, 제1 세트의 측정들(측정 세트 A)은 비교적 큰 시간 간격에 걸쳐 있는 제1 세트의 시간 빈들을 이용하여 수행될 수 있다. 획득된 시간 정보를 개선하거나 최적화하기 위해 시간 빈들을 위해 선택된 타이밍에 대해 변경이 이루어져야 하는지를 결정하기 위해 각각의 빈에 대해 도달된 광자의 양이 분석될 수 있다. 일부 실시예에서, 관심대상의 더 좁은 시간 간격을 결정하기 위해 각각의 빈에 대해 도달하는 광자의 양이 분석될 수 있다. 예를 들어, 도 11의 측정 세트 A에 도시된 바와 같이 시간 빈들에서 한 세트의 측정을 수행한 후에, 빈2에 대응하는 기간에는 상당량의 광자가 도달했고, 다른 빈들에 대응하는 기간에는 광자가 도달하지 않았다고 결정될 수 있다. 그 다음 제2 세트의 시간 빈들은, 측정 세트 A의 빈2에 대응하는 더 좁은 기간에 초점을 두는 제2 세트의 측정(측정 세트 B)에 대해 선택될 수 있다. 도 11에 나타난 바와 같이, 측정 세트 B는, 측정 세트 A의 빈2에 대응하는 기간 내에 4개의 시간 빈을 갖는다. 측정 세트 B에 따라 시간 빈들에서 측정을 수행함으로써, 광자의 도달 타이밍에 대한 추가 상세사항이 획득될 수 있다. 예를 들어, 도 11에 나타난 바와 같이, 선택된 시간 간격 내에서 입사 광자의 도달 타이밍에 관한 더 높은 시간 해상도가 획득될 수 있다. 이러한 적응적 시간 빈 결정 프로세스는, 보통은 많은 수의 빈(예를 들어, 16개 빈들)을 필요로 할 수 있는 소정 레벨의 시간 해상도를 비교적 적은 수의 빈(예를 들어, 4개 빈)을 이용하여 획득하는 것을 허용할 수 있다.
- [0213] 일부 실시예에서, 시간 빈에 대한 타이밍은 어레이의 모든 픽셀에서 동일할 수 있다. 일부 실시예에서, 타이밍은, 상이한 픽셀들이 상이한 시간 빈들에서 캐리어를 포획하도록, 상이한 픽셀들에서 상이할 수 있다. 예를 들어, 제1 세트의 픽셀들은 제1 세트의 시간 빈들에서 캐리어를 포획할 수 있고 제2 세트의 픽셀들은 제1 세트의 시간 빈들과는 적어도 부분적으로 상이한 제2 세트의 시간 빈들에서 캐리어를 포획할 수 있다. 예를 들어, 한 행의 픽셀들은 그들의 시간 빈들에 대한 시간 타이밍을 가질 수 있고, 또 다른 행의 픽셀들은 그들의 시간 빈들에 대해 상이한 타이밍을 가질 수 있다. 일부 실시예에서, 제1 세트의 행들의 픽셀들(예를 들어, 4개의 행들)은 그들의 시간 빈들에 대해 동일한 타이밍을 가질 수 있고, 또 다른 세트의 행들의 픽셀들(예를 들어, 또 다른 4개의 행)은 그들의 시간 빈들에 대해 상이한 타이밍을 가질 수 있다. 픽셀은 개별적으로 및/또는 그룹으로서 설정되거나 및/또는 프로그램될 수 있다.
- [0214] 서브픽셀들을 갖는 픽셀들

- [0215] 과장 구별
- [0216] 일부 실시예에서, 픽셀 어레이의 픽셀은, 각각이 상이한 타입들의 측정을 수행할 수 있는 복수의 서브픽셀을 포함할 수 있다. 임의의 개수의 서브픽셀이 픽셀에 포함될 수 있다.
- [0217] 도 12는 4개의 서브픽셀(100A)을 포함하는 픽셀(1100)의 예를 도시한다. 일부 실시예에서, 픽셀(1100) 내의 각각의 서브픽셀(100A)은 상이한 과장의 광을 수신하도록 구성될 수 있다. 예를 들어, 상이한 과장들의 광자들이 서브픽셀(100A)에 전달되는 것을 허용하는 필터들이 서브픽셀(100A)들 위에 형성될 수 있다. 예를 들어, 제1 과장은 제1 서브픽셀(100A)에 전달될 수 있고, 제2 과장은 제2 서브픽셀(100A)에 전달될 수 있으며, 제3 과장은 제3 서브픽셀(100A)에 전달될 수 있고, 제4 과장은 제4 서브픽셀(100A)에 전달될 수 있다. 상이한 과장들의 광을 수신하도록 구성되는 서브픽셀들을 갖는 픽셀(1100)은 입사광의 시간 및 스펙트럼 구별 양쪽 모두를 가능하게 할 수 있다. 형광 수명 측정 맥락에서, 시간 및 스펙트럼 구별 양쪽 모두의 능력을 제공하는 것은, 상이한 수명들, 상이한 스펙트럼 특성들, 또는 상이한 수명들 및 상이한 스펙트럼 특성들 양쪽 모두를 갖는 마커들을 구별하는 것을 허용할 수 있다.
- [0218] 시간적 구별
- [0219] 일부 실시예에서, 상이한 서브픽셀(100A)들은 상이한 시간 간격들 동안 시간 빈들을 샘플링하도록 제어될 수 있다. 예를 들어, 제1 서브픽셀(100A)은 제1 세트의 시간 빈들을 샘플링하도록 구성될 수 있고 제2 서브픽셀은 제2 세트의 시간 빈들을 샘플링하도록 구성될 수 있다. 상이한 서브픽셀(100A)들 내의 유사한 구조물들은, 전하 캐리어 분리 구조물의 타이밍이 상이한 서브픽셀들에서 상이하도록 제어함으로써, 상이한 시간 간격들 동안 시간 빈들을 샘플링할 수 있다.
- [0220] 픽셀 어레이/칩 아키텍처
- [0221] 도 13은 일부 실시예에 따른 칩 아키텍처의 도면을 도시한다. 도 13에 도시된 바와 같이, 집적 회로 또는 칩(1300)은, 복수의 픽셀(100)을 포함하는 픽셀 어레이(1302), 타이밍 회로(1306) 포함하는 제어 회로(1304), 전압/전류 바이어스 발생 회로(1305) 및 인터페이스(1308)를 포함할 수 있다.
- [0222] 픽셀 어레이(1302)는, 예를 들어, 직사각형 패턴 등의 임의의 적절한 패턴으로 배치된 픽셀(101)들의 어레이를 포함한다. 픽셀 어레이(1302)는 임의의 적절한 수의 픽셀을 가질 수 있다. 일부 실시예에서, 픽셀 어레이는, 각각이 4개의 서브픽셀(101A)을 포함하는, 4096개 픽셀(101)들로 이루어진 64×64 어레이를 가질 수 있다. 그러나, 여기서 설명된 기술은 픽셀 어레이(1302)에 포함된 픽셀 및 서브픽셀의 수나 배열에 관해 제한되지 않는다. 픽셀 어레이는, 픽셀 어레이(1302)의 행 또는 열을 판독하기 위한 행 및/또는 열 도전체를 가질 수 있다. 픽셀은, 병렬로, 직렬로, 또는 이들의 조합으로 판독될 수 있다. 예를 들어, 일부 실시예에서, 픽셀들의 행은 병렬로 판독될 수 있고, 픽셀 어레이의 각각의 행은 순차적으로 판독될 수 있다. 그러나, 픽셀들은 임의의 적절한 방식으로 판독될 수 있기 때문에, 여기서 설명된 기술들은 이 점에서 제한되지 않는다.
- [0223] 픽셀 어레이(1302)는 제어 회로(1304)에 의해 제어된다. 제어 회로(1304)는, 픽셀 어레이(1302)의 동작을 비롯한, 칩(1300)의 동작을 제어하기 위한 임의의 적절한 타입의 제어 회로일 수 있다. 일부 실시예에서, 제어 회로(1304)는, 픽셀 어레이(1302)의 동작 및 칩(1300)의 기타 임의의 동작을 제어하도록 프로그램된 마이크로프로세서를 포함할 수 있다. 제어 회로는, 마이크로프로세서로 하여금 이러한 동작을 수행하게 하기 위한 컴퓨터 판독가능한 명령어(예를 들어, 코드)를 저장하는 컴퓨터 판독가능한 매체(예를 들어, 메모리)를 포함할 수 있다. 예를 들어, 제어 회로(1304)는, 각각의 픽셀에서 전하 캐리어 분리 구조물(들)의 전극들에 인가되는 전압을 생성하는 것을 제어할 수 있다. 제어 회로(1304)는, 앞서 논의된 바와 같이, 캐리어를 포획하고, 캐리어를 전달하고, 픽셀 및 어레이의 판독을 수행하기 위해 하나 이상의 전극의 전압을 변화시킬 수 있다. 제어 회로는, 저장된 타이밍 방식에 기초하여 전하 캐리어 분리 구조물의 동작 타이밍을 설정할 수 있다. 저장된 타이밍 방식은, 앞서 논의된 바와 같이, 고정되고, 프로그램가능하며 및/또는 적응적일 수 있다.
- [0224] 제어 회로(1304)는, 픽셀의 전하 캐리어 분리 구조물(들)의 타이밍 동작들 또는 칩의 다른 동작들을 위한 타이밍 회로(1306)를 포함할 수 있다. 일부 실시예에서, 타이밍 회로(1306)는, 전하 캐리어 분리 구조물(들)에서의 전압 변화의 타이밍을 정확하게 제어하여 전하 캐리어들을 정확하게 시간 비닝하는 신호를 생성하는 것을 가능하게 할 수 있다. 일부 실시예에서, 타이밍 회로(1306)는 전하 캐리어 분리 구조물(들)에 제공되는 신호의 타이밍을 정확하게 설정하기 위한 외부 기준 클럭 및/또는 지연 고정 루프(DLL)를 포함할 수 있다. 일부 실시예에서, 2개의 단일-단 지연 라인이 이용될 수 있고, 각각은 스테이지의 수의 절반이 180도 위상차로(out of phase) 정렬되어 있다. 그러나, 임의의 적절한 기술이 칩 상의 신호들의 타이밍을 제어하기 위해 이용될 수 있

다.

- [0225] 칩(1300)은, 칩(1300)으로부터 신호를 전송하거나, 칩(1300)에서 신호를 수신하거나, 또는 양쪽 모두를 위한 인터페이스(1308)를 포함할 수 있다. 인터페이스(1308)는 픽셀 어레이(1302)에 의해 감지된 신호를 판독하는 것을 가능하게 할 수 있다. 칩(1300)으로부터의 판독은, 아날로그 인터페이스 및/또는 디지털 인터페이스를 이용하여 수행될 수 있다. 칩(1300)으로부터의 판독이 디지털 인터페이스를 이용하여 수행된다면, 칩(1300)은 픽셀 어레이(1302)로부터 판독된 신호를 디지털 신호로 변환하기 위한 하나 이상의 아날로그-대-디지털 변환기를 가질 수 있다. 일부 실시예에서, 판독 회로는 프로그램가능한 이득 증폭기를 포함할 수 있다. 하나 이상의 제어 신호는, 외부 소스로부터 인터페이스(1308)를 통해 칩(1300)에 제공될 수 있다. 예를 들어, 이러한 제어 신호는, 시간 bin들의 타이밍을 설정하는 것을 포함할 수 있는, 수행될 측정 타이밍을 제어할 수 있다.
- [0226] 픽셀 어레이(1302)로부터 판독된 신호의 분석은, 온칩 또는 오프칩 회로에 의해 수행될 수 있다. 예를 들어, 형광 수명 측정의 맥락에서, 광자 도달 타이밍의 분석은 형광체의 형광 수명을 근사하는 것을 포함할 수 있다. 임의의 적절한 타이밍의 분석이 수행될 수 있다. 픽셀 어레이(1302)로부터 판독된 신호의 분석이 온칩으로 수행된다면, 칩(1300)은 분석을 수행하기 위한 임의의 적절한 처리 회로를 가질 수 있다. 예를 들어, 칩(1300)은, 제어 회로(1304)의 일부이거나 이와는 분리된 분석을 수행하기 위한 마이크로프로세서를 가질 수 있다. 분석이 칩 상에서 수행된다면, 일부 실시예에서, 분석 결과는 외부 디바이스에 전송되거나 그렇지 않으면 인터페이스(1308)를 통해 오프-칩 제공될 수 있다. 일부 실시예에서, 분석의 전부 또는 일부는 오프칩으로 수행될 수 있다. 분석이 오프칩으로 수행된다면, 픽셀 어레이(1302)로부터 판독된 신호 및/또는 칩(1300)에 의해 수행된 임의의 분석의 결과는 인터페이스(1308)를 통해 외부 디바이스에 제공될 수 있다.
- [0227] 일부 실시예에서, 칩(1300)은 다음 중 하나 이상을 포함할 수 있다 :
- [0228] 1) 온칩, 디지털 제어형, 픽셀 바이어스 발생기(DAC).
- [0229] 2) 단일-단 픽셀 출력 전압 신호를 차동 신호로 변환하고 이 신호에 이득을 적용하는, 온칩, 디지털 프로그램가능한 이득 증폭기
- [0230] 3) 출력 레이트와 함께 전력 소산의 스케일링을 허용하는, 디지털-제어형 증폭기 바이어스 발생기.
- [0231] 도 14a는, 일부 실시예에 따른, 쿼드 픽셀들의 64×64 어레이를 갖는 칩(1300)의 예인, 칩(1300A)의 실시예의 도면을 도시한다. 도 14a의 실시예에서, 픽셀 출력 신호들의 절반은 칩의 상부 측을 통해 제공되고, 픽셀 출력 신호들의 나머지 절반은 칩의 하부 측을 통해 제공된다. 전하 캐리어 분리 구조물의 전극들의 전압을 설정하기 위한 바이어스 회로가 포함된다.
- [0232] 도 14b는, 일부 실시예에 따른, 2×2 어레이를 포함하는 칩(1300)의 한 예인 칩(1300B)의 한 실시예의 도면을 도시하며, 여기서, 각각의 어레이는 쿼드 픽셀들의 256×64 옥탈 픽셀 어레이를 갖는다. 밴드 갭 및 바이어스 회로가 포함되어 있다. 픽셀 어레이의 전극들의 고전압 및 저전압을 설정하기 위해 Vhigh DAC 및 Vlow DAC를 포함하는, 디지털-대-아날로그 변환기(DAC)가 포함된다. 도 14b는 또한, 광 모니터링 센서(1320)를 도시한다. 각각의 광 모니터링 센서는, 포토다이오드 등의 광검출기를 포함할 수 있다. 일부 실시예에서, 각각의 광 모니터링 센서는, 칩(1300B)을 광원과 정렬시키기 위한 광검출기들(예를 들어, 포토 다이오드들)의 쿼드 어레이를 포함할 수 있다. 칩(1300B)이 분자의 검출을 위해 구성되는 실시예에서, 광 모니터링 센서는 분자들이 위치해 있는 하나 이상의 위치로부터 광을 수신하는 도파관과의 칩(1300B)의 정렬을 가능하게 할 수 있다. 다이오드 판독 회로 및 다이오드 선택 레지스터도 역시 도 14b에 도시되어 있다.
- [0233] 임의의 적절한 어레이 크기, 치수, bin의 수 및 피쳐 크기가 이용될 수 있기 때문에, 어레이 크기, 치수, bin의 수, 및 피쳐 크기의 예는, 단지 예시로서 전술되고 도면들에 도시된 것이다.
- [0234] 예시적인 집적 회로 실현 및 집적 광검출기 형성 방법
- [0235] 일부 실시예에서, 칩(1300)은 표준 CMOS(Complementary Metal Oxide Semiconductor) 공정을 이용하여 실리콘 기판 내에 형성될 수 있다. 그러나, 임의의 적절한 기판 또는 제조 공정이 이용될 수 있기 때문에, 여기서 설명된 기술은 이 점에서 제한되지 않는다.
- [0236] 도 15 내지 도 22는 일부 실시예에 따른 칩(1300)을 형성하는 프로세스를 나타낸다.
- [0237] 도 15a는 반도체 기판에 형성될 수 있는 전하 국한 영역(103)의 사시도를 도시한다. 도 15b는 도 15a에 대응하는 평면도를 도시한다. 일부 실시예에서, 전하 국한 영역(103)은 벌크 반도체 기판(1500)에 형성될 수 있다.

그러나, 임의의 적절한 타입의 반도체 기판이 이용될 수 있으므로, 여기서 설명된 기술은 벌크 반도체 기판의 이용으로 제한되지 않는다. 일부 실시예에서, 기판(1500) 및 전하 국한 영역(103)은 단결정 실리콘으로 형성될 수 있다. 그러나, 임의의 적절한 타입의 반도체 재료가 이용될 수 있기 때문에, 여기서 설명된 기술은 이 점에서 제한되지 않는다. 일부 실시예에서, 실리콘 기판을 이용하는 것은, 비용-효율적인 산업 표준 CMOS 프로세스를 이용하는 것을 가능하게 할 수 있다. 그러나, 임의의 적절한 제조 공정이 이용될 수 있다. 일부 실시예에서, p형 도핑 타입을 갖는 벌크 실리콘 기판이 이용될 수 있다. 그러나, n형 도핑 또는 p형 도핑을 비롯한 임의의 적절한 도핑 타입이 이용될 수 있다.

[0238] 도 15a에 도시된 바와 같이, 전하 국한 영역(103)은 기판(1500)의 용기 부분일 수 있다. 전하 국한 영역(103)은, 도 15a 및 도 15b에 도시된 패턴으로 기판(1500)의 영역을 에칭 제거하여 기판 위로 연장되는 용기된 전하 국한 영역(103)을 남김으로써 형성될 수 있다. 그 다음, 전하 국한 영역(103)의 위에 및 측면에 절연 층이 형성될 수 있다. 예를 들어, 일부 실시예에서, 열 성장에 의해 전하 국한 영역(103) 상에 실리콘 산화물의 절연 층이 형성될 수 있다. 그러나, 임의의 적절한 기술이 절연 층을 형성하는데 이용될 수 있으며, 절연 층은 임의의 적절한 절연 재료를 포함할 수 있다.

[0239] 도 16에 도시된 바와 같이, 도 3b에 나타난 전극들은 패터닝된 폴리실리콘 층(1601)을 형성함으로써 절연 층 위에 형성될 수 있다. 전극들은, 상이한 전극들이 상이한 전압들에 있도록 서로 이격될 수 있다. 전극들은 임의의 적절한 도전성 재료로 형성될 수 있다. 일부 실시예에서, 전극들은 도핑된 폴리실리콘으로 형성될 수 있다. 그러나, 임의의 적절한 도전성 재료가 전극을 형성하는데 이용될 수 있기 때문에(예컨대, 금속), 여기서 설명된 기술은 폴리실리콘의 전극을 형성하는 것으로 제한되지 않는다. 도전성 비아(1701)는 패터닝된 폴리실리콘 층(1601) 위에 형성되어, 패터닝된 폴리실리콘 층(1601) 위에 놓인 절연 층(미도시)을 통해 폴리실리콘 층(1601)과 접촉할 수 있다. 전도성 비아(1701)들은 임의의 적절한 도전체로 형성될 수 있다.

[0240] 일부 실시예에서, 하나 이상의 전극(예컨대, 폴리실리콘 층(1601))은 p-및 n-형 도펀트를 양쪽 모두 갖는 스플릿-도핑된(split-doped) 전극일 수 있다. 스플릿-도핑된 전극은, 도 17에 나타난 바와 같이, 캐리어를 포획하는 전위 우물을 형성하는 것을 가능하게 할 수 있다. 도 17은, p+ 영역 및 n+ 영역을 갖는 스플릿-도핑된 전극(2302)을 도시한다. n+ 영역 및 p+ 영역은 하부에 놓인 반도체에서 상이한 전위 레벨들을 생성한다. 도 17에 도시된 바와 같이, 스플릿-도핑된 전극(2302)의 n+ 영역은, 전하 캐리어(예를 들어, 전자)를 국한시킬 수 있는 전위 우물을 n+ 영역 아래에 생성할 수 있다. 도 17은, 스플릿-도핑된 전극(2302)의 전압을 높게 유지하는 것은, 전위 우물(2304) 내에 전하 캐리어(예를 들어, 전자)를 국한시킬 수 있는, 점선으로 도시된 전위 구배를 생성할 수 있다는 것을 나타낸다. 스플릿-도핑된 전극(2302)의 전압을 낮추는 것은, 예를 들어, 스플릿-도핑된 전극(2302) 아래의 전위를 상승시켜 전위 우물(2304)에 포획된 전하를 전하 저장 빈에 전달하는 것을 가능하게 할 수 있다.

[0241] 도펀트는, 판독 회로(110)의 트랜지스터를 형성할 수 있도록 반도체 재료 내에 형성될 수 있다. 일부 실시예에서, 전하 국한 영역(103)을 도핑하는 것은 전하 국한 영역(103) 내에서 바람직하지 않은 전위 우물을 형성할 수 있기 때문에, 판독 회로(110)의 트랜지스터들의 형성 동안 전하 국한 영역(103)의 도핑을 방지하기 위해 전하 국한 영역(103) 위에 마스크가 배치될 수 있다.

[0242] 도 18은, 비아(1701)에 접속하기 위해 패터닝된 폴리실리콘 층(1601) 위에 금속 층(1801)(예를 들어, 금속 1)을 형성하는 것을 도시한다. 도 19는 폴리실리콘 층(1601) 및 전하 국한 영역(103) 위에 놓인 금속 층(1801)을 도시한다.

[0243] 도 20은 금속 층(1801)과 접촉하는 비아(1901)의 형성을 도시한다. 도전성 비아(1901)가 금속 층(1801) 위에 형성되어 금속 층(1801) 위에 놓인 절연 층(미도시)을 통해 금속 층(1801)과 접촉할 수 있다. 도 20은 또한, 금속 층(1801) 및 비아(1901) 위에서의 제2 금속 층(2001)(예를 들어, 금속 2)의 형성을 도시한다.

[0244] 도 21은 금속 층(2001) 위에 놓인 절연 층(미도시)을 통해 금속 층(2001)과 접촉하는 금속 층(2001) 위의 비아(2101)의 형성뿐만 아니라 제2 금속 층(2001)을 도시한다.

[0245] 도 22는 비아(2101)와 접촉하는 금속 층(2001) 및 비아(2101) 위의 제3 금속 층(2201)(예를 들어, 금속 3)의 형성을 도시한다.

[0246] 여기서 설명되는 기술은 임의의 특정한 제작 공정으로 제한되지 않기 때문에, 상기 공정은 예시로서 설명되는 것이다. 또한, 여기서 설명된 기술은 도시된 특정한 레이아웃에 관해 제한되지 않는다.

- [0247] 전하 캐리어 분리 구조물을 위한 구동 회로
- [0248] 기관 위에 놓이는 전하 캐리어 분리 구조물의 전극들은 상당한 기생 커패시턴스를 가질 수 있다. 전극의 전압을 변경하는 것은 기생 커패시턴스를 충전 또는 방전하는 것을 필요로 한다. 기생 커패시턴스를 충전 또는 방전하기 위해 전류가 제공될 수 있는 속도는, 전극의 전압이 변경될 수 있는 속도를 제한한다. 전술된 바와 같이, 일부 실시예에서, 전하 캐리어가 포획되고 나노초 또는 피코초 해상도로 시간 빈들에 전달될 수 있다. 본 발명자들은, 전극들 b0 내지 bm-1의 전압이 더 신속하게 변한다면 전하 캐리어가 포획될 수 있는 타이밍이 더 높은 정밀도를 가질 수 있어서, 정확한 순간에 전위 장벽을 상승시킬 수 있다는 것을 인식했다. 그러나, 전극들 b0 내지 bm-1 상의 전압의 변화율은, 전압 공급과 전극들 b0 내지 bm-1 사이의 접촉의 기생 인덕턴스 및 등가 직렬 저항(ESR)으로 인해 제한된다.
- [0249] 또한, 전극의 기생 커패시턴스를 충전 및 방전하는 것은 상당한 전력을 소모할 수 있다. 전극을 충전 및 방전 시킴으로써 소산되는 전력은, $P_{diss} = (1/2) \cdot f \cdot C \cdot V^2$ 이며, 여기서, C는 전극과 기관 사이의 커패시턴스이고, V는 전극과 기관 사이의 전압 차이이고, f는 전압이 스위칭되는 주파수이다.
- [0250] 도 23은 일부 실시예에 따른 전하 캐리어 분리 구조물체의 전극(2301)을 구동하기 위한 구동 회로(2300)의 예를 도시한다. 전극(2301)은 도 23에서 커패시터로서 예시되어 있다. 전술된 바와 같이, 전극(2301)은 선택된 시간들에서 비교적 낮은 전압 Vlow 및 비교적 높은 전압 Vhigh로 구동될 수 있다. 구동 회로(2300)는, 고전압 Vhigh를 생성하는 VdacH 발생기(2302) 및 저전압 Vlow를 생성하는 VdacL 발생기(2304)를 포함한다. 일부 실시예에서, Vlow와 Vhigh 사이의 차이는, 전극이 설계된 방식으로 전하 캐리어에 영향을 미침으로써 전력 소산을 감소시키거나 최소화시키도록 전극에 대해 가능한 한 작게 될 수 있다. 일부 실시예에서, VdacH 발생기(2302) 및/또는 VdacL 발생기(2304)는, 원하는 전압(Vlow 및/또는 Vhigh)을 생성할 수 있고, Vlow 및/또는 Vhigh를 변화시킬 수 있는 프로그램가능한 전압 발생기일 수 있다.
- [0251] 구동 회로(2300)는 또한, 전극(2301)의 타이밍 전압 전이를 위한 타이밍 신호를 생성할 수 있는 Bclk 발생기(2306)를 포함한다. Bclk 발생기(2306)는 프로그램가능할 수 있으며, 입력 디지털 워드에 기초하여 타이밍 신호의 엣지가 발생하는 시간을 디지털 방식으로 선택하는 것을 허용할 수 있다. 일부 실시예에서, Bclk 발생기(2306)는 전술된 바와 같이 지연 고정 루프(DLL)를 이용하여 구현될 수 있다. Bclk 발생기(2306)로부터의 타이밍 신호는, 전극(2301)을 구동하는 Bclk 구동기(2312)의 입력에 제공된다.
- [0252] 구동 회로(2300)는 또한, VdacH 증폭기(2308) 및 VdacL 증폭기(2310)를 포함한다. VdacH 증폭기(2308)는 VdacH 발생기로부터 신호를 수신하고 피드백을 이용하여 트랜지스터(2314)를 제어해 전압 VdacH를 Bclk 구동기(2312)의 고전원 단자에 제공한다. VdacH 증폭기(2308)는 또한, 커패시터(1312A)를 전압 VdacH로 충전한다. VdacL 증폭기(2310)는 VdacL 발생기로부터 신호를 수신하고 피드백을 이용하여 트랜지스터(2316)를 제어해 전압 VdacL을 Bclk 구동기(2312)의 저전원 단자에 제공한다. VdacL 증폭기(2310)는 또한, 커패시터(1312B)를 전압 VdacL로 충전한다.
- [0253] 전술된 바와 같이, 전극(2301)은 상당한 커패시턴스를 가질 수 있다. 전극(2301)을 고속으로 충전하기에 충분한 전류를 공급하기 위해, 전이 동안에 Bclk 구동기(2312)의 저전원 단자 또는 Bclk 구동기(2312)의 고전원 단자에 전류를 공급하는 디커플링 커패시터(1312A 및 1312B)가 제공될 수 있다.
- [0254] 디커플링 커패시터(들)은, 전극과 디커플링 커패시터 사이의 기생 인덕턴스 및 등가 직렬 저항(ESR)을 제한하기 위해 전극에 근접하여 위치할 수 있다. 전극의 전압이 새로운 전압으로 변경될 때, 전극은, 전극의 전압을 신속하게 변화시킬 수 있도록 낮은 기생 인덕턴스 및/또는 등가 직렬 저항(ESR)을 갖는 전류 경로를 통해 전극에 전류를 공급하는 새로운 전압의 디커플링 커패시터에 접속된다. 일부 실시예에서, 디커플링 커패시터는, 디커플링 커패시터와 전극 사이의 기생 인덕턴스가 3nH 미만, 2nH 미만 또는 1nH 미만이 되도록, 전극에 충분히 근접하여 배치될 수 있다. 일부 실시예에서, 디커플링 커패시터와 전극 사이의 전류 경로의 등가 직렬 저항(ESR)은, 70 오옴 미만, 35 오옴 미만 또는 5 오옴 미만이다. 그러나, 여기서 설명된 기술은 인덕턴스 또는 저항의 특정한 값으로 제한되지 않으므로, 이들 값들은 단지 예로서 제공된 것이다.
- [0255] 일부 실시예에서, 전극들 b0 내지 bm-1은 하나 이상의 디커플링 커패시터에 접속가능할 수 있다. 일부 실시예에서, 각각의 전극 b0 내지 bm-1은 그 자체의 디커플링 커패시터(들)를 가질 수도 있다. 예를 들어, 일부 실시예에서, 전극은, 전극의 고전압 공급과 저전압 공급 사이에 결합된 단일의 디커플링 커패시터, 또는 고전압 공급 및 저전압 공급에 각각 결합된 2개의 디커플링 커패시터를 가질 수 있다. 그러나, 여기서 설명된 기술은 이 점에서 제한되지 않는다. 전하 캐리어 분리 구조물의 임의의 또는 모든 전극이 디커플링 커패시터에 접속될 수

있다.

- [0256] 디커플링 커패시터는 임의의 적절한 커패시턴스 값을 가질 수 있다. 일부 실시예에서, 디커플링 커패시터의 커패시턴스 값은, 접속되는 전극의 커패시턴스의 10 내지 100 배이다. 일부 실시예에서, 디커플링 커패시터의 커패시턴스는, 적어도 150pF, 300pF, 또는 3nF 이상일 수 있다. 그러나, 여기서 설명된 기술은 특정한 값의 커패시턴스에 제한되지 않으므로, 이들 값들은 단지 예시로서 제공된 것이다.
- [0257] 디커플링 커패시터는 온칩 또는 오프칩일 수 있다. 도 24는, "칩-온-보드(chip-on-board)" 또는 "다이-온-보드(die-on-board)" 구현이라고 지칭될 수 있는, 칩(1300)이 인쇄 회로 기판(1310)에 부착되는 실시예를 도시한다. 와이어 본드(wire bond)는 칩(1300)을 인쇄 회로 기판(1310) 상의 하나 이상의 디커플링 커패시터(1312)에 접속함으로써, 칩(1300)의 전극과 디커플링 커패시터(1312) 사이에 낮은 기생 인덕턴스 및/또는 증가 직렬 저항(ESR)을 갖는 전류 경로를 제공할 수 있다. 일부 실시예에서, 오프칩 디커플링 커패시터는, 칩(1300)의 1cm 이내 또는 5mm 이내, 또는 그보다 이하 내에 위치할 수 있다. 그러나, 여기서 설명된 기술은 이 점에서 제한되지 않는다. 전술된 바와 같이, 디커플링 커패시터(들)는 칩(1300) 상에 형성될 수 있다.
- [0258] 전술된 바와 같이, 전하 캐리어 분리 구조물의 전극들을 충전 및 방전하는 것은 상당한 전력을 소산할 수 있다. 일부 실시예에서, 칩(1300)의 픽셀들의 하나 이상의 행과 그 대응하는 전극들은 디스에이블될 수 있으며, 이것은 칩(1300)의 전력 소비를 제한할 수 있다. 칩(1300)은 이 점에서 프로그래밍가능할 수 있으며, 어떤 행이 인에이블 또는 디스에이블될지를 선택할 수 있다. 인에이블 또는 디스에이블되는 행은 시간의 경과에 따라 변경될 수 있다.
- [0259] 도 25는 칩의 중앙 영역 내의 32개의 행을 인에이블하고 칩의 엣지에 있는 48개의 행을 디스에이블하는 것을 도시한다. 칩의 하나 이상의 행을 디스에이블하는 것은, 칩의 모든 행이 필요하지는 않은 상황 또는 응용에서 전력 소비를 감소시킬 수 있다.
- [0260] 추가 양태들
- [0261] 일부 실시예에서, 여기서 설명된 기술은 하나 이상의 컴퓨팅 디바이스를 이용하여 실행될 수 있다. 실시예들은 임의의 특정한 타입의 컴퓨팅 디바이스와 함께 동작하는 것으로 제한되지 않는다.
- [0262] 도 26은, 픽셀 어레이를 제어하거나 픽셀로부터의 데이터의 분석을 수행하기 위한 제어 회로를 구현하는데 이용될 수 있는 예시적인 컴퓨팅 디바이스(1000)의 블록도이다. 컴퓨팅 디바이스(1000)는, 하나 이상의 프로세서(1001) 및 하나 이상의 타입의 비일시적 컴퓨터 판독가능한 저장 매체(예를 들어, 메모리(1003))를 포함할 수 있다. 메모리(1003)는, 실행될 때 전술된 기능성 중 임의의 것을 구현하는 컴퓨터 프로그램 명령어들을 유형의 비일시적인 컴퓨터 기록가능 매체에 저장할 수 있다. 프로세서(들)(1001)은 메모리(1003)에 결합될 수 있고, 이러한 컴퓨터 프로그램 명령어를 실행하여 그 기능이 실현되고 수행되게 할 수 있다.
- [0263] 컴퓨팅 디바이스(1000)는 또한, 컴퓨팅 디바이스가 (예를 들어, 네트워크를 통해) 다른 컴퓨팅 디바이스와 통신할 수 있는 네트워크 입력/출력(I/O) 인터페이스(1005)를 포함할 수 있으며, 또한 컴퓨팅 디바이스가 사용자에게 출력을 제공하고 사용자로부터 입력을 수신할 수 있는 하나 이상의 사용자 I/O 인터페이스(1007)를 포함할 수 있다. 사용자 I/O 인터페이스는, 키보드, 마우스, 마이크로폰, 디스플레이 디바이스(예를 들어, 모니터 또는 터치 스크린), 스피커, 카메라 및/또는 다양한 다른 타입의 I/O 디바이스 등의 디바이스를 포함할 수 있다.
- [0264] 전술된 실시예들은 다양한 방식들 중 임의의 방식으로 구현될 수 있다. 예를 들어, 실시예들은 하드웨어, 소프트웨어, 또는 이들의 조합으로 구현될 수 있다. 소프트웨어로 구현될 때, 소프트웨어 코드는, 단일의 컴퓨팅 디바이스에 제공된 또는 복수의 컴퓨팅 디바이스들 사이에 분산된 임의의 적절한 프로세서(예를 들어, 마이크로프로세서) 또는 프로세스들의 집합 상에서 실행될 수 있다. 전술된 기능들을 수행하는 임의의 컴포넌트 또는 컴포넌트들의 집합은 앞서 논의된 기능들을 제어하는 하나 이상의 제어기로서 총칭적으로 간주될 수 있다는 것을 이해해야 한다. 하나 이상의 제어기들은, 전용 하드웨어에 의해, 또는 상기 기재된 기능을 수행하는 마이크로코드 또는 소프트웨어를 이용하여 프로그램된 범용 하드웨어(예를 들어, 하나 이상의 프로세서)에 의해 등으로 다양한 방식으로 구현될 수 있다.
- [0265] 이와 관련하여, 여기서 설명된 실시예의 한 구현은, 하나 이상의 프로세서 상에서 실행될 때, 하나 이상의 실시예의 전술된 기능을 수행하는 컴퓨터 프로그램(즉, 복수의 실행가능한 명령어)으로 인코딩된 적어도 하나의 컴퓨터 판독가능한 저장 매체(예를 들어, RAM, ROM, EEPROM, 플래시 메모리 또는 다른 메모리 기술, CD-ROM, DVD, 또는 기타의 광 디스크 스토리지, 자기 카세트, 자기 테이프, 자기 디스크 스토리지 또는 기타의 자기 스토리지 디바이스, 또는 기타의 유형의 비일시적인 컴퓨터-판독가능한 저장 매체)를 포함한다는 것을 이해해야 한다.

컴퓨터-판독가능한 매체는, 매체에 저장된 프로그램이 임의의 컴퓨팅 디바이스 상에 로딩되어 여기서 논의된 기술들의 양태들을 구현할 수 있도록 이송가능할(transportable) 수 있다. 또한, 실행될 때 전술된 기능들 중 임의의 것을 수행하는 컴퓨터 프로그램에 대한 언급은 호스트 컴퓨터에서 실행되는 애플리케이션 프로그램으로 제한되지 않는다는 점을 이해해야 한다. 오히려, 컴퓨터 프로그램 및 소프트웨어라는 용어는, 여기서 논의된 기술들의 양태를 구현하기 위해 하나 이상의 프로세서에 채용될 수 있는 임의 타입의 컴퓨터 코드(예를 들어, 애플리케이션, 소프트웨어, 펌웨어, 마이크로코드, 또는 기타 임의의 형태의 컴퓨터 명령어)를 언급하기 위해 본 명세서에서 일반적 의미로 사용된다.

[0266] 본 발명의 다양한 양태들은, 단독으로, 조합하여, 또는 상기에서 설명된 실시예에서 특별히 논의되지 않은 다양한 방식으로 이용될 수 있으므로, 그 적용성은 상기 설명에서 개시되거나 도면에 예시된 컴포넌트들의 상세사항이나 배열로 제한되지 않는다. 예를 들어, 한 실시예에서 설명된 양태들은 다른 실시예들에서 설명된 양태들과 임의의 방식으로 조합될 수 있다.

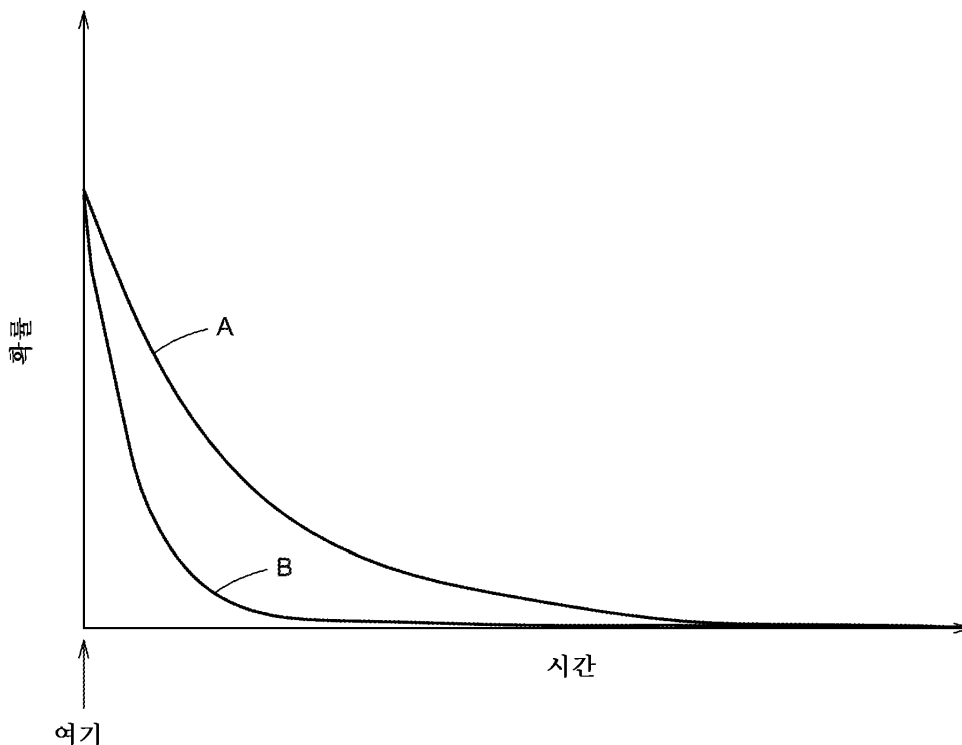
[0267] 또한, 본 발명은 방법으로서 구현될 수 있고, 그 예는 이미 제공되었다. 방법의 일부로서 수행되는 동작들은 임의의 적절한 방식으로 정렬될 수 있다. 따라서, 예시적인 실시예에서는 순차적 동작들로서 도시되어 있더라도, 일부 동작들을 동시에 수행하는 것을 포함할 수 있는, 동작들이 예시된 것과는 상이한 순서로 수행되는 실시예들이 구성될 수 있다.

[0268] 청구항들에서 청구항 요소를 변경하기 위해 제1", "제2", "제3" 등의 서수 용어의 사용은, 그 자체로, 하나의 청구항 요소의 또 다른 청구항 요소에 대한 임의의 우선권, 우선순위, 또는 순서를 함축하거나, 방법의 동작들이 수행되는 시간적 순서를 함축하는 것은 아니며, 소정의 명칭을 갖는 하나의 청구항 요소를 동일한 명칭을 갖는 또 다른 청구항 요소와 구별하여 청구항 요소들을 구별하기 위한 라벨로서 이용될 뿐이다.

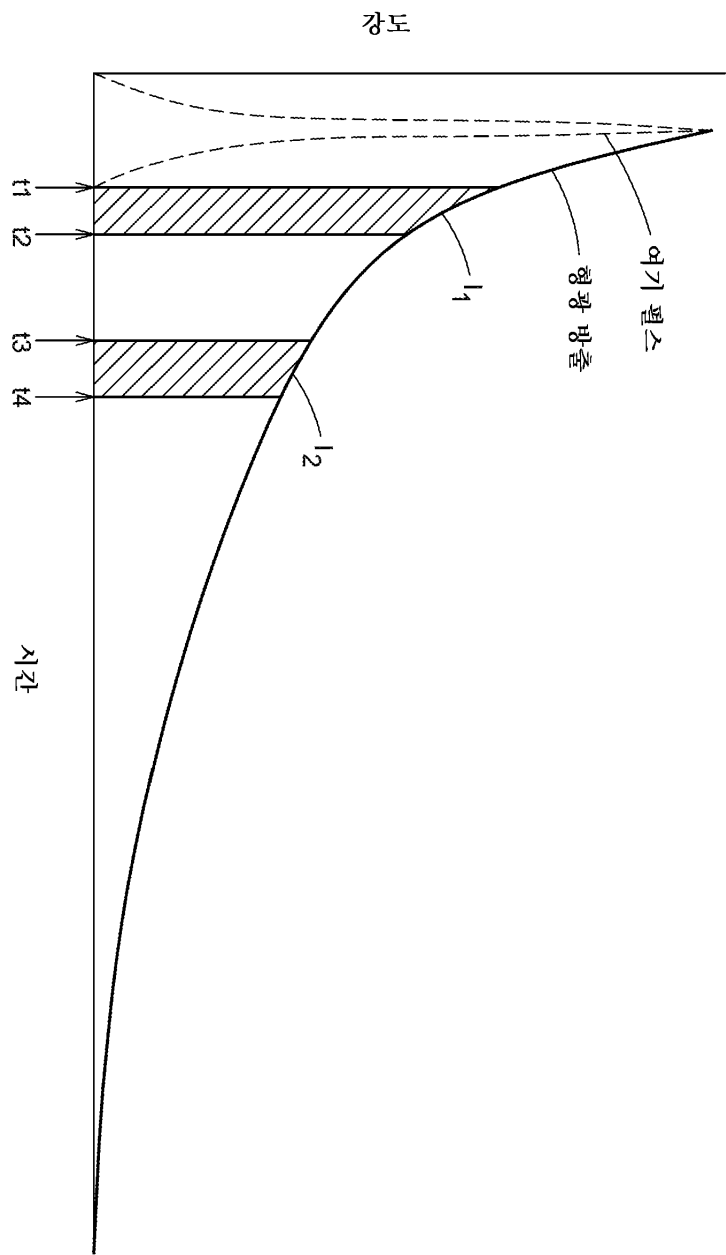
[0269] 또한, 여기서 사용되는 어법과 용어는 설명의 목적을 위한 것이며 제한적인 것으로 간주되어서는 안 된다. 여기서, "내포하는(including)", "포함하는(comprising)", 또는 "갖는(having)", "담고 있는(containing)", "수반하는(involving)" 및 그 파생어들은 이후에 열거되는 항목들과 그 균등물 뿐만 아니라 추가 항목들을 포괄하는 것을 의미한다.

도면

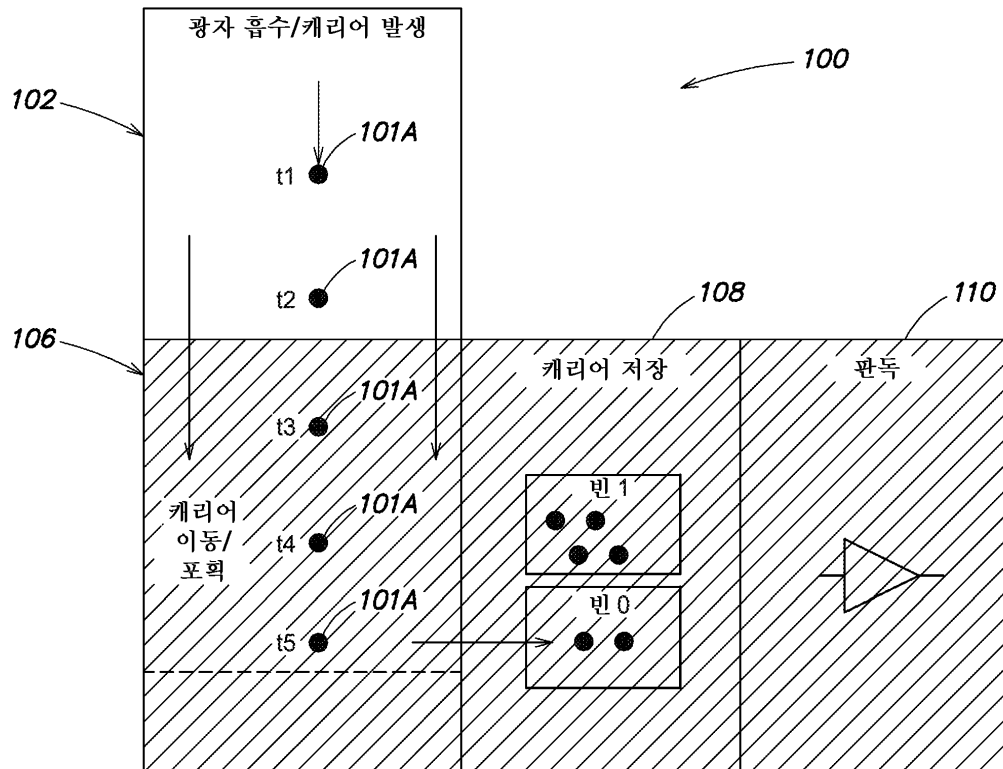
도면1a



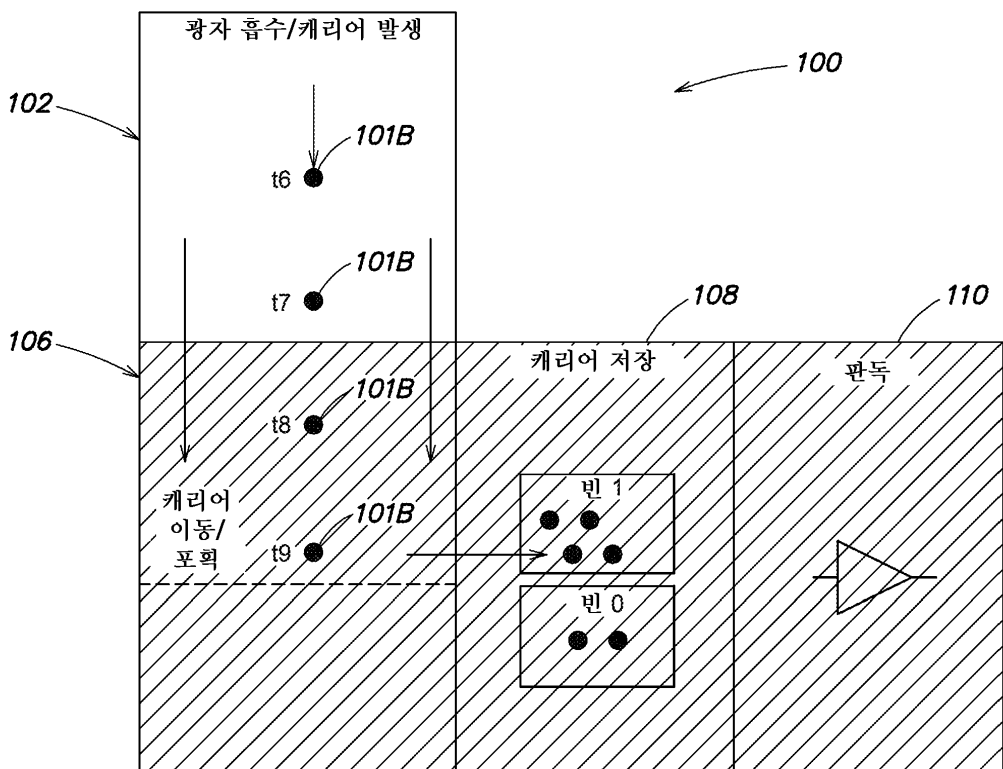
도면1b



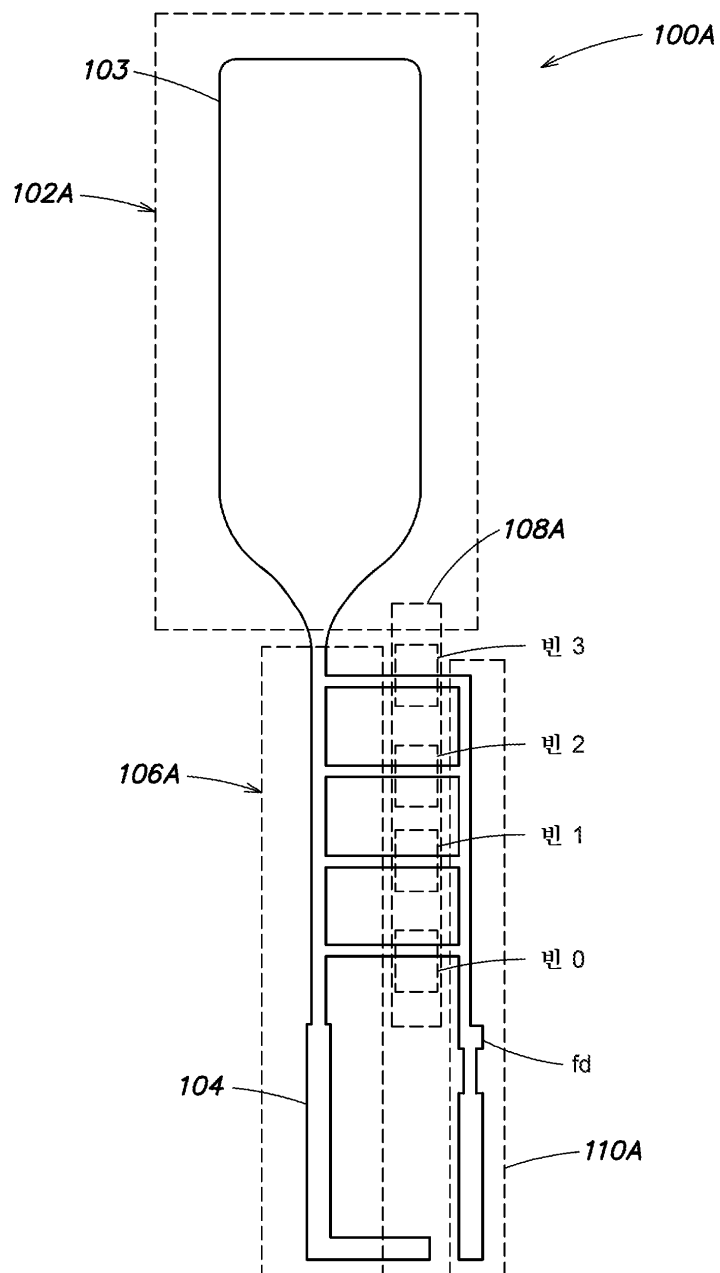
도면2a



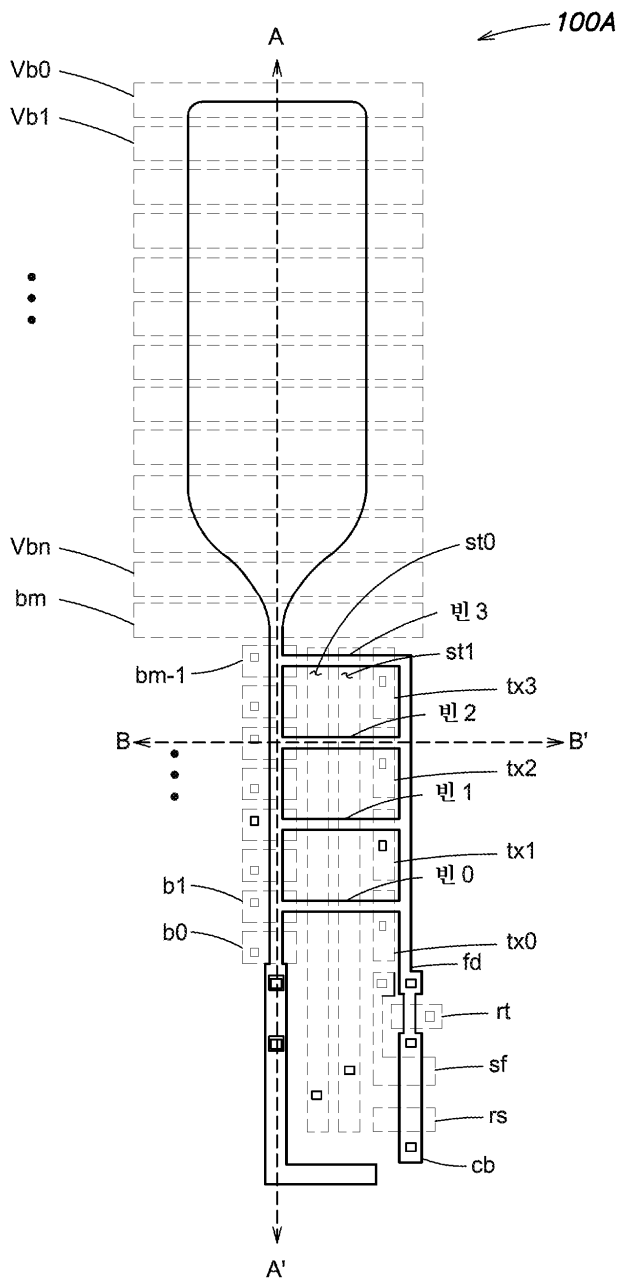
도면2b



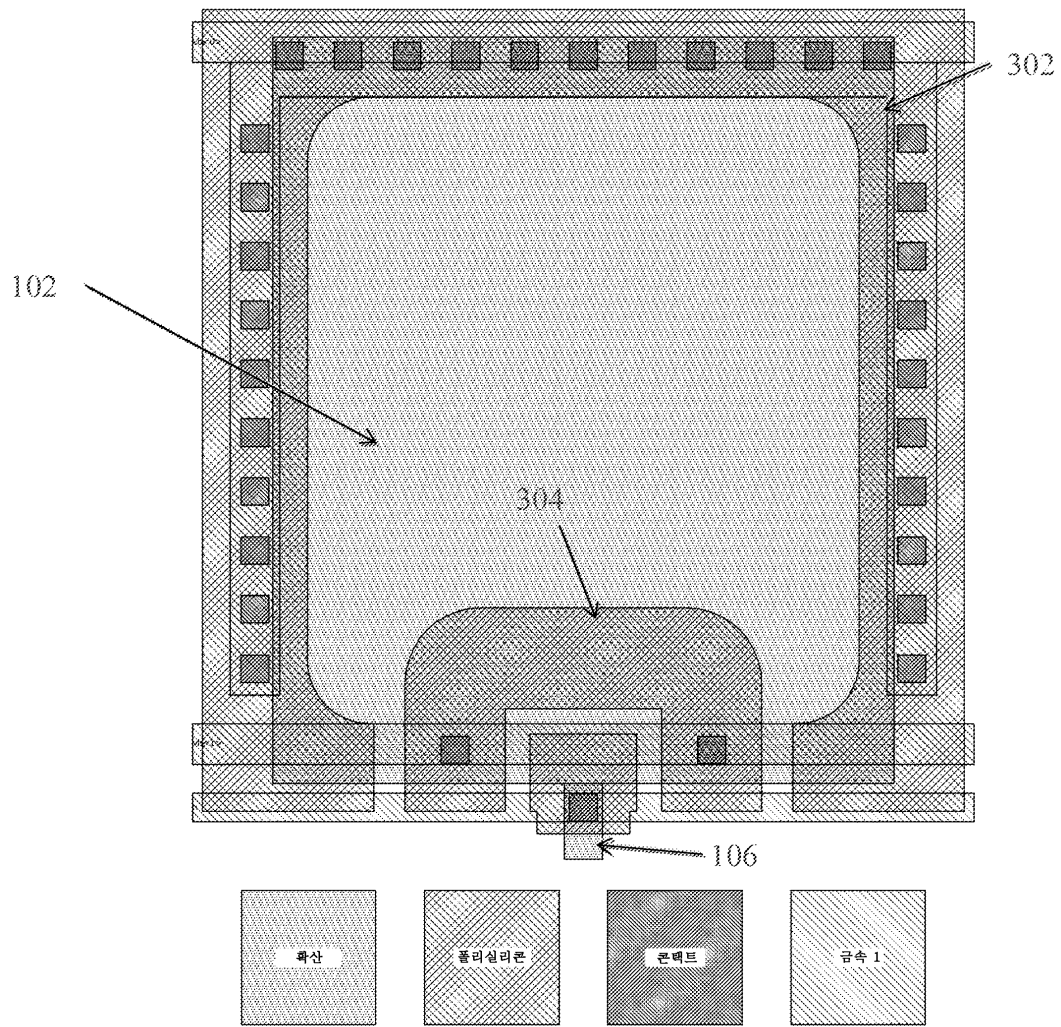
도면3a



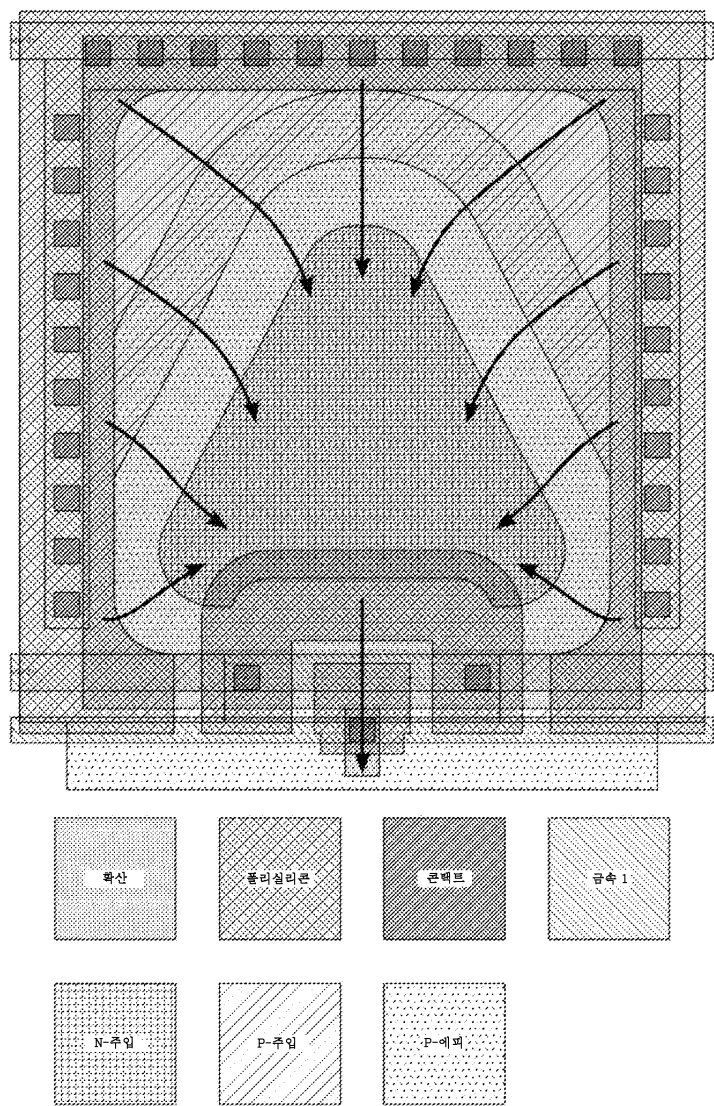
도면3b



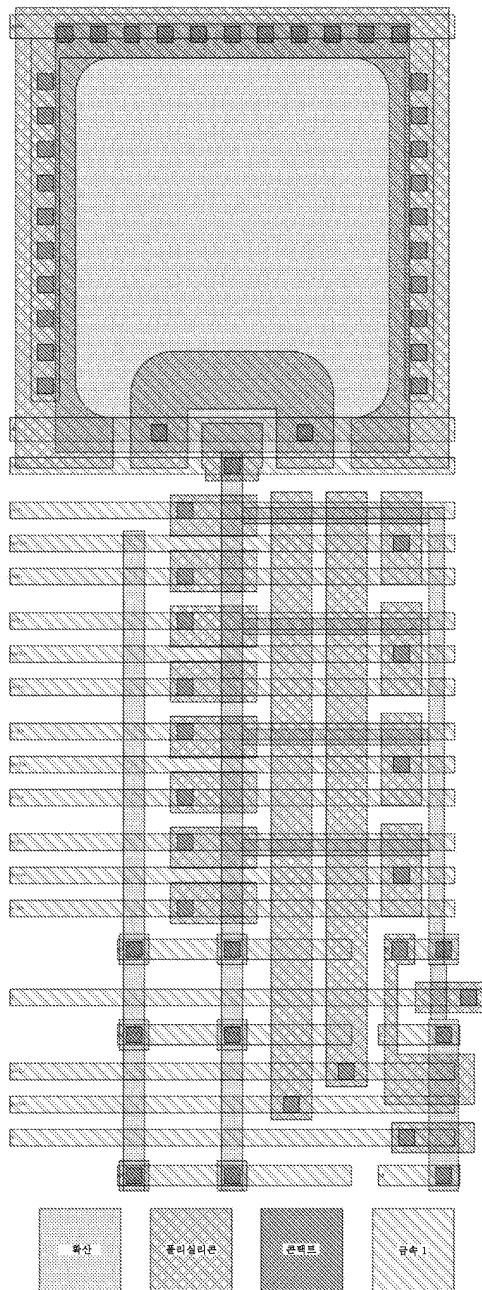
도면3c



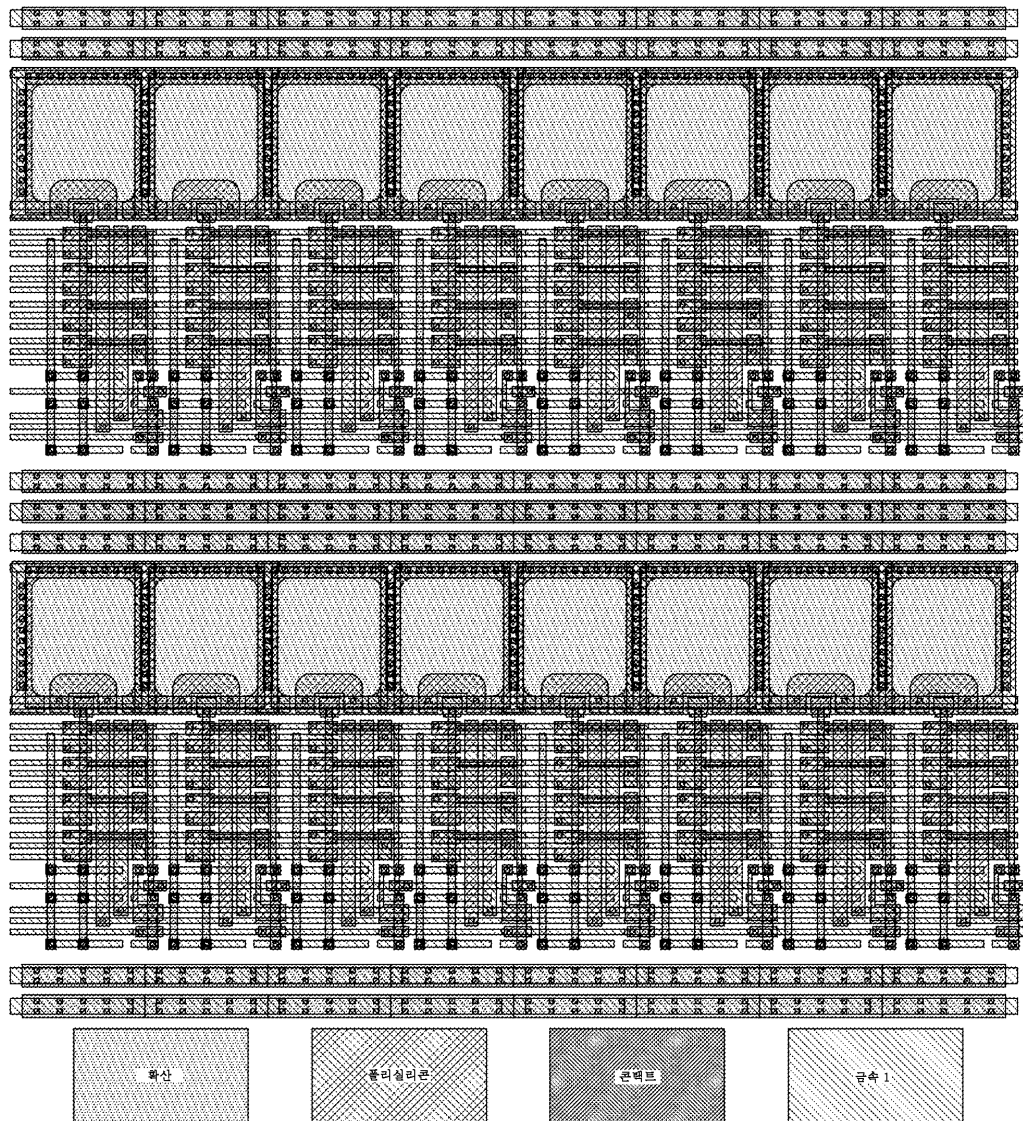
도면3d



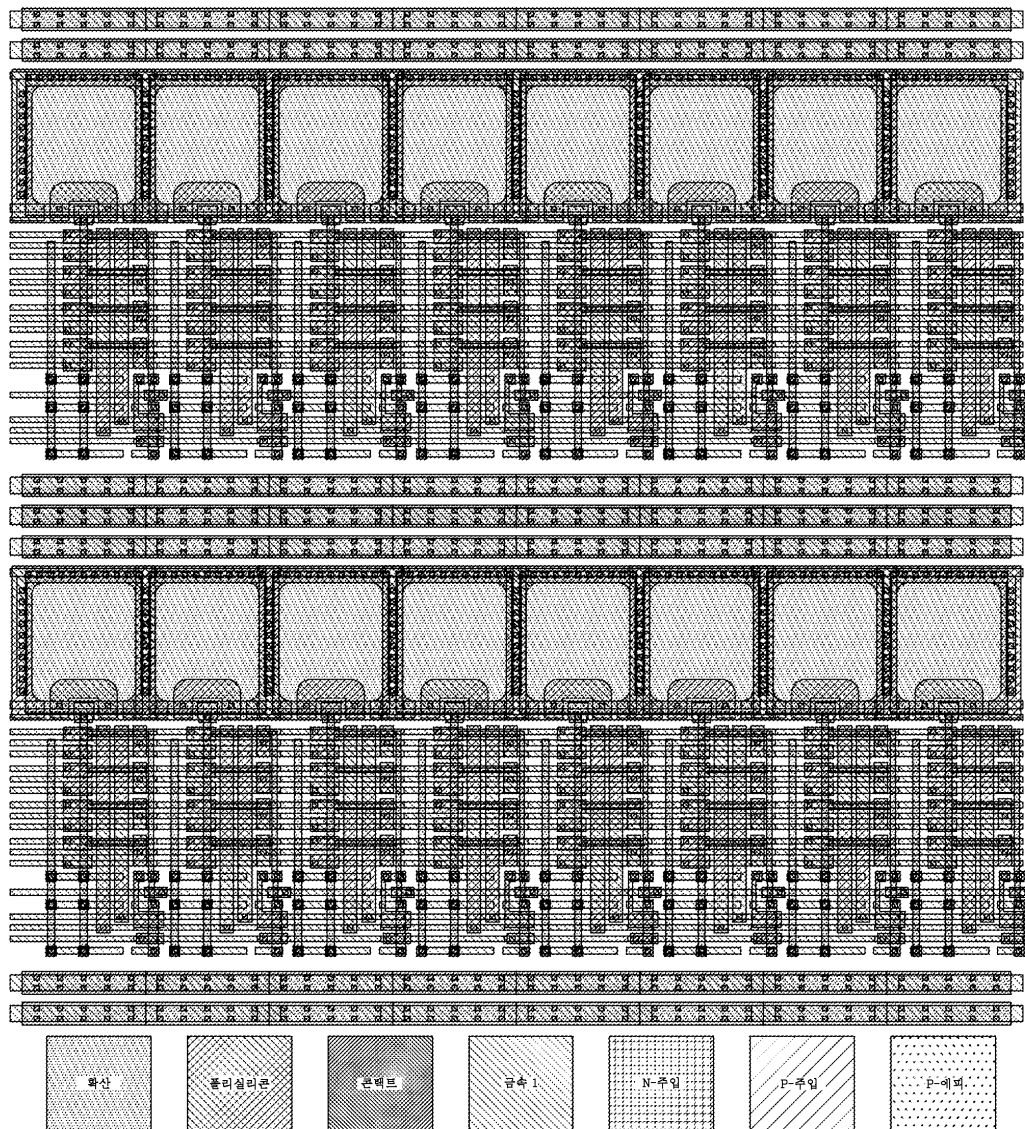
도면3e



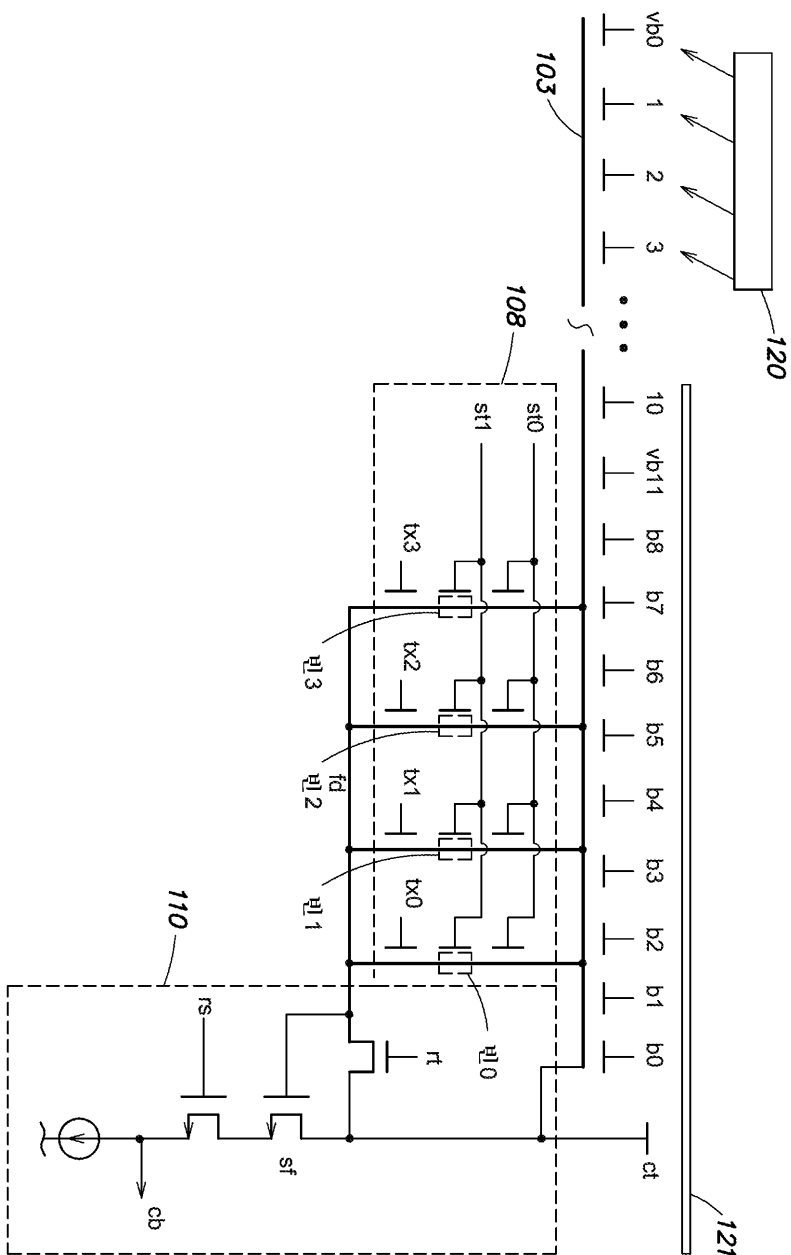
도면3f



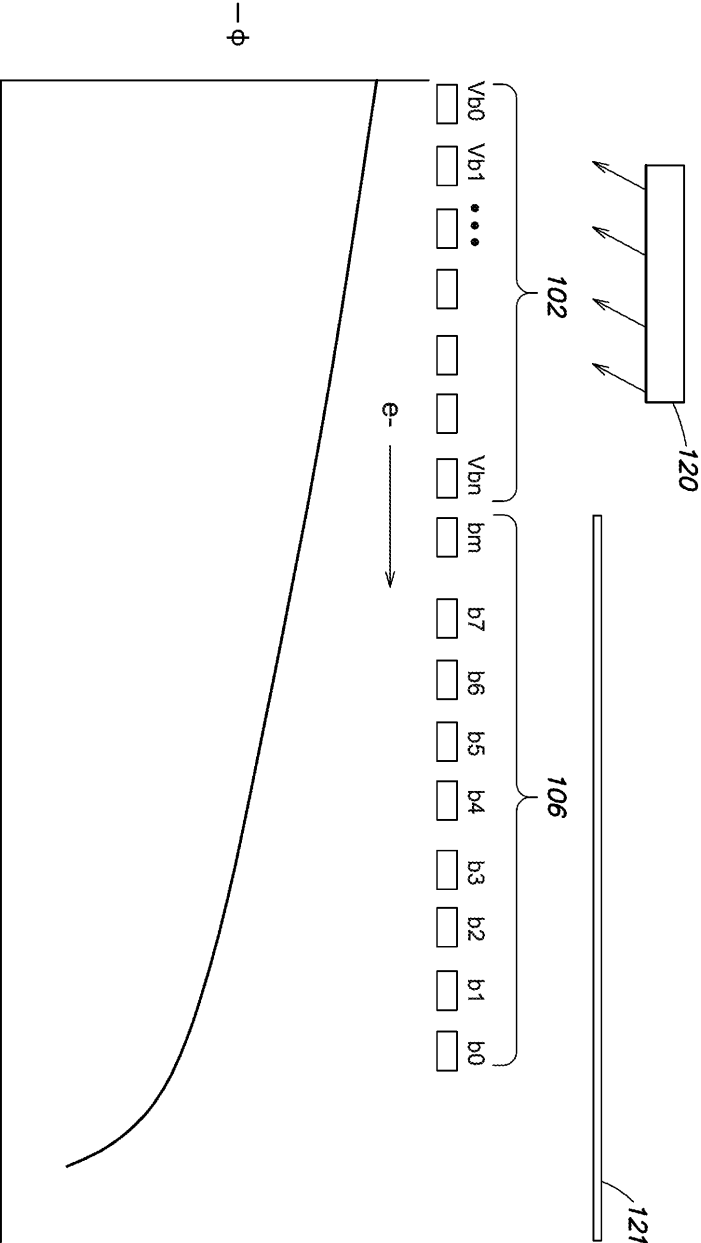
도면3g



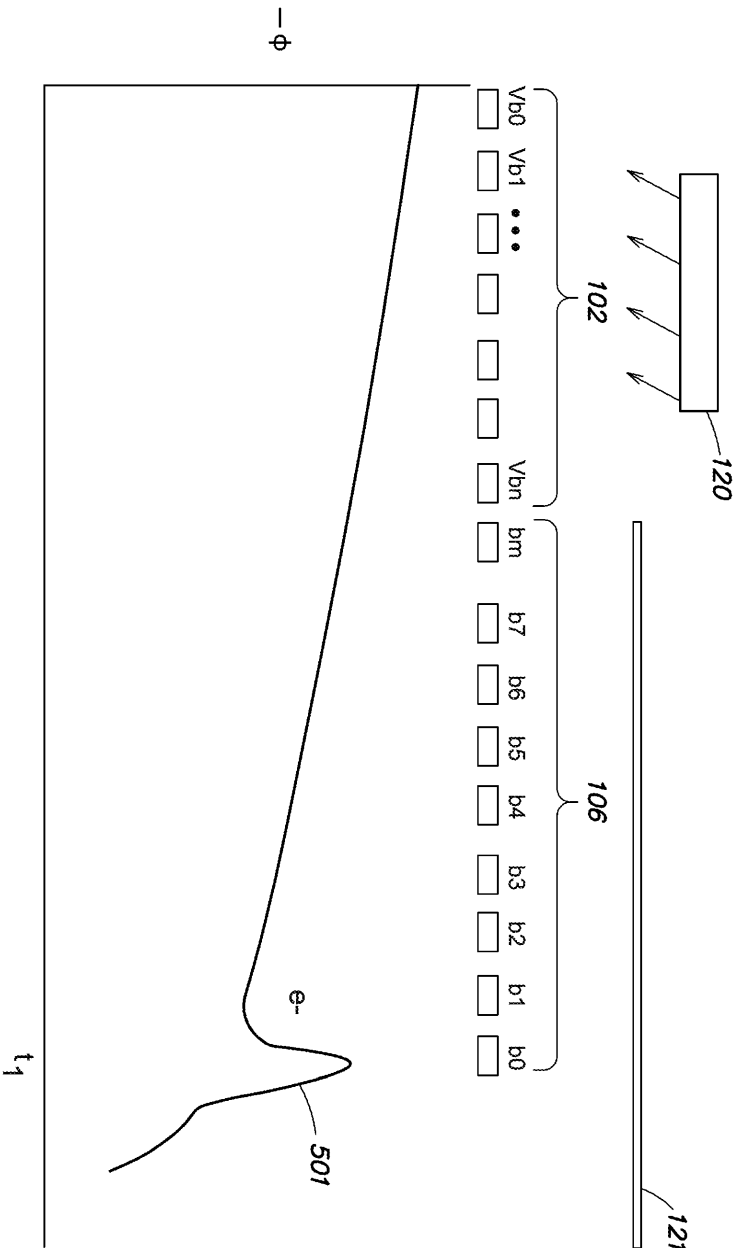
도면4



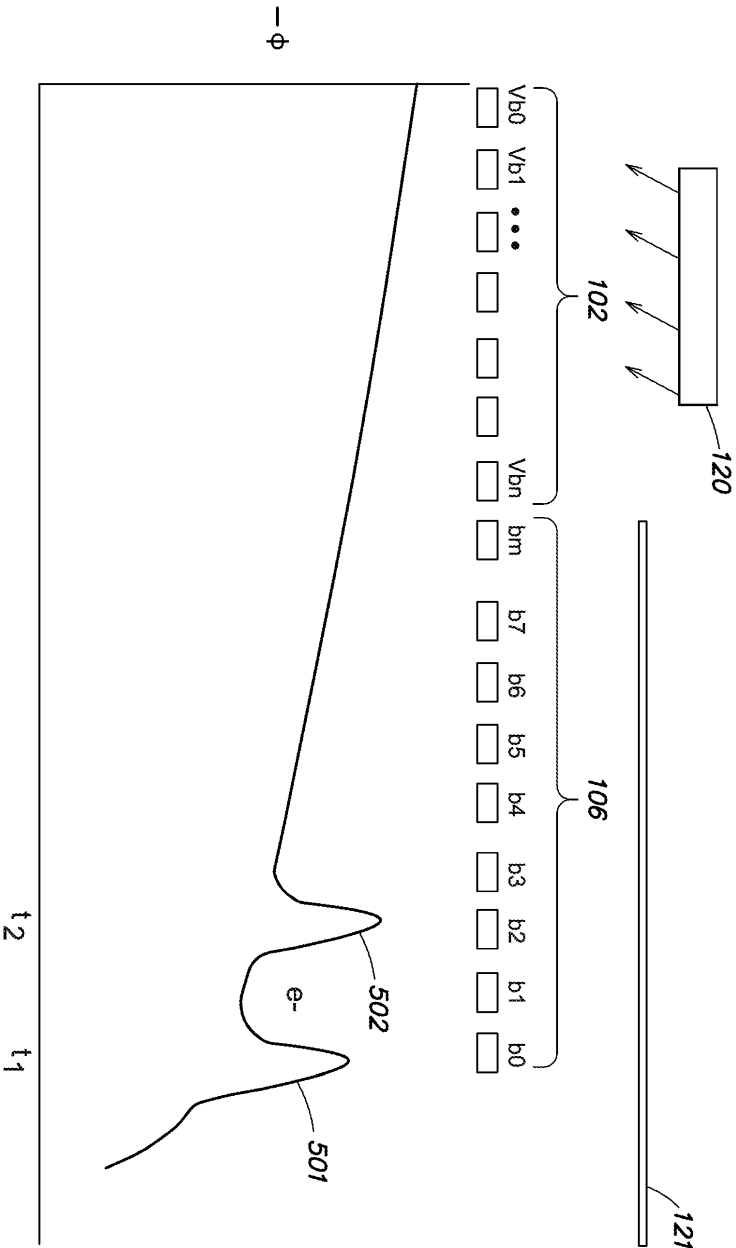
도면5a



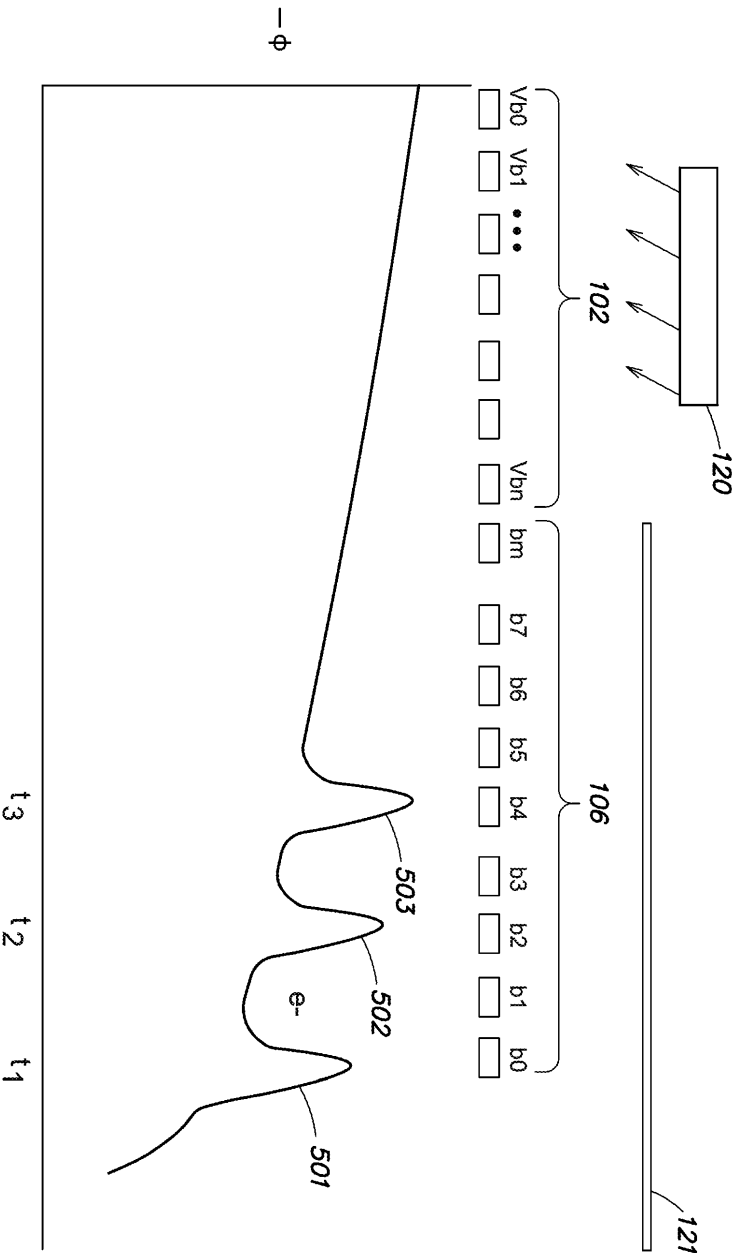
도면5b



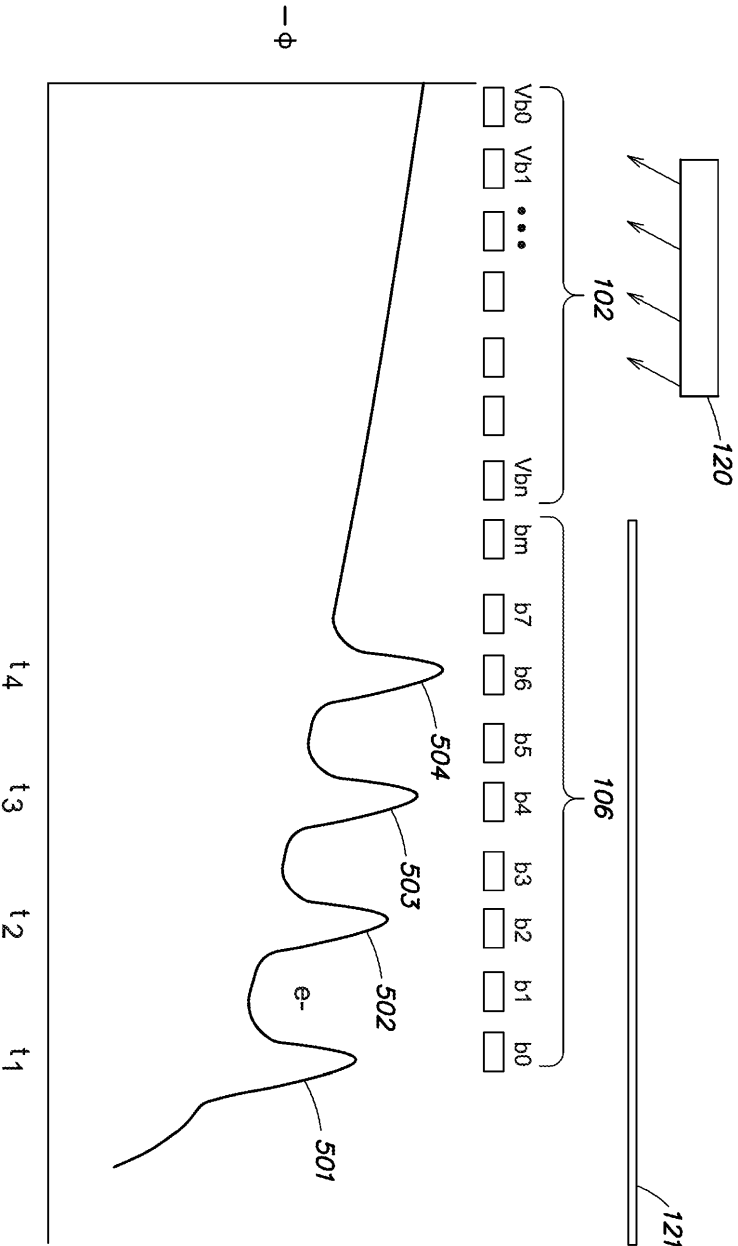
도면5c



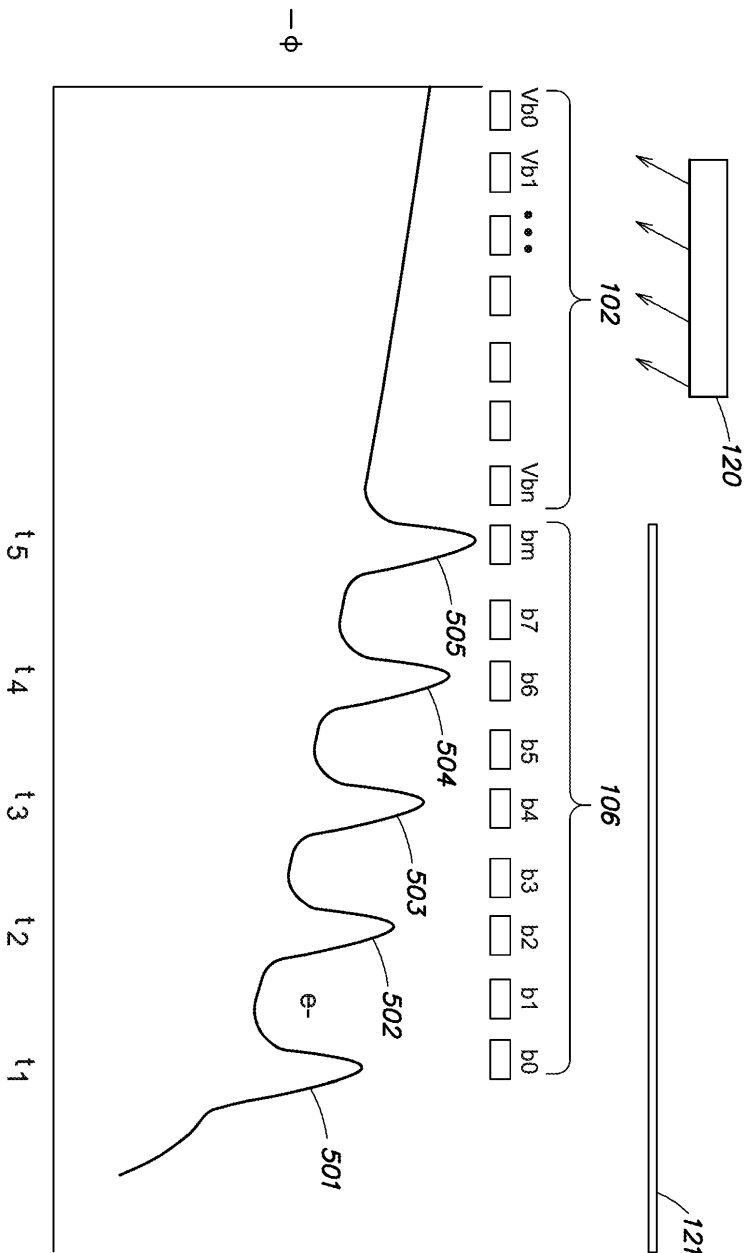
도면5d



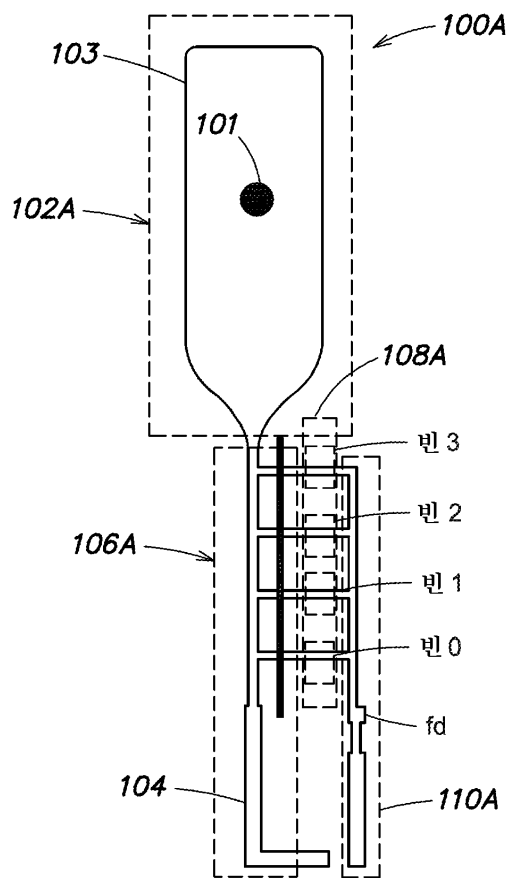
도면5e



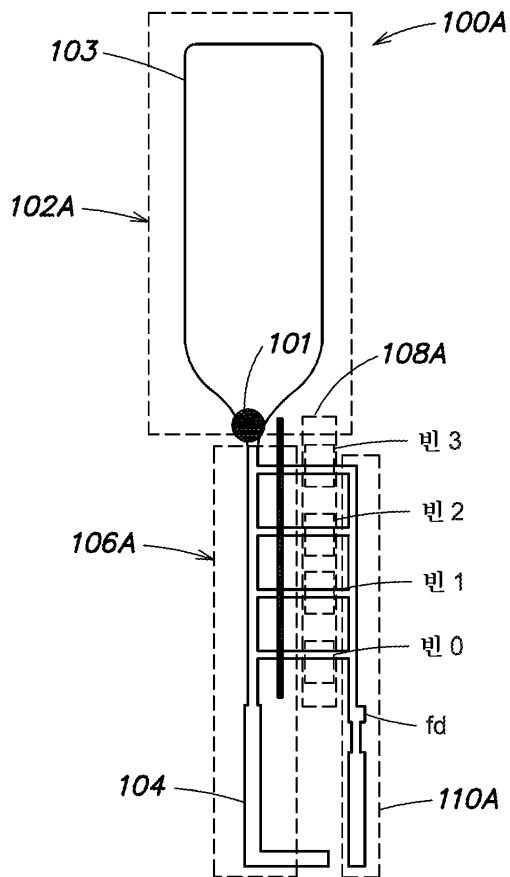
도면5f



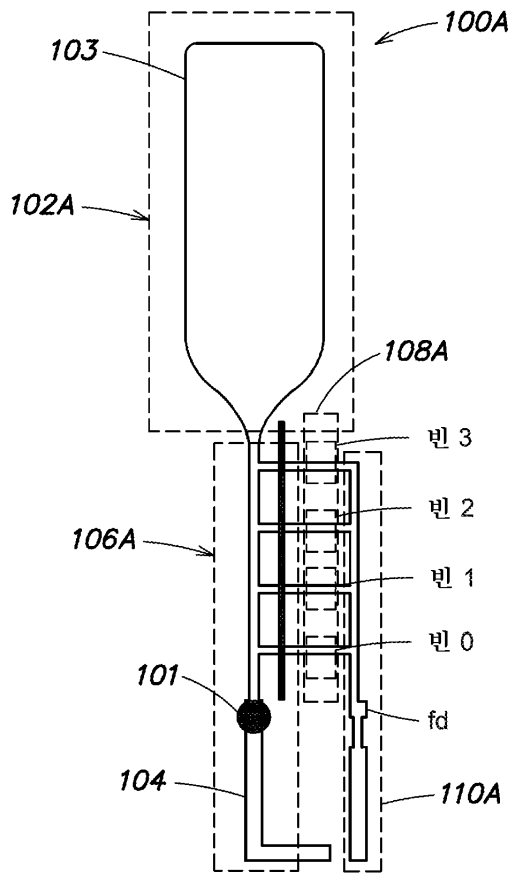
도면6a



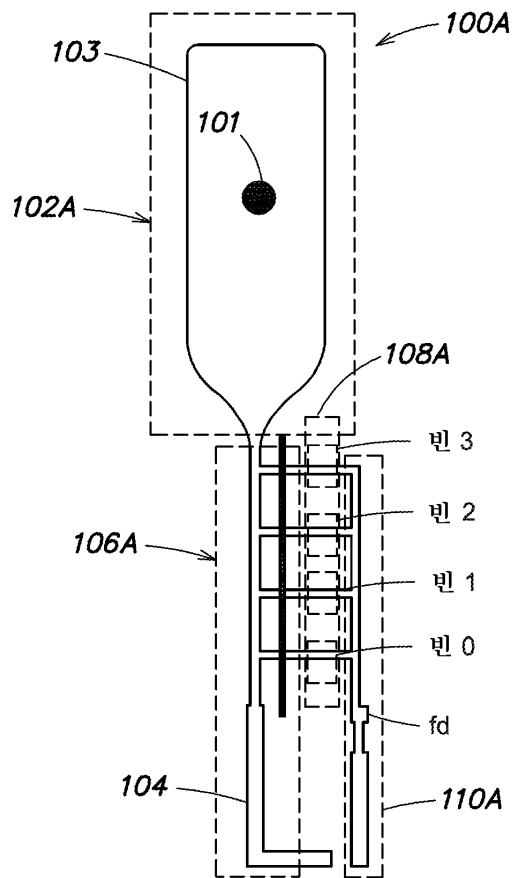
도면6b



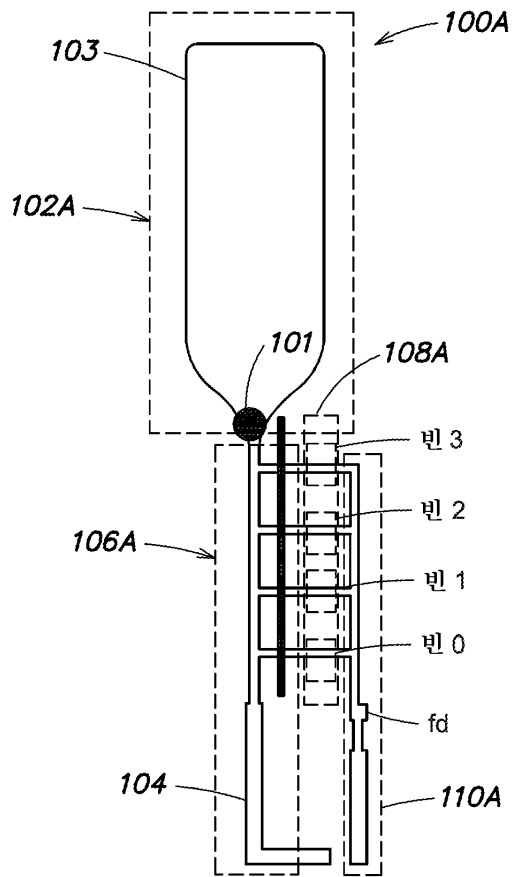
도면6c



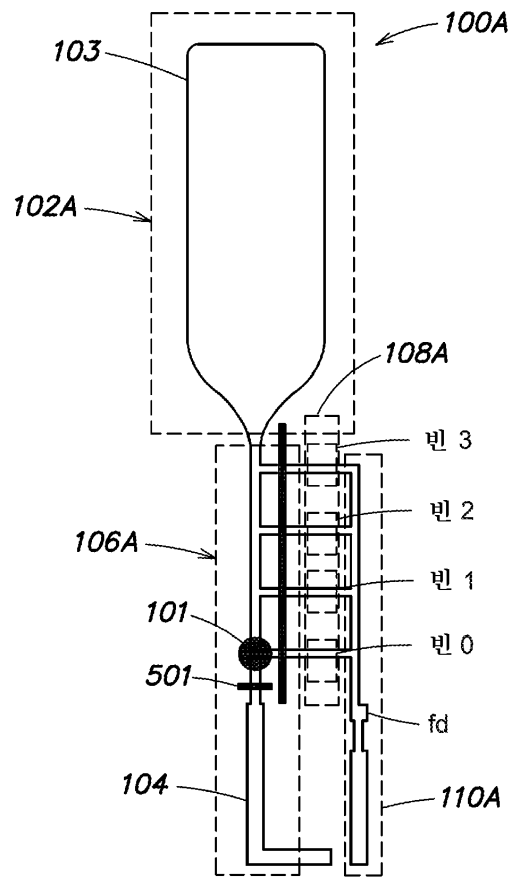
도면6d



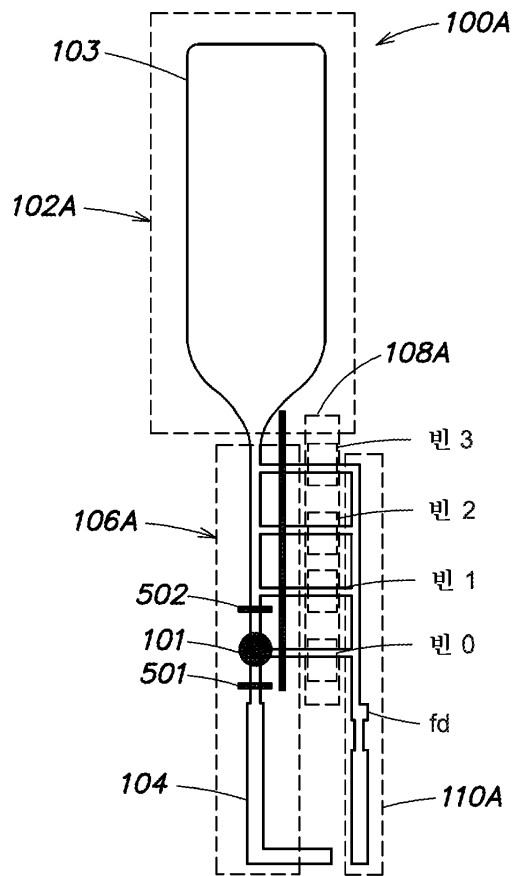
도면6e



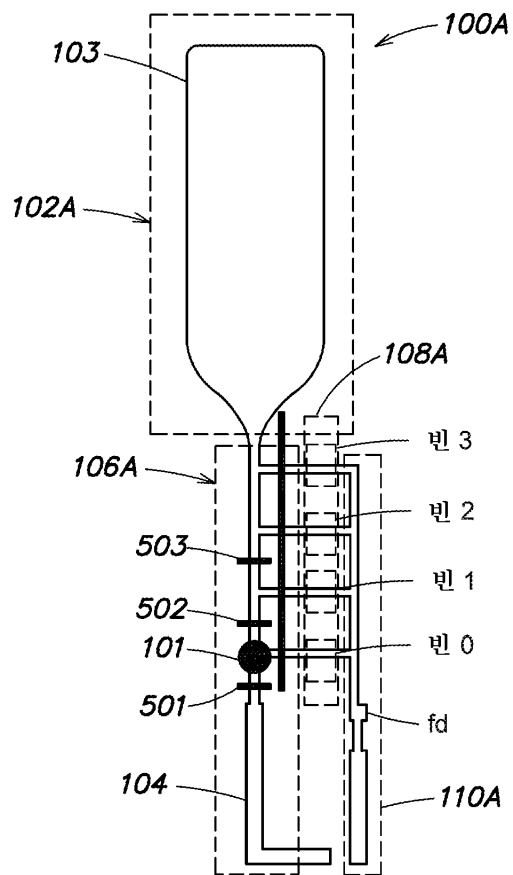
도면6f



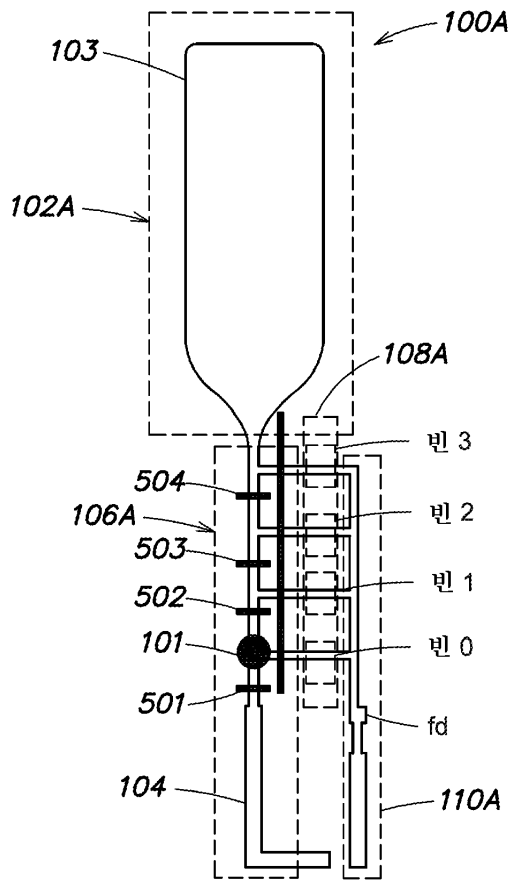
도면6g



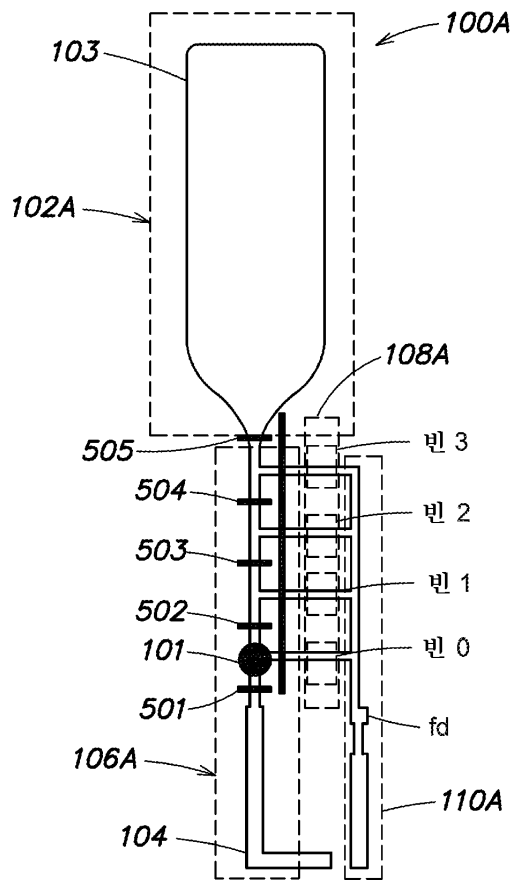
도면 6h



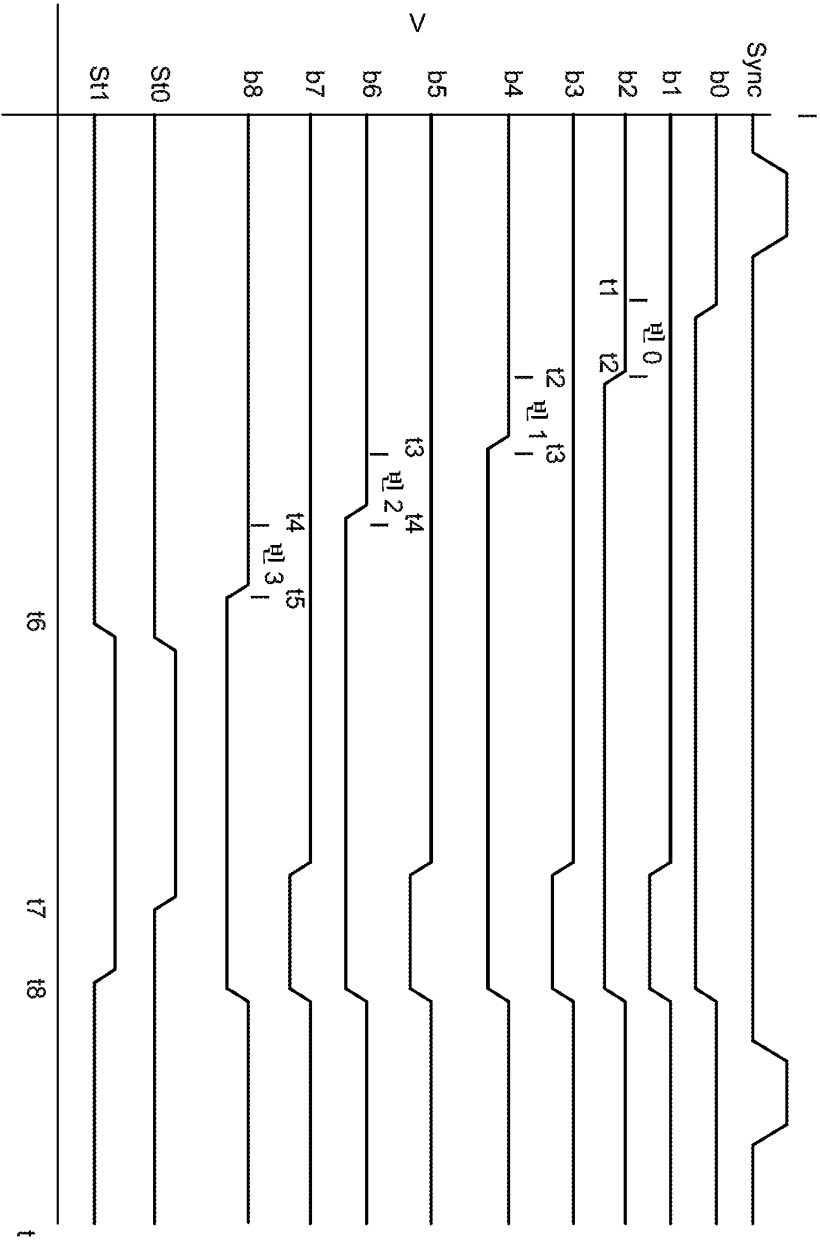
도면6i



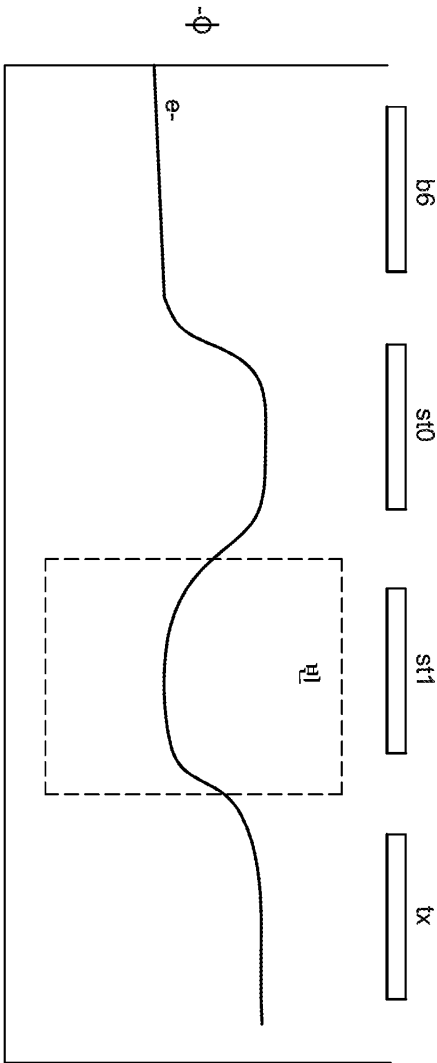
도면6j



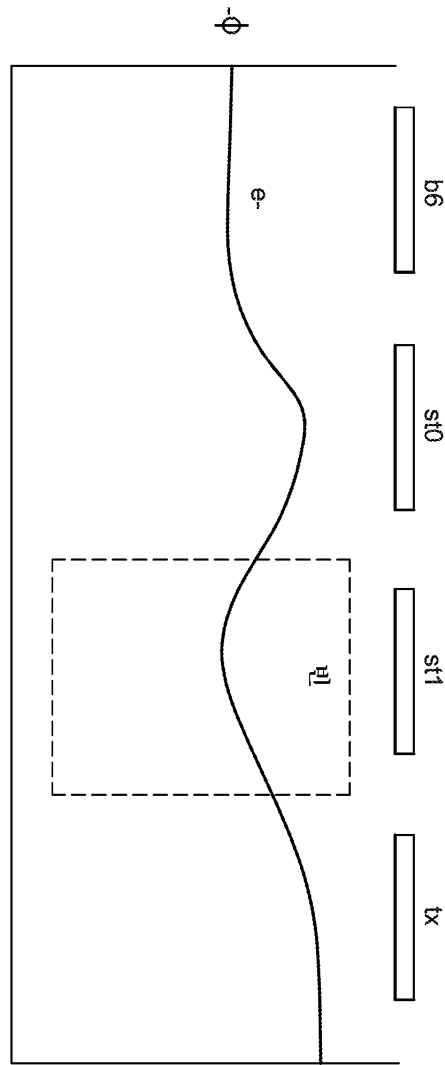
도면6k



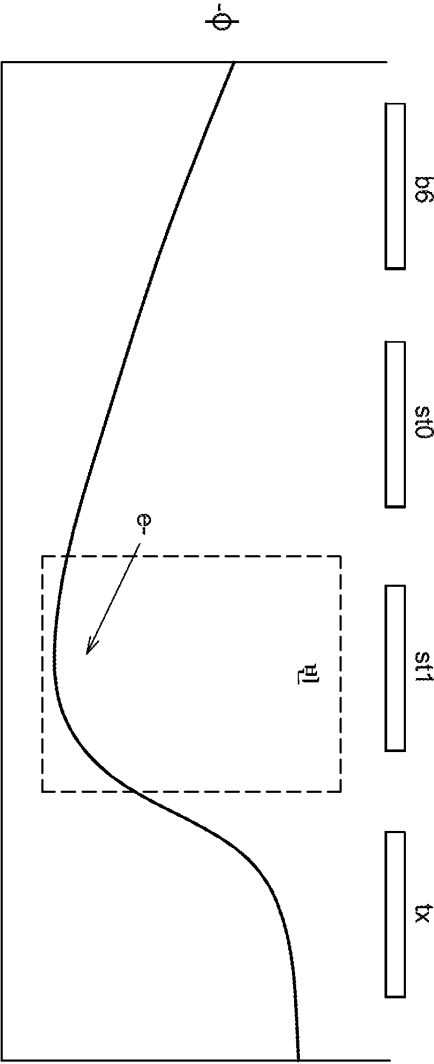
도면7a



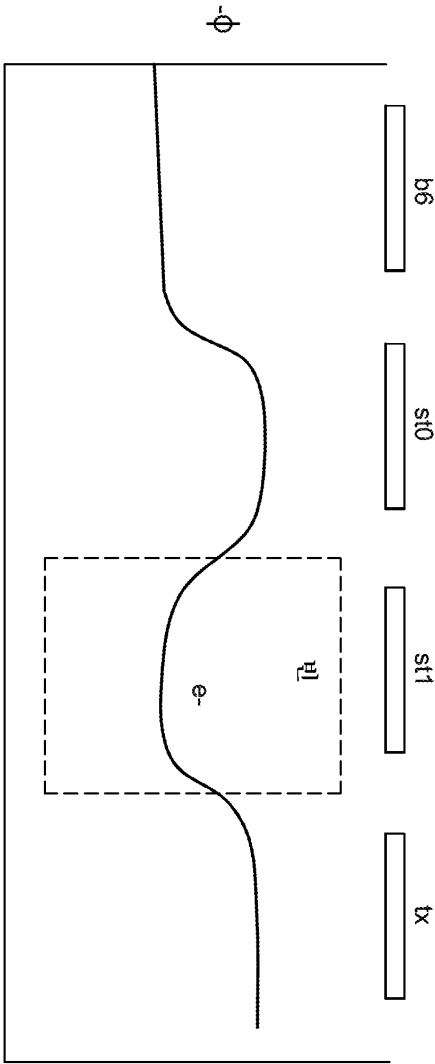
도면7b



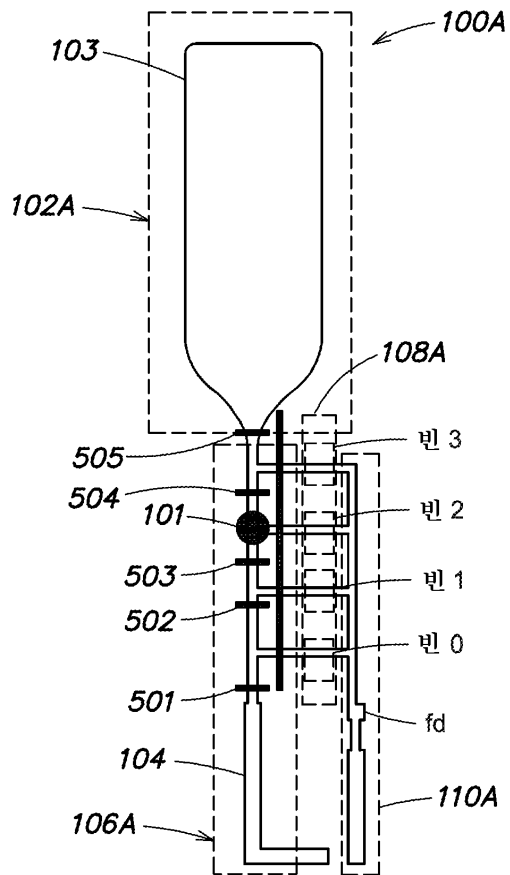
도면7c



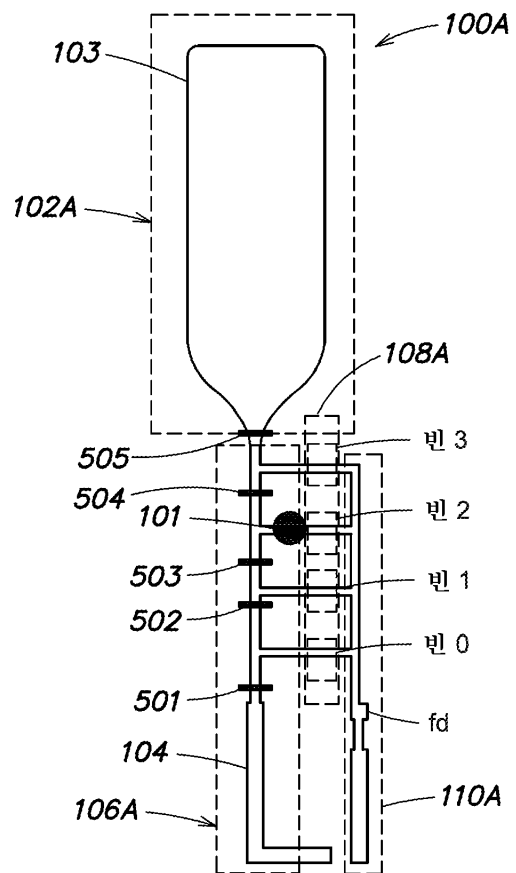
도면7d



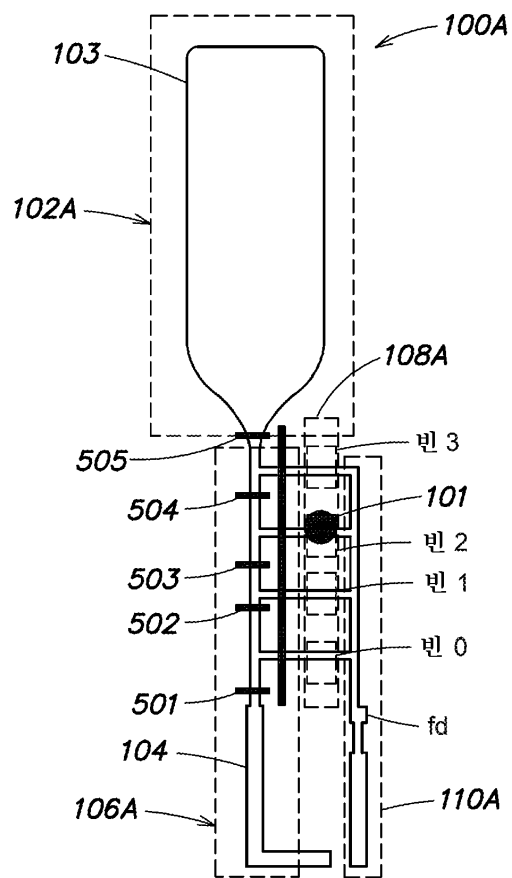
도면7e



도면7f

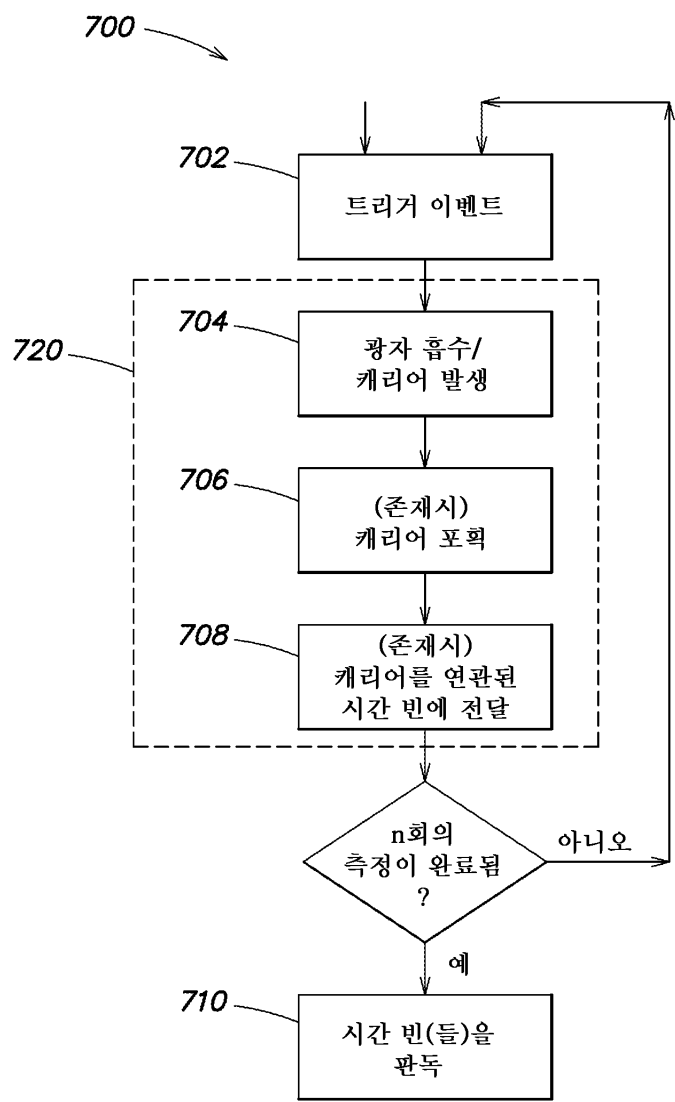


도면7g

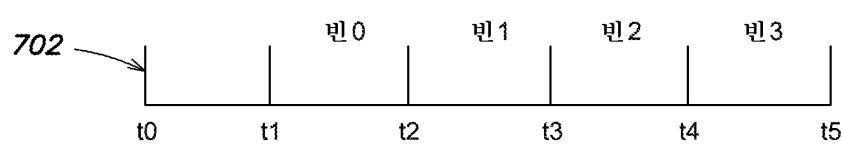


신호	V(구배 페이지)	V(비닝 페이지)	V(전달 페이지)	V(판독 페이지)	타입
vb<0>	0.0	0.0	0.0	0.0	고정됨
vb<1>	3.1	3.1	3.1	3.1	고정됨
b<8>	3.3	0.0	0.0	3.3	1:32
b<7>	3.5	3.5	0.0	3.5	대략적
b<6>	3.7	0.0	0.0	3.7	1:32
b<5>	3.9	3.9	0.0	3.9	대략적
b<4>	4.1	0.0	0.0	4.1	1:32
b<3>	4.3	4.3	0.0	4.3	대략적
b<2>	4.5	0.0	0.0	4.5	1:32
b<1>	4.7	4.7	0.0	4.7	대략적
b<0>	5.0	0.0	0.0	5.0	1:32
st<0>	0.0	0.0	5.0	0.0	대략적
st<1>	2.5	2.5	5.0	2.5	대략적
tx<0>	0.0	0.0	0.0	3.3	FPGA
tx<1>	0.0	0.0	0.0	3.3	FPGA
tx<2>	0.0	0.0	0.0	3.3	FPGA
tx<3>	0.0	0.0	0.0	3.3	FPGA
rs	0.0	0.0	0.0	3.3	FPGA
rt	0.0	0.0	0.0	3.3	FPGA
PVDD	3.3	3.3	3.3	3.3	고정됨

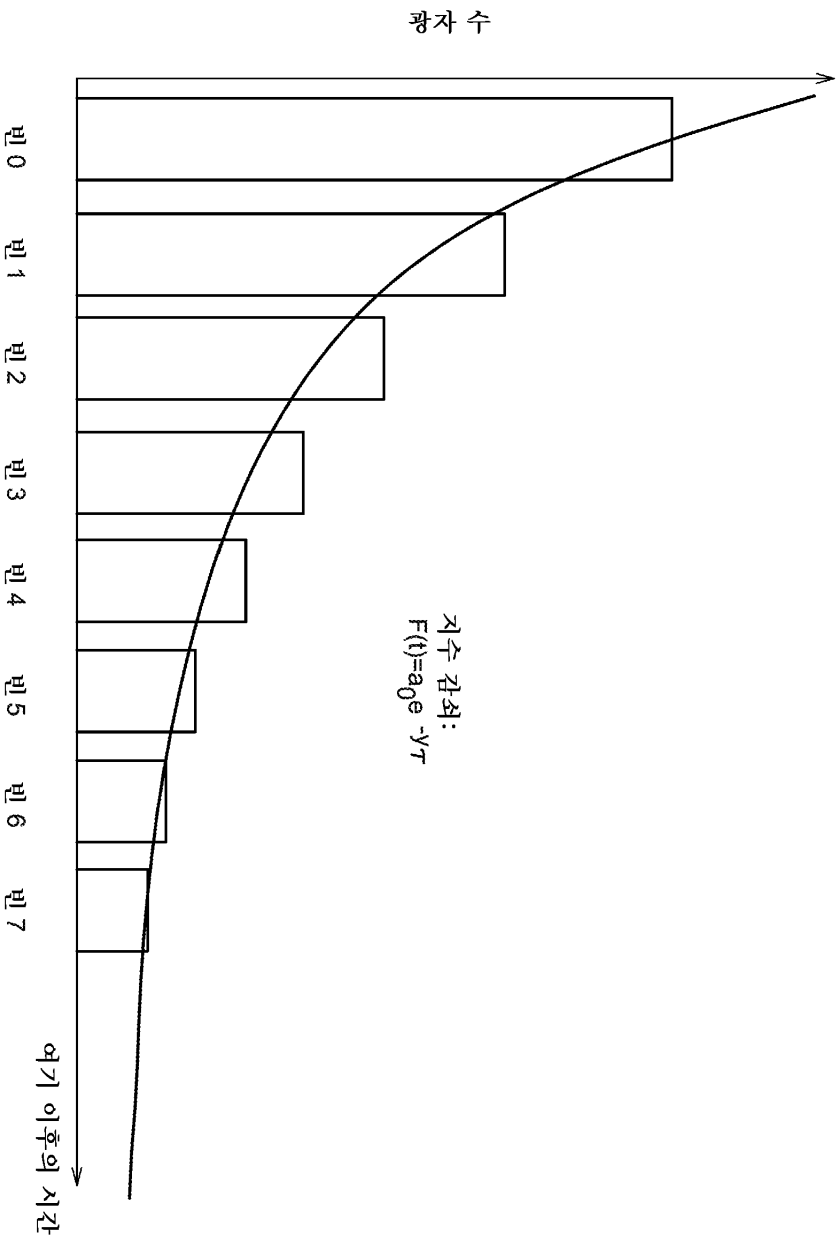
도면8a



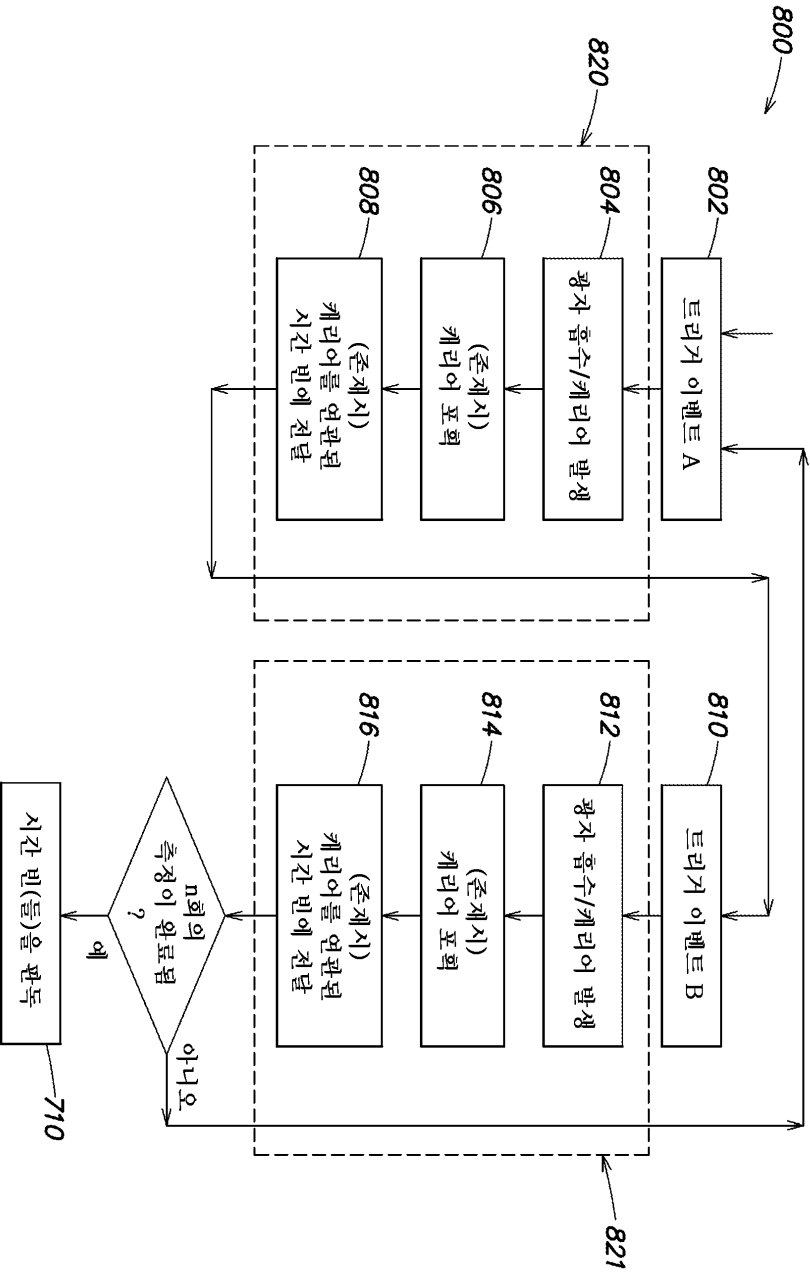
도면8b



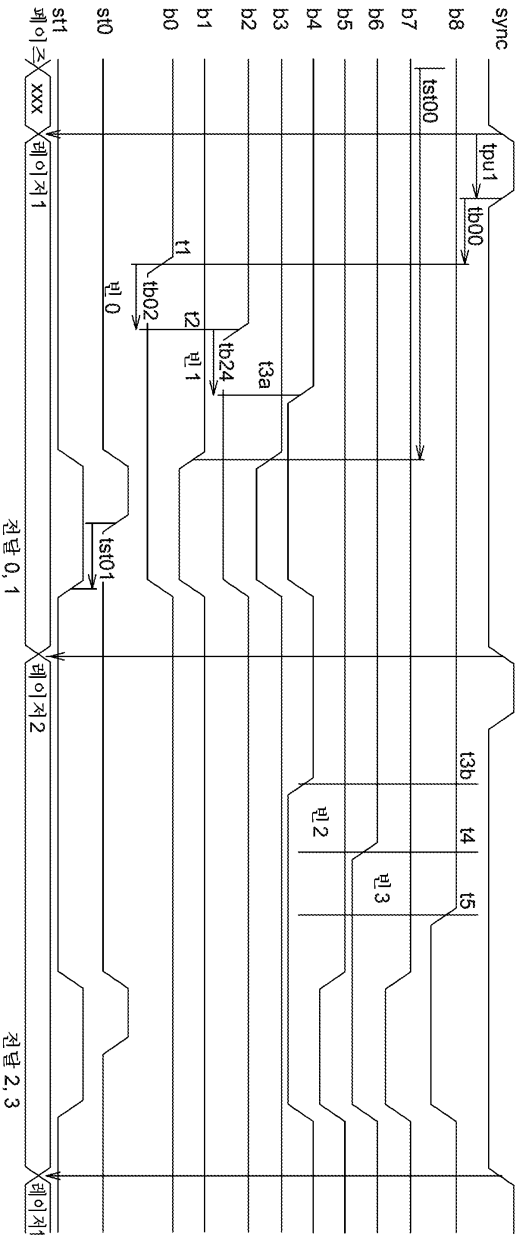
도면8c



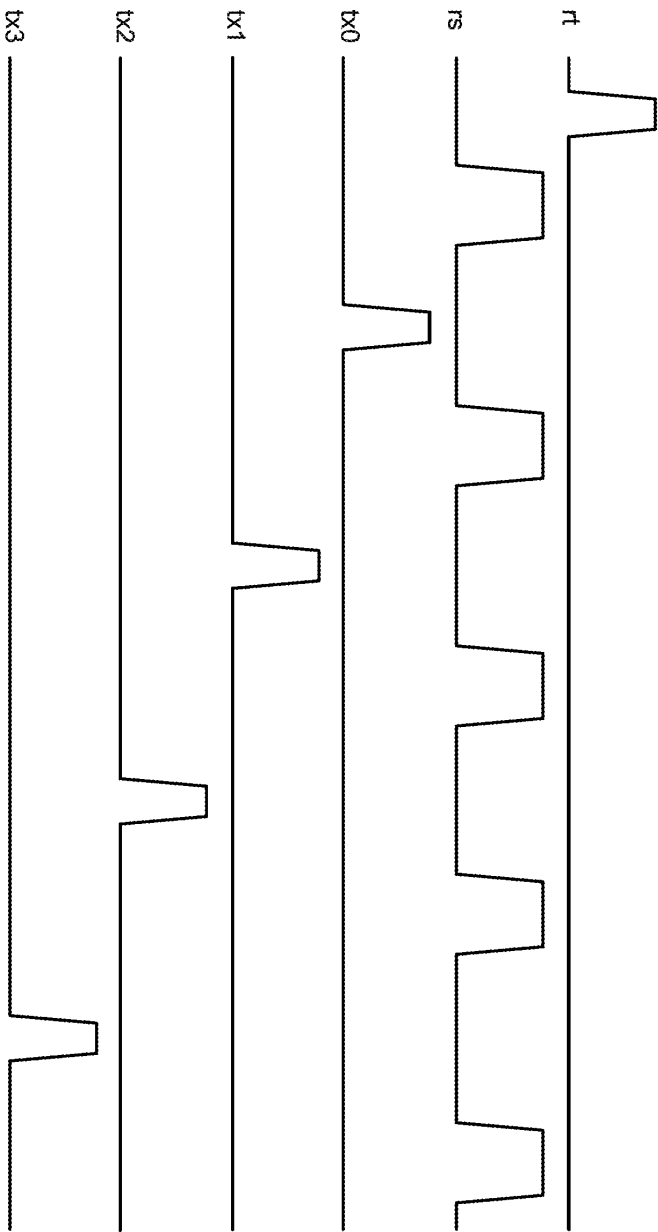
도면8d



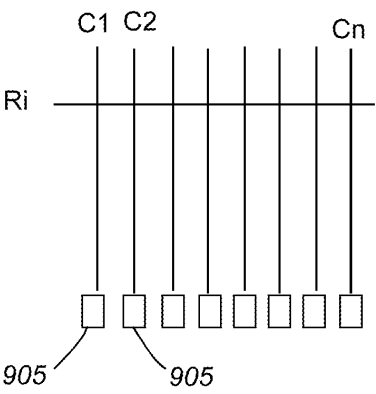
도면8e



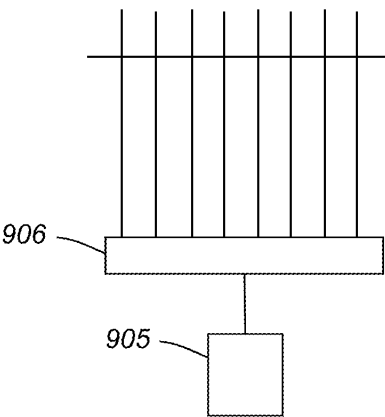
도면9b



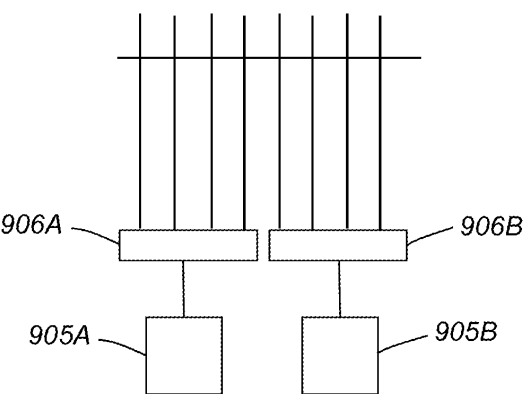
도면10a



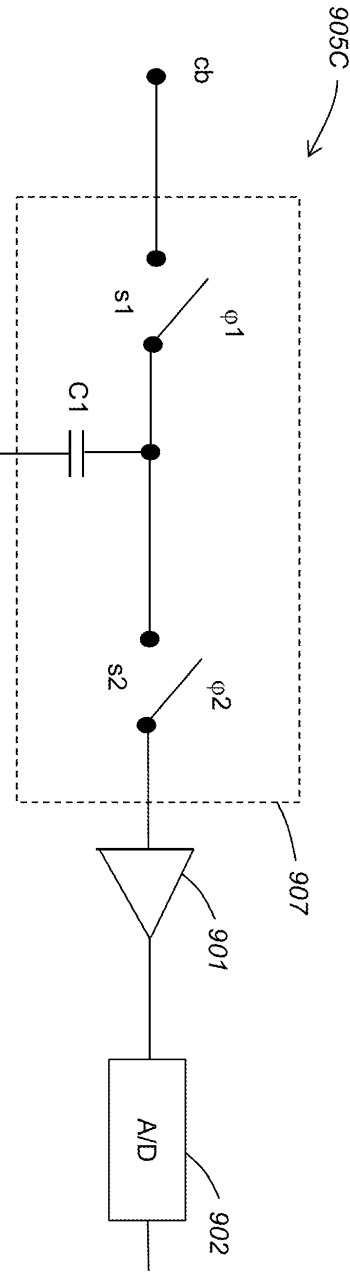
도면10b



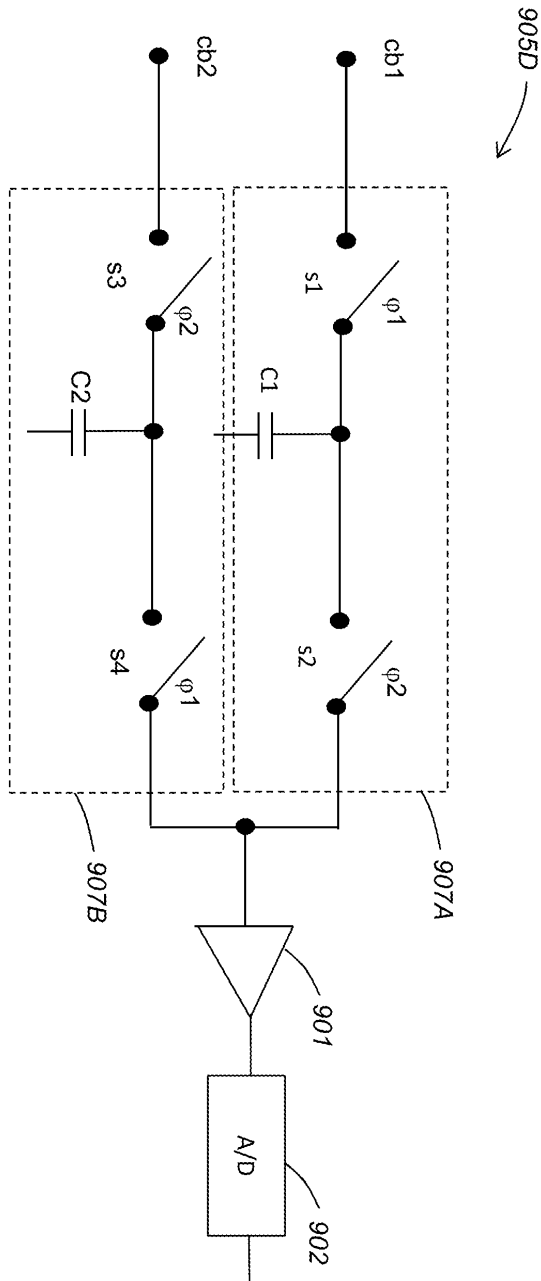
도면10c



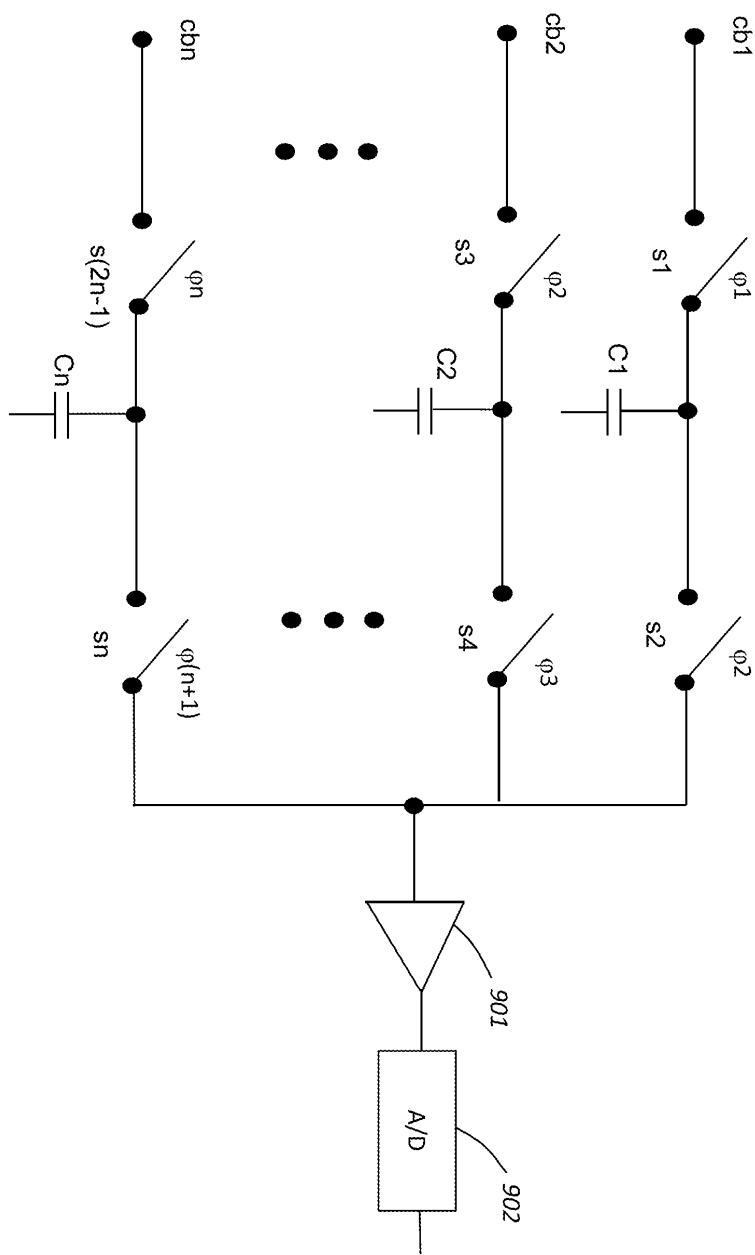
도면10d



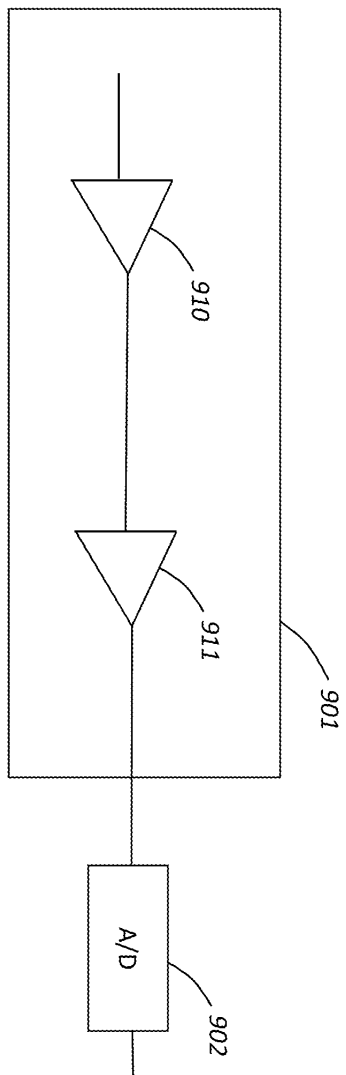
도면10e



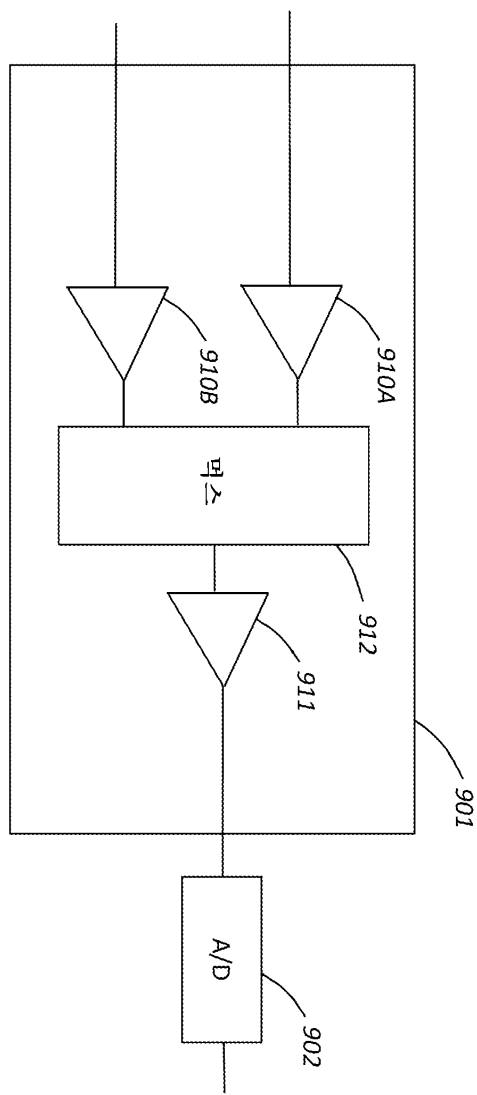
도면10f



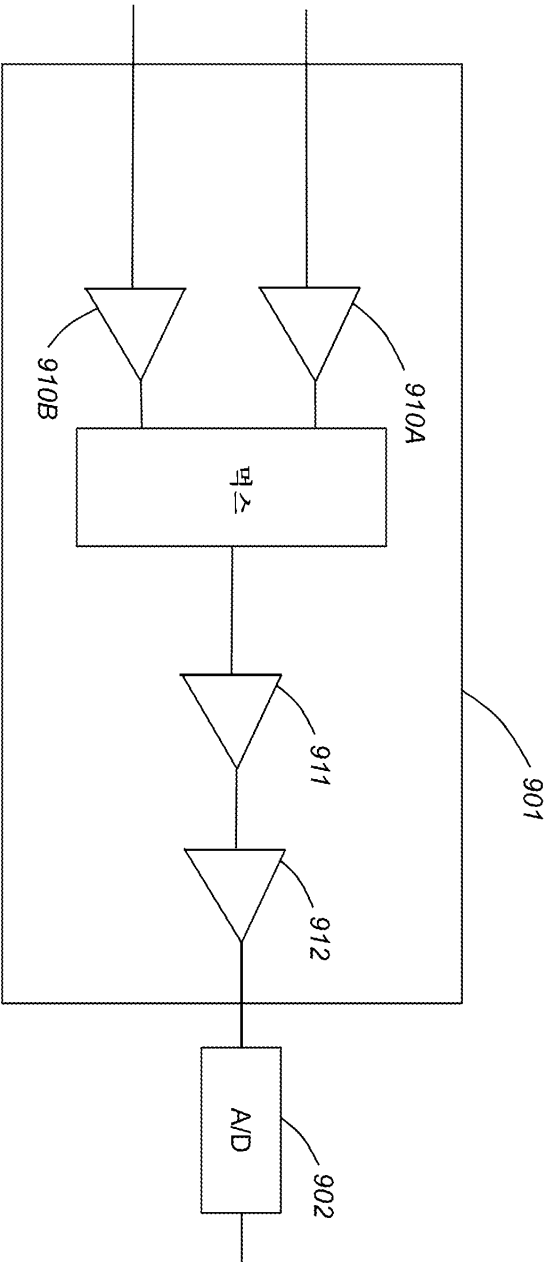
도면10g



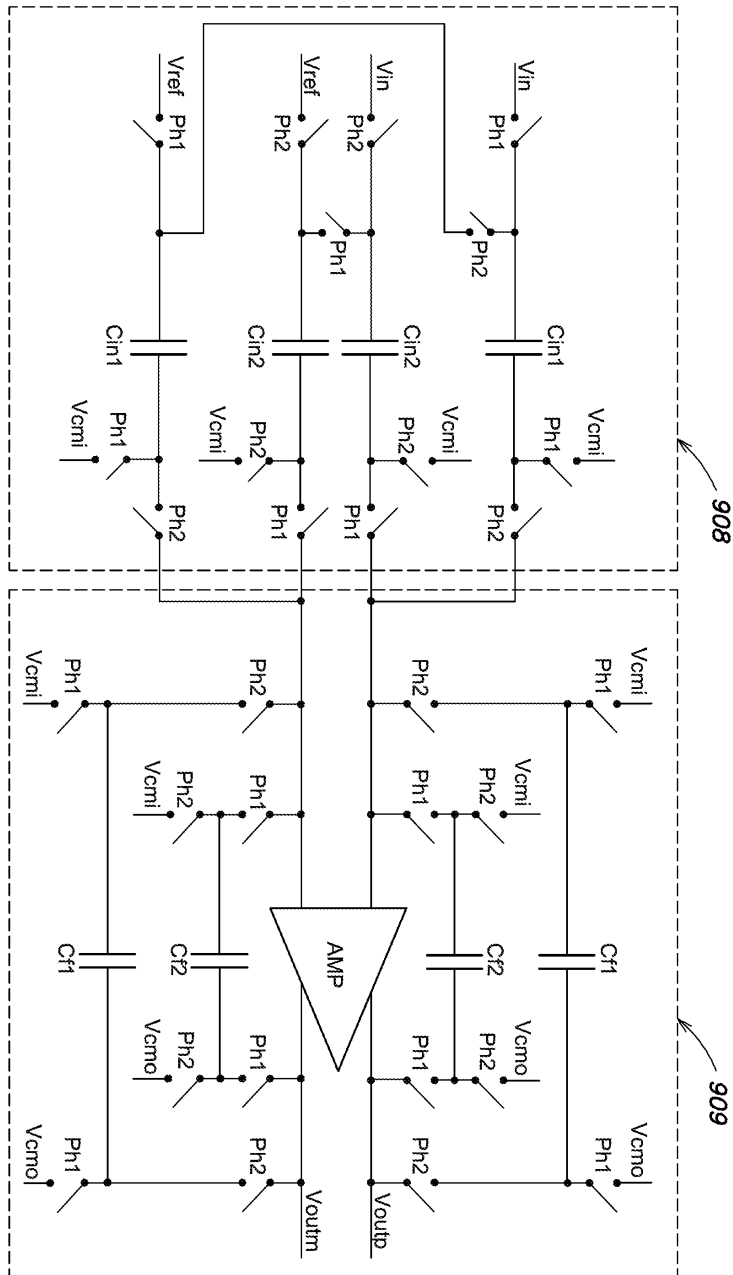
도면10h



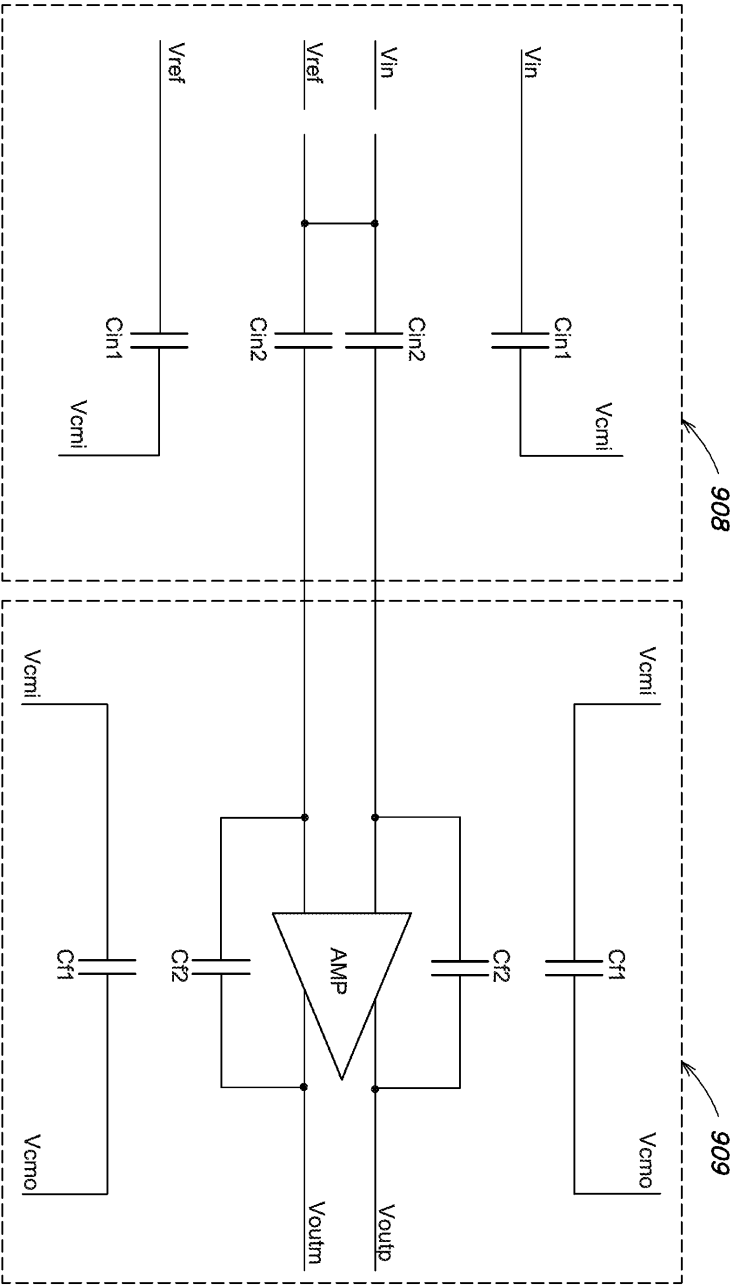
도면10i



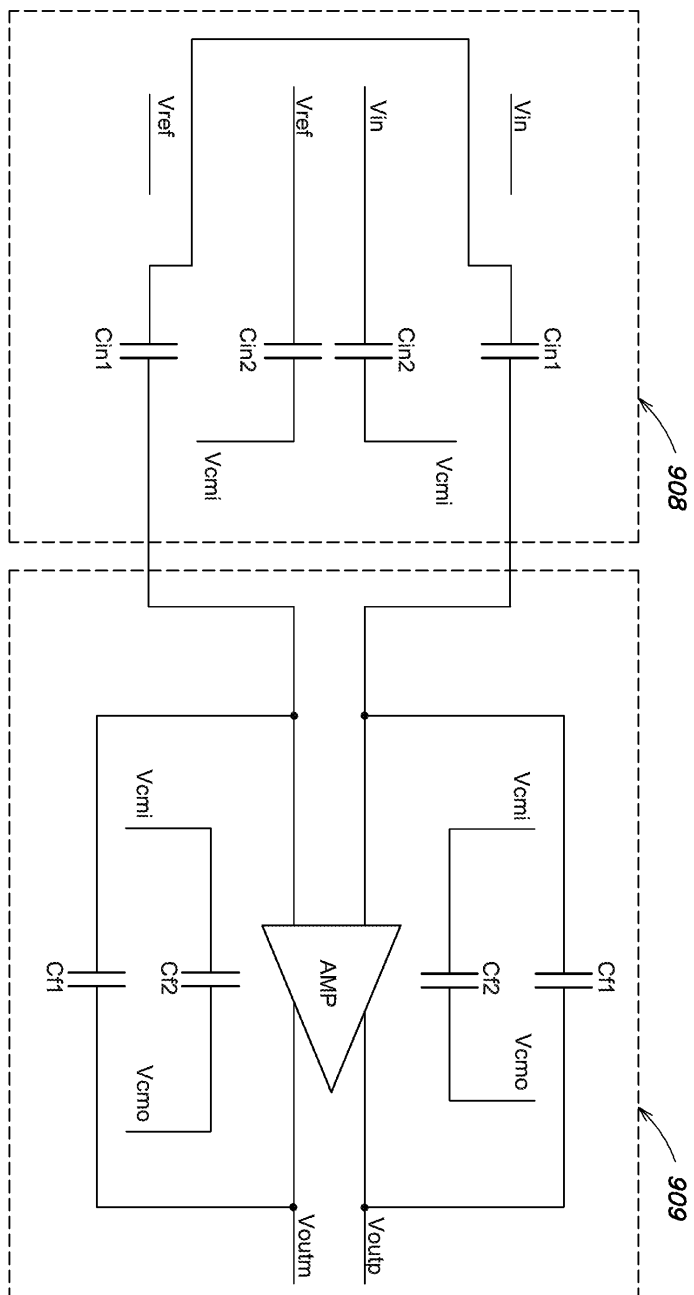
도면10j



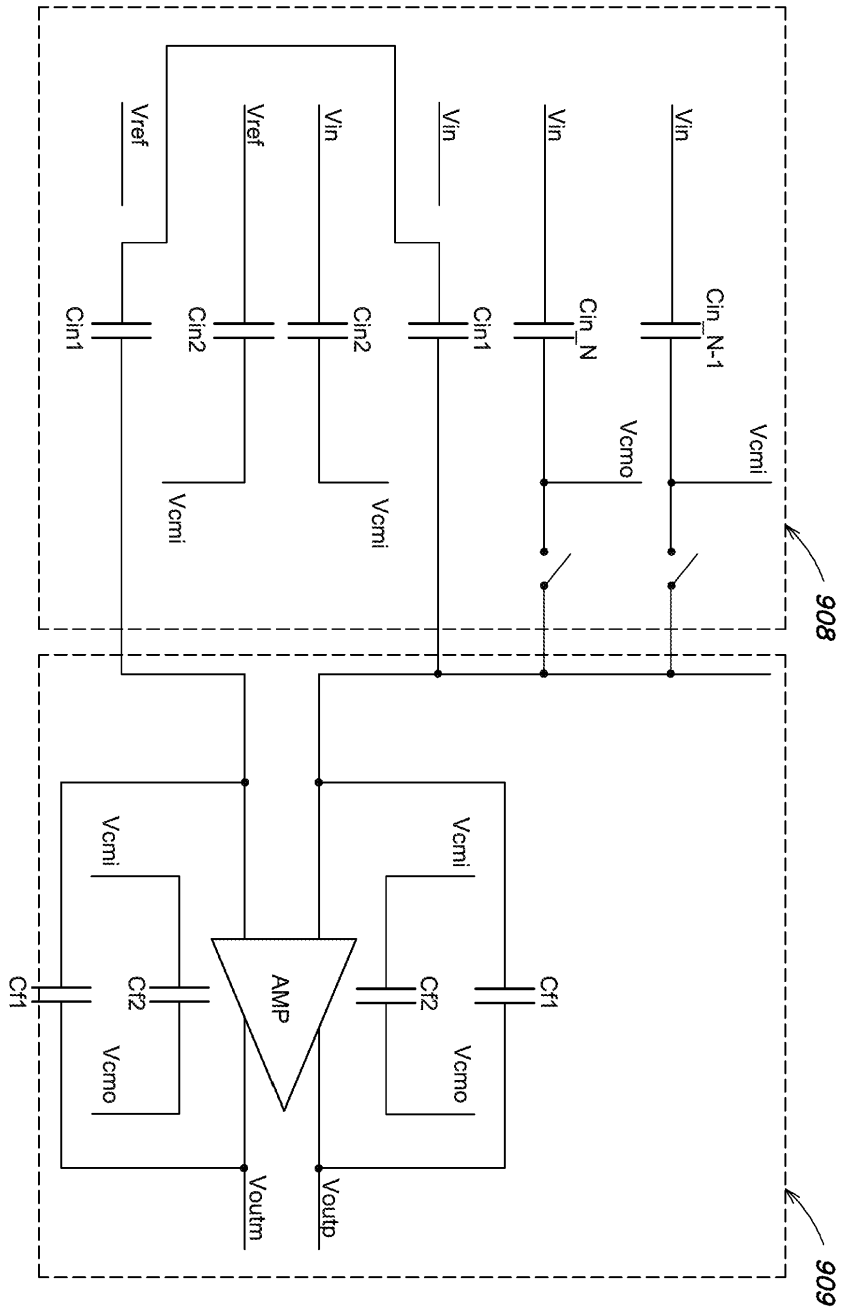
도면10k



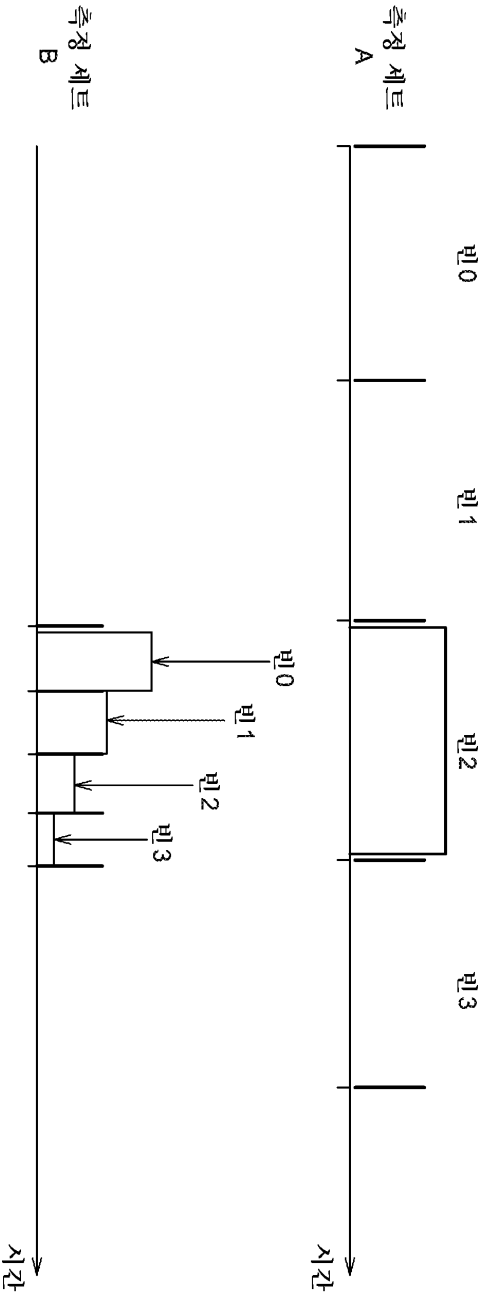
도면 101



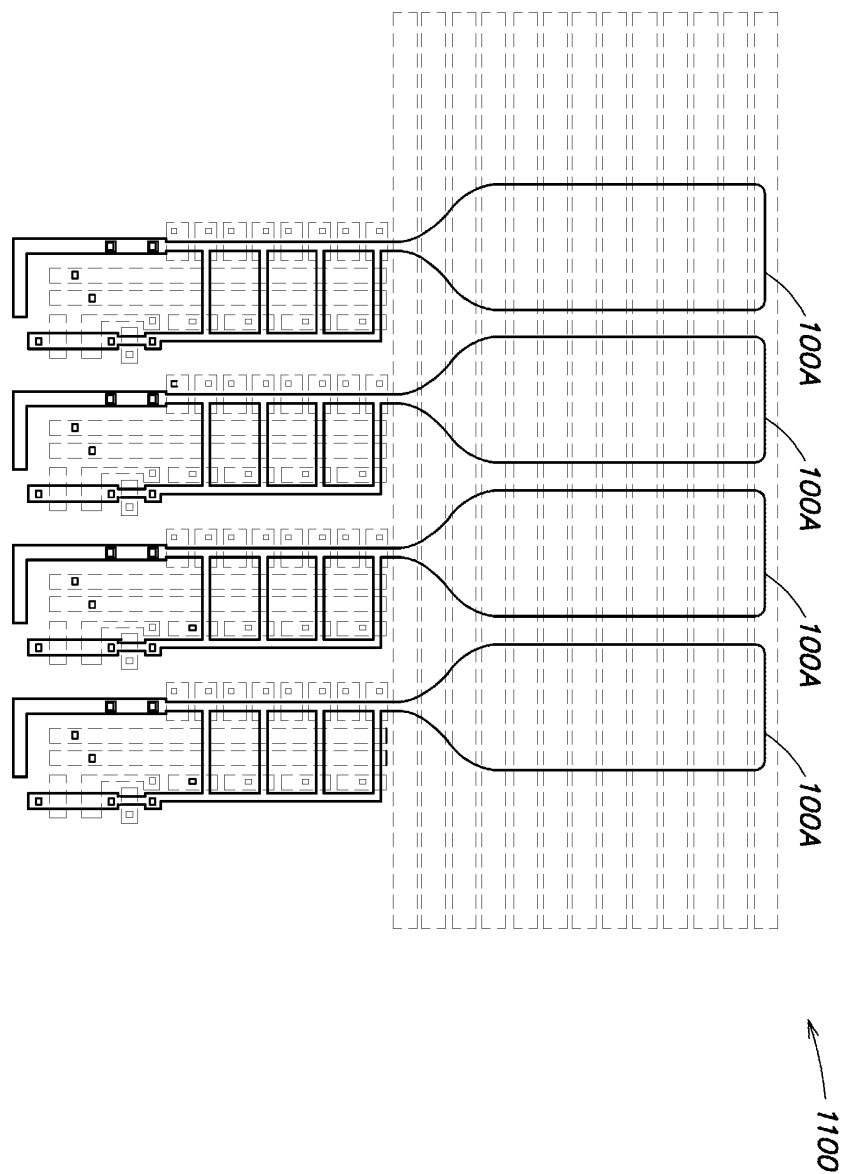
도면10m



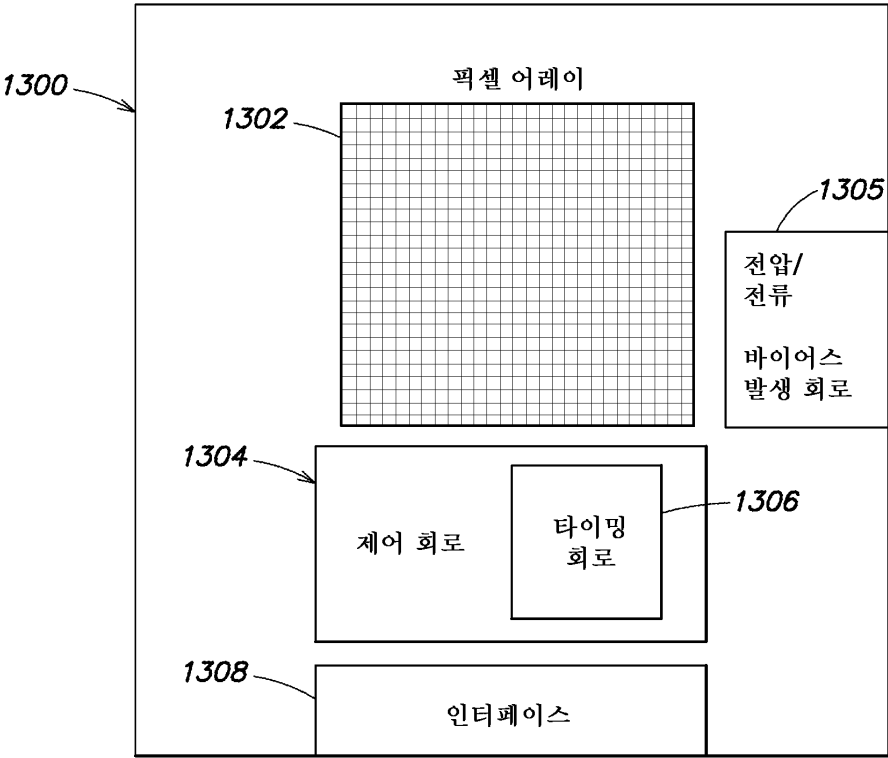
도면11



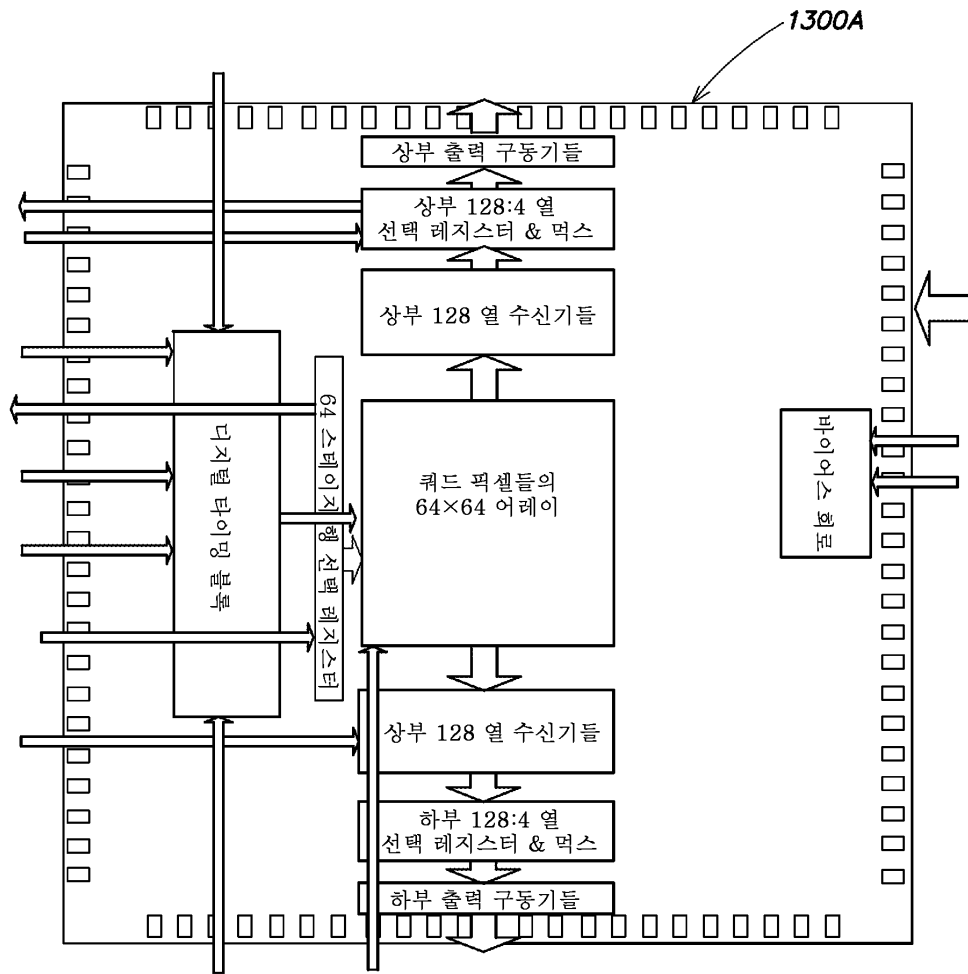
도면12



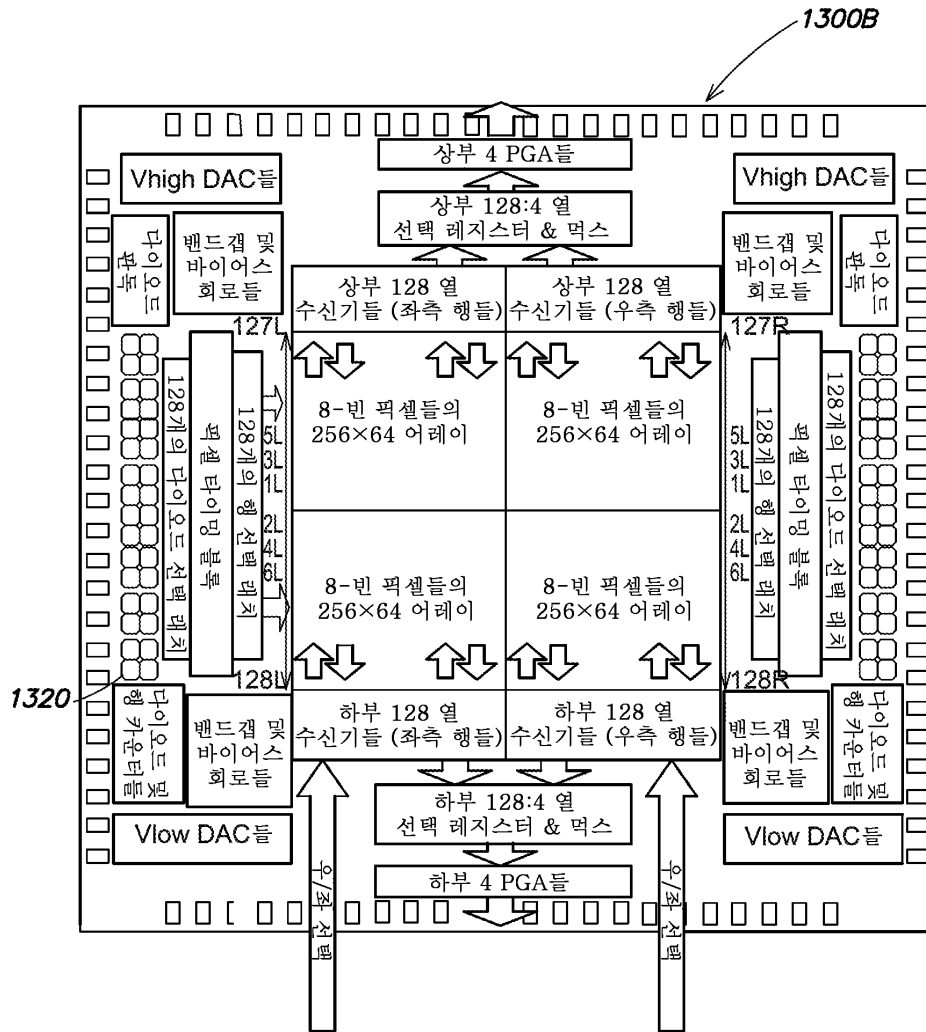
도면13



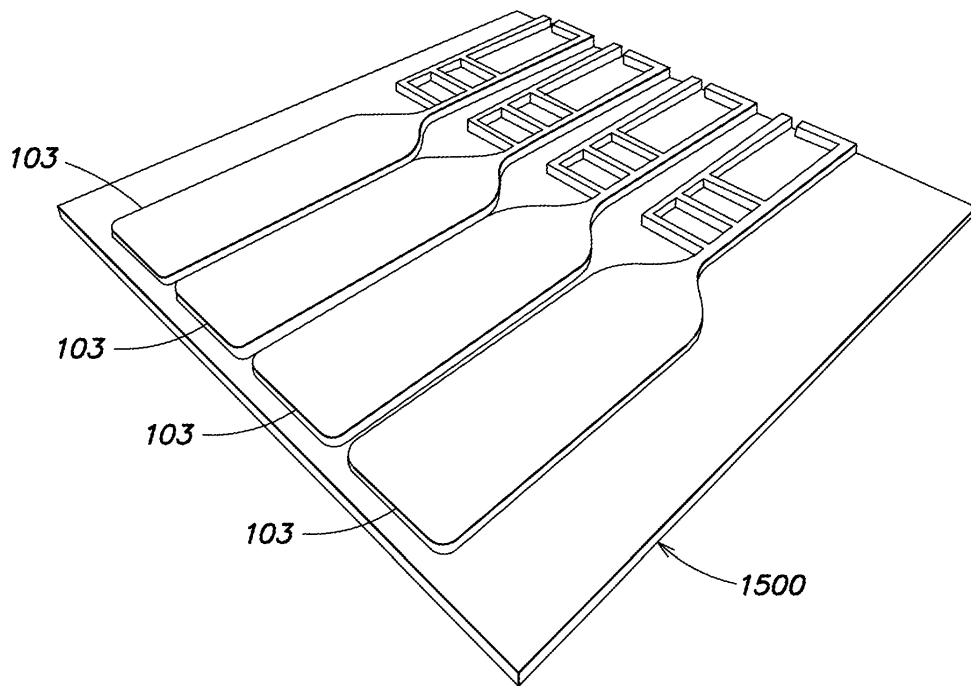
도면14a



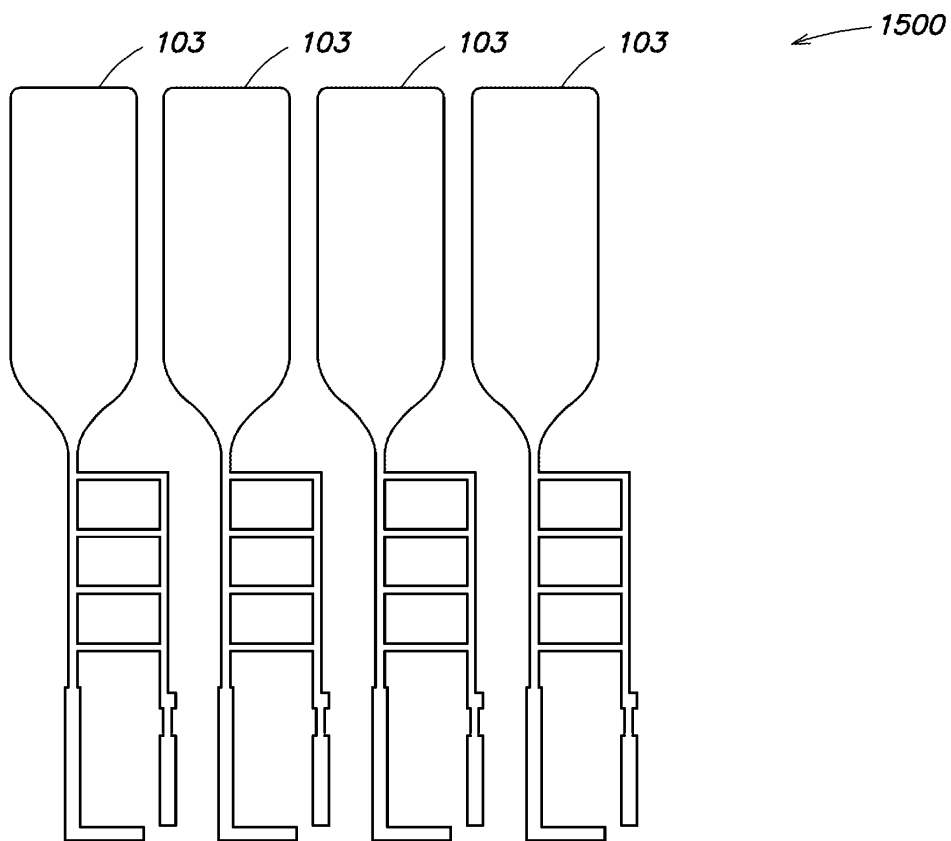
도면14b



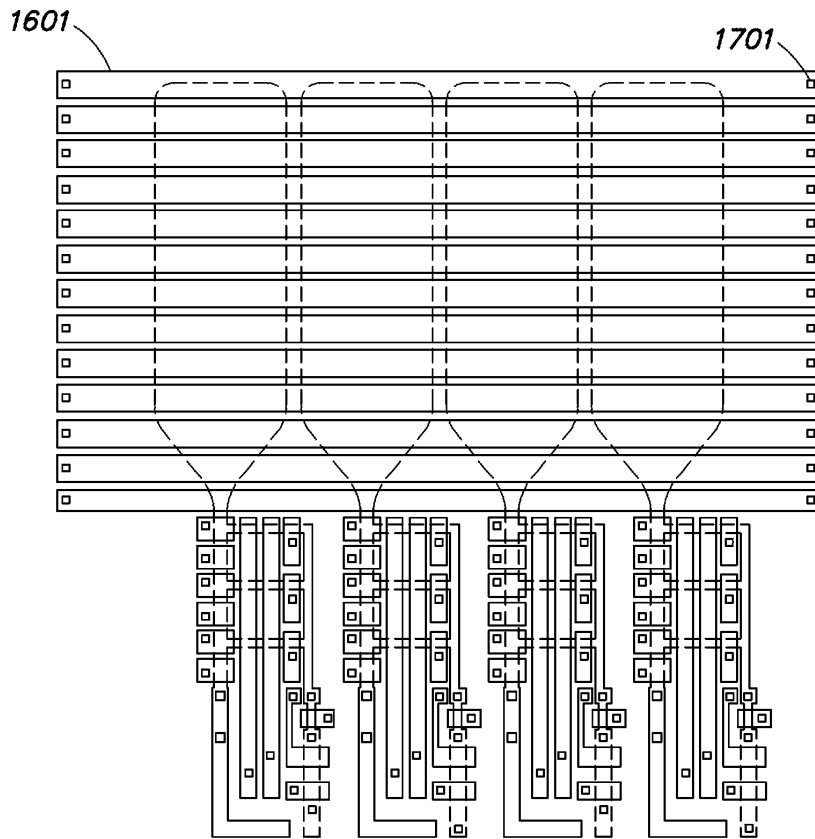
도면15a



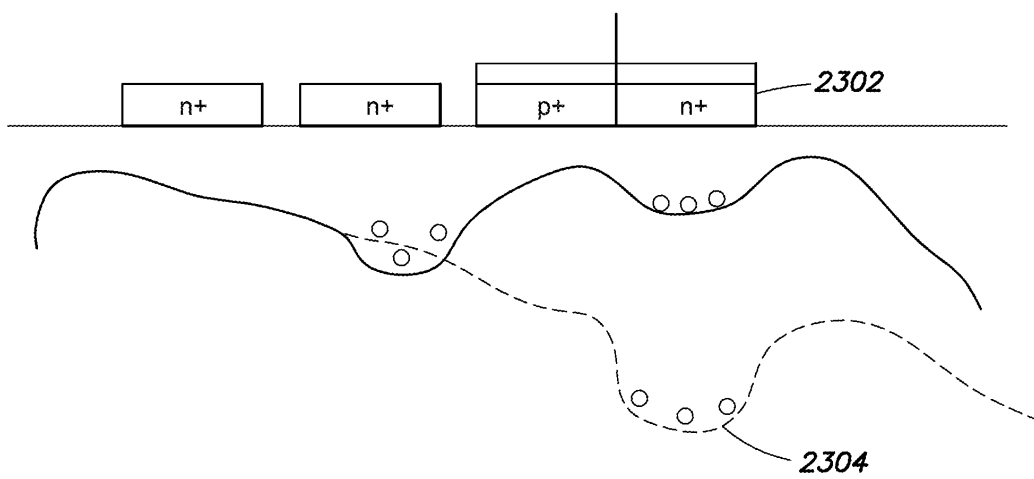
도면15b



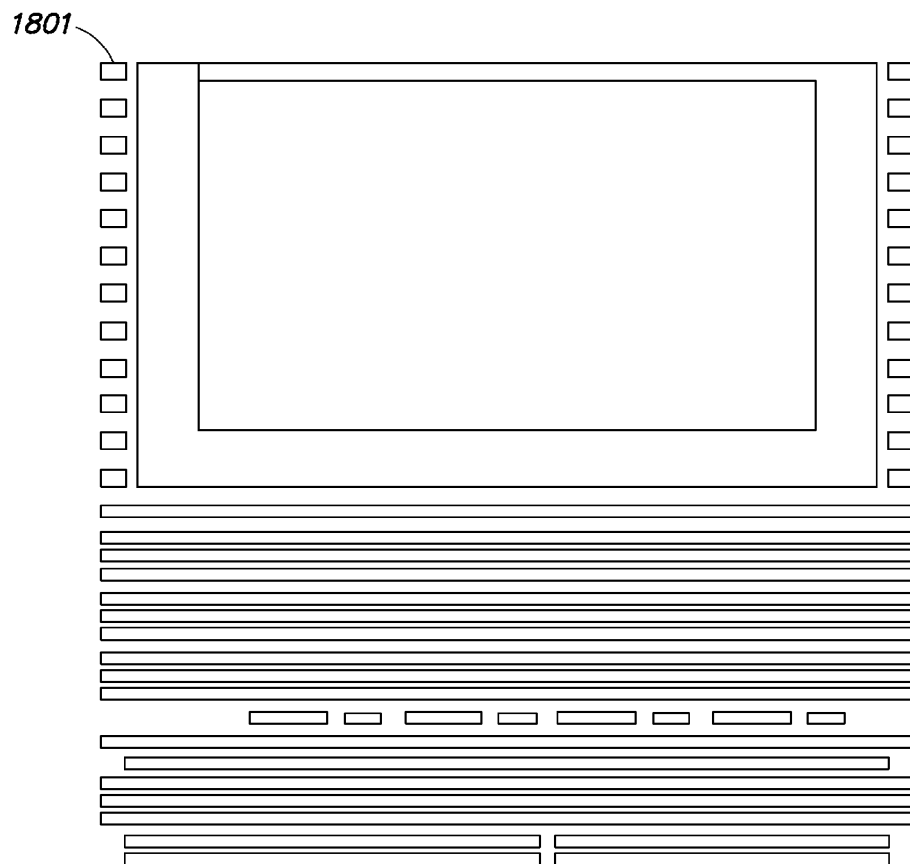
도면16



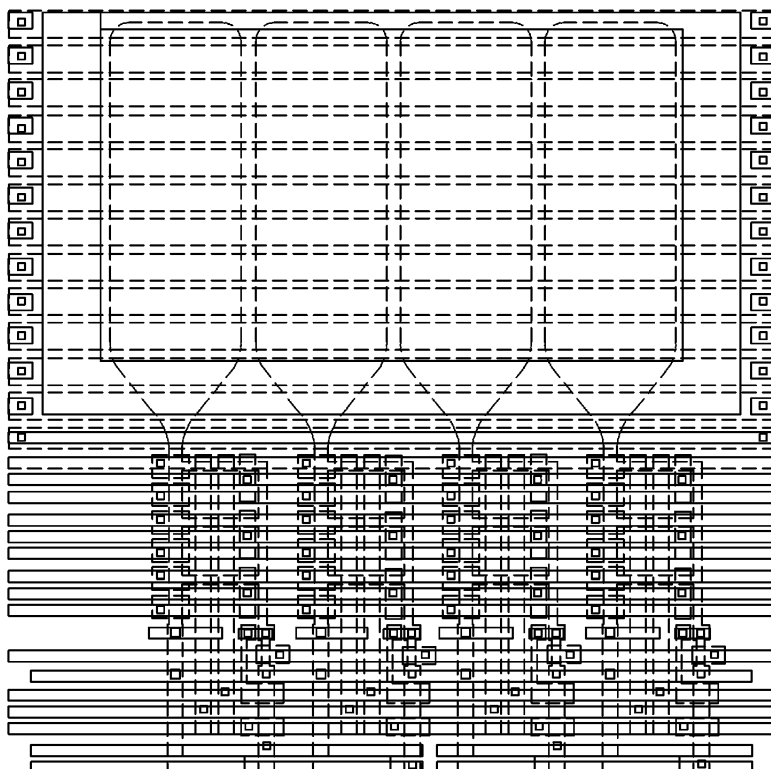
도면17



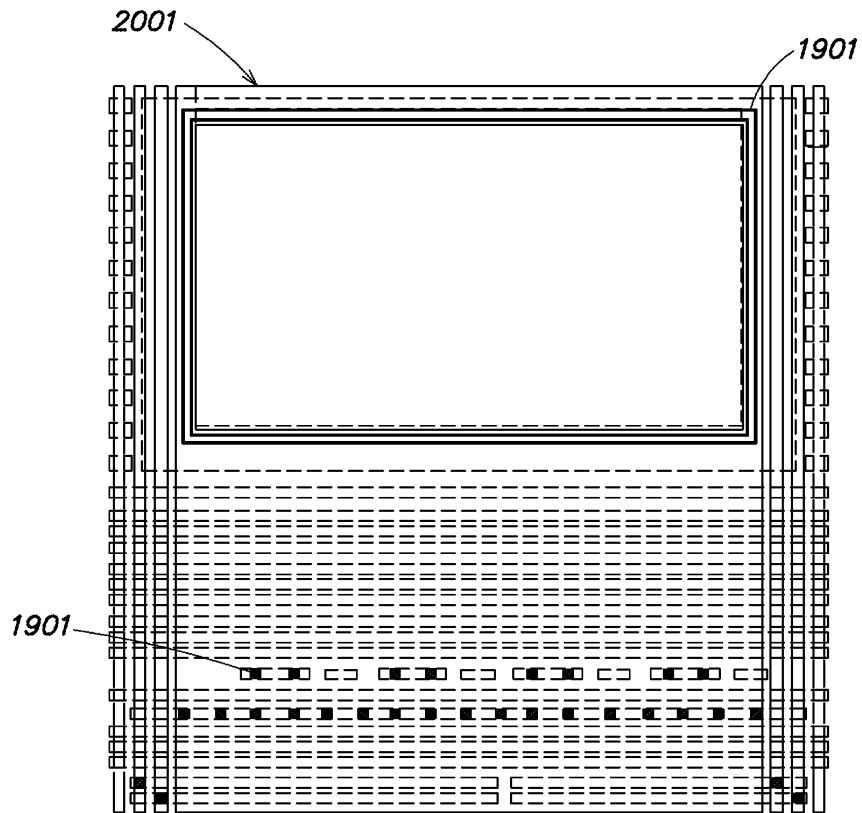
도면18



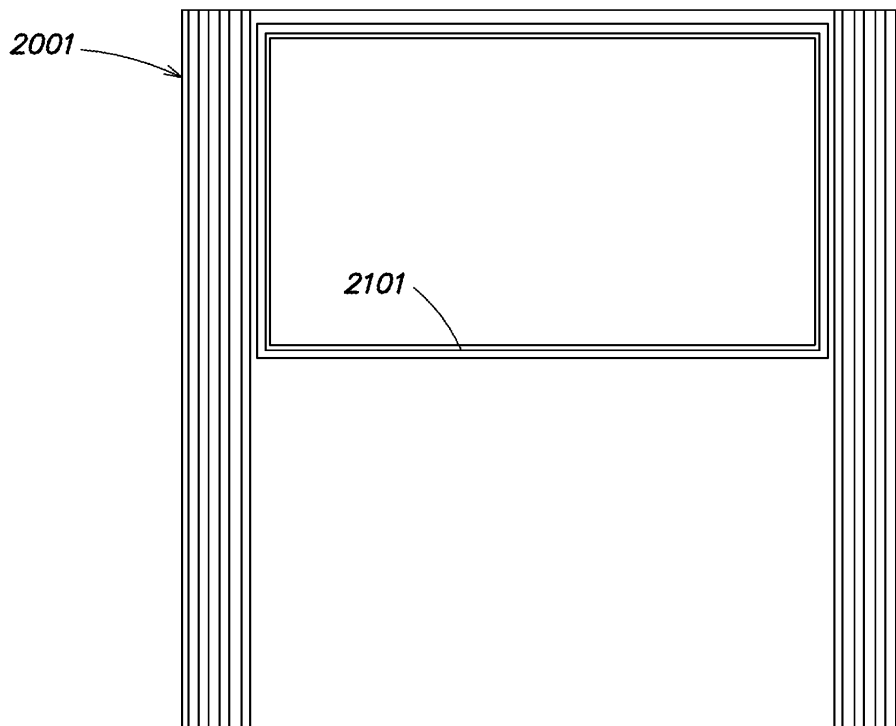
도면19



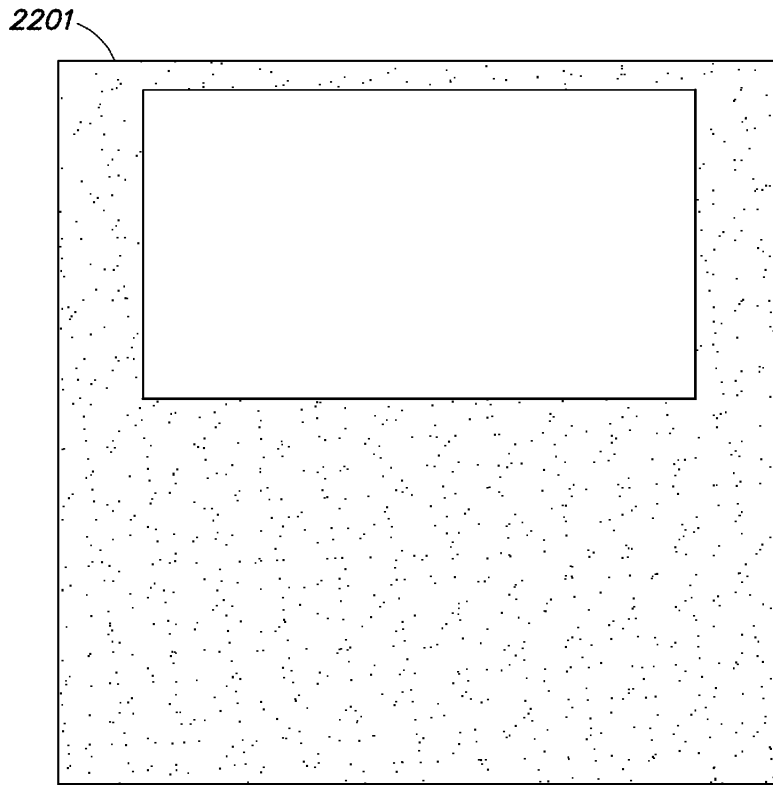
도면20



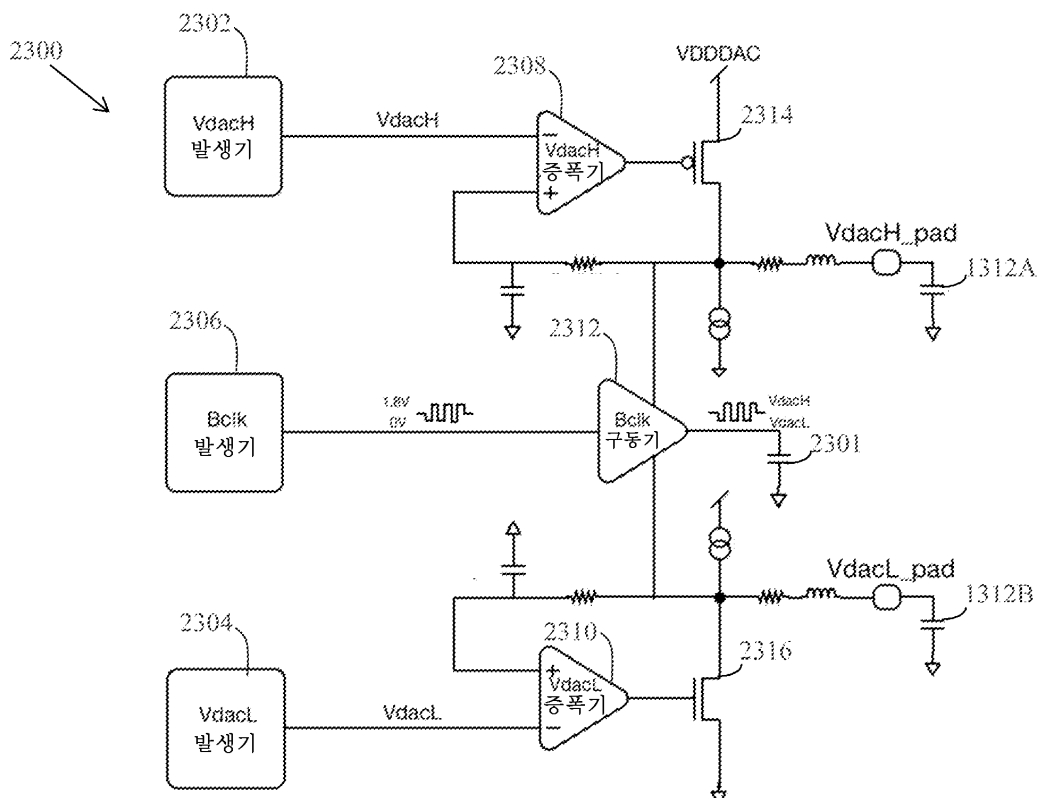
도면21



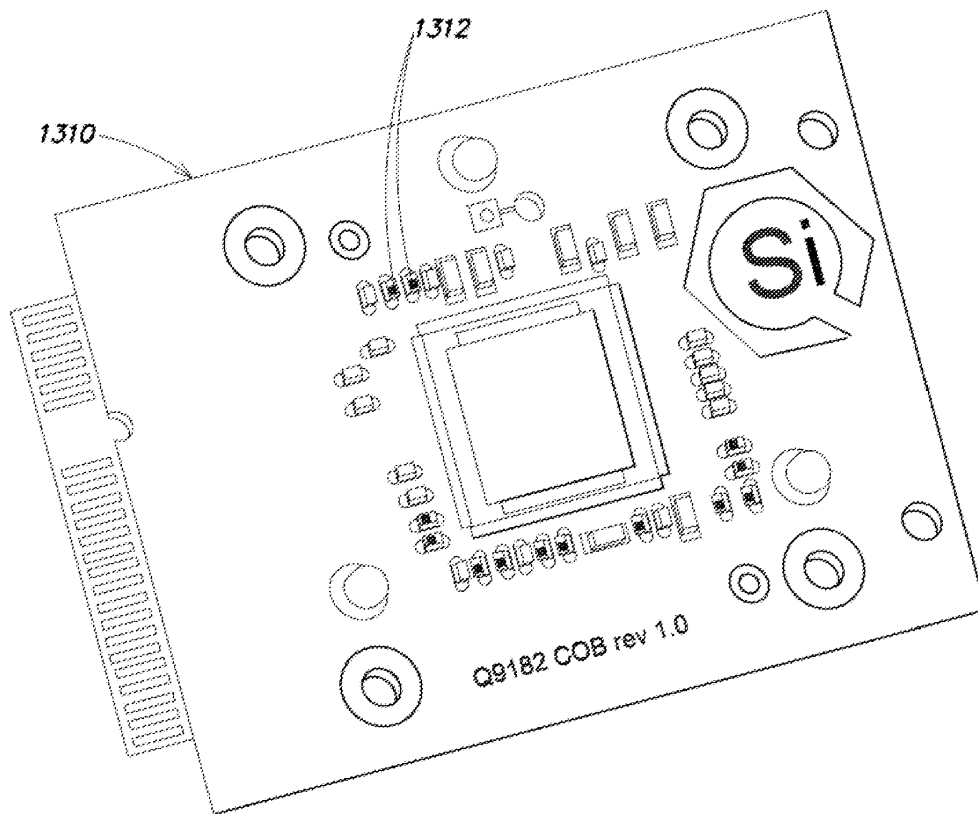
도면22



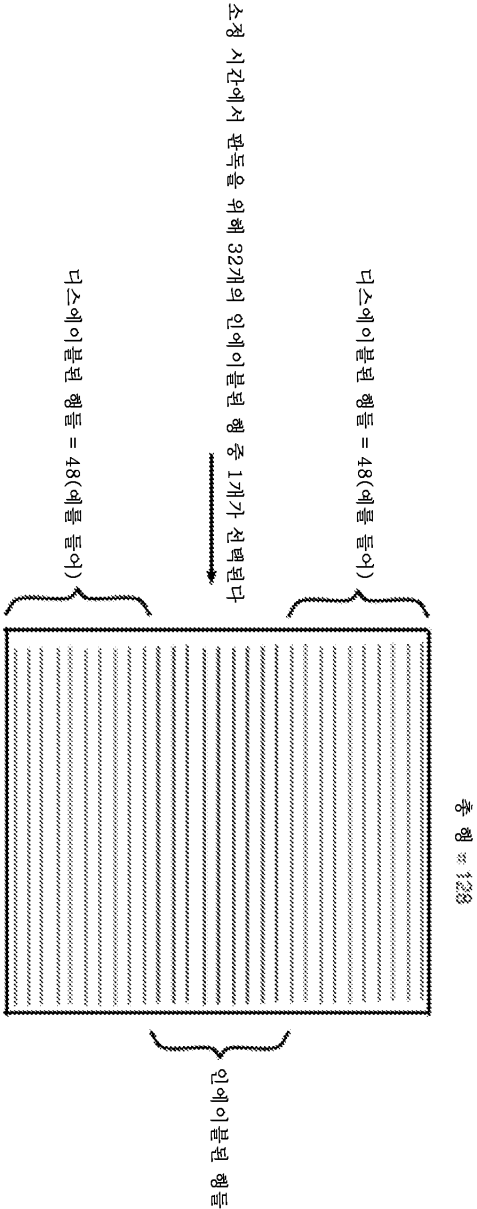
도면23



도면24



도면25



도면26

