(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월18일
(11) 등록번호 10-2821527
(24) 등록일자 2025년06월12일

(51) 국제특허분류(Int. Cl.)
H10D 86/00 (2025.01) *G02F 1/1362* (2006.01)
G02F 1/1368 (2006.01) *H10D 30/67* (2025.01)
(52) CPC특허분류
H10D 86/60 (2025.01)
G02F 1/136227 (2013.01)
(21) 출원번호 10-2024-0004085
(22) 출원일자 2024년01월10일
심사청구일자 2024년01월10일
(65) 공개번호 10-2024-0117477
(43) 공개일자 2024년08월01일
(30) 우선권주장
JP-P-2023-009543 2023년01월25일 일본(JP)
(56) 선행기술조사문헌
KR1020220157419 A
JP2017130695 A

(73) 특허권자
가부시키가이샤 재팬 디스프레이
일본국 도쿄토 미나토쿠 니시신바시 3쵸메 7반 1고
(72) 발명자
와따베 마사히로
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
와따까베 하지메
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
(뒷면에 계속)
(74) 대리인
양영준, 이중희

전체 청구항 수 : 총 8 항 심사관 : 정용택

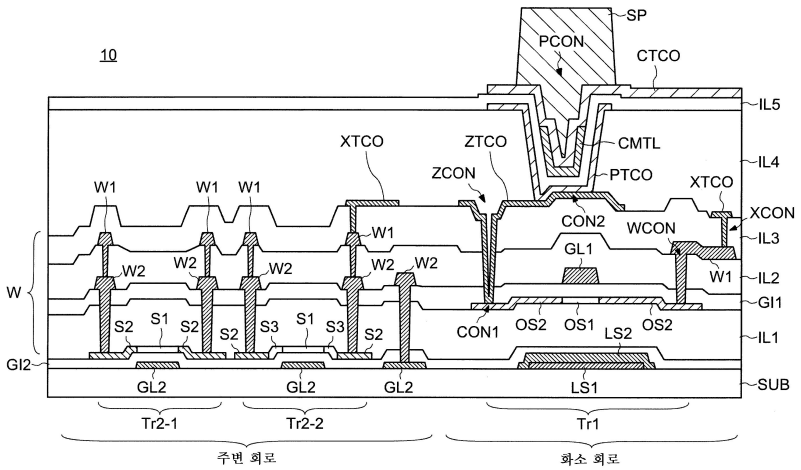
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

반도체 장치의 전기 특성을 저하시키지 않고 프로세스 마진을 크게 하는 것.

반도체 장치는, 다결정 구조를 포함하는 산화물 반도체층과, 상기 산화물 반도체층과 대향하는 게이트 전극과, 상기 산화물 반도체층과 상기 게이트 전극 사이의 게이트 절연층과, 상기 산화물 반도체층에 접속된 제1 투명 도전층과, 상기 제1 투명 도전층과 동일층에 마련되며, 상기 제1 투명 도전층으로부터 분리된 제2 투명 도전층을 포함하고, 상기 제1 투명 도전층의 결정성은, 상기 제2 투명 도전층의 결정성과 다르다.

대 표 도



(52) CPC특허분류
G02F 1/1368 (2013.01)
H10D 30/6755 (2025.01)
H10D 86/441 (2025.01)

(72) 발명자
즈부꾸 마사시
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
사사끼 도시나리
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
모찌즈끼 마리나
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
다마루 다까야
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
오노데라 료
일본 1050003 도꾜 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내

명 세 서

청구범위

청구항 1

다결정 구조를 포함하는 산화물 반도체층과,

상기 산화물 반도체층과 대향하는 게이트 전극과,

상기 산화물 반도체층과 상기 게이트 전극 사이의 게이트 절연층과,

상기 산화물 반도체층에 접속된 제1 투명 도전층과,

상기 제1 투명 도전층과 동일층에 마련되며, 상기 제1 투명 도전층으로부터 분리된 제2 투명 도전층을 포함하고,

상기 제1 투명 도전층의 결정성은, 상기 제2 투명 도전층의 결정성과 다르고,

상기 제1 투명 도전층의 일부가 상기 산화물 반도체층과 직접 접함으로써 상기 제1 투명 도전층이 상기 산화물 반도체층에 접속되는 반도체 장치.

청구항 2

◈청구항 2은(는) 설정등록료 납부시 포기되었습니다.◈

제1항에 있어서,

상기 제1 투명 도전층 및 상기 제2 투명 도전층의 각각은, 인듐 및 주석을 포함하는, 반도체 장치.

청구항 3

◈청구항 3은(는) 설정등록료 납부시 포기되었습니다.◈

제1항에 있어서,

상기 산화물 반도체층은, 인듐을 포함하는 2 이상의 금속을 포함하고,

상기 2 이상의 금속에 있어서의 인듐의 비율은 50% 이상인, 반도체 장치.

청구항 4

제1항에 있어서,

상기 게이트 전극, 상기 제1 투명 도전층, 및 상기 제2 투명 도전층은, 상기 산화물 반도체층의 상방에 마련되어 있는, 반도체 장치.

청구항 5

제1항에 있어서,

상기 산화물 반도체층 및 상기 게이트 전극의 상방에 마련되며, 제1 개구가 마련된 제1 절연층과,

상기 제1 절연층의 상방에 마련되며, 상기 제1 개구를 통해 상기 산화물 반도체층에 접속된 금속층과,

상기 제1 절연층의 상방에 마련된 제2 절연층을 더 포함하고,

상기 제1 절연층 및 상기 제2 절연층에는 제2 개구가 마련되고,

상기 제1 투명 도전층은, 상기 제2 개구를 통해 상기 산화물 반도체층에 접속되는, 반도체 장치.

청구항 6

제1항에 있어서,

상기 제1 투명 도전층 및 상기 제2 투명 도전층의 하면에 접하는 절연층을 더 포함하는, 반도체 장치.

청구항 7

다결정 구조를 포함하는 산화물 반도체층과,

상기 산화물 반도체층과 대향하는 게이트 전극과,

상기 산화물 반도체층과 상기 게이트 전극 사이의 게이트 절연층과,

평면에서 본 제1 영역에서 상기 산화물 반도체층에 접속된 제1 투명 도전층을 포함하고,

상기 제1 영역에 있어서의 상기 제1 투명 도전층의 결정성은, 상기 제1 영역과는 다른 제2 영역에 있어서의 상기 제1 투명 도전층의 결정성과 다르고,

상기 제1 투명 도전층의 일부가 상기 산화물 반도체층과 직접 접함으로써 상기 제1 투명 도전층이 상기 산화물 반도체층에 접속되는 반도체 장치.

청구항 8

◈청구항 8은(는) 설정등록료 납부시 포기되었습니다.◈

제7항에 있어서,

상기 제1 투명 도전층은, 인듐 및 주석을 포함하는, 반도체 장치.

청구항 9

◈청구항 9은(는) 설정등록료 납부시 포기되었습니다.◈

제7항에 있어서,

상기 산화물 반도체층은, 인듐을 포함하는 2 이상의 금속을 포함하고,

상기 2 이상의 금속에 있어서의 인듐의 비율은 50% 이상인, 반도체 장치.

청구항 10

제7항에 있어서,

상기 게이트 전극 및 상기 제1 투명 도전층은, 상기 산화물 반도체층의 상방에 마련되어 있는, 반도체 장치.

청구항 11

제7항에 있어서,

상기 산화물 반도체층 및 상기 게이트 전극의 상방에 마련되며, 제1 개구가 마련된 제1 절연층과,

상기 제1 절연층의 상방에 마련되며, 상기 제1 개구를 통해 상기 산화물 반도체층에 접속된 금속층과,

상기 제1 절연층의 상방에 마련된 제2 절연층을 더 포함하고,

상기 제1 절연층 및 상기 제2 절연층에는 제2 개구가 마련되고,

상기 제1 투명 도전층은, 상기 제2 개구를 통해 상기 산화물 반도체층에 접속된, 반도체 장치.

청구항 12

제7항에 있어서,

상기 제1 영역에 있어서의 상기 제1 투명 도전층과 상기 제2 영역에 있어서의 상기 제1 투명 도전층은 연속하고 있는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시 형태의 하나는, 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 최근, 아몰퍼스 실리콘, 저온 폴리실리콘, 및 단결정 실리콘 대신에, 산화물 반도체가 채널에 사용된 트랜지스터의 개발이 진행되고 있다(예를 들어, 특허문헌 1 및 2). 산화물 반도체가 채널에 사용된 트랜지스터는, 아몰퍼스 실리콘이 채널에 사용된 트랜지스터와 마찬가지로, 단순한 구조 또한 저온 프로세스로 형성된다. 산화물 반도체가 채널에 사용된 트랜지스터는, 아몰퍼스 실리콘이 채널에 사용된 트랜지스터보다도 높은 이동도를 갖고, 오프 전류가 매우 낮은 것이 알려져 있다.

[0003] 근년, 표시 장치의 화소 사이즈 축소화가 진행되고 있다. 화소 사이즈의 축소화에 수반하여, 배선 폭이나 트랜지스터 사이즈의 축소화가 검토되고 있다. 그러나, 이들 축소화에는 한계가 있어, 화소 회로를 구성하는 금속층 및 반도체층의 배치에 기인하여 개구율이 작아지고 있다. 따라서, 트랜지스터 사이즈가 작더라도, 화소 회로의 구동에 충분한 특성을 얻을 수 있는, 산화물 반도체층이 채널에 사용된 트랜지스터를 화소 회로의 트랜지스터에 사용하는 개발이 진행되고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2014-146819호 공보

(특허문헌 0002) 일본 특허 공개 제2015-159315호 공보

발명의 내용

해결하려는 과제

[0005] 저온 폴리실리콘이 채널로서 사용된 트랜지스터에서는, 실리콘층과, 화소 전극으로서 사용되는 투명 도전층(예를 들어, 산화인듐 및 산화주석의 혼합물(ITO))을 직접 콘택트시킬 수 없다. 그 때문에, 실리콘층과 투명 도전층 사이에 금속층의 다이 시트를 마련할 필요가 있다. 이와 같은 다이 시트가 화소의 표시 영역에 배치되면, 화소의 개구율이 저하된다고 하는 문제가 있다. 이와 같은 콘택트 구조에 관한 기술 사상은, 산화물 반도체가 채널로서 사용된 트랜지스터에도 공통되는 기술 사상이며, 투명 도전층을 금속층의 다이 시트 상에 형성하는 구성이 일반적으로 사용되었다. 또한, 산화물 반도체층이 채널로서 사용된 트랜지스터라도, 소스 영역 및 드레인 영역의 산화물 반도체층에 투명 도전층이 직접 접하는 구조에서는, 제조 프로세스에 따라서는 산화물 반도체층과 투명 도전층 사이의 콘택트 저항이 높아져 버리는 경우가 있었다.

[0006] 본 발명의 실시 형태의 하나는, 반도체 장치의 전기 특성을 저하시키지 않고 프로세스 마진을 크게 하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시 형태에 관한 반도체 장치는, 다결정 구조를 포함하는 산화물 반도체층과, 상기 산화물 반도체층과 대향하는 게이트 전극과, 상기 산화물 반도체층과 상기 게이트 전극 사이의 게이트 절연층과, 상기 산화물 반도체층에 접속된 제1 투명 도전층과, 상기 제1 투명 도전층과 동일층에 마련되며, 상기 제1 투명 도전층으로부터 분리된 제2 투명 도전층을 포함하고, 상기 제1 투명 도전층의 결정성은, 상기 제2 투명 도전층의 결정성과 다르다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 단면도이다.

도 2는 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 평면도이다.

도 3은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 4는 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 5는 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 6은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 7은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 8은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 9는 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 10은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 11은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 12는 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 13은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다.

도 14는 본 발명의 일 실시 형태에 관한 반도체 장치에 있어서, 투명 도전층의 결정성을 도시하는 단면도이다.

도 15는 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 평면도이다.

도 16은 본 발명의 일 실시 형태에 관한 표시 장치의 회로 구성을 도시하는 블록도이다.

도 17은 본 발명의 일 실시 형태에 관한 표시 장치의 화소 회로를 도시하는 회로도이다.

도 18은 본 발명의 일 실시 형태에 관한 반도체 장치의 전기 특성을 도시하는 도면이다.

도 19는 본 발명의 일 실시 형태에 관한 반도체 장치에 있어서의 산화물 반도체층과 투명 도전층의 콘택트 저항값을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하에, 본 발명의 각 실시 형태에 대하여, 도면을 참조하면서 설명한다. 이하의 개시는 어디까지나 일례에 지나지 않는다. 당업자가, 발명의 주지를 유지하면서, 실시 형태의 구성을 적절히 변경함으로써 용이하게 상도할 수 있는 구성은, 당연히 본 발명의 범위에 함유된다. 도면은 설명을 보다 명확하게 하기 위해, 실제의 양태에 비해, 각 부의 폭, 두께, 형상 등에 대하여 모식적으로 도시되는 경우가 있다. 그러나, 도시된 형상은 어디까지나 일례이며, 본 발명의 해석을 한정하지는 않는다. 본 명세서와 각 도면에 있어서, 기출의 도면에 관하여 전술한 구성과 마찬가지의 구성에는, 동일한 부호 뒤에 알파벳을 붙여, 상세한 설명을 적절히 생략하는 경우가 있다.

[0010] 본 발명의 각 실시 형태에 있어서, 기판으로부터 산화물 반도체층을 향하는 방향을 상 또는 상방이라 한다. 반대로, 산화물 반도체층으로부터 기판을 향하는 방향을 하 또는 하방이라 한다. 이와 같이, 설명의 편의상, 상방 또는 하방이라는 어구를 사용하여 설명하지만, 예를 들어 기판과 산화물 반도체층의 상하 관계가 도시와 다른 방향으로 배치되어도 된다. 이하의 설명에서, 예를 들어 기판 상의 산화물 반도체층이라고 하는 표현은, 상기와 같이 기판과 산화물 반도체층의 상하 관계를 설명하고 있는 것에 지나지 않고, 기판과 산화물 반도체층 사이에 다른 부재가 배치되어 있어도 된다. 상방 또는 하방은, 복수의 층이 적층된 구조에 있어서의 적층순을 의미하는 것이며, 트랜지스터의 상방의 화소 전극으로 표현하는 경우, 평면에서 보아 트랜지스터와 화소 전극이 겹치지 않는 위치 관계여도 된다. 한편, 트랜지스터의 연직 상방의 화소 전극으로 표현하는 경우에는, 평면에서 보아 트랜지스터와 화소 전극이 겹치는 위치 관계를 의미한다.

[0011] 「표시 장치」란, 전기 광학층을 사용하여 영상을 표시하는 구조체를 가리킨다. 예를 들어, 표시 장치라고 하는 용어는, 전기 광학층을 포함하는 표시 패널을 가리키는 경우도 있고, 또는 표시 셀에 대하여 다른 광학 부재(예를 들어, 편광 부재, 백라이트, 터치 패널 등)를 장착한 구조체를 가리키는 경우도 있다. 「전기 광학층」에는, 기술적인 모순이 발생하지 않는 한, 액정층, 일렉트로루미네센스(EL)층, 일렉트로크로믹(EC)층, 전기 영동층이 포함될 수 있다. 따라서, 후술하는 실시 형태에 대하여, 표시 장치로서, 액정층을 포함하는 액정 표시 장치를 예시하여 설명하지만, 본 실시 형태에 있어서의 구조는, 상술한 다른 전기 광학층을 포함하는 표시 장치에 적용할 수 있다.

[0012] 본 명세서에 있어서 「α는 A, B 또는 C를 포함한다」, 「α는 A, B 및 C 중 어느 것을 포함한다」, 「α는 A, B 및 C로 이루어지는 군에서 선택되는 하나를 포함한다」와 같은 표현은, 특별히 명시가 없는 한, α가 A 내지

C의 복수의 조합을 포함하는 경우를 배제하지 않는다. 또한, 이들 표현은, α가 다른 요소를 포함하는 경우도 배제하지 않는다.

[0013] 또한, 이하의 각 실시 형태는, 기술적인 모순을 발생시키지 않는 한, 서로 조합할 수 있다.

[0014] [1. 제1 실시 형태]

[0015] [1-1. 표시 장치(10)의 구성]

[0016] 도 1 내지 도 14를 사용하여, 본 발명의 일 실시 형태에 관한 표시 장치(10)의 구성에 대하여 설명한다. 도 1은 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 단면도이다. 도 2는 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 평면도이다. 도 3 내지 도 13은 본 발명의 일 실시 형태에 관한 표시 장치에 있어서, 각 층의 레이아웃을 설명하는 평면도이다. 도 14는 본 발명의 일 실시 형태에 관한 반도체 장치에 있어서, 투명 도전층의 결정성을 도시하는 단면도이다. 도 1의 단면도는, 표시 장치(10)의 층 구조를 설명하기 위한 단면도이며, 엄밀하게는 도 2의 평면도와 일치하고 있지 않는 경우도 있다.

[0017] 도 1에 도시한 바와 같이, 표시 장치(10)는 기판 SUB의 상방에 마련되어 있다. 표시 장치(10)는, 트랜지스터 Tr1, 트랜지스터 Tr2, 배선 W, 화소 전극 PTCO, 공통 보조 전극 CMTL, 및 공통 전극 CTCO를 갖는다. TCO는 Transparent Conductive Oxide(투명 도전성 산화물)의 약칭이다. 트랜지스터 Tr1은 표시 장치(10)의 화소 회로에 포함되는 반도체 장치이다. 트랜지스터 Tr2는 주변 회로에 포함되는 반도체 장치이다. 상세는 후술하지만, 주변 회로는 화소 회로를 구동하는 회로이다. 이하의 설명에 있어서, 「반도체 장치」는, 트랜지스터 Tr1의 구성만을 포함해도 되고, 트랜지스터 Tr1 및 Tr2의 양쪽의 구성을 포함해도 된다.

[0018] [1-2. 트랜지스터 Tr1의 구성]

[0019] 트랜지스터 Tr1은, 산화물 반도체층 OS(OS1, OS2), 게이트 절연층 GI1, 게이트 전극 GL1, 접속 전극 ZTCO, 및 배선 XTCO를 갖는다. 게이트 전극 GL1은 산화물 반도체층 OS에 대향한다. 게이트 절연층 GI1은 산화물 반도체층 OS와 게이트 전극 GL1 사이에 마련되어 있다. 본 실시 형태에서는, 게이트 전극 GL1보다도 기판 SUB측에 산화물 반도체층 OS가 마련된 톱 게이트형 트랜지스터가 예시되어 있지만, 게이트 전극 GL1과 산화물 반도체층 OS의 위치 관계가 반대인 보텀 게이트형 트랜지스터가 사용되어도 된다.

[0020] 산화물 반도체층 OS는, 다결정 구조를 포함한다. 산화물 반도체층 OS는, 산화물 반도체층 OS1, OS2를 포함한다. 산화물 반도체층 OS1은, 평면에서 보아 게이트 전극 GL1과 겹치는 영역의 산화물 반도체층이다. 산화물 반도체층 OS1은, 반도체층으로서 기능하고, 게이트 전극 GL1에 공급되는 전압에 따라서 도통 상태와 비도통 상태로 전환된다. 즉, 산화물 반도체층 OS1은, 트랜지스터 Tr1의 채널로서 기능한다. 산화물 반도체층 OS2는 도전층으로서 기능한다. 산화물 반도체층 OS1, OS2는 동일한 산화물 반도체층으로 형성된 층이다. 예를 들어, 산화물 반도체층 OS2는, 산화물 반도체층 OS1과 동일한 물성의 층에 대하여 불순물을 주입함으로써 저저항화된 산화물 반도체층이다.

[0021] 게이트 전극 GL1의 상방에 절연층 IL2가 마련되어 있다. 절연층 IL2의 상방에 배선 W1이 마련되어 있다. 배선 W1은, 절연층 IL2 및 게이트 절연층 GI1에 마련된 개구 WCON을 통해 산화물 반도체층 OS2에 접속되어 있다. 배선 W1은 금속층이다. 배선 W1에는, 화소의 계조에 관련되는 데이터 신호가 전달된다. 절연층 IL2 및 배선 W1의 상방에 절연층 IL3이 마련되어 있다. 접속 전극 ZTCO 및 배선 XTCO는, 절연층 IL3의 상방에 있어서, 절연층 IL3의 상면과 접하고 있다. 환언하면, 절연층 IL3은, 접속 전극 ZTCO 및 배선 XTCO의 하방에 있어서, 접속 전극 ZTCO 및 배선 XTCO의 하면과 접하고 있다.

[0022] 접속 전극 ZTCO는, 절연층 IL3, IL2, 및 게이트 절연층 GI1에 마련된 개구 ZCON을 통해 산화물 반도체층 OS2에 접속되어 있다. 접속 전극 ZTCO는 개구 ZCON의 저부에 있어서 산화물 반도체층 OS2와 접하고 있다. 배선 XTCO는, 절연층 IL3에 마련된 개구 XCON을 통해 배선 W1에 접속되어 있다. 접속 전극 ZTCO 및 배선 XTCO는, 투명 도전층이다. 상기와 같이, 게이트 전극 GL1, 접속 전극 ZTCO, 및 배선 XTCO는, 산화물 반도체층 OS의 상방에 마련되어 있다.

[0023] 접속 전극 ZTCO를 「제1 투명 도전층」이라 하는 경우가 있다. 배선 XTCO를 「제2 투명 도전층」이라 하는 경우가 있다. 배선 XTCO는, 접속 전극 ZTCO와 동일층에 마련되며, 접속 전극 ZTCO로부터 분리되어 있다. 접속 전극 ZTCO의 재료는 배선 XTCO의 재료와 동일하지만, 접속 전극 ZTCO의 일부의 결정성은, 배선 XTCO의 결정성과 다르다. 예를 들어, 접속 전극 ZTCO 및 배선 XTCO가 모두 동일 프로세스로 형성된 ITO라도, 접속 전극 ZTCO로서 사용되는 ITO의 일부의 결정성은, 배선 XTCO로서 사용되는 ITO의 결정성과 다르다. 결정성이 다르다란, 결

정 구조가 다른 것, 결정 구조가 동일해도 격자 상수 등의 파라미터가 다른 것 등을 포함한다. 결정성이 다른 투명 도전층을 광학 현미경으로 관찰하면, 이들 투명 도전층의 색이 다르다. 즉, 이들 투명 도전층의 굴절률이 다르다.

[0024] 절연층 IL2를 「제1 절연층」이라 하는 경우가 있다. 절연층 IL3을 「제2 절연층」이라 하는 경우가 있다. 개구 WCON을 「제1 개구」라 하는 경우가 있다. 개구 ZCON을 「제2 개구」라 하는 경우가 있다. 상기와 같이, 절연층 IL2는 산화물 반도체층 OS 및 게이트 전극 GL1의 상방에 마련되어 있다.

[0025] 상세는 후술하지만, 접속 전극 ZTCO는, 평면에서 보아 제1 영역 및 제2 영역으로 구분된다. 제1 영역은, 접속 전극 ZTCO가 산화물 반도체층 OS와 접하는 영역을 포함한다. 제2 영역은 제1 영역 이외의 영역이다. 제1 영역에 있어서의 접속 전극 ZTCO의 결정성은, 제2 영역에 있어서의 접속 전극 ZTCO의 결정성과 다르다.

[0026] 예를 들어 ITO층 등의 투명 도전층을 실리콘층 등의 반도체층에 접하도록 형성하면, ITO 성막 시의 프로세스 가스나 산소 이온에 의해 반도체층의 표면이 산화된다. 반도체층의 표면에 형성된 산화층은 고저항이기 때문에, 반도체층과 투명 도전층 사이의 콘택트 저항이 높아진다. 그 결과, 반도체층과 투명 도전층의 전기적 접촉에 불량이 발생한다.

[0027] 한편, 다결정 구조를 포함하는 산화물 반도체층 OS에 접하도록 상기 접속 전극 ZTCO를 형성한 경우, 산화물 반도체층 OS의 표면에 상기와 같은 고저항의 산화층은 형성되지 않는다.

[0028] 상기 이유는, 이하와 같이 추측된다. 상기와 같은 산화물 반도체층 OS에 접하도록 접속 전극 ZTCO를 형성하면, 산화물 반도체층 OS의 상방에 형성되는 접속 전극 ZTCO는, 산화물 반도체층 OS의 결정 구조를 반영하여 성막 직후에 결정화된다. 예를 들어, 어떤 성막 조건에서 접속 전극 ZTCO를 성막한 경우, 당해 산화물 반도체층 OS 이외의 개소에 성막된 접속 전극 ZTCO는 결정화되지 않지만, 산화물 반도체층 OS와 접하는 영역에 형성된 접속 전극 ZTCO는 결정화된다. 이와 같이, 접속 전극 ZTCO가 성막 시에 결정화됨으로써, 당해 산화물 반도체층 OS의 표면 중 접속 전극 ZTCO와 접하는 영역에 있어서 산화물 반도체층 OS가 환원된다고 생각된다. 그 결과, 산화물 반도체층 OS의 표면에 있어서의 캐리어 농도가 증가되고, 산화물 반도체층 OS와 접속 전극 ZTCO의 콘택트 저항이 저감되었다고 생각된다.

[0029] 접속 전극 ZTCO의 상방에 절연층 IL4가 마련되어 있다. 절연층 IL4는, 절연층 IL4보다도 하층에 마련된 구조체에 의해 형성된 단차를 완화한다. 절연층 IL4를 평탄화막이라고 하는 경우가 있다. 절연층 IL4의 상방에 화소 전극 PTCO가 마련되어 있다. 화소 전극 PTCO는 절연층 IL4에 마련된 개구 PCON을 통해 접속 전극 ZTCO에 접속되어 있다. 접속 전극 ZTCO와 화소 전극 PTCO가 접하는 영역을 콘택트 영역 CON2라 한다. 평면에서 보아, 콘택트 영역 CON2는 게이트 전극 GL1과 겹친다. 화소 전극 PTCO는, 투명 도전층이다.

[0030] 화소 전극 PTCO의 상방에 절연층 IL5가 마련되어 있다. 절연층 IL5의 상방에 공통 보조 전극 CMTL 및 공통 전극 CTCO가 마련되어 있다. 즉, 화소 전극 PTCO는, 절연층 IL5를 통해 공통 전극 CTCO와 대향하고 있다. 공통 전극 CTCO는, 개구 PCON에 있어서 공통 보조 전극 CMTL에 접속되어 있다. 상세는 후술하지만, 공통 보조 전극 CMTL과 공통 전극 CTCO는, 각각 다른 평면 패턴을 갖는다. 공통 보조 전극 CMTL은 금속층이다. 공통 전극 CTCO는 투명 도전층이다. 공통 보조 전극 CMTL의 전기 저항은 공통 전극 CTCO의 전기 저항보다도 저저항이다. 공통 보조 전극 CMTL은 차광층으로서도 기능한다. 예를 들어, 공통 보조 전극 CMTL이 인접하는 화소로부터의 광을 차광함으로써, 혼색의 발생이 억제된다. 공통 전극 CTCO의 상방에 스페이서 SP가 마련되어 있다.

[0031] 스페이서 SP는 일부의 화소에 대하여 마련되어 있다. 예를 들어, 스페이서 SP는, 청색 화소, 적색 화소, 녹색 화소 중 어느 하나의 화소에 대하여 마련되어 있어도 된다. 단, 스페이서 SP는 모든 화소에 마련되어 있어도 된다. 스페이서 SP의 높이는, 셀 갭의 절반의 높이이다. 대향 기판에도 스페이서가 마련되어 있고, 대향 기판의 스페이서와 상기 스페이서 SP는 평면에서 보아 겹친다.

[0032] 트랜지스터 Tr1과 기판 SUB 사이에 차광층 LS가 마련되어 있다. 본 실시 형태에서는, 차광층 LS로서, 차광층 LS1, LS2가 마련되어 있다. 단, 차광층 LS는 차광층 LS1만 또는 LS2만으로 형성되어 있어도 된다. 평면에서 보아, 차광층 LS는, 게이트 전극 GL1과 산화물 반도체층 OS가 겹치는 영역에 마련되어 있다. 즉, 평면에서 보아, 차광층 LS는 산화물 반도체층 OS1과 겹치는 영역에 마련되어 있다. 차광층 LS는, 기판 SUB측으로부터 입사한 광이 산화물 반도체층 OS1에 도달하는 것을 억제한다. 차광층 LS로서 도전층이 사용되는 경우, 차광층 LS에 전압을 인가하여 산화물 반도체층 OS1을 제어해도 된다. 차광층 LS에 전압이 인가되는 경우, 차광층 LS와 게이트 전극 GL1은, 화소 회로의 주변 영역에서 접속되어 있어도 된다. 평면에서 보아, 상기 콘택트 영역 CON1은 차광층 LS와 겹치지 않는 영역에 마련되어 있다.

[0033] 본 실시 형태에서는, 산화물 반도체층 OS가 절연층 IL1과 접하는 구성을 예시하였지만, 이 구성에 한정되지는 않는다. 예를 들어, 산화물 반도체층 OS와 절연층 IL1 사이에 금속 산화물층이 마련되어도 된다. 예를 들어, 당해 금속 산화물층으로서, 알루미늄을 주성분으로 하는 금속 산화물이 사용되어도 된다. 구체적으로는, 당해 금속 산화물층으로서, 산화알루미늄이 사용되어도 된다. 이 경우, 금속 산화물층은 절연층 IL1과 동일한 영역에 마련되어 있어도 되고, 산화물 반도체층 OS와 동일한 패턴으로 가공되어 있어도 된다.

[0034] [1-3. 트랜지스터 Tr2의 구성]

[0035] 트랜지스터 Tr2는, p형 트랜지스터 Tr2-1 및 n형 트랜지스터 Tr2-2를 갖는다.

[0036] p형 트랜지스터 Tr2-1 및 n형 트랜지스터 Tr2-2는, 모두 게이트 전극 GL2, 게이트 절연층 GI2, 반도체층 S(S1 내지 S3)를 갖는다. 게이트 전극 GL2는 반도체층 S에 대향한다. 게이트 절연층 GI2는 반도체층 S와 게이트 전극 GL2 사이에 마련되어 있다. 본 실시 형태에서는, 반도체층 S보다도 기판 SUB측에 게이트 전극 GL2가 마련된 보텀 게이트형 트랜지스터가 예시되어 있지만, 반도체층 S와 게이트 전극 GL2의 위치 관계가 반대인 톱 게이트형 트랜지스터가 사용되어도 된다.

[0037] p형 트랜지스터 Tr2-1의 반도체층 S는, 반도체층 S1, S2를 포함한다. n형 트랜지스터 Tr2-2의 반도체층 S는, 반도체층 S1, S2, S3을 포함한다. 반도체층 S1은, 평면에서 보아 게이트 전극 GL2와 겹치는 영역의 반도체층이다. 반도체층 S1은 트랜지스터 Tr2-1 및 Tr2-2의 채널로서 기능한다. 반도체층 S2는 도전층으로서 기능한다. 반도체층 S3은, 반도체층 S2보다도 고저항의 도전층으로서 기능한다. 반도체층 S3은, 반도체층 S1을 향하여 침입하는 핫 캐리어를 감쇠시킴으로써, 핫 캐리어 열화를 억제한다.

[0038] 반도체층 S의 상방에 절연층 IL1 및 게이트 절연층 GI1이 마련되어 있다. 트랜지스터 Tr2에 있어서, 게이트 절연층 GI1은 단순히 층간막으로서 기능한다. 이들 절연층의 상방에 배선 W2가 마련되어 있다. 배선 W2는, 절연층 IL1 및 게이트 절연층 GI1에 마련된 개구를 통해 반도체층 S2에 접속되어 있다. 배선 W2의 상방에 절연층 IL2가 마련되어 있다. 절연층 IL2의 상방에 배선 W1이 마련되어 있다. 배선 W1은, 절연층 IL2에 마련된 개구를 통해 배선 W2에 접속되어 있다. 배선 W1의 상방에 절연층 IL3이 마련되어 있다. 절연층 IL3의 상방에 배선 XTCO가 마련되어 있다. 배선 XTCO는, 절연층 IL3에 마련된 개구를 통해 배선 W1에 접속되어 있다.

[0039] 게이트 전극 GL2와 차광층 LS2는 동일층이다. 배선 W2와 게이트 전극 GL1은 동일층이다. 동일층이란, 1개의 층이 패터닝됨으로써, 복수의 부재가 형성되어 있는 것을 의미한다.

[0040] [1-4. 표시 장치(10)의 평면 레이아웃]

[0041] 도 2 내지 도 13을 사용하여, 표시 장치(10)의 화소의 평면 레이아웃을 설명한다. 도 2에서는, 화소 전극 PTCO, 공통 보조 전극 CMTL, 공통 전극 CTCO, 및 스페이서 SP는 생략되어 있다. 화소 전극 PTCO, 공통 보조 전극 CMTL, 및 공통 전극 CTCO의 평면 레이아웃은, 각각 도 11 내지 도 13에 도시되어 있다.

[0042] 도 2 및 도 3에 도시한 바와 같이, 차광층 LS는 D1 방향으로 연장되어 있다. 화소에 따라 차광층 LS의 형상이 다르다. 본 실시 형태에서는, D1 방향으로 연장되는 차광층 LS의 일부로부터, D2 방향으로 돌출되는 돌출부 PJT가 마련되어 있다. 도 5에 도시한 바와 같이, 차광층 LS는, 평면에서 보아 게이트 전극 GL1과 산화물 반도체층 OS가 겹치는 영역을 포함하는 영역에 마련되어 있다. 또한, 게이트 전극 GL1을 「게이트선」이라 할 수도 있다.

[0043] 도 2, 도 4, 및 도 5에 도시한 바와 같이, 산화물 반도체층 OS는 D2 방향으로 연장되어 있다. 게이트 전극 GL1은, 산화물 반도체층 OS와 교차하도록 D1 방향으로 연장되어 있다. 게이트 전극 GL1의 패턴은 차광층 LS의 패턴의 내측에 마련되어 있다. 환언하면, 산화물 반도체층 OS는, 게이트 전극 GL1에 교차하는 긴 형상(긴 변을 갖는 형상)으로 형성되어 있다.

[0044] 도 2, 도 6, 및 도 7에 도시한 바와 같이, 개구 WCON은, 산화물 반도체층 OS의 패턴의 상단 부근에 있어서, 배선 W1(W1-1, W1-2)과 겹치는 영역에 마련되어 있다. 산화물 반도체층 OS의 패턴의 메인 부분은, 인접하는 배선 W1(W1-1, W1-2) 사이에 있어서 D2 방향으로 연장되어 있다. 산화물 반도체층 OS의 패턴의 나머지 부분은, 당해 메인 부분으로부터 개구 WCON의 영역을 향하여 D1 방향 및 D2 방향에 대하여 경사의 방향으로 연장되어 있다.

[0045] 도 2 및 도 7에 도시한 바와 같이, 복수의 배선 W1이 D2 방향으로 연장되어 있다. 인접하는 배선 W1을 각각 구별하여 설명할 필요가 있는 경우, 인접하는 배선 W1을 배선 W1-1 및 배선 W1-2라 한다. 이 경우, 산화물 반도체층 OS의 메인 부분은, 배선 W1-1과 배선 W1-2 사이에 있어서, D2 방향으로 연장되어, 게이트 전극 GL1과 교차한다고 할 수 있다. 상기 구성을 환언하면, 산화물 반도체층 OS는, D2 방향으로 긴 형상으로 마련되어 있고,

산화물 반도체층 OS의 긴 변 방향의 한쪽의 단부에서 배선 W1-1에 접속되어 있다.

[0046] 도 2, 도 8, 및 도 9에 도시한 바와 같이, 개구 ZCON은 산화물 반도체층 OS의 패턴의 하단 부근에 마련되어 있다. 개구 ZCON은, 산화물 반도체층 OS의 패턴과 겹치는 영역, 또한, 게이트 전극 GL1과는 겹치지 않는 영역에 마련되어 있다. 개구 ZCON은, 접속 전극 ZTCO와 겹치는 영역에 마련되어 있다. 접속 전극 ZTCO는, 배선 W1-1과 배선 W1-2 사이에 있어서, 게이트 전극 GL1 및 산화물 반도체층 OS와 겹친다. 따라서, 접속 전극 ZTCO는, 게이트 전극 GL1과는 겹치지 않는 개구 ZCON에 있어서 산화물 반도체층 OS와 접한다.

[0047] 상기 구성을 환언하면, 산화물 반도체층 OS는, 산화물 반도체층 OS의 긴 변 방향의 다른 쪽의 단부에서 접속 전극 ZTCO에 접속되어 있다. 접속 전극 ZTCO는, 산화물 반도체층 OS와 마찬가지로 D2 방향으로 연장되는 긴 형상으로 형성되어 있다. D1 방향에 있어서, 접속 전극 ZTCO의 폭은 산화물 반도체층 OS의 폭보다도 작다.

[0048] 도 2, 도 7 및 도 8에 도시한 바와 같이, 산화물 반도체층 OS는, 게이트 전극 GL1에 대하여, 개구 ZCON과는 반대 측에서 배선 W1과 접한다. 개구 ZCON은 차광층 LS와 겹치지 않는다.

[0049] 도 2, 도 10 및 도 11에 도시한 바와 같이, 개구 PCON은 접속 전극 ZTCO의 패턴의 상단 부근에 마련되어 있다. 개구 PCON은, 게이트 전극 GL1의 패턴 및 접속 전극 ZTCO의 패턴과 겹치는 영역에 마련되어 있다. 개구 PCON은, 화소 전극 PTCO와 겹치는 영역에 마련되어 있다. 화소 전극 PTCO는, 배선 W1-1과 배선 W1-2 사이에 있어서, 게이트 전극 GL1, 산화물 반도체층 OS, 및 접속 전극 ZTCO와 겹친다. 따라서, 화소 전극 PTCO는, 게이트 전극 GL1과 겹치는 개구 PCON에 있어서 접속 전극 ZTCO와 접한다.

[0050] 화소 전극 PTCO는, 하기의 투광 영역으로 연장되어 있다. 상기 구성을 환언하면, 화소 전극 PTCO는, 산화물 반도체층 OS 및 배선 W1-1과 마찬가지로 D2 방향으로 연장되는 긴 형상으로 형성되어 있다. D1 방향에 있어서, 개구 PCON이 마련된 부분에 있어서의 화소 전극 PTCO의 폭은 산화물 반도체층 OS의 폭보다도 크다.

[0051] 도 11에 도시한 바와 같이, 접속 전극 ZTCO는, 배선 W1-1을 따라서 연장되는 긴 형상으로 형성되어 있다. D1 방향에 있어서, 콘택트 영역 CON2를 구성하는 개구 PCON의 폭은, 접속 전극 ZTCO의 폭보다 크다. 평면에서 보아 접속 전극 ZTCO의 전체가 화소 전극 PTCO에 겹친다.

[0052] 도 11에 도시한 바와 같이, 화소 전극 PTCO는 D2 방향으로 배열되어 있다. D2 방향으로 인접하는 화소 중, 한쪽의 화소를 「제1 화소」라 하고, 다른 쪽의 화소를 「제2 화소」라 하는 경우가 있다. 예를 들어, 제1 화소는, 도 11에 있어서 D2 방향으로 배열된 화소 전극 PTCO 중, 위의 화소 전극 PTCO에 대응하는 화소이며, 제2 화소는, D2 방향으로 배열된 화소 전극 PTCO 중, 아래의 화소 전극 PTCO에 대응하는 화소이다. 이 경우, 제1 화소 및 제2 화소에는, 배선 W1-1로부터 화소 신호가 공급된다.

[0053] 또한, 화소 전극 PTCO는 D1 방향으로 배열되어 있다. 상기 제1 화소에 대하여 D1 방향으로 인접하는 화소를 「제3 화소」라 하고, 제2 화소에 대하여 D1 방향으로 인접하는 화소를 「제4 화소」라 한다. 제3 화소와 제4 화소는 D2 방향으로 인접하고 있다. 제3 화소 및 제4 화소에는, 배선 W1-1에 인접하는 배선 W1-2로부터 화소 신호가 공급된다.

[0054] 상기와 같이, 제1 화소, 제2 화소, 제3 화소, 및 제4 화소의 각각은, 트랜지스터 Tr1(화소 트랜지스터)과, 접속 전극 ZTCO와, 화소 전극 PTCO를 갖는다.

[0055] 트랜지스터 Tr1은, 산화물 반도체층 OS, 산화물 반도체층 OS에 대향하는 게이트 전극 GL1, 및 산화물 반도체층 OS와 게이트 전극 GL1 사이의 게이트 절연층 GI1을 구비하고 있다. 접속 전극 ZTCO는, 평면에서 보아, 게이트 전극 GL1 및 산화물 반도체층 OS와 겹치고, 게이트 전극 GL1과는 겹치지 않는 개구 ZCON에 있어서, 산화물 반도체층 OS와 접한다. 화소 전극 PTCO는, 평면에서 보아, 게이트 전극 GL1, 산화물 반도체층 OS 및 접속 전극 ZTCO와 겹치고, 게이트 전극 GL1과 겹치는 개구 PCON에 있어서, 접속 전극 ZTCO에 접속되어 있다.

[0056] 도 11의 상측에 마련된 제1 화소의 화소 전극 PTCO는, 평면에서 보아, 당해 제1 화소의 산화물 반도체층 OS, 및 제1 화소의 하측에 마련된 제2 화소의 산화물 반도체층 OS에 겹친다. 또한, 제1 화소의 화소 전극 PTCO는, 평면에서 보아, 제4 화소의 산화물 반도체층 OS와도 겹친다.

[0057] 도 12에 도시한 바와 같이, 공통 보조 전극 CMTL은, 화소 영역의 주위를 둘러싸도록 격자상으로 마련되어 있다. 즉, 공통 보조 전극 CMTL은 복수의 화소에 대하여 공통으로 마련되어 있다. 환언하면, 공통 보조 전극 CMTL은 개구 OP를 갖는다. 개구 OP는, 화소 전극 PTCO를 노출하도록 마련되어 있다. 개구 OP의 패턴은 화소 전극 PTCO의 패턴의 내측에 마련되어 있다. 개구 OP가 마련된 영역이 표시 영역에 상당한다. 즉, 개구 ZCON은 표시 영역에 포함되어 있다. 표시 영역이란, 유저가 화소로부터의 광을 시인할 수 있는 영역을 의미한다. 예를 들

어, 금속층에 의해 차광되어, 유저가 광을 시인할 수 없는 영역은 표시 영역에는 포함되지 않는다. 즉, 상기 표시 영역을 「투광 영역(또는, 개구 영역)」이라 하는 경우가 있다.

[0058] 도 13에 도시한 바와 같이, 공통 전극 CTCO는, 복수의 화소에 대하여 공통으로 마련되어 있다. 상기 개구 OP에 대응한 영역에 슬릿 SL이 마련되어 있다. 슬릿 SL은, 만곡한 형상(세로로 긴 S자 형상)을 갖고 있다. 슬릿 SL의 선단은, 당해 선단의 연신 방향에 직교하는 폭이 작아지는 형상을 갖고 있다. 도 1 및 도 13을 참조하면, 공통 전극 CTCO는, 화소 전극 PTCO와 대향하는 위치에 슬릿 SL을 갖고 있다.

[0059] [1-5. 접속 전극 ZTCO 및 배선 XTCO의 결정성]

[0060] 도 14를 사용하여, 접속 전극 ZTCO 및 배선 XTCO의 결정성에 대하여 설명한다. 도 14는 도 1에 도시된 트랜지스터 Tr1의 일부를 발췌하여 확대한 단면도이다. 도 14에 있어서, 접속 전극 ZTCO는 2종류의 해칭으로 표시되어 있다. 다른 해칭은, 다른 결정성을 의미한다. 도 14는 제1 영역 AR1 및 제2 영역 AR2로 구분되어 있다. 제1 영역 AR1은, 평면에서 보아 접속 전극 ZTCO가 산화물 반도체층 OS에 접속된 영역을 포함한다. 제2 영역 AR2는, 제1 영역 AR1과는 다른 영역이다. 제1 영역 AR1은, 평면에서 보아 접속 전극 ZTCO가 산화물 반도체층 OS에 접속된 영역만을 가리켜도 되고, 당해 영역보다도 외측으로 확대된 영역을 가리켜도 된다.

[0061] 도 14에 도시한 바와 같이, 접속 전극 ZTCO는 영역에 따라 다른 결정성을 갖고 있다. 구체적으로는, 제1 영역 AR1에 있어서의 접속 전극 ZTCO의 결정성은, 제2 영역 AR2에 있어서의 접속 전극 ZTCO의 결정성과는 다르다. 제2 영역 AR2에 있어서의 접속 전극 ZTCO의 결정성은, 배선 XTCO의 결정성과 동일하다.

[0062] 접속 전극 ZTCO 및 배선 XTCO로서 ITO 등의 투명 도전층이 사용되는 경우, 당해 투명 도전층은 기판 전체면에 성막된 후에 패터닝되기 때문에, 당해 투명 도전층은 결정화되지 않는 조건에서 성막된다. 이와 같은 조건에서 투명 도전층을 성막해도, 산화물 반도체층 OS가 다결정이기 때문에, 산화물 반도체층 OS와 접하는 영역의 투명 도전층은, 산화물 반도체층 OS의 결정 구조를 반영하여 성막 직후에 결정화된다. 그 결과, 투명 도전층을 성막한 직후의 상태에 있어서, 제1 영역 AR1에 있어서의 투명 도전층은 결정 상태이며, 제2 영역 AR2에 있어서의 투명 도전층은 비결정 상태이다.

[0063] 상기와 같이, 산화물 반도체층 OS가 패터닝된 후에, 투명 도전층의 저저항화를 위해, 투명 도전층은 열처리에 의해 결정화된다. 이 결정화에 의해, 제2 영역 AR2에 있어서의 접속 전극 ZTCO 및 배선 XTCO는 비결정 상태로부터 결정 상태로 변화된다. 한편, 제1 영역 AR1에 있어서의 접속 전극 ZTCO는, 이미 결정 상태이기 때문에, 열 처리의 전후에 있어서 결정 상태는 변화되지 않는다.

[0064] 상기와 같이, 제1 영역 AR1에 있어서의 접속 전극 ZTCO는, 산화물 반도체층 OS의 결정 구조를 반영하여 결정화되는 것에 반해, 제2 영역에 있어서의 접속 전극 ZTCO 및 배선 XTCO는, 열처리에 의해 결정화된다. 따라서, 도 14에 도시한 바와 같이, 제1 영역 AR1에 있어서의 접속 전극 ZTCO의 결정성은, 제2 영역 AR2에 있어서의 접속 전극 ZTCO 및 배선 XTCO의 각각의 결정성과는 다르다. 접속 전극 ZTCO는, 동일한 투명 도전층을 패터닝함으로써 형성된 패턴이다. 따라서, 제1 영역 AR1에 있어서의 접속 전극 ZTCO와 제2 영역 AR2에 있어서의 접속 전극 ZTCO는 연속하고 있다.

[0065] [1-6. 표시 장치(10)의 각 부재의 재질]

[0066] 기판 SUB로서, 유리 기판, 석영 기판, 및 사파이어 기판 등, 투광성을 갖고, 가요성을 갖지 않는 강성 기판을 사용할 수 있다. 한편, 기판 SUB가 가요성을 가질 필요가 있는 경우에는, 기판 SUB로서 폴리이미드 기판, 아크릴기판, 실록산 기판, 또는 불소 수지 기판 등, 수지를 포함하고, 가요성을 갖는 플렉시블 기판을 사용할 수 있다. 기판 SUB의 내열성을 향상시키기 위해, 상기 수지에 불순물이 도입되어도 된다.

[0067] 게이트 전극 GL1, GL2, 배선 W1, W2, 차광층 LS, 및 공통 보조 전극 CMTL로서, 일반적인 금속 재료를 사용할 수 있다. 예를 들어, 이들 전극 등의 부재로서, 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 코발트(Co), 니켈(Ni), 몰리브덴(Mo), 하프늄(Hf), 탄탈(Ta), 텅스텐(W), 비스무트(Bi), 및 은 (Ag), 또는, 이들의 합금 혹은 화합물이 사용된다. 상기 전극 등의 부재로서, 상기 재료가 단층으로 사용되어도 되고, 적층으로 사용되어도 된다.

[0068] 예를 들어, 게이트 전극 GL1로서, Ti/Al/Ti의 적층 구조가 사용된다. 본 실시 형태에 있어서, 상기 적층 구조를 갖는 게이트 전극 GL1의 패턴 단부의 단면 형상은 순테이퍼 형상이다.

[0069] 게이트 절연층 GI1, GI2 및 절연층 IL1 내지 IL5로서, 일반적인 절연층성 재료를 사용할 수 있다. 예를 들어, 게이트 절연층 GI1, GI2 및 절연층 IL1 내지 IL3, IL5로서, 산화실리콘(SiO_x), 산화질화실리콘(SiO_xN_y), 질화실

리콘(SiN_x), 질화산화실리콘(SiN_xO_y), 산화알루미늄(AlO_x), 산화질화알루미늄(AlO_xN_y), 질화산화알루미늄(AlN_xO_y), 질화알루미늄(AlN_x) 등의 무기 절연층을 사용할 수 있다. 이들 절연층으로서, 결함이 적은 절연층을 사용할 수 있다. 절연층 IL4로서, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘 수지, 불소 수지, 또는 실록산 수지 등의 유기 절연 재료를 사용할 수 있다. 게이트 절연층 GI1, GI2 및 절연층 IL1 내지 IL3, IL5로서, 상기 유기 절연 재료가 사용되어도 된다. 상기 절연층 등의 부재로서, 상기 재료가 단층으로 사용되어도 되고, 적층으로 사용되어도 된다.

[0070] 상기 절연층의 일례로서, 게이트 절연층 GI1로서 두께가 100nm인 SiO_x가 사용된다. 절연층 IL1로서 총 두께가 300nm 내지 700nm인 $SiO_x/SiN_x/SiO_x$가 사용된다. 게이트 절연층 GI2로서 총 두께가 60 내지 150nm인 SiO_x/SiN_x가 사용된다. 절연층 IL2로서 총 두께가 300nm 내지 500nm인 $SiO_x/SiN_x/SiO_x$가 사용된다. 절연층 IL3으로서 총 두께가 200nm 내지 500nm인 SiO_x(단층), SiN_x(단층), 또는 이들의 적층이 사용된다. 절연층 IL4로서 두께가 2㎛ 내지 4㎛인 유기층이 사용된다. 절연층 IL5로서 두께가 50nm 내지 150nm인 SiN_x(단층)가 사용된다.

[0071] 상기 SiO_xN_y 및 AlO_xN_y는, 산소(O)보다도 적은 비율(x>y)의 질소(N)를 함유하는 실리콘 화합물 및 알루미늄 화합물이다. SiN_xO_y 및 AlN_xO_y는, 질소보다도 적은 비율(x>y)의 산소를 함유하는 실리콘 화합물 및 알루미늄 화합물이다.

[0072] 산화물 반도체층 OS로서, 반도체의 특성을 갖는 금속 산화물을 사용할 수 있다. 예를 들어, 산화물 반도체층 OS로서, 인듐(In), 갈륨(Ga), 아연(Zn), 및 산소(O)를 포함하는 산화물 반도체를 사용할 수 있다. 예를 들어, 산화물 반도체층 OS로서, In:Ga:Zn:O=1:1:1:4의 조성비를 갖는 산화물 반도체를 사용할 수 있다. 단, 본 실시 형태에서 사용되는 In, Ga, Zn, 및 O를 포함하는 산화물 반도체는 상기 조성에 한정되지는 않고, 상기와는 다른 조성의 산화물 반도체가 사용되어도 된다. 예를 들어, 이동도를 향상시키기 위해 In의 비율이 상기보다 큰 산화물 반도체층이 사용되어도 된다. 한편, 밴드 갭을 크게 하고, 광 조사에 의한 영향을 작게 하기 위해 Ga의 비율이 상기 보다 큰 산화물 반도체층이 사용되어도 된다.

[0073] 예를 들어, In의 비율이 상기보다 큰 산화물 반도체층 OS로서, 인듐(In)을 포함하는 2 이상의 금속을 포함하는 산화물 반도체가 사용되어도 된다. 이 경우, 산화물 반도체층 OS에 있어서, 전체 금속 원소에 대한 인듐 원소의 비율이 원자 비율로 50% 이상이어도 된다. 산화물 반도체층 OS로서, 인듐에 더하여, 갈륨(Ga), 아연(Zn), 알루미늄(Al), 하프늄(Hf), 이트륨(Y), 지르코니아(Zr), 란타노이드가 사용되어도 된다. 산화물 반도체층 OS로서, 상기 이외의 원소가 사용되어도 된다.

[0074] 산화물 반도체층 OS로서, In, Ga, Zn, 및 O를 포함하는 산화물 반도체에 다른 원소가 첨가되어 있어도 된다. 예를 들어, 당해 산화물 반도체에 Al, Sn 등의 금속 원소가 첨가되어 있어도 된다. 상기 산화물 반도체 이외에도 In, Ga를 포함하는 산화물 반도체(IGO), In, Zn을 포함하는 산화물 반도체(IZO), In, Sn, Zn을 포함하는 산화물 반도체(ITZO), 및 In, W를 포함하는 산화물 반도체 등이 산화물 반도체층 OS로서 사용되어도 된다.

[0075] 산화물 반도체층 OS에 있어서의 인듐 원소의 비율이 큰 경우, 산화물 반도체층 OS가 결정화되기 쉽다. 상기와 같이, 산화물 반도체층 OS에 있어서, 전체 금속 원소에 대한 인듐 원소의 비율이 50% 이상인 재료를 사용함으로써, 다결정 구조를 갖는 산화물 반도체층 OS를 얻을 수 있다. 인듐 이외의 금속 원소로서, 갈륨이 포함되는 것이 바람직하다. 갈륨은, 인듐과 같은 제13족 원소에 속한다. 그 때문에, 산화물 반도체층 OS의 결정성이 갈륨에 의해 저해되지 않고, 산화물 반도체층 OS는 다결정 구조를 갖는다.

[0076] 산화물 반도체층 OS의 상세한 제조 방법은 후술하지만, 산화물 반도체층 OS는, 스퍼터링법을 사용하여 형성할 수 있다. 스퍼터링법에 의해 형성되는 산화물 반도체층 OS의 조성은, 스퍼터링 타깃의 조성에 의존한다. 산화물 반도체층 OS가 다결정 구조를 갖는 경우라도, 스퍼터링 타깃의 조성과 산화물 반도체층 OS의 조성과는 대략 일치한다. 이 경우, 산화물 반도체층 OS의 금속 원소의 조성은, 스퍼터링 타깃의 금속 원소의 조성에 기초하여 특정할 수 있다.

[0077] 산화물 반도체층 OS가 다결정 구조를 갖는 경우, X선 회절(X-ray Diffraction: XRD)법을 사용하여, 산화물 반도체층의 조성을 특정해도 된다. 구체적으로는, XRD법에 의해 취득된 산화물 반도체층의 결정 구조 및 격자 상수에 기초하여, 산화물 반도체층의 금속 원소의 조성을 특정할 수 있다. 또한, 산화물 반도체층 OS의 금속 원소의 조성은, 형광 X선 분석 또는 전자 프로브 마이크로 애널라이저(Electron Probe Micro Analyzer: EPMA) 분석 등을 사용하여 특정할 수도 있다. 단, 산화물 반도체층 OS에 포함되는 산소 원소는, 스퍼터링의 프로세스 조건

등에 의해 변화되기 때문에, 이에 한하지는 않는다.

[0078] 상술한 바와 같이, 산화물 반도체층 OS는 다결정 구조를 갖고 있다. 다결정 구조를 갖는 산화물 반도체는, Poly-OS(Poly-crystalline Oxide Semiconductor) 기술을 사용하여 제작할 수 있다. 이하에서는, 아몰퍼스 구조를 갖는 산화물 반도체와 구별할 때, 다결정 구조를 갖는 산화물 반도체를 Poly-OS로서 설명하는 경우가 있다.

[0079] 상기와 같이, 접속 전극 ZTCO, 배선 XTCO, 화소 전극 PTCO, 및 공통 전극 CTCO로서, 투명 도전층이 사용된다. 당해 투명 도전층으로서, ITO 및 산화인듐 및 산화아연의 혼합물(IZO)을 사용할 수 있다. 당해 투명 도전층으로서, 상기 이외의 재료가 사용되어도 된다.

[0080] 상기와 같이, 산화물 반도체층 OS와 절연층 IL1 사이에 금속 산화물층이 마련되는 경우, 당해 금속 산화물층으로서, 알루미늄을 주성분으로 하는 금속 산화물이 사용된다. 예를 들어, 금속 산화물층으로서, 산화알루미늄(AlO_x), 산화질화알루미늄(AlO_xN_y), 질화산화알루미늄(AlN_xO_y), 질화알루미늄(AlN_x) 등의 무기 절연층이 사용된다. 「알루미늄을 주성분으로 하는 금속 산화물층」은, 금속 산화물층에 포함되는 알루미늄의 비율이, 금속 산화물층 전체의 1% 이상인 것을 의미한다. 금속 산화물층에 포함되는 알루미늄의 비율은, 금속 산화물층 전체의 5% 이상 70% 이하, 10% 이상 60% 이하, 또는 30% 이상 50% 이하여도 된다. 상기 비율은, 질량비여도 되고, 중량비여도 된다.

[0081] 이상과 같이, 본 실시 형태에 관한 트랜지스터 Tr1에 의하면, 다결정 구조를 포함하는 산화물 반도체층 OS와 투명 도전층인 접속 전극 ZTCO를 직접 접촉시킴으로써 양자간의 도통을 확보할 수 있다. 따라서, 산화물 반도체층 OS와 접속 전극 ZTCO 사이에 금속층을 마련할 필요가 없다. 또한, 상세는 후술하지만, 본 실시 형태에 관한 트랜지스터 Tr1에 의하면, 산화물 반도체층 OS와 접속 전극 ZTCO의 콘택트 저항을 저감할 수 있다. 따라서, 트랜지스터 Tr1의 전기 특성을 저하시키지 않고 프로세스 마진을 크게 할 수 있다.

[0082] 이 구성에 의해, 개구 ZCON에 있어서 광이 차단되지 않기 때문에, 개구율의 저하를 억제할 수 있다. 산화물 반도체층은 투광성을 갖고 있다. 따라서, 본 실시 형태에 있어서, 화소 영역의 개구 영역에 산화물 반도체층이 마련되어 있지만, 백라이트로부터의 광은 당해 산화물 반도체층을 통과한다. 이 때문에, 산화물 반도체층이 개구 영역에 마련되어 있는 것에 의한 당해 개구 영역의 투과율의 저하는 억제된다. 산화물 반도체층 OS는, 투광성을 갖기 때문에, 실리콘층과는 달리 투과광에 불균일을 발생시키기 어렵다. 표시 영역에 산화물 반도체층 OS가 설치되어 있음으로써, 표시 불균일의 발생을 억제할 수 있다.

[0083] [2. 제2 실시 형태]

[0084] 도 15 내지 도 17을 사용하여, 상기 제1 실시 형태에서 설명한 표시 장치의 전체 구성에 대하여 설명한다.

[0085] [2-1. 표시 장치(20)의 개요]

[0086] 도 15는 본 발명의 일 실시 형태에 관한 표시 장치의 개요를 도시하는 평면도이다. 도 15에 도시한 바와 같이, 표시 장치(20)는, 어레이 기판(300), 시일부(400), 대향 기판(500), 플렉시블 프린트 회로 기판(600)(FPC(600)), 및 IC 칩(700)을 갖는다. 어레이 기판(300) 및 대향 기판(500)은 시일부(400)에 의해 접합되어 있다. 시일부(400)에 둘러싸인 액정 영역(22)에는, 복수의 화소 회로(310)가 매트릭스상으로 배치되어 있다. 액정 영역(22)은, 후술하는 액정 소자(410)와 평면에서 보아 겹치는 영역이다. 액정 영역(22)은, 표시에 기여하는 영역이다. 액정 영역(22)을 「표시 영역」이라 하는 경우가 있다. 상기 트랜지스터 Tr1은 액정 영역(22)(표시 영역)에 마련된다.

[0087] 시일부(400)가 마련된 시일 영역(24)은, 액정 영역(22)의 주위의 영역이다. FPC(600)는 단자 영역(26)에 마련되어 있다. 단자 영역(26)은 어레이 기판(300)이 대향 기판(500)으로부터 노출된 영역이며, 시일 영역(24)의 외측에 마련되어 있다. 또한, 시일 영역(24)의 외측이란, 시일부(400)가 마련된 영역 및 시일부(400)에 의해 둘러싸인 영역의 외측을 의미한다. IC 칩(700)은 FPC(600) 상에 마련되어 있다. IC 칩(700)은 각 화소 회로(310)를 구동시키기 위한 신호를 공급한다. 시일 영역(24) 또는 시일 영역(24)과 단자 영역(26)을 합한 영역은, 액정 영역(22)(표시 영역)을 포위하는 영역이다. 이들 영역을 「프레임 영역」이라 하는 경우가 있다. 상기 트랜지스터 Tr2는 당해 프레임 영역에 마련된다.

[0088] [2-2. 표시 장치(20)의 회로 구성]

[0089] 도 16은 본 발명의 일 실시 형태에 관한 표시 장치의 회로 구성을 도시하는 블록도이다. 도 16에 도시한 바와

같이, 화소 회로(310)가 배치된 액정 영역(22)에 대하여 D1 방향(열 방향)으로 인접하는 위치에는 소스 드라이버 회로(320)가 마련되어 있고, 액정 영역(22)에 대하여 D2 방향(행 방향)으로 인접하는 위치에는 게이트 드라이버 회로(330)가 마련되어 있다. 소스 드라이버 회로(320) 및 게이트 드라이버 회로(330)는, 상기 시일 영역(24)에 마련되어 있다. 단, 소스 드라이버 회로(320) 및 게이트 드라이버 회로(330)가 마련되는 영역은 시일 영역(24)에 한정되지는 않고, 화소 회로(310)가 마련된 영역의 외측이면, 어느 영역이어도 된다.

[0090] 소스 드라이버 회로(320)로부터 소스 배선(321)이 D1 방향으로 연장되어 있으며, D1 방향으로 배열된 복수의 화소 회로(310)에 접속되어 있다. 게이트 드라이버 회로(330)로부터 게이트 배선(331)이 D2 방향으로 연장되어 있으며, D2 방향으로 배열된 복수의 화소 회로(310)에 접속되어 있다.

[0091] 단자 영역(26)에는 단자부(333)가 마련되어 있다. 단자부(333)와 소스 드라이버 회로(320)는 접속 배선(341)으로 접속되어 있다. 마찬가지로, 단자부(333)와 게이트 드라이버 회로(330)는 접속 배선(341)으로 접속되어 있다. FPC(600)가 단자부(333)에 접속됨으로써, FPC(600)가 접속된 외부 기기와 표시 장치(20)가 접속되고, 외부 기기로부터의 신호에 의해 표시 장치(20)에 마련된 각 화소 회로(310)가 구동한다.

[0092] 제1 실시 형태에 나타내는 트랜지스터 Tr1은, 화소 회로(310)에 사용된다. 제1 실시 형태에 나타내는 트랜지스터 Tr2는, 소스 드라이버 회로(320) 및 게이트 드라이버 회로(330)에 포함되는 트랜지스터에 적용된다.

[0093] [2-3. 표시 장치(20)의 화소 회로(310)]

[0094] 도 17은 본 발명의 일 실시 형태에 관한 표시 장치의 화소 회로를 도시하는 회로도이다. 도 17에 도시한 바와 같이, 화소 회로(310)는 트랜지스터(800), 보유 용량(890), 및 액정 소자(410) 등의 소자를 포함한다. 보유 용량(890)의 한쪽의 전극은 화소 전극 PTCO이며, 다른 쪽의 전극은 공통 전극 CTCO이다. 마찬가지로, 액정 소자(410)의 한쪽의 전극은 화소 전극 PTCO이며, 다른 쪽의 전극은 공통 전극 CTCO이다. 트랜지스터(800)는 제1 게이트 전극(810), 제1 소스 전극(830), 및 제1 드레인 전극(840)을 갖는다. 제1 게이트 전극(810)은 게이트 배선(331)에 접속되어 있다. 제1 소스 전극(830)은 소스 배선(321)에 접속되어 있다. 제1 드레인 전극(840)은 보유 용량(890) 및 액정 소자(410)에 접속되어 있다. 제1 실시 형태에 나타내는 트랜지스터 Tr1은, 도 17에 도시한 트랜지스터(800)에 적용된다. 본 실시 형태에서는, 설명의 편의상, 참조 부호 830을 소스 전극이라 하고, 참조 부호 840을 드레인 전극이라 하지만, 각각의 전극의 소스로서의 기능과 드레인으로서의 기능이 교체되어도 된다.

[0095] [실시예]

[0096] [3. 트랜지스터 Tr1의 전기 특성]

[0097] 도 18을 사용하여, 트랜지스터 Tr1의 전기 특성에 대하여 설명한다. 도 18은 본 발명의 일 실시 형태에 관한 반도체 장치의 전기 특성을 도시하는 도면이다. 도 18에는, 종래의 트랜지스터(Conv.) 및 제1 실시 형태에 관한 트랜지스터 Tr1(Poly-OS)의 각각의 전기 특성이 도시되어 있다. 종래의 트랜지스터는, 제1 실시 형태의 트랜지스터 Tr1과 동일한 구조이며, 산화물 반도체층 OS로서 비결정 상태의 산화물 반도체층이 사용되고 있다. 따라서, 종래의 트랜지스터에 있어서, 접속 전극 ZTCO로서 사용되는 ITO의 결정 상태는 장소에 따라서 차이가 없다.

[0098] 도 18에 도시한 전기 특성의 측정 조건은 이하와 같다.

[0099] · 채널 영역 CH의 사이즈: W/L=2.0㎛/2.5㎛

[0100] · 소스·드레인간 전압: 0.1V, 10V

[0101] · 게이트 전압: -15V 내지 +20V

[0102] · 측정 환경: 실온, 암실

[0103] · 측정 점수: 30점

[0104] 도 18에 도시한 바와 같이, 종래의 트랜지스터에서는 복수의 트랜지스터에 있어서, 온 전류의 이상치가 확인된다. 이상치가 확인되는 트랜지스터에서는, 온 전류가 포화되어, 게이트 전압을 크게 해도 온 전류가 커지지 않는다. 즉, 트랜지스터의 전류 패스에 고저항 개소가 존재하고 있다고 생각된다. 한편, 제1 실시 형태에 관한 트랜지스터 Tr1에 있어서, 온 전류의 이상치는 확인되지 않는다.

[0105] [4. 콘택트 저항]

[0106] 도 19는 본 발명의 일 실시 형태에 관한 반도체 장치에 있어서의 산화물 반도체층과 투명 도전층의 콘택트 저항값을 도시하는 도면이다. 도 19는 종래의 트랜지스터(Conv.) 및 제1 실시 형태에 관한 트랜지스터 Tr1(Poly-OS)의 각각의 기판에 마련된 콘택트 저항 측정용의 테스트 패턴(TEG)의 측정 결과이다.

[0107] 도 19는 상기 콘택트 저항을 나타내는 상자 수염 그림이다. 도 19에서는, 측정된 콘택트 저항값에 있어서의 최댓값(수염의 상단), 최솟값(수염의 하단), 데이터의 중앙 50%의 분포(상자의 상단부터 하단까지), 평균값(×표), 및 중앙값 (위의 상자와 아래의 상자의 경계)이 나타내어져 있다.

[0108] 도 19에 도시한 바와 같이, 종래의 트랜지스터에서는, 대부분의 TEG에 있어서, 산화물 반도체층 OS와 접속 전극 ZTCO의 콘택트 저항값이 100kΩ을 초과하였다. 한편, 제1 실시 형태에 관한 트랜지스터(1)에서는, 모든 TEG에 있어서, 당해 콘택트 저항이 100Ω 내지 200Ω의 범위에 들어가 있다.

[0109] 이상과 같이, 본 실시 형태에 관한 트랜지스터 Tr1에서는, 산화물 반도체층 OS와 접속 전극 ZTCO의 콘택트 저항이 매우 낮기 때문에, 온 전류의 포화가 없는, 정상적인 전기 특성을 얻는 것이 판명되었다.

[0110] 본 발명의 실시 형태로서 상술한 각 실시 형태는, 서로 모순되지 않는 한에 있어서, 적절히 조합하여 실시할 수 있다. 또한, 각 실시 형태의 반도체 장치를 기초로 하여, 당업자가 적절히 구성 요소의 추가, 삭제 혹은 설계 변경을 행한 것, 또는, 공정의 추가, 생략 혹은 조건 변경을 행한 것도, 본 발명의 요지를 구비하고 있는 한, 본 발명의 범위에 포함된다.

[0111] 상술한 각 실시 형태의 양태에 의해 초래되는 작용 효과와는 상이한 다른 작용 효과라도, 본 명세서의 기재로부터 명확한 것, 또는, 당업자에 있어서 용이하게 예측할 수 있는 것에 대해서는, 당연히 본 발명에 의해 초래되는 것으로 이해된다.

부호의 설명

[0112] 10: 표시 장치

20: 표시 장치

22: 액정 영역

24: 시일 영역

26: 단자 영역

300: 어레이 기판

310: 화소 회로

320: 소스 드라이버 회로

321: 소스 배선

330: 게이트 드라이버 회로

331: 게이트 배선

333: 단자부

341: 접속 배선

400: 시일부

410: 액정 소자

500: 대향 기판

600: 플렉시블 프린트 회로 기판(FPC)

700: 칩

800: 트랜지스터

810: 제1 게이트 전극

830: 제1 소스 전극

840: 제1 드레인 전극

890: 보유 용량

AR1: 제1 영역

AR2: 제2 영역

CH: 채널 영역

CMTL: 공통 보조 전극

CON1, CON2: 콘택트 영역

CTCO: 공통 전극

GI1, GI2: 게이트 절연층

GL1, GL2: 게이트 전극

IL1 내지 IL5: 절연층

LS: 차광층

OP: 개구

OS: 산화물 반도체층

PCON, WCON, XCON, ZCON: 개구

PJT: 돌출부

PTCO: 화소 전극

S: 반도체층

SL: 슬릿

SP: 스페이서

SUB: 기판

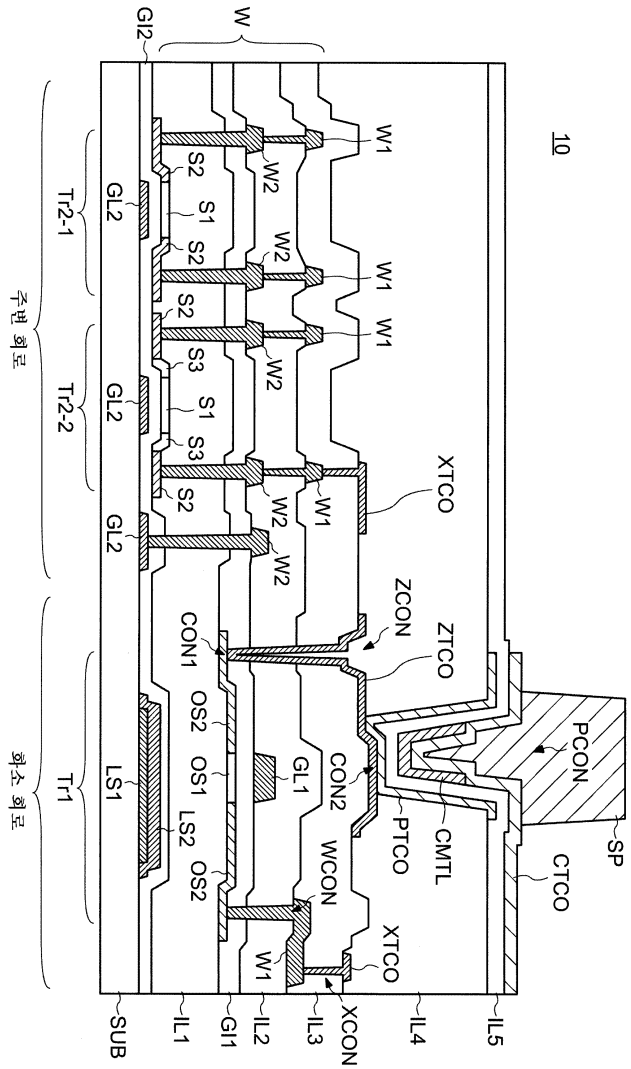
Tr1, Tr2: 트랜지스터

W, XTCO: 배선

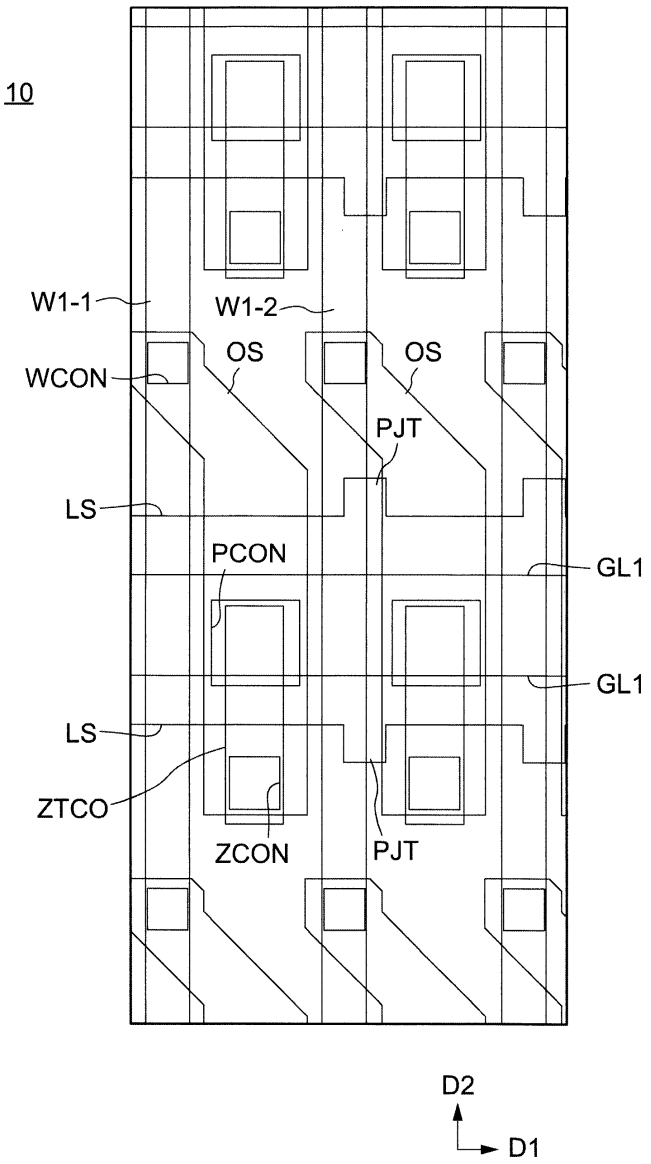
ZTCO: 접속 전극

도면

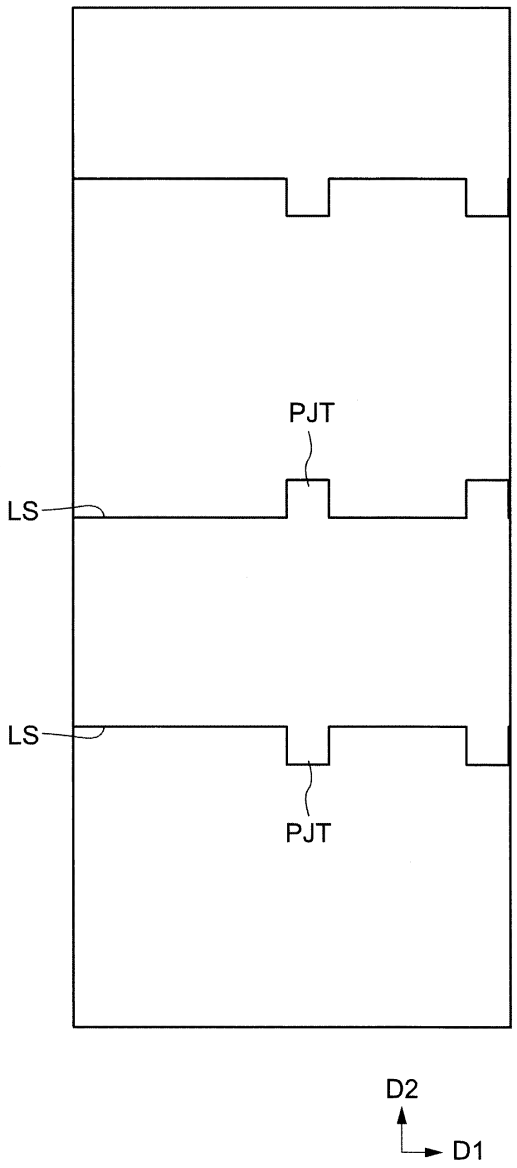
도면1


10
GI2
W
W1
W2
S1
S2
S3
Tr2-1
Tr2-2
GL2
주변 회로
화소 회로
Tr1
LS1
OS1
OS2
LS2
CON1
CON2
GL1
WCON
XTCO
ZCON
ZTCO
PCON
PTCO
CMTL
CTCO
SP
XCON
SUB
IL1
GI1
IL2
IL3
IL4
IL5

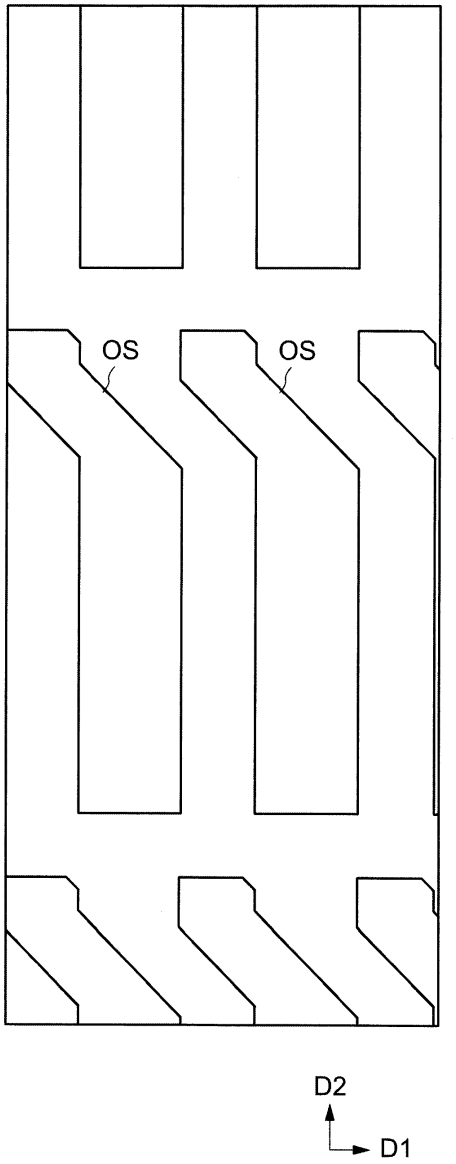
도면2



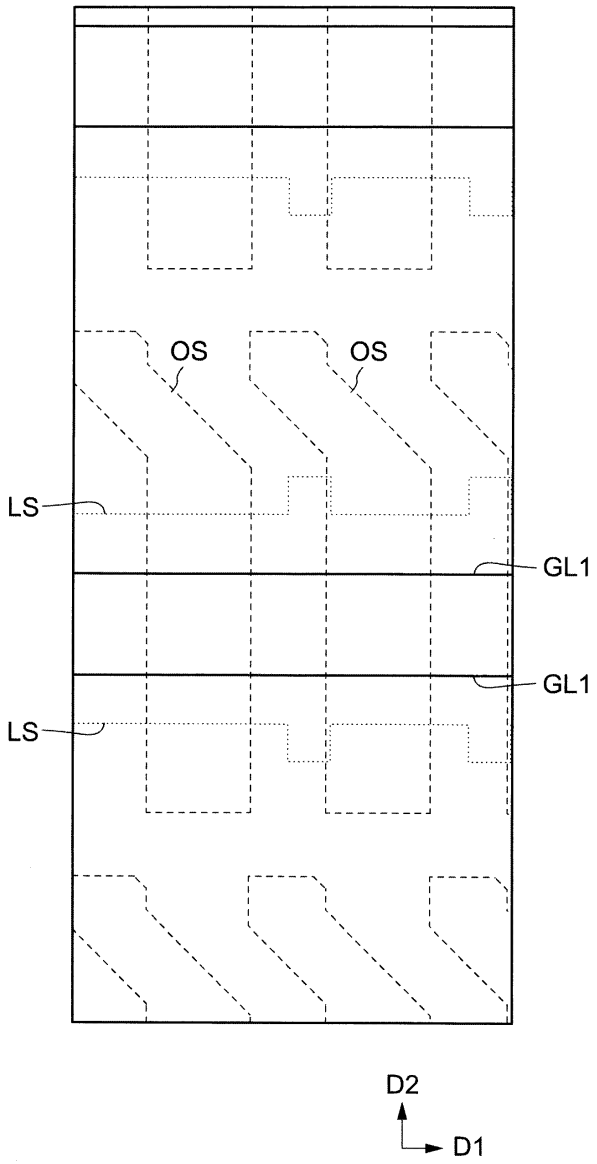
도면3



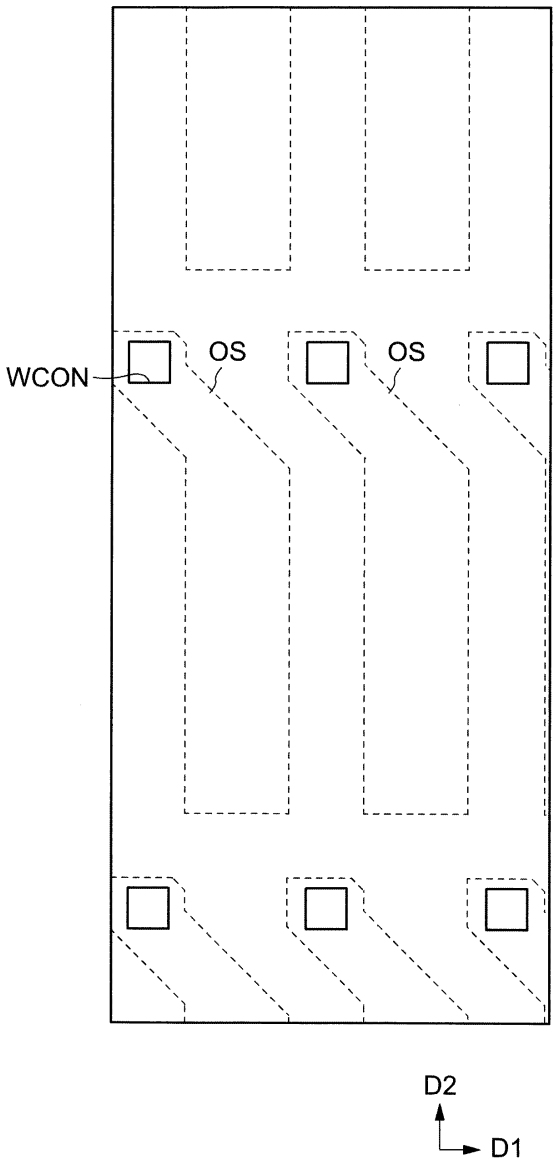
도면4



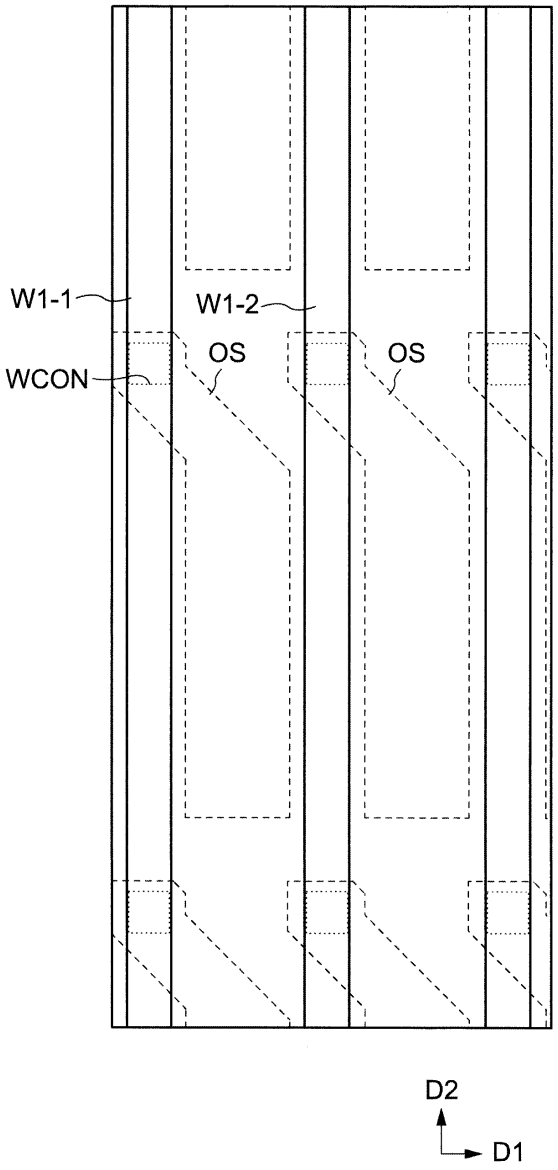
도면5



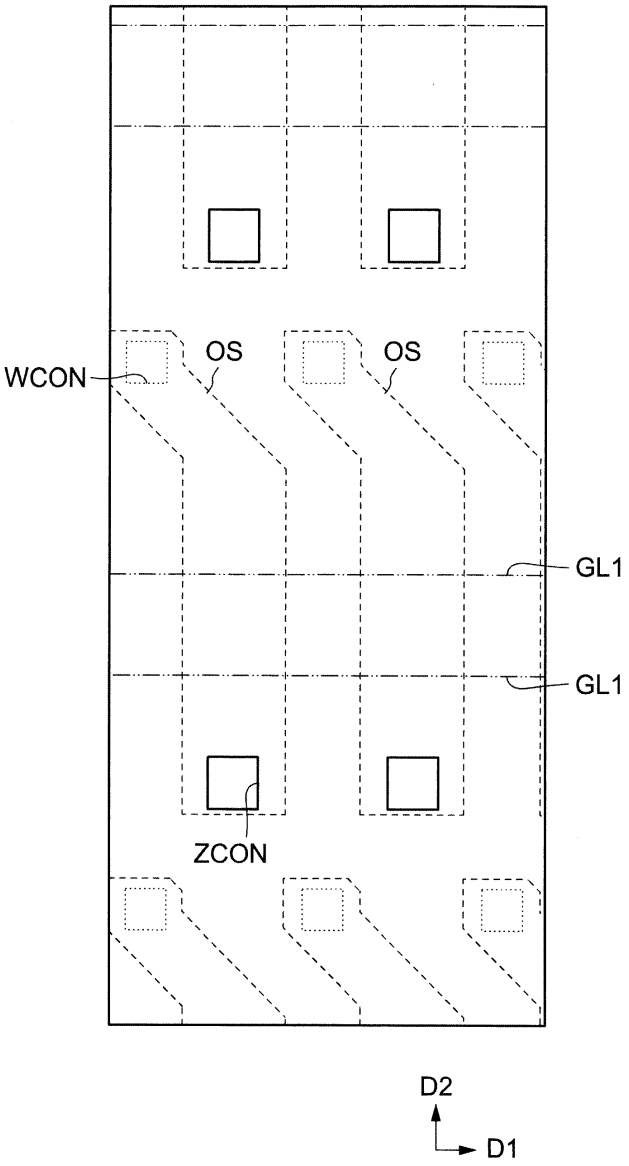
도면6



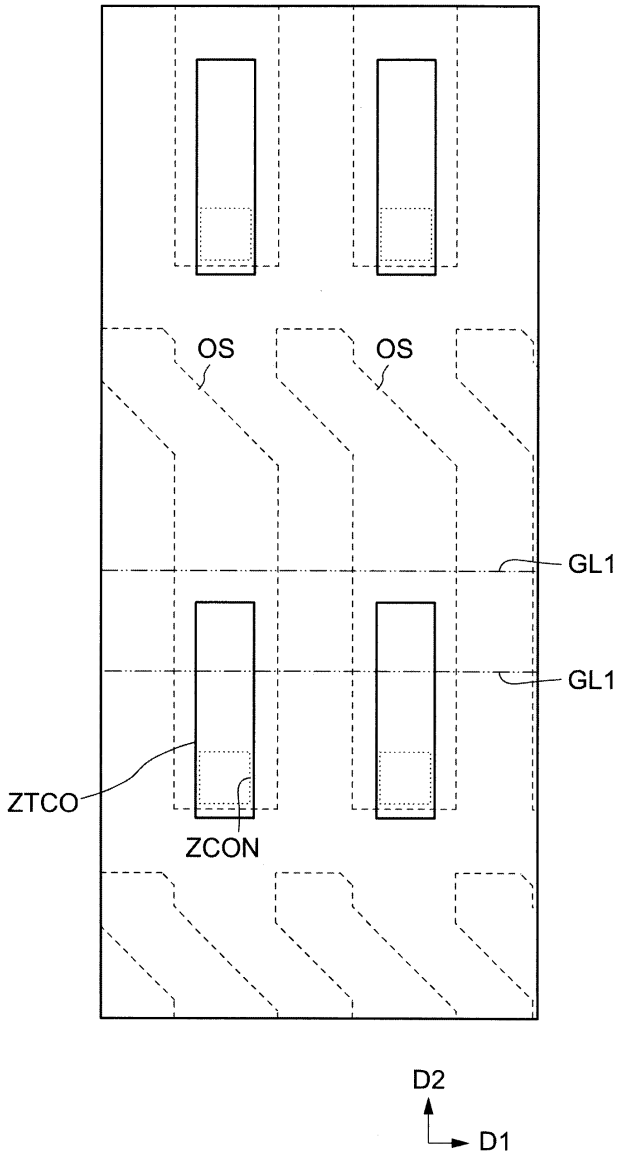
도면7



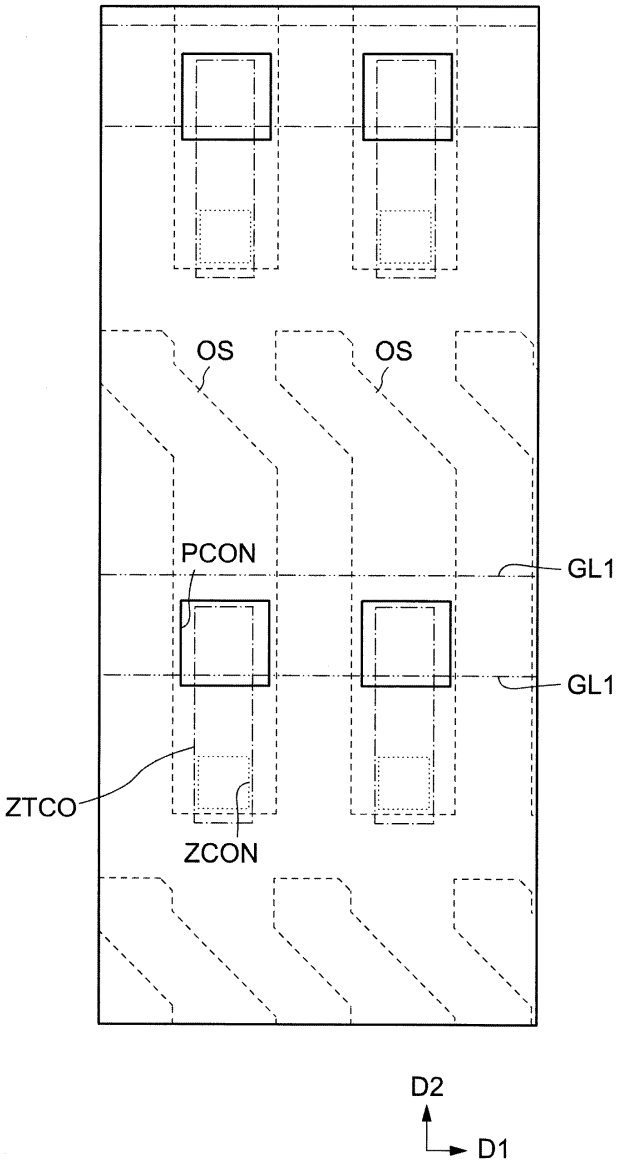
도면8



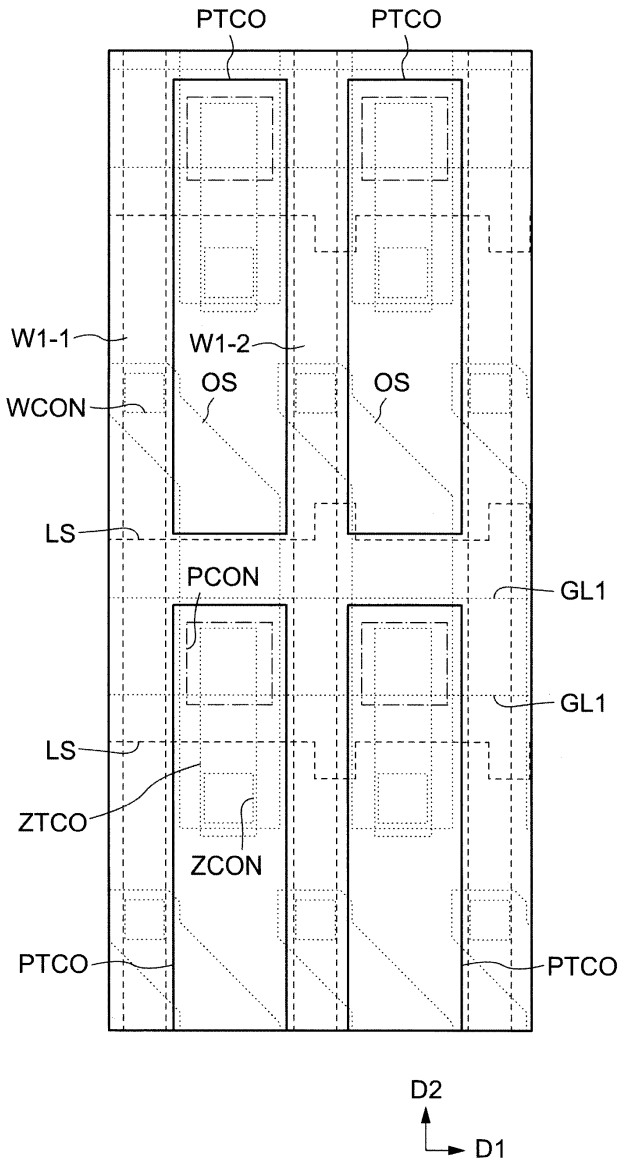
도면9



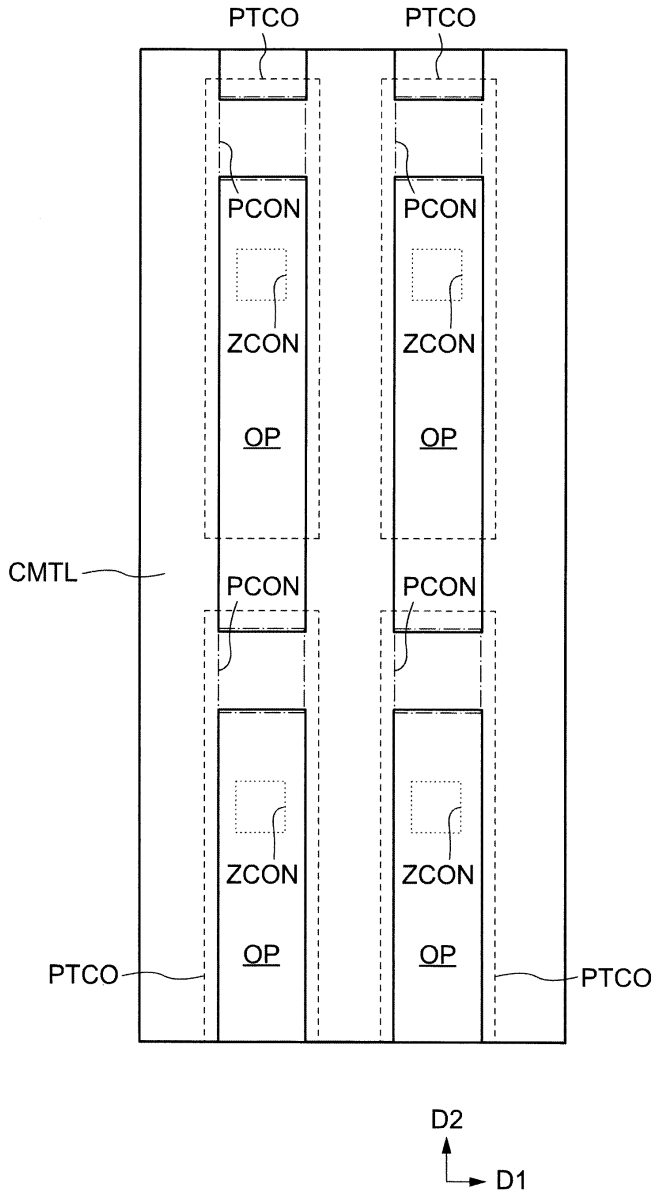
도면10



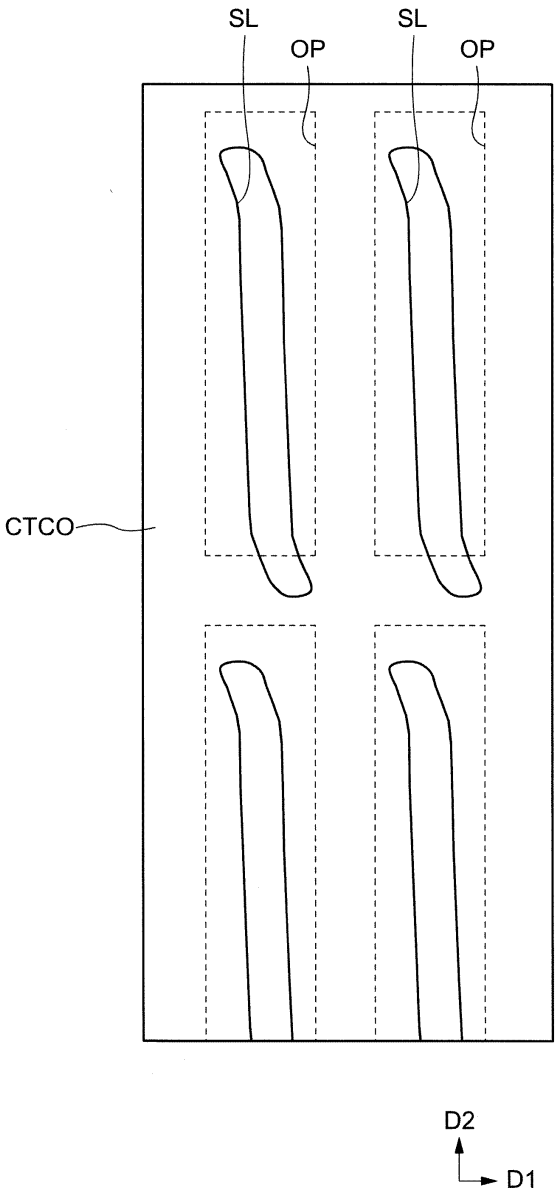
도면11


PTCO
PTCO
W1-1
W1-2
OS
OS
WCON
LS
PCON
GL1
GL1
LS
ZTCO
ZCON
PTCO
PTCO
D2
D1

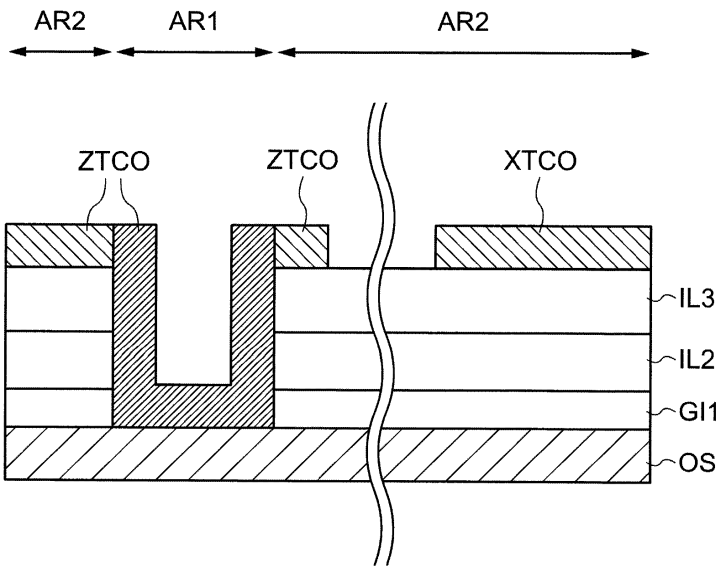
도면12


PTCO
PTCO
PCON
PCON
ZCON
ZCON
OP
OP
CMTL
PCON
PCON
ZCON
ZCON
OP
OP
PTCO
PTCO
D2
D1

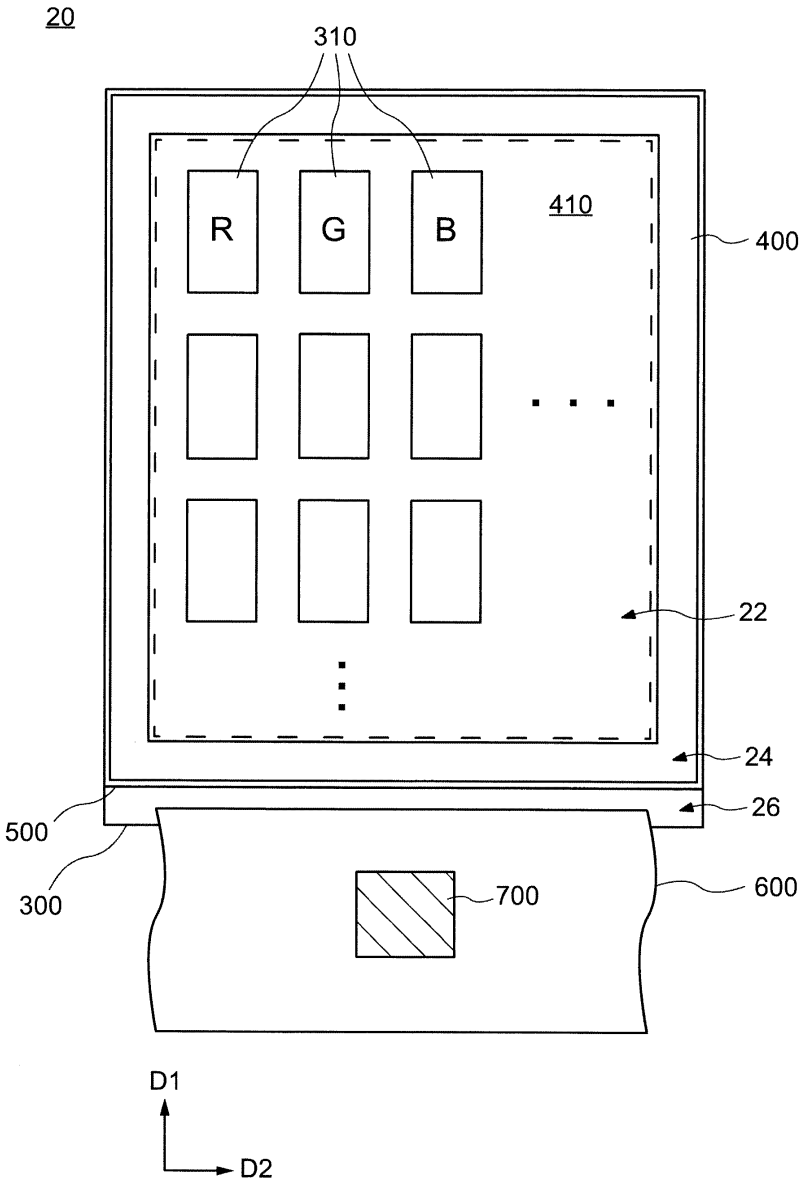
도면13



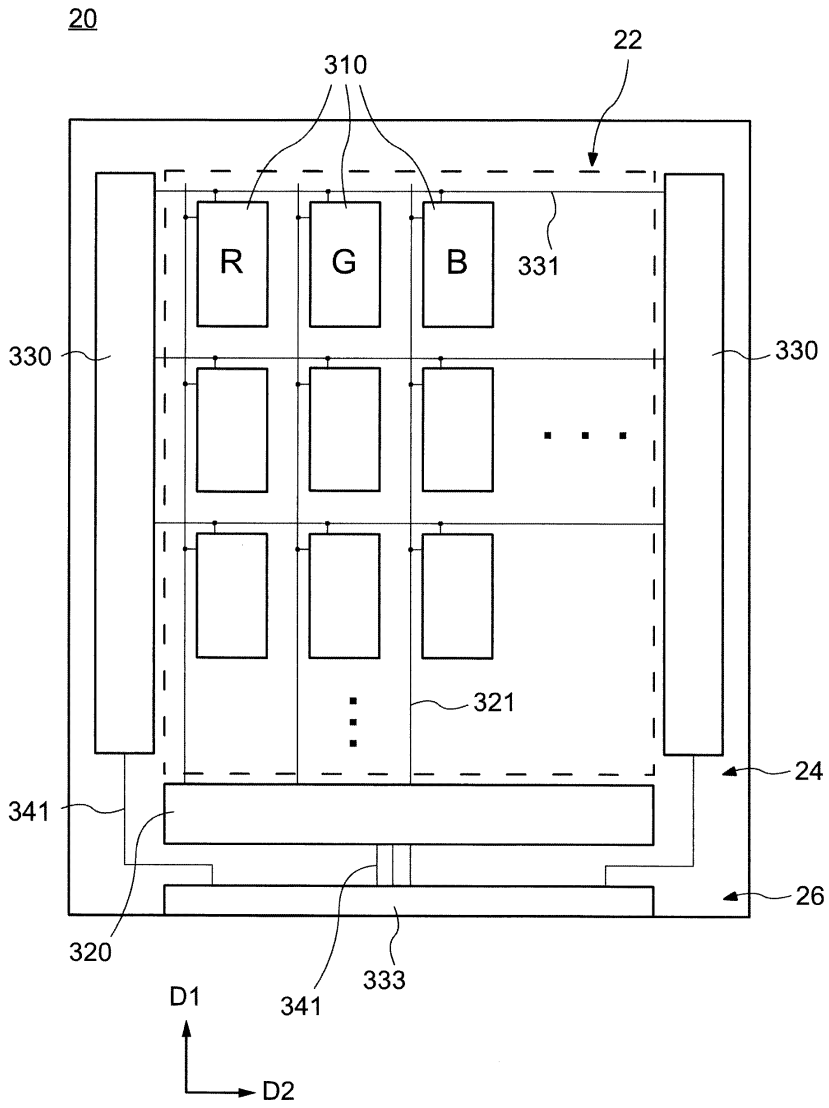
도면14



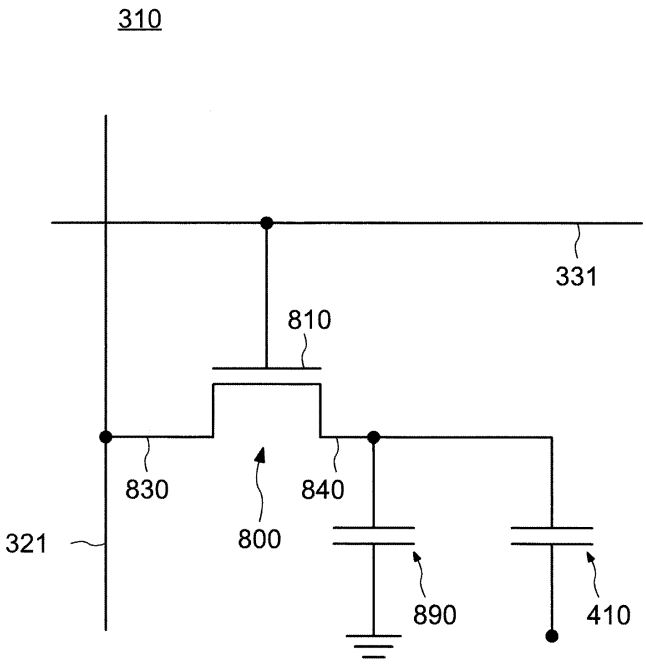
도면15



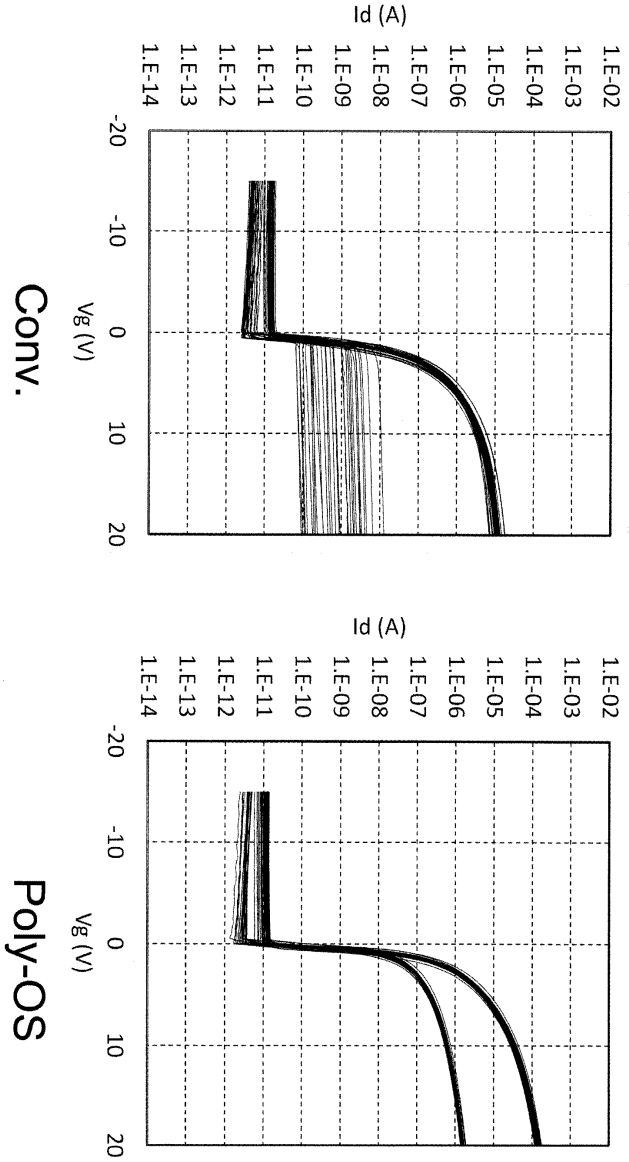
도면16



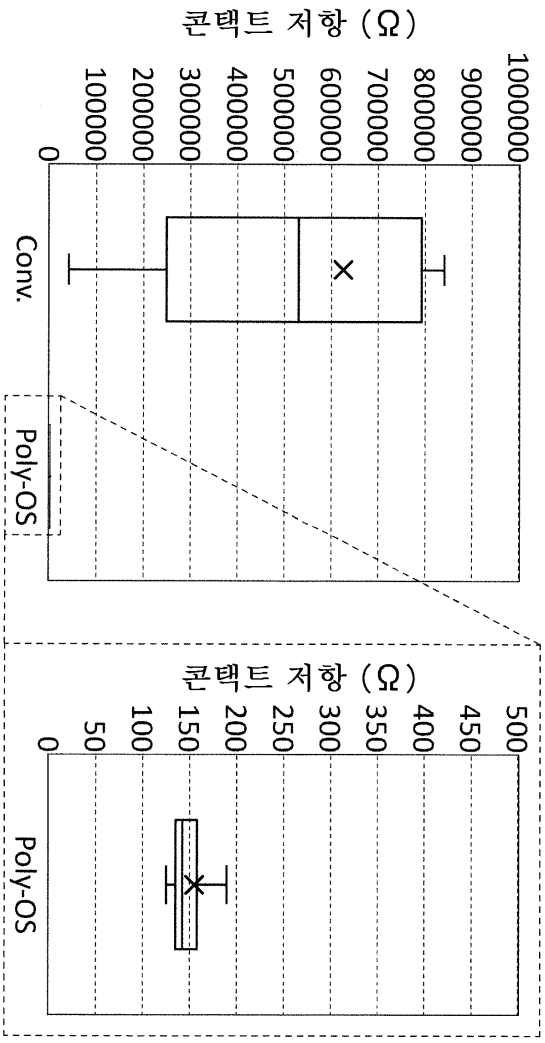
도면17



도면18


Id (A)
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
-20
-10
0
10
20
Vg (V)
Conv.
Id (A)
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
-20
-10
0
10
20
Vg (V)
Poly-OS

도면19


콘택트 저항 (Ω)
0
100000
200000
300000
400000
500000
600000
700000
800000
900000
1000000
Conv.
Poly-OS
콘택트 저항 (Ω)
0
50
100
150
200
250
300
350
400
450
500
Poly-OS