

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4532108号
(P4532108)

(45) 発行日 平成22年8月25日 (2010.8.25)

(24) 登録日 平成22年6月18日 (2010.6.18)

(51) Int. Cl.		F I	
HO 1 J	9/02 (2006.01)	HO 1 J	9/02 B
HO 1 J	1/304 (2006.01)	HO 1 J	1/30 F
HO 1 J	29/04 (2006.01)	HO 1 J	29/04
HO 1 J	31/12 (2006.01)	HO 1 J	31/12 C

請求項の数 36 (全 15 頁)

(21) 出願番号	特願2003-519955 (P2003-519955)	(73) 特許権者	504052637
(86) (22) 出願日	平成14年8月9日 (2002.8.9)		ザ・ユニバーシティ・コート・オブ・ザ・
(65) 公表番号	特表2005-505101 (P2005-505101A)		ユニバーシティ・オブ・ダンディ
(43) 公表日	平成17年2月17日 (2005.2.17)		イギリス国, ダンディ ディディ1 4エ
(86) 国際出願番号	PCT/GB2002/003691		イチエヌ, パース ロード, ネザーゲート
(87) 国際公開番号	W02003/015117	(74) 代理人	100108877
(87) 国際公開日	平成15年2月20日 (2003.2.20)		弁理士 鴨田 哲彰
審査請求日	平成16年8月13日 (2004.8.13)	(72) 発明者	ローズ, マーヴィン, ジョン
審査番号	不服2007-21020 (P2007-21020/J1)		イギリス国, パースシャイア ピーエイチ
審査請求日	平成19年7月30日 (2007.7.30)		13 9 ジュエイエル, プレアゴウリ, ケ
(31) 優先権主張番号	0119657.5	(72) 発明者	シルヴァ, ラヴィ
(32) 優先日	平成13年8月11日 (2001.8.11)		イギリス国, カンバーレイ ジューー15
(33) 優先権主張国	英国 (GB)		2 エヌディ, ヴェラン ロード 29番
(31) 優先権主張番号	0119659.1		地
(32) 優先日	平成13年8月11日 (2001.8.11)		最終頁に続く
(33) 優先権主張国	英国 (GB)		

(54) 【発明の名称】 電界放出背面板、該電界放出背面板を用いた電界放出装置、および該電界放出背面板の製造方法

(57) 【特許請求の範囲】

【請求項1】

電界放出背面板を形成する方法であって：

基板上にアモルファス半導体系材料の平面体を形成し；

該アモルファス半導体系材料の平面体の複数の領域をレーザーの照射により局所的に結晶化し；

該アモルファス半導体系材料の結晶化により、複数のエミッタサイトを形成する、ことを特徴とする方法。

【請求項2】

前記アモルファス半導体系材料の平面体が、基板上に該材料の薄膜を堆積することによって形成される請求項1に記載の方法。 10

【請求項3】

前記半導体系材料が、シリコンまたはその合金である請求項1に記載の方法。

【請求項4】

エキシマレーザまたはNd：YAGレーザを使用して、前記レーザの照射により結晶化を行う請求項1に記載の方法。

【請求項5】

前記エキシマレーザが、KrFレーザである請求項4に記載の方法。

【請求項6】

請求項1から5のいずれかに記載の方法を行って得られる電界放出背面板であり、アモ 20

ルファス半導体系材料の平面体の複数の領域をレーザーの照射により局所的に結晶化することによって形成される複数のエミッタサイトを含む電界放出背面板。

【請求項 7】

前記半導体系材料が、シリコンまたはその合金である請求項 6 に記載の電界放出背面板。

【請求項 8】

請求項 6 に記載の電界放出背面板を含む電界放出装置。

【請求項 9】

前記電界放出装置が、真空装置であり、該装置内で前記背面板のエミッタサイトが放出源として作用する請求項 8 に記載の電界放出装置。

10

【請求項 10】

基板と、真空排気空間と、透明ウィンドウをさらに含み、前記電界放出背面板が前記基板上に形成され、前記真空排気空間は前記電界放出背面板と前記透明ウィンドウとの間に配置される請求項 9 に記載の電界放出装置。

【請求項 11】

前記電界放出装置が、ワイドバンドギャップ発光材料をさらに含み、使用中に、該ワイドバンドギャップ発光材料内に、前記背面板のエミッタサイトから電子が放出されるようになっている請求項 8 に記載の電界放出装置。

【請求項 12】

前記電界放出装置が、前記基板と、一方の表面に複数のエミッタサイトが形成された前記電界放出背面板と、発光ポリマからなるワイドバンドギャップ発光材料と、金属酸化物からなる透明ウィンドウとを含み、前記電界放出背面板が前記基板上に形成され、前記発光ポリマの一方の表面が前記電界放出背面板の多数の前記エミッタサイト上に堆積され、前記発光ポリマの他方の表面に前記透明ウィンドウが堆積されている請求項 11 に記載の電界放出装置。

20

【請求項 13】

電界放出装置が、ディスプレイ装置である請求項 8 に記載の電界放出装置。

【請求項 14】

電界放出背面板を形成する方法であって：

アモルファス半導体系材料の薄膜を基板上に堆積し；

該アモルファス半導体系材料の薄膜の複数の領域を局所的に結晶化して、複数の結晶化領域を形成し；

複数の結晶化領域の各々の上に、結晶化半導体系材料のエミッタティップを選択的に成長させることにより複数のエミッタティップを形成する、ことを含む方法。

30

【請求項 15】

前記アモルファス半導体系材料の薄膜を、プラズマ増速化学気相成長法（PECVD）によって堆積させる請求項 14 に記載の方法。

【請求項 16】

前記アモルファス半導体系材料の薄膜の複数の領域が、少なくとも 1 パルスのレーザー干渉パターンに曝露されることによって、結晶化される請求項 14 に記載の方法。

40

【請求項 17】

請求項 14 から 16 のいずれかに記載の方法を行って得られる電界放出背面板であり、アモルファス半導体系材料の薄膜からなる平面状背面板部材と、該背面板部材に形成された前記複数の結晶化領域と、該複数の結晶化領域に選択的成長によって形成された結晶化半導体系材料からなる複数のエミッタティップとからなる電界放出背面板。

【請求項 18】

前記アモルファス半導体系材料が、シリコンまたはその合金である請求項 17 に記載の電界放出背面板。

【請求項 19】

前記複数のエミッタティップが、それぞれが先鋭な形状となるように成長させられてい

50

る請求項 17 に記載の電界放出背面板。

【請求項 20】

前記複数のエミッタチップが、成長とエッチングが同時になされている請求項 17 に記載の電界放出背面板。

【請求項 21】

前記結晶化半導体材料が、シリコンである請求項 17 に記載の電界放出背面板。

【請求項 22】

前記エミッタチップのそれぞれが、前記平面状背面板部材の結晶化領域上に形成される請求項 17 に記載の電界放出背面板。

【請求項 23】

請求項 17 に記載の電界放出背面板からなる電界放出装置。

【請求項 24】

前記複数のエミッタチップが、アモルファス半導体系材料の薄膜からなる前記平面状背面板部材の複数の結晶化領域上に、結晶化半導体系材料の選択的成長によって形成された、先鋭な形状のチップの配列を含む請求項 23 に記載の電界放出装置。

【請求項 25】

前記電界放出装置が、真空装置であり、使用中に、該装置内で前記エミッタチップが放出源として作用する請求項 24 に記載の電界放出装置。

【請求項 26】

前記電界放出装置が、基板と、真空排気空間と、透明ウィンドウとをさらに含み、前記電界放出背面板が前記基板上に形成され、前記真空排気空間は前記電界放出背面板と前記透明ウィンドウとの間に配置される請求項 25 に記載の電界放出装置。

【請求項 27】

ワイドバンドギャップ発光材料をさらに含み、該ワイドバンドギャップ発光材料内に、前記エミッタチップから電子が放出されるようになっている請求項 23 に記載の電界放出装置。

【請求項 28】

前記電界放出装置が、基板と、ワイドバンドギャップ発光材料と、透明ウィンドウとをさらに含み、前記ワイドバンドギャップ発光材料内に前記エミッタチップから電子が放出されるようになっている請求項 27 に記載の電界放出装置。

【請求項 29】

前記ワイドバンドギャップ発光材料が、発光ポリマである請求項 28 に記載の電界放出装置。

【請求項 30】

前記透明ウィンドウが、金属酸化物からなる透明薄膜である請求項 28 に記載の電界放出装置。

【請求項 31】

前記ワイドバンドギャップ発光材料の一方の表面が、前記電界放出背面板の複数のエミッタチップ上に堆積され、前記透明ウィンドウが、前記ワイドバンドギャップ発光材料の他方の表面に堆積されている請求項 28 に記載の電界放出装置。

【請求項 32】

前記電界放出装置が、ディスプレイ装置である請求項 24 に記載の電界放出装置。

【請求項 33】

前記電界放出背面板のエミッタチップが、1平方ミクロン当たり少なくとも100個の密度で存在する請求項 25 に記載の電界放出装置。

【請求項 34】

前記複数の結晶化領域を形成する方法が、
レーザビームを分割し、その後、重ね合わせて照射することによって、レーザビームを干渉させ；

レーザビームが重ね合わせて照射される面内に前記アモルファス半導体系材料の薄膜を

10

20

30

40

50

配置し；

該アモルファス半導体系材料の薄膜を、少なくとも1レーザパルスに曝露させることによって、該アモルファス半導体系材料の薄膜の領域を局部的に結晶化し、これにより、レーザの干渉パターンに対応するように、該アモルファス半導体系材料の薄膜に結晶化領域を生成させる、ことを含む請求項14に記載の方法。

【請求項35】

アモルファス半導体系材料の背面板を作製するためであって、前記半導体系材料が水素化アモルファスシリコンであり、吸収を最大にするために、レーザを532nmの波長で作動させる請求項34に記載の方法。

【請求項36】

前記レーザが、Nd:YAGレーザである請求項34に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界放出背面板、および、その関連装置と製造方法に関する。特に、本発明は、レーザの照射による結晶化および選択的再成長によって形成される複数の放出サイトまたは「シリコンティップ」を含む電界放出背面板に関するが、これに限定されない。本発明は、ディスプレイに適用される。

【0002】

電子工学においてフラットパネルディスプレイは非常に重要である。現在の開発では、アクティブマトリクス液晶ディスプレイ(AMLCD)が、陰極線管(CRT)技術の支配に挑戦し始めている。AMLCD装置は非放射性であり、複雑なリソグラフィを必要とする。色の生成には、フィルタおよび適合するスペクトルバックライトが必要である。しかし、液晶材料の非線形の性質のため、AMLCD装置には多くの光損失および固有の複雑さがある。この結果、色域が小さく、視野角およびコントラストに劣り、CRTより明るさの劣るディスプレイになる。また、ディスプレイの非放射性のため、入力電力の非効率な使用が行なわれ、しばしばエネルギーの70%以上が非有効エネルギーとして失われる。

【0003】

従来の「Spindt ティップ」技術に基づく電界放出ディスプレイ(FED)は、フラットパネルディスプレイの問題の解決として有望であった。電界放出ディスプレイは本質的に平面陰極線管(CRT)装置である。しかし、スクリーン上の蛍光体にシャドーマスクを通して電子を発射する電子銃の一種ではなく、FEDは各表示画素に数十個または数百個の個別ティップを有する。ティップは発明者キャップ・スピンド(Cap Spindt)にちなんでSpindtティップとして知られる。製造プロセスは、最初にフォトリソグラフィによりゲート金属にホールパターンを形成する。「アンダーカット」する等方性ウェットエッチングで下地絶縁体をエッチングして、金属の下にウェルを残す。犠牲層(通常ニッケル)を表面に斜角に蒸着して、ウェルが充填されないことを確実にする。エミッタ材料(通常タングステンまたはモリブデン)をホールを通してウェル内に蒸着する。蒸着金属が表面上および犠牲層の上に堆積し、膜厚が増加するにつれてホールが閉じられ、エミッタティップがウェル内に形成される。犠牲層をエッチングすることによって、頂部金属を除去し、ティップ、ウェル、および当初のゲート金属を残す。これでSpindtティップの背面板が形成される。次いで、パターン化された蛍光体(発光体)含む上板が、スペーサを使用して背面板に対して配置される。最終的な装置を真空排気して、放出電子の長い平均自由行程が可能となる。マイクロティップからの電界放出の原理は十分に理解されており、Fowler-Nordheimトンネリングによって支配される。放出電流、すなわちディスプレイの明るさは、電流密度、ティップの個数、およびティップの先鋭度により依存する。すなわち、

$$I = J_{FN} n$$

である。ここで、 n = ティップの個数、 r = ティップの先鋭度、および J_{FN} = Fowler-Nordheimトンネル電流密度である。

【0004】

10

20

30

40

50

ティップは、鋭い電子源であり、例えば、蛍光体へホットエレクトロンを注入できる。

【0005】

しかしながら、その製造は極端に複雑なため、この技術の使用は制限されてきた。また、結晶シリコンエミッタはウェハの大きさによって制限される。

【0006】

他の薄膜材料を電界放出に使用することもできる。炭素は主要な代替材料であり、ダイヤモンド、ダイヤモンドライクカーボン(DLC)、およびカーボンナノチューブも適している。ダイヤモンドの使用は優れた選択のように思われたが、これは製造が難しく、またダイヤモンドが持つと主張されていた負の電子親和力と推測されたもののメカニズムが今は疑問視されるようになっている。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の少なくとも一態様の少なくとも一実施形態の目的は、先行技術の上述した問題の少なくとも一つを除去し、または少なくとも軽減することである。

【課題を解決するための手段】

【0008】

本発明の第一の態様は、電界放出背面板を形成する方法であって、基板上にアモルファス半導体系材料の平面体を形成し、アモルファス半導体系材料の平面体の一部分をレーザーの照射により結晶化し、アモルファス半導体系材料の結晶化により、複数のエミッタサイトを形成する方法を提供する。

20

【0009】

アモルファス半導体系材料の平面体は、基板上に該材料の薄膜を堆積することによって形成することが好ましい。

【0010】

半導体系材料は、シリコンまたはその合金であることが望ましい。

【0011】

レーザーの照射により結晶化するために、エキシマレーザーまたはNd:YAGレーザーを使用することが好ましい。

【0012】

エキシマレーザーは、KrFレーザーが望ましい。

30

【0013】

本発明を理解するにあたって、「薄膜」の用語は、数ナノメートル、例えば、1nm~100nm、典型的には10nmの膜を意味する。

【0014】

本発明の第二の態様は、アモルファス半導体系材料の薄膜をレーザーの照射により結晶化することによって形成される複数のエミッタサイトを含む電界放出背面板を提供する。

【0015】

半導体系材料は、シリコンまたはその合金であることが望ましい。

【0016】

本発明の第三の態様は、アモルファス半導体系材料の薄膜をレーザーの照射により結晶化することによって形成される複数のエミッタサイトを有する電界放出背面板を含む電界放出装置を提供する。

40

【0017】

電界放出装置は、真空装置であり、装置内で背面板のエミッタサイトが放出源として作用する。

【0018】

電界放出装置は、基板と、電界放出背面板と、真空排気空間と、透明ウィンドウ、例えば薄膜透明金属酸化物またはメタライズド蛍光体とを含み、前記電界放出背面板が基板上に形成され、真空排気空間は電界放出背面板と薄膜透明金属酸化物またはメタライズド蛍

50

光体との間に配置されることが望ましい。

【0019】

代替的に、電界放出装置は、ワイドバンドギャップ発光材料、例えば発光ポリマを含み、この場合、該発光ポリマに背面板のエミッタサイトから電子が放出される。

【0020】

電界放出装置は、基板と、一方の面に多数のエミッタサイトが形成された電界放出背面板と、発光ポリマと、薄膜透明金属またはメタライズド蛍光体（発光体）とを含み、前記電界放出背面板が基板上に形成され、発光ポリマの一表面が電界放出背面板の多数のエミッタサイト上に堆積され、発光ポリマの他方の表面に薄膜透明金属が堆積されていることが望ましい。

10

【0021】

電界放出装置は、ディスプレイ装置であることが望ましい。

【0022】

本発明の第四の態様は、多数の成長ティップを含み、実質的に半導体系材料から作製された電界放出背面板を提供する。

【0023】

多数のティップは、半導体系材料の薄膜上に形成することが好ましい。

【0024】

成長ティップは、「プロファイル（Profiled）されるように」、すなわち先鋭な形状が得られるように成長させることが好ましい。

20

【0025】

ティップは、成長とエッチングが同時になされることが望ましい。

半導体系材料は、シリコンまたはその合金であることが望ましい。

【0026】

本発明の第五の態様は、実質的にアモルファス材料の平板状部材と、その上の結晶材料の多数のティップとを含む電界放出背面板を提供する。

【0027】

ティップは、平板状部材の結晶または結晶化領域上に形成することが好ましい。

【0028】

本発明の第六の態様は、多数の成長ティップを含み、実質的に薄膜シリコン系材料から形成された電界放出背面板を提供する。

30

【0029】

多数のティップは、アモルファスシリコンの薄膜の多数の結晶化領域上に、結晶シリコンの成長によって形成されることが好ましい。

【0030】

本発明の第七の態様では、アモルファス半導体系材料の薄膜の多数の結晶化領域上に、結晶半導体系材料の選択的成長によって形成される（プロファイルされた）ティップの配列を含む背面板を有する電界放出装置を提供する。

【0031】

電界放出装置は、真空装置であり、装置内で背面板のエミッタティップが放出源として作用する。

40

【0032】

電界放出装置は、基板と、電界放出背面板と、真空排気空間と、透明ウィンドウ、例えば薄膜透明金属とを含み、前記電界放出背面板が基板上に形成され、真空排気空間は電界放出背面板と薄膜透明金属との間に配置されることが望ましい。

【0033】

代替的に、電界放出装置は、ワイドバンドギャップ発光材料、例えば発光ポリマを含み、この場合、使用中に該発光ポリマに背面板のエミッタティップから電子が放出される。

【0034】

電界放出装置は、基板と、一方の面に多数のティップが形成された電界放出背面板と、

50

発光ポリマと、薄膜透明金属とを含み、前記電界放出背面板が基板上に形成され、発光ポリマの一表面が電界放出背面板の多数のティップ上に堆積され、発光ポリマの他方の表面に薄膜透明金属が堆積されていることが望ましい。

【0035】

電界放出装置は、ディスプレイ装置であることが望ましい。

【0036】

ディスプレイ装置の電界放出背面板のティップは、1平方マイクロン当たり少なくとも100個の密度であることが好ましい。

【0037】

本発明の第八の態様は、電界放出背面板を形成する方法であって、
アモルファス半導体系材料の薄膜を基板上に堆積し、
薄膜アモルファス半導体系材料の多数の領域を局所的に結晶化し、
薄膜アモルファス半導体系材料の多数の結晶化領域の各々の上に、結晶半導体系材料を成長させる、
ことを含む方法を提供する。

10

【0038】

アモルファス半導体系材料の薄膜は、例えばプラズマ増速化学気相成長法(P E C V D)によって、基板上に堆積されることが望ましい。

【0039】

薄膜アモルファス半導体系材料の多数の領域は、少なくとも1パルスのレーザ干渉パターンに曝露されることによって、結晶化されることが好ましい。

20

【0040】

本発明の第九態様は、電界放出背面板で用いる薄膜アモルファス半導体系材料の領域を結晶化する方法であって、レーザビームを分割し、その後、重ね合わせて照射することによって、レーザビームを干渉させ、レーザビームが重ね合わせて照射される面内にアモルファス半導体系材料の薄膜を配置するステップと、薄膜を少なくとも1レーザパルスに曝露させることによって、アモルファス半導体系材料の薄膜の領域を局所的に結晶化し、これにより、レーザの干渉パターンに対応するように、薄膜アモルファス半導体系材料に結晶化領域が生成される、ことを含む方法を提供する。

【0041】

アモルファス半導体系材料の背面板に用いる場合、半導体系材料が水素化アモルファスシリコンであり、吸収を最大にするために、レーザを約532nmの波長で作動させることが好ましく、レーザはNd:YAGレーザであることが好ましい。

30

【0042】

本発明のこれらおよび他の態様は、以下の説明を添付の図面と併せて読むことにより、明りょうに理解される。

【発明を実施するための最良の形態】

【0043】

図1A~図1Fに、各々アモルファス半導体系材料、具体的には、n型水素化アモルファスシリコンから形成された電界放出背面板12a~12fの写真を示す。これらの表面には多数のエミッタサイト20a~20fが形成されている。電界放出背面板12a~12fは、プラズマ増速化学気相成長法(P E C V D)によって、例えば、アルミニウムの基板上に、約100nmのn型水素化アモルファスシリコンの薄膜を堆積することによって形成される。堆積された薄膜は次いで、エキシマレーザまたはNd:YAGレーザにより、レーザの照射により結晶化される。具体的には、KrFレーザを248nmの波長で作動し、酸素雰囲気中で2mm/sで走査して結晶化され、次いでクエンチされる。代替的に、532nmの波長で作動するNd:YAGレーザも使用できる。レーザは、3~7ナノ秒でパルス化され、ステップ移動し、繰り返されてパターンを形成する。このプロセスにより、きめの粗いシリコン表面となる。シリコンによって吸収されたエネルギーは、図1A~図1Fに示されるように、表面の粗さに影響を及ぼす。図1Aは、少量の吸収エネ

40

50

ルギ、すなわち約 $100 \text{ mJ} / \text{cm}^2$ の結果として現れる効果であるエミッタチップ 20 a を示している。これは、 $300 \text{ mJ} / \text{cm}^2$ の範囲の比較的大量の吸収エネルギーによって形成された丸いエミッタチップ 20 f を示す図 1 F と比較することができる。各々の場合に、各々のチップ 20 a ~ 20 f がエミッタサイトとして作用する。背面板 12 a ~ 12 f が電界放出装置（図示せず）に組み込まれたときに、各エミッタサイト 20 a ~ 20 f は、電界放出環境において低い電界で電子を放出する。背面板 12 a ~ 12 f は、 10^{-5} A を超える放出電流および約 $10 \text{ V} / \mu\text{m}$ の低い電界しきい値を生じる。

【0044】

図 1 A ~ 図 1 F と同様に形成された電界放出背面板 12 g を有する第一実施形態の電界放出装置 10 g を図 2 に示す。図示した装置 10 g は、アルミニウムの基板 14 g と、エキシマレーザによって処理され、多数のエミッタサイト 20 g を表面に有する n 型水素化アモルファスシリコンの薄膜 16 g とを持つ電界放出背面板 12 g を有するトライオード装置である。絶縁層、例えば窒化シリコンなどの絶縁体の層が、結晶化シリコン上に堆積され、その後エッチングされ、スペーサ要素 22 g が形成される。これらのスペーサ要素 22 g の各々の上に蛍光体、例えばメタライズド蛍光体の薄膜 26 g が堆積され、ガラス 28 g の層で装置は完成し、こうして三端子ゲート制御装置が得られる。ガラス 28 g とエミッタサイト 20 g との間の領域 24 g は真空排気され、これにより低電圧を使用して放出を制御することが可能になる。装置 10 g をディスプレイ装置に使用する場合、このことは効果的な空間的制御のために重要である。

【0045】

$5 \times 10^{-6} \text{ mbar}$ 未満の真空を有する装置 10 g で測定された放出電流を、放出電流対電界としてグラフに表現したものを図 3 に示す。また、これにより、記載した装置 10 g のベータ値が 450 を超え、この態様では、幾何学的強化および内部強化の両方が達成されることも推定される。

【0046】

図 4 には、アルミニウムの基板 14 h 上に堆積されたアモルファスシリコンの薄膜 16 h が示されており、シリコン 16 h の表面の領域に、レーザ干渉パターンによって生成されたドットのパターン 18 h が示されている。この構成は、第一実施形態のような背面板を形成するために使用される技術の改良であり、この改良技術は電界放出背面板を生産するために使用される。

【0047】

アモルファスシリコンの薄膜 16 h は、プラズマ増速化学気相成長 (PECVD) によってアルミニウムの基板 14 h 上に堆積される。3 ~ 7 ナノ秒の範囲のパルス持続時間を有する Nd : YAG パルスレーザを使用して、レーザビームを分割し、その後、重ね合わせて照射させてドットのパターン 18 h を形成する。薄膜シリコン層 16 h は、レーザの干渉パターンが形成される面に配置される。レーザ干渉パターンはシリコン層 16 h に作用し、結晶化の領域すなわちドット 18 h を形成する。Nd : YAG レーザの単パルスを使用して、領域を局所的に結晶化する。レーザビームは、薄膜シリコン 16 h の面でステップアンドリピートシステムと同期化され、その結果としてレーザスポット、すなわち、薄膜シリコン 16 h の表面全体にわたって分布する結晶化ドット 18 h が形成され、こうして高密度のチップを作成される。このステップアンドリピートシステムを使用することによって、背面板 12 h は任意の選択された大きさにすることができる。個々の画素に対し $30 \mu\text{m} \times 30 \mu\text{m}$ の面積が一般的であり、したがって 1 個の赤緑青 (RGB) 画素につき 9×10^4 に等しい、 300×300 のマイクロチップ密度が達成される。電界放出装置の放射電流はチップの個数およびそれらの先鋭度に依存するので、エミッタのそのような密度は非常に重要である。

【0048】

希釈シラン / 水素プラズマを含む選択的エッチングおよび成長プロセスは、堆積シリコン原子が熱力学的に安定な結晶サイトを形成する一方で、シリコン配列内の緊張結合を易動性水素によって破ることによって、微結晶シリコンを形成する。レーザ処理した薄膜シ

10

20

30

40

50

リコン 16 h に エミッタチップ を形成し、結果的に図 5 に示すような チップ の断面を得るために、PECVD 堆積薄膜シリコン 16 h を反応装置内で希釈シラン / 水素プラズマに曝す。

【0049】

このプロセス中、シリコン原子の堆積は、結晶基板上でのみ、具体的には、薄膜シリコン 16 h の結晶化ドット 18 h 上でのみ生じる。該構造におけるアモルファスまたは弱い結合の領域は、同時にエッチングされる。継続する成長は、エッチング効果がより劇的になる成長膜のエッジをプロファイルする効果を有する。各結晶領域 18 h は、大きさが 100 nm 未満に制限されるので、アスペクト比はエッジが収束するようなものになる。したがって、エミッタ板 12 h の 100 nm 以下の各円形ドット 18 h は、効果的にプロファイルチップを成長させる。成長およびエッチングプロセスは、易動性水素、および薄膜シリコン 16 h の板の成長表面全体にわたって先鋭なチップを導くアスペクト比プロファイリングエッチングによって行われる。このプロファイリングにより、放出板 12 h の電界増強がもたらされ、これにより、低い電界放出のしきい値 (約 15 v / μ m)、および、高い放出電流 (すなわち 10^{-5} アンペアを超える) が得られる。

10

【0050】

図 5 に、かかる成長チップ 20 i の断面をスペーサ 22 i の断面とともに示す。該スペーサ 22 i は、パルスレーザを薄膜シリコンの特定の領域に当てて、エミッタドット (図示せず) よりずっと大きい寸法を持つ線またはドットの結晶構造 (図示せず) を形成させることによって形成される。この結果、これらの結晶領域に、より厚い堆積膜が形成される。こうして、エミッタチップ 20 i と同時に、スペーサ 22 i が形成され、三端子装置用のゲートの配置が可能になる。

20

【0051】

放出電流と同様に、ディスプレイの明るさは、 $I = J_{FN} n$ に従って、電流密度、チップの個数、およびチップの先鋭度に依存する。チップは、装置 10 a - 10 i に組み込まれると先鋭な電子源となり、真空排気された空間 24 g を介して装置の発光層に、または ワイドバンドギャップ発光物質 に、ホットエレクトロン注入をもたらす。各電子は印加電界、すなわちアルミニウム基板 12 が電極として作用する装置 10 に印加される電界からエネルギーを得る。

【0052】

図 4 および図 5 に示したように形成された結晶化シリコンエミッタチップ 20 j を有する電界放出装置 10 j の構成を、図 6 に示す。

30

【0053】

電界放出装置 10 j は、ミクロン規模の成長スペーサ 22 j を有する真空装置である。基板 14 j は、アルミニウムから形成され、その上に薄膜半導体系材料 16 j、具体的には、薄膜水素化アモルファスシリコンが、PECVD によって堆積される。前述の通り、水素化アモルファスシリコンの多数の領域 18 j、21 j が、レーザの照射 によって結晶化され、成長およびエッチングシステムを使用して、チップ 20 j およびスペーサ 22 j を成長させる。ガラス基板に堆積され、パターン化されたインジウムスズ酸化物 (ITO) 26 j の板が、エミッタ背面板 12 j の成長スペーサ 22 j 上に着座するように配設される。エミッタチップ 20 j と ITO 26 j との間の領域 24 j は真空排気される。

40

【0054】

他の態様の電界放出装置 10 k を図 7 に示す。この構成では、電界放出装置 10 k に、発光媒体として使用するために、電界放出チップ 20 k の上に堆積されたワイドバンドギャップ発光材料 25 k、具体的にはポリマが、配設される。ガラス基板 28 k に堆積されたインジウムスズ酸化物 (ITO) 26 k などの薄膜透明金属酸化物により、ダイオード構成が作製される。装置 10 k は、具体的にはアルミニウムからなる基板 14 k に堆積されたシリコン 16 k から形成された電界放出背面板 12 k を有する。ワイドバンドギャップ発光ポリマ 25 k の薄膜 (数ミクロン規模) が、例えばスクリーン印刷によって、ガラス基板 28 k 上のパターン化 ITO の板 26 k 上に堆積される。発光ポリマ 25 k は、

50

背面板 12 k の結晶シリコンティップ 20 k 上にプレスされる。装置 10 k を約 100 の温度で加熱乾燥し、ポリマ 25 k が硬化され、Al - Si - ポリマ - ITOダイオード構造が形成される。かかる装置構成は、n型ではなく、電子を注入させる低障壁金属がない薄膜半導体の場合に、特に有用である。

【0055】

面版 32 l 上に堆積された金属被覆蛍光体層部材 30 l を含むさらに別の態様の電界放出装置 10 l を、図 8 に示す。装置 10 l では、絶縁体 34 l を堆積し、その上に金属ゲート 36 l を配置されたトライオード構成を形成するようにしている。

【0056】

さらに別の態様による電界放出背面板 12 m は、各エミッタ 20 m に対し自己整列したゲートを有する三端子装置を構成している。この電界放出背面板は、図 9 A ~ 図 9 E に示す方法で作成される。図 9 A には、基板 14 m、金属カソード 15 m、およびアモルファスシリコン 16 m の薄膜により形成された背面板 12 m が示されている。薄膜シリコン 16 m は、図 1 A ~ 図 1 F に示した方法で、Nd : YAG レーザを使用して、レーザーの照射によって結晶化され、放出ティップ 20 m は、前述した結晶化プロセスによって形成される。

10

【0057】

自己整列ゲートを形成する第一のステップとして、図 9 B に示されるように、エミッタティップ 20 m の各々を完全に包封する結晶化シリコンの露出表面上に、PEVCD を使用して、薄い SiN (窒化シリコン) 絶縁体 38 m を堆積することによって形成する。

20

【0058】

プロセスの第二のステップとして、図 9 C に示されているように、SiN 層の上に、加熱蒸着によって、金属 40 m、具体的にはクロムの層を堆積する。

【0059】

プロセスの第三のステップとして、板構成を、具体的には CF₄ (フレオン) ガスを使用するプラズマ手段によってエッチングする。この結果、各エミッタティップの頂部がその金属を失い、図 9 D に示すように、SiN 絶縁体層 38 m が露出する。

【0060】

図 9 E に示すように、SiN 絶縁体 38 m はエッチングされ、露出したティップ 20 m の周囲に支持金属リング 41 m が残り、これはゲートとして作用する。

30

【0061】

結果的に得られた放出背面板 12 m は、図 10 A に示され、図 10 B に拡大画像で示すように、完全にリソグラフィなしの電界放出装置 10 m を形成するために使用される。

【0062】

図 11 A ~ 図 11 C に示すように、このプロセスは、プロセスの第二のステップの後に、平坦化剤 39 n、すなわち加熱または溶媒の蒸発により薄い平坦な膜となる液体を、結晶化背面板 12 n に用いることによって改善することができ、結果的に図 11 A に示すような構成が得られる。これは、平坦化剤 39 n が背面板 12 n を被覆し、エミッタティップ 20 n が立派に立っている状態が残ることを示す。

【0063】

したがって、プラズマ手段によって該構成をエッチングするステップにより、図 11 B に示す構成が得られる。

40

【0064】

次いで、同様に SiN がエッチングされ、図 11 C に示すように、金属層とティップとの間の空間が残る。このように平坦化剤 39 n を利用することによって、下にあるシリコン背面板構造は、腐食性エッチング作用から保護される。次いで、平坦化剤は除去され、結果的に、図 10 A および図 10 B に示すように、各ティップを取り囲む金属ゲートが得られる。

【0065】

これまでの実施形態で述べたような装置は、それらの電力消費が低く、かつ、製造が比

50

較的簡単であるため、多くのディスプレイ用途に適している。かかる装置は、衛星および移動体通信市場におけるマイクロ波増幅器用のハイパワートランジスタ用のカソードとしても使用される。

【0066】

本書でこれまでに述べた発明の実施形態に対し、発明の範囲から逸脱することなく、様々な変形を施すことができる。例えば、薄膜アモルファスシリコンのレーザ処理中に、領域を局所的に結晶化するとき単レーザパルスを使用することを述べたが、代替的に多数のパルスを使用することができ、こうして $20\text{ mJ}/\text{cm}^2$ もの低いエネルギーを使用することが可能になる。さらに、ティップ $20\text{ a} \sim 20\text{ m}$ の選択的エッチングおよび成長プロセス中に、より大きい線またはドット構造 $21\text{ a} \sim 21\text{ m}$ を結晶化して、スペーサ 22 a を成長させる方法を説明したが、同じプロセスで形成されるアクティブアドレス用に、絶縁体および薄膜トランジスタデバイス上に、シリコンをブロック状に成長させることもできる。

10

【0067】

薄膜アモルファスシリコン $16\text{ a} \sim 16\text{ n}$ を結晶化するプロセスを、パルスレーザによって実行すると述べたが、これは、強力電子ビームの照射または高エネルギーイオンビーム/粒子衝突、または熱アニーリングなど、他の手段によって実行することもできる。

【0068】

固有 n 型またはドーブ n 型とすることができるアモルファスシリコン $16\text{ a} \sim 16\text{ m}$ の薄膜の堆積は、プラズマ増速化学気相成長法(P E C V D)によると述べた。しかし、薄膜は、スパッタリング、蒸着、その他の手段によって堆積することもできる。

20

【0069】

薄膜シリコン $16\text{ a} \sim 16\text{ m}$ が上に堆積された基板 $14\text{ a} \sim 14\text{ m}$ は、アルミウムであると述べたが、代替的に、モリブデン、クロム、その他同様の金属を用いることができる。電極は、基板 $14\text{ a} \sim 14\text{ m}$ と一体的に形成する必要はなく、実際には、基板 $14\text{ a} \sim 14\text{ m}$ とは異なる材料から形成することができる。また、Nd:YAGレーザの使用について、シリコンにおける吸収を最大にするために、 532 nm の波長を選択すると述べたが、任意の他の波長も使用することができ、特に、他の適切な半導体系材料における吸収を最大にするために、他の波長を使用してもよい。ダイオード構成の電界放出装置を形成するために、透明金属を使用することを述べたが、代替的に適切な導電性ポリマを使用することもできる。

30

【0070】

さらに、T F T制御回路機構を、画素レベルで、または一体化周辺ドライバを介して、電界放出背面板 $12\text{ a} \sim 12\text{ m}$ と同じ方法で作製することができる。

【0071】

詳述した実施形態における薄膜半導体は、 n 型水素化アモルファスシリコンであるが、半導体は代替的に、ゲルマニウム、ゲルマニウム合金またはそれらの類似物を用いてもよい。薄膜半導体が上に堆積された基板 $14\text{ a} \sim 14\text{ m}$ は、アルミニウムであると述べたが、モリブデン、クロム、その他同様の金属など様々な金属で形成することができる。Kr F (クリプトン-フッ素)エキシマレーザの使用を述べたが、任意のエキシマレーザを使用することもできる。

40

【0072】

図8で述べた装置は、面版 321 に堆積された金属被覆蛍光体層 301 を含むものとして述べたが、詳述した他の装置の実施形態もこの特徴を含むことができる。また、装置の各実施形態は、絶縁体を堆積し、その上に金属ゲート $36\text{ a} \sim 36\text{ m}$ を配置することによって、トライオード構成を形成するように適応させることができる。

【0073】

図9で述べたシリコン背面板は、Nd:YAGレーザを使用して結晶化されると述べたが、エキシマレーザを使用して結晶化してもよく、レーザの干渉に関する技術を使用して結晶化することもできる。さらに、結晶化されたシリコン 16 m に堆積された絶縁体 38

50

mは、SiNであるとして説明したが、任意の適切な絶縁体を用いてもよく、任意のコンフォーマルコーティング法を使用して堆積してもよい。絶縁体上に堆積した金属40mの層は、熱蒸着を用いて堆積すると述べたが、スパッタリングまたはいずれかの他の適切な技術も使用することができる。

【図面の簡単な説明】

【0074】

【図1】図1A～図1Fは、本発明に従って様々なエネルギーで結晶化した薄膜半導体を示す。

【図2】本発明の第一実施形態に係る電界放出装置を示す。

【図3】図2の電界放出装置の電界放出背面板の電界放出電流対電界のグラフを示す。

10

【図4】電界放出背面板の形成時に、レーザ干渉パターンが投射されたアモルファスシリコンの薄膜を示す略斜視図である。

【図5】本発明の第二実施形態に係る成長結晶シリコン背面板の側面プロファイルを示す断面図である。

【図6】本発明の第三実施形態に係る結晶シリコンティップを有する電界放出装置を示す略側面図である。

【図7】本発明の第四実施形態に係る結晶シリコンティップを有する電界放出装置を示す略側面図である。

【図8】本発明の第五実施形態に係る結晶シリコンティップを有する電界放出装置を示す略側面図である。

20

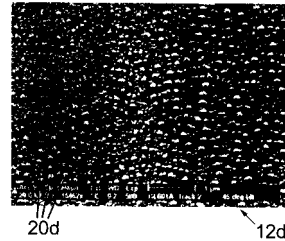
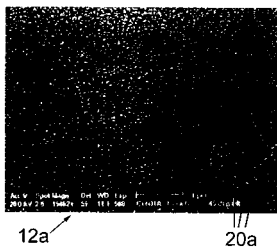
【図9】図9A～図9Eは、本発明の第六実施形態に係る電界放出背面板を形成する方法を示す一連の側面断面図である。

【図10】図10Aと10Bは、図9A～9Eの電界放出背面板の写真である。

【図11】図11A～図11Cは、平坦化剤の使用を含む本発明の第七実施形態により電界放出背面板を形成する方法を示す一連の側面断面図である。

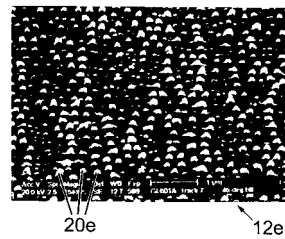
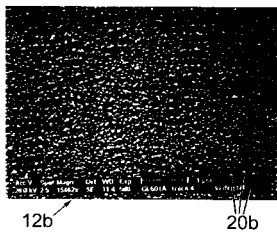
【図1A】

【図1D】



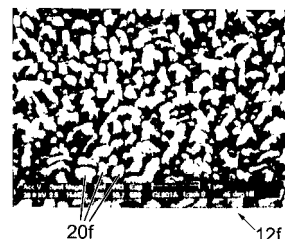
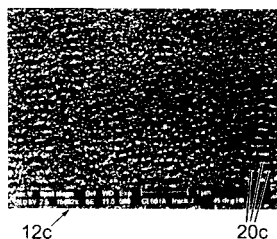
【図1B】

【図1E】

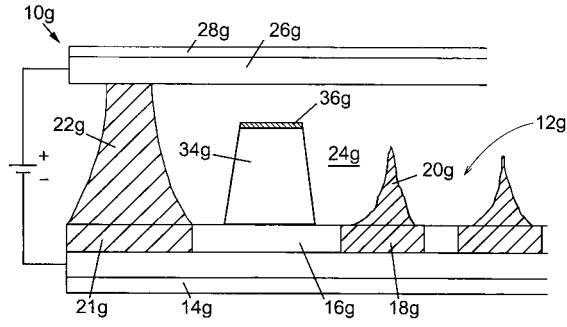


【図1C】

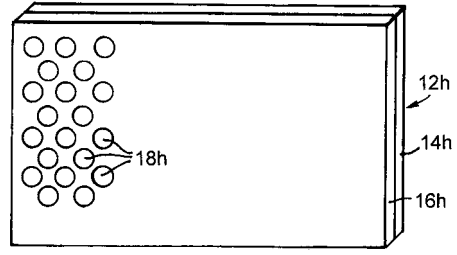
【図1F】



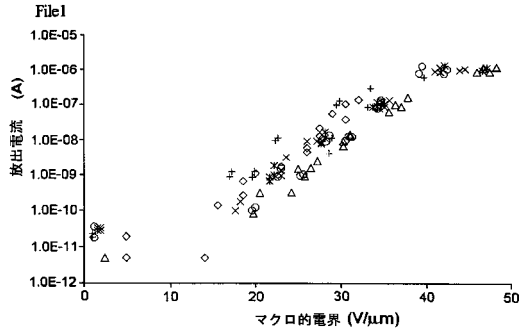
【図2】



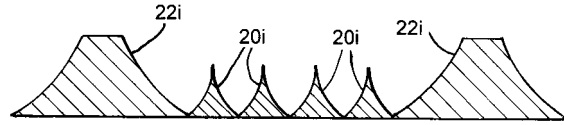
【図4】



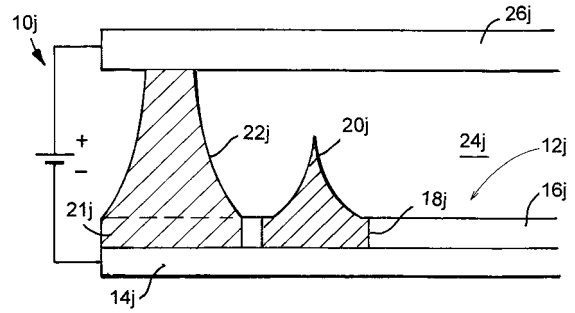
【図3】



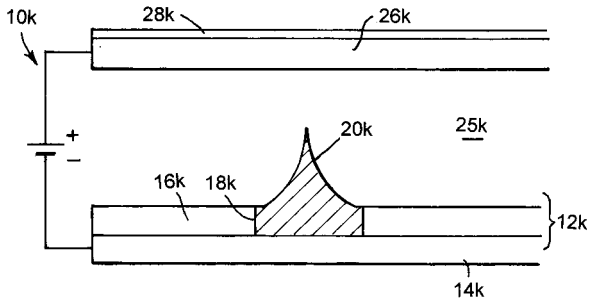
【図5】



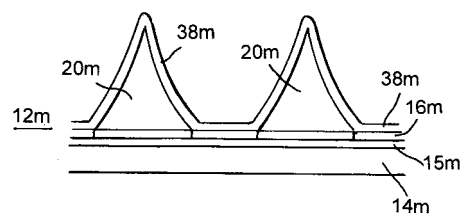
【図6】



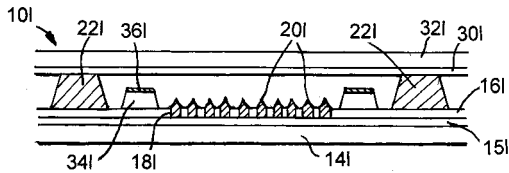
【図7】



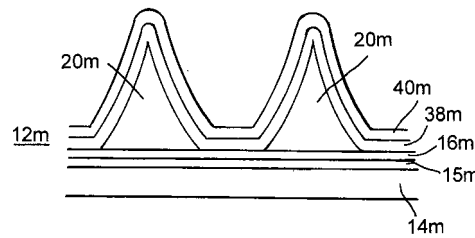
【図9B】



【図8】



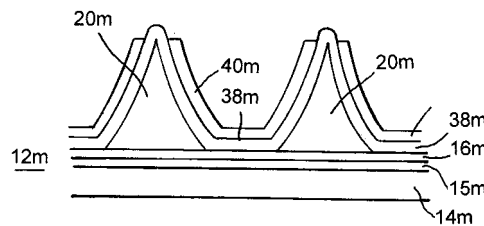
【図9C】



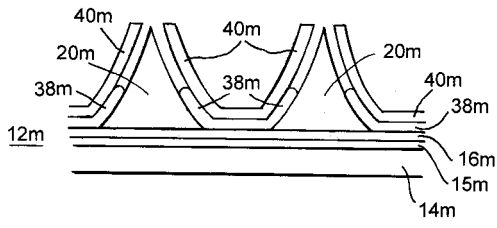
【図9A】



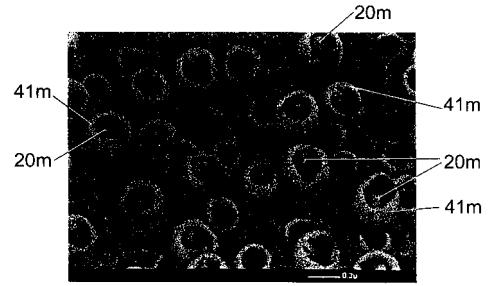
【図9D】



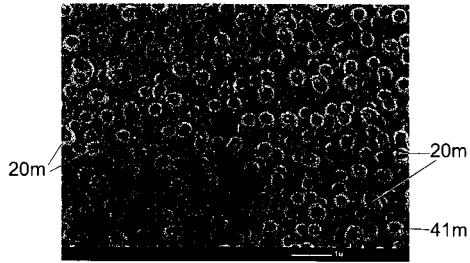
【図9E】



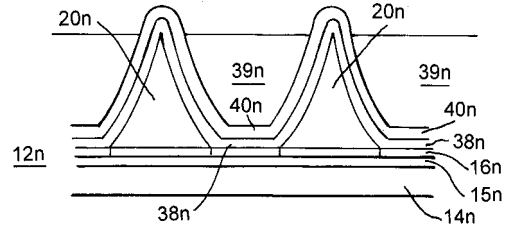
【図10B】



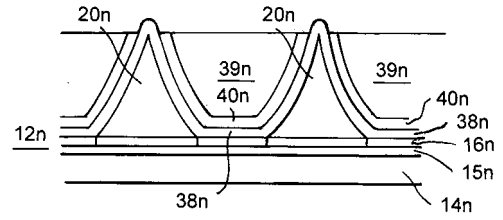
【図10A】



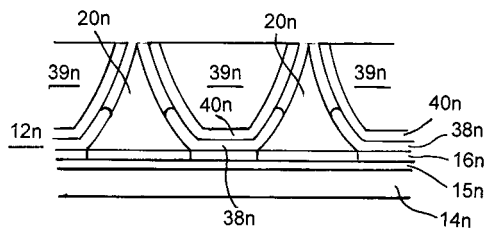
【図11A】



【図11B】



【図11C】



フロントページの続き

(72)発明者 シャノン, ジョン
イギリス国, サリー シーアール3 0エーエー, ホワイトリーフ, ホワイトリーフ ヒル 18
番地

合議体

審判長 江塚 政弘

審判官 波多江 進

審判官 下中 義之

(56)参考文献 特開平7 - 141984 (JP, A)
特開平8 - 50850 (JP, A)
特開平1 - 149348 (JP, A)
特開平7 - 14500 (JP, A)
特開平6 - 60795 (JP, A)
特開平4 - 118916 (JP, A)
特開2000 - 173442 (JP, A)
特開2001 - 6530 (JP, A)
特開2001 - 210224 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01J9/02, 1/30-1/316, 29/04, 31/12