公告本

申請日期：90.5.21	案號：90123295
類別：H01L 21/68	

（以上各欄由本局填註）

發明專利說明書 497151

一、發明名稱	中文	提高電晶體臨界電壓均勻度之半導體製造方法
	英文	
二、發明人	姓名（中文）	1. 莊喬舜 2. 張建平 3. 曾茂松 4. 謝興煌
	姓名（英文）	1. 2. 3. 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 高雄市苓雅區林南街10巷11號六樓 2. 新竹市東區明湖里20鄰明湖路1050巷432號五樓 3. 新竹市明湖路400巷68弄20號 4. 新竹縣關西鎮南和里下南片1鄰6之9號
三、申請人	姓名（名稱）（中文）	1. 台灣茂矽電子股份有限公司
	姓名（名稱）（英文）	1.
	國籍	1. 中華民國
	住、居所（事務所）	1. 新竹科學工業園區力行路十九號
	代表人姓名（中文）	1. 胡洪九
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
無			

有關微生物已寄存於

寄存日期	寄存號碼
無	

五、發明說明 (1)

本發明係有關於一種半導體製造之方法，且特別是有關於一種提高電晶體臨界電壓均勻度之半導體製造方法，藉由增加臨界電壓分佈之集中度而提升晶片製造時之良率。

在半導體晶片之製程中，晶片內電晶體之臨界電壓(Threshold Voltage)會受到基底中摻雜粒子(如硼)濃度之影響而變化，若在製造過程中沒有做好濃度之控制，便會使得在同一晶片上產出之電晶體臨界電壓值有顯著差異。

由於在晶片的製造過程中經常需要在爐管中進行高溫之製程，影響摻雜粒子濃度最甚的莫過於在進行P型井區趨入(P-body drive in)摻雜粒子及形成犧牲氧化層(SAC oxide)時。在這兩種過程中均會先將晶片在900℃下送進含有氧氣之氣體的爐管中，再以5℃/min之速度升溫直到1100℃，在這種高溫下迫使摻雜粒子被趨入基底，以及基底表面被氧化而形成犧牲氧化層。

然而，在上述過程中，晶片在高溫下因每一層物質之膨脹係數不同而開始扭曲，造成某些區域晶格被拉大，使得氧氣容易進入而與摻雜粒子中和，使摻雜粒子之濃度發生變化，結果導致同一晶片上每個電晶體臨界電壓值分佈過廣，很容易有過多的晶粒(die)因其臨界電壓值過低、未達下限標準而成為不良品，降低製造之良率。此種現象在製造溝渠型電晶體(trench MOS)時，情況特別明顯。

為了解決上述問題，本發明提供一種提高電晶體臨界

五、發明說明 (2)

電壓均勻度之方法，使一個晶片上每個電晶體臨界電壓值集中。

本發明之一目的在於提供一種提高電晶體臨界電壓均勻度之半導體製造方法，包括以下步驟：提供一基底，並將上述基底置於一含氧氣之第一氣體中趨入摻雜粒子，該基底在第一最初溫度下進入該第一氣體中而以第一升溫速度進行加熱到達第一最末溫度，其中上述第一最初溫度必須足以能迫使氧氣不易進入該基底；以及將基底置於一含氧氣之第二氣體中進行氧化而生成氧化層，其中上述基底在第二最初溫度下進入第二氣體中而以第二升溫速度進行加熱到第二最末溫度，其中第二升溫速度必須足以能加快該氧化層生成之速度而阻止該基底中之摻雜粒子逸出。

其中，上述基底為矽基底。而上述之方法更包括：在氧化層形成前於基底上形成一凹槽，使氧化層沿該凹槽壁長成，同時，在氧化層上形成一填滿凹槽之導電層。

藉由本發明之半導體製造方法，可以使晶片在進行摻雜粒子趨入及形成氧化層時，降低氧氣對摻雜粒子濃度的影響，而提高臨界電壓值的均勻度，進而提高晶片製造時之良率。

以下，就圖式說明本發明之一種提高電晶體臨界電壓均勻度之半導體製造方法之實施例。

圖式簡單說明

第1A~1E圖顯示本發明之半導體製造方法實施例中一矽基底之部面圖。

五、發明說明 (3)

[符號說明]

100~矽基底；　101凹槽；

102~氧化層；　103~多晶矽層。

實施例

如第1A圖所示，首先提供一矽基底100。

如第1B圖所示，在矽基底100上預置(pre-deposition)含硼之摻雜物質，使矽基底100以最初溫度750℃~850℃(在最佳實施例中以800℃最佳)下進入含氧氣之氣體的爐管中，再以4℃/min~6℃/min(在最佳實施例中以5℃/min最佳)之速度升溫直到最末溫度1100℃。如此使硼被趨入矽基底100中。此時，由於降低了進行爐管時之最初溫度，爐管中之氧氣較不易進入矽基底100中，使被趨入之硼濃度較不受影響。

如第1C圖所示，在矽基底100上利用蝕刻形成凹槽101。

如第1D圖所示，再使矽基底100以最初溫度850℃~950℃(在最佳實施例中以900℃最佳)下進入含氧氣之氣體的爐管中，再以8℃/min~12℃/min(在最佳實施例中以10℃/min為最佳)之速度升溫直到最末溫度1100℃。如此使凹槽101之側壁及矽基底100表面形成一犧牲氧化層102。此時，由於升溫速度較快，使犧牲氧化層102較快形成，可提早阻止硼從矽基底100中逸出。

如第1E圖所示，在氧化層102上形成一填滿凹槽101之多晶矽層103，以做為閘極之用。

五、發明說明（4）

從上述之說明可以得知，由於在進行摻雜粒子趨入時降低了基底進入爐管之溫度，使得氧氣不易擴散進入基底內而中和摻雜粒子（如硼）之濃度；而在形成犧牲氧化層時，加速升溫之速度，使犧牲氧化層能快速形成而充當保護層，防止氧氣之進入及摻雜粒子之逸出。兩者均達到減低氧對摻雜粒子濃度影響之目的。因此，本發明之半導體製造方法可減小基底摻雜粒子之濃度變化，進而使同的晶片中之各電晶體之臨界電壓值分佈集中，提高製造時之良率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

四、中文發明摘要　（發明之名稱：提高電晶體臨界電壓均勻度之半導體製造方法）

一種提高電晶體臨界電壓均勻度之半導體製造方法，包括以下步驟：提供一基底，並將基底置於一含氧氣之第一氣體中以趨入摻雜粒子，基底在第一最初溫度下進入第一氣體中而以第一升溫速度進行加熱到達第一最末溫度，其中第一最初溫度必須足以能迫使氧氣不易進入基底，接著再將基底置於一含氧氣之第二氣體中進行氧化而生成犧牲氧化層，基底在第二最初溫度下進入第二氣體中而以第二升溫速度進行加熱到第二最末溫度，其中第二升溫速度必須足以能加快犧牲氧化層生成之速度而阻止基底中之摻雜粒子逸出，此法可有效降低被氧氣中和之摻雜粒子濃度，使臨界電壓維持在規格之內。

英文發明摘要　（發明之名稱：）

六、申請專利範圍

1. 一種提高電晶體臨界電壓均勻度之半導體製造方法，包括以下步驟：

提供一基底；

將該基底置於一含氧氣之第一氣體中趨入摻雜粒子，該基底在一第一最初溫度下進入該第一氣體中而以一第一升溫速度進行加熱到達一第一最末溫度，其中該第一最初溫度必須足以能迫使氧氣不易進入該基底；以及

將該基底置於一含氧氣之第二氣體中進行氧化而生成一氧化層，該基底在一第二最初溫度下進入該第二氣體中而以一第二升溫速度進行加熱到一第二最末溫度，其中該第二升溫速度必須足以能加快該氧化層生成之速度而阻止該基底中之摻雜粒子逸出。

2. 如申請專利範圍第1項所述之方法，其中該基底為矽基底。

3. 如申請專利範圍第1項所述之方法，其中該第一最初溫度為750℃~850℃。

4. 申請專利範圍第1項所述之方法，其中該第一升溫速度為4℃/min~6℃/min。

5. 如申請專利範圍第1項所述之方法，其中該第一最末溫度為1100℃。

6. 如申請專利範圍第1項所述之方法，其中該第二最初溫度為850℃~950℃。

7. 如申請專利範圍第1項所述之方法，其中該第二升溫速度為8℃/min~12℃/min。

六、申請專利範圍

8. 如申請專利範圍第1項所述之方法，其中該第二最末溫度為1100℃。

9. 如申請專利範圍第1項所述之方法，其中更包括以下步驟：

在該氧化層形成前於該基底上形成一凹槽，使該氧化層沿該凹槽壁長成。

10. 如申請專利範圍第9項所述之方法，其中更包括以下步驟：

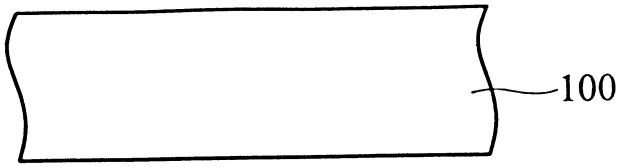
在該氧化層上形成一填滿該凹槽之導電層。

11. 如申請專利範圍第1項所述之方法，其中更包括以下步驟：

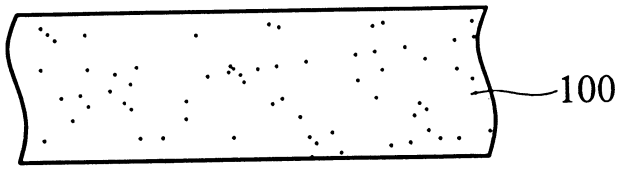
在該氧化層上形成一導電層。

12. 如申請專利範圍第11項所述之方法，其中該導電層係一多晶矽層。

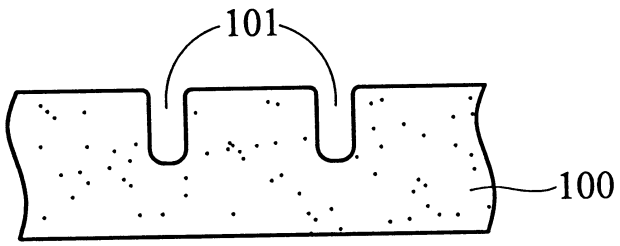
13. 如申請專利範圍第1項所述之方法，其中該氧化層係一犧牲氧化層。



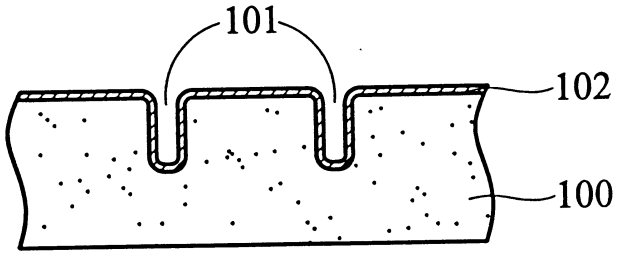
第1A圖



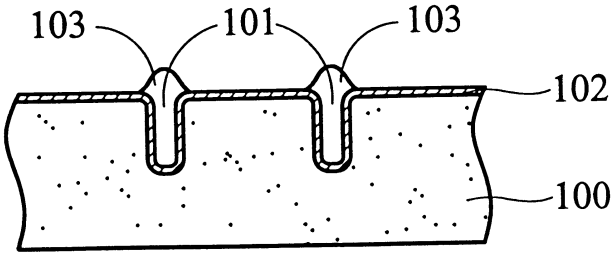
第1B圖



第1C圖



第1D圖



第1E圖