

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Dezember 2009 (17.12.2009)

(10) Internationale Veröffentlichungsnummer
WO 2009/149939 A2

- (51) Internationale Patentklassifikation:
H03M 1/08 (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2009/004219
- (22) Internationales Anmeldedatum:
12. Juni 2009 (12.06.2009)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2008 027 939.0 12. Juni 2008 (12.06.2008) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **Rutronik Elektronische Bauelemente GmbH** [DE/DE]; Industriestrasse 2, 75228 Ispringen (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **MANGLER, Andreas** [DE/DE]; Schilling-Von-Canstatt-Strasse 20, 76228 Karlsruhe (DE).
- (74) Anwälte: **REINHARDT, Harry** et al.; Reinhardt & Pohlmann Partnerschaft, Grünstrasse 1, 75172 Pforzheim (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) Title: ANALOG/DIGITAL CONVERTER HAVING AN SAR TOPOLOGY, AND ASSOCIATED METHOD

(54) Bezeichnung: ANALOG/DIGITALWANDLER MIT EINER SAR-TOPOLOGIE SOWIE ZUGEHÖRIGES VERFAHREN

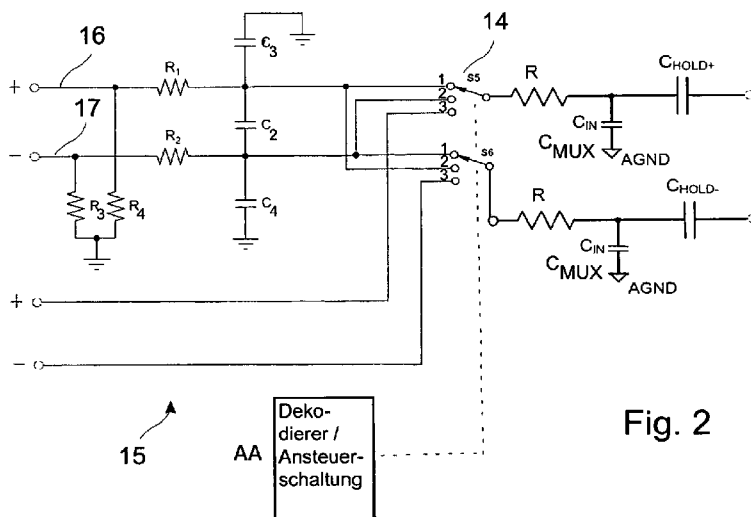


Fig. 2

(57) Abstract: Disclosed is an analog/digital converter that has an SAR topology and comprises a differential input filter (15). A signal line (16) and a signal reference line (17) are conducted via a differential multiplexer channel as a differential source for each signal source. The converter further comprises a digital mean value generator for generating mean values of the over-sampled input voltage signal. Furthermore, a chopper stage is provided. The voltage to be measured is applied to a first input of the multiplexer while being applied in an inverted manner to a second input of the multiplexer (14) in such a way that DC voltage offset portions of the voltage to be measured are reduced or eliminated by means of the chopper stage. The disclosed analog/digital converter can operate in real time, can be universally used, and combines the positive properties of various conversion processes in one module.

(57) Zusammenfassung: Bei einem Analog/Digitalwandler

[Fortsetzung auf der nächsten Seite]

AA Decoder/trigging circuit

WO 2009/149939 A2



mit einer SAR-Topologie ist ein differenzieller Eingangsfiler (15) vorgesehen, wobei als Differenzquelle für jede Signalquelle eine Signalleitung (16) und eine Signalbezugsleitung (17) über einen Differenz-Multiplexerkanal geführt ist. Der Wandler weist einen digitalen Mittelwertbildner zur Mittelwertbildung des überabgetasteten Eingangsspannungssignals auf und eine Chopper-Stufe ist vorgesehen, wobei die zu messende Spannung an einem ersten Eingang des Multiplexers und invertiert an einem zweiten Eingang des Multiplexers (14) so angelegt ist, dass durch die Chopper-Stufe Gleichspannungsoffsetanteile der zu messenden Spannung verringert oder eliminiert sind. Dadurch wird ein echtzeitfähiger, universell einsetzbarer Analog/Digital-Wandler geschaffen, der von verschiedenen Umsetzungs- oder Wandlungsverfahren die positiven Eigenschaften in einem Baustein kombiniert.

Analog/Digitalwandler mit einer SAR-Topologie sowie zugehöriges Verfahren

Beschreibung

5 Bezug zu verwandten Anmeldungen

Die vorliegende Anmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2008 027 939.0, hinterlegt am 12. Juni 2008, deren Offenbarungsgehalt hiermit ausdrücklich auch zum Gegenstand der vorliegenden Anmeldung gemacht wird.

10

Gebiet der Erfindung

Die Erfindung betrifft einen Analog/Digitalwandler, insbesondere zur Messwertbestimmung, mit einer SAR-Topologie nach dem Oberbegriff des Anspruchs 1 oder ein Verfahren zu Bestimmung von Werten nach dem Oberbegriff des Anspruchs 12. Insbesondere basiert die Erfindung auf einem CMOS-Prozess und einer SAR-Basistechnologie.

15

Stand der Technik

20 Neben dem Trend zu steigenden Verarbeitungsgeschwindigkeiten in der analogen Signalverarbeitung bestehen parallel meist Anforderungen an immer höhere Genauigkeit der Messungen. Flexibilität ist gefragt in Sachen Auflösung, Geschwindigkeit und Skalierbarkeit des Systems bei monolithisch integrierten Analog/Digital Wandlern.

25 Für die Grundfunktion der Sukzessiven Approximation der SAR-Analog/Digital-Wandler ist kennzeichnend die Annäherung eines Vergleichswertes an den analogen Ausgangswert. Einfache sukzessive Approximation setzt dabei pro Schritt ein binäres Bit um. Ein vielfach genaueres und schnelleres Umsetzen kann erreicht werden, indem die Umsetzung redundant erfolgt, also pro Schritt nur ein Teil eines Bits umgesetzt wird. Ein ADU (Analog/Digital Umsetzer /Wandler) oder ADC (Analog Digital Converter), der nach dem Verfahren der sukzessiven Approximation (d.h. schrittweisen Annäherung) arbeitet, grenzt das eingehende Signal mittels Intervallschachtelung ein. Dazu besitzt er, wie in Fig. 9 dargestellt, im einfachsten Fall ein Datenregister (successive approximation register, SAR) 11, in dem zum Schluss der ermittelte digitale Wert steht, einen Digital-Analog-Umsetzer 12, der eine dem
30 log/Digital Umsetzer /Wandler) oder ADC (Analog Digital Converter), der nach dem Verfahren der sukzessiven Approximation (d.h. schrittweisen Annäherung) arbeitet, grenzt das eingehende Signal mittels Intervallschachtelung ein. Dazu besitzt er, wie in Fig. 9 dargestellt, im einfachsten Fall ein Datenregister (successive approximation register, SAR) 11, in dem zum Schluss der ermittelte digitale Wert steht, einen Digital-Analog-Umsetzer 12, der eine dem momentanen Digitalwert des Datenregisters entsprechende analoge Referenzspannung erzeugt, einen Komparator 13, der die erzeugte Referenzspannung mit dem Eingangsspannungssignal vergleicht, und ein Steuerwerk (Microcontroller 10). Für jedes Bit an Genauigkeit benötigt ein einfacher ADU jeweils einen Taktzyklus Umsetzungszeit. Fig. 9 zeigt einen derartigen SAR-Analog/Digital-Wandler mit Eingangs-Multiplexer der Fa. ZMD nach dem Stand
35

der Technik. Derartige Umsetzer erreichen Auflösungen von ca. 16 Bit bei einer Umsetzungsrate von ca. 1 MHz.

Die US 6,927,717B1 zeigt einen Chopper-basierenden Delta Sigma Analog/Digital-Wandler mit integrierender Funktion und Gruppenlaufzeit (Latenzzeit, Totzeitglied) über die beiden Dezimierer und das digitale FIR-Filter. Das Signal durchläuft generell über mehrere Stufen 52, 54, 56, 58 das FIR-Filter und die zwei Dezimierer. Das System beschreibt ein Messsystem für die Gleichspannungsmesstechnik (DC-Messung). Das System ist nicht echtzeitfähig in digitalen Regelkreisen.

10

McCartney, D et al: A Low-Noise Low-Drift Transducer ADC in: IEEE Journal of Solid State Circuits Vol. 32 Nr. 7, July 1997, S. 959 – 967 beschreibt eine Signalkette für die langsame nicht echtzeitfähige Analog/Digital Wandlung basierend auf einem Delta/Sigma-Prinzip.

Die Patentanmeldung US 2007/0252747 A1 beschreibt ein System mit einem mehrstufigen Sinc Filter mit einer Dither-Funktion, die in dieser beschriebenen Konfiguration nicht echtzeitfähig ist. Ein SAR A/D-Wandler ist vorgesehen, aber mit dem Ziel Missing Codes bei der Wandlung zu vermeiden. Durch das vierstufige digitale Filter ist das System nicht echtzeitfähig. In Fig. 14a wird eine Signalkette mit vier hintereinander geschalteten Sinc-Filter beschrieben. Dadurch eignet sich das Verfahren nur für DC-Messtechnik. Ziel ist, die differenzielle Nichtlinearität (Abweichung der idealen Treppenstufe des Quantisierers) durch eine höhere nutzbare Auflösung des A/D-Wandlers über mehrere digitale Filter zu verbessern.

20

US-Patent US 7,049,989 B2 beschreibt eine einfache PGA-Funktion mit differenzieller Topologie durch Parallel- und Reihenschaltung von verstärkungsbestimmenden Widerständen die über ein digitales Potentiometer (DAC) und Analogschaltern realisiert wurde. Ziel ist dort, den Dynamikbereich (Aussteuerungsbereich) eines nachfolgenden Analog/Digital-Wandlers optimal zu nutzen und über den digital einstellbaren (programmierbaren) Verstärker anzupassen. Es handelt sich hierbei um bekannte angewandte Messtechnik, die aber in der Praxis aufgrund der Verwendung hochgenauer Widerstände kaum Anwendung findet. Den aktuellen Stand der Technik zeigt der Fachbeitrag Andreas Mangler, „Temperaturen präzise messen“ in Wekaverlag Elektronik Distribution, Sonderheft Juni 2009, S. 16-21.

30

Die in diesen Schriften offenbarten Delta Sigma Analog/Digital Wandler haben primär eine integrierende Funktion, somit das Verhalten eines niederfrequenten Tiefpasses mit einer definierten Einschwingzeit. Alle diese Verfahren sind in der beschriebenen Form für DC-Messung geeignet oder eingeschränkt in der langsamen AC-Messtechnik. Der nachfolgende Noise-Shaper und das digitale Filter erzeugen zusätzlich eine sogenannte Latenzzeit oder Gruppenlaufzeit. In der Regelungstechnik ist die resultierende Funktion des Delta Sigma

35

Analog/Digital-Wandler eine Kombination aus Tiefpass und Totzeit. Schnelle komplexe Echtzeitregelsysteme können deshalb nicht mit Delta Sigma Analog/Digital Wandlern realisiert werden. Hat man verschiedene überlagerte Regelkreise wie in Motorsteuerungen oder Mehrachsensystemen üblich wird das digitale Regelsystem instabil.

5

Eigenschaften der Delta Sigma Analog/Digital-Wandler sind:

- Limitiertes Sprungverhalten, Tiefpassfunktion
- arbeitet nur effizient mit kontinuierlichen Signalen am Eingang
- 10 • Latenzzeit /Gruppenlaufzeit des Systems führen zu Totzeiten in einem geschlossenen Regelkreis oder zu verzögerten Reaktionen bei einer Steuerung
- Taktrate hat direkten Einfluss auf die Übertragungsfunktion des digitalen Filters

Weitere Analog/Digital Wandler-Topologien sind

15

- Stufenweise Umsetzer (Zählverfahren)
- Single-Slope-Umsetzer (Sägezahn-/Einrampenverfahren/Zählverfahren)
- Dual-, Quad- und Multislope-Umsetzer (Mehrrampenverfahren)
- Delta-Sigma-Verfahren (Charge-Balance-Verfahren, 1-Bit-Umsetzer)
- 20 • Tracking-Umsetzer
- Wägeverfahren
- Redundante Umsetzer
- Flash-Umsetzer (Parallel-Umsetzer)
- Pipeline-Umsetzer
- 25 • Hybrid-Umsetzer

Jede dieser bekannten Wandlertopologien hat unterschiedliche Vor- und Nachteile. Die Wahl des Verfahrens in der Praxis ist ganz entscheidend vom Anwendungsfall abhängig. Universell einsetzbare Lösungen und gleichzeitig wirtschaftlich sinnvolle Lösungen gibt es nur wenige. Kommen ganz konkrete technische Anforderungen an Topologie und Funktion des Analog/Digital-Umsetzers hinzu, ist dies generell immer mit Kompromissen verbunden. Der Anwender muss sich dann bei verschiedenen Spezifikationen mit schlechten oder nicht ausreichenden Parametern zufrieden geben.

35 Folgende Parameter der Analog/Digital Wandler sind hierfür entscheidend:

- Signal-Rausch-Verhältnis
- Total Harmonic Distortion (THD) - Klirrzerrungen

- Spurious Free Dynamic Range (SFDR) – Nutzbarer Dynamikbereich
- Effektive Anzahl von Bits (ENOB)
- Latenzzeit
- Monotonie
- 5 • Integrierende Funktion / Tiefpass-Verhalten
- Gleichtaktunterdrückung
- Differenzielle Linearität
- Integrale Linearität
- Kalibrierfähigkeit
- 10 • Digitale Filterfunktionen

Aufgabe der Erfindung

15 Ausgehend von diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zu Grunde, einen echtzeitfähigen universell einsetzbaren Analog/Digital-Wandler zu schaffen, der von verschiedenen Umsetzungs- oder Wandlungsverfahren die positiven Eigenschaften in einem Baustein kombiniert.

20 Diese Aufgabe wird mit einem Analog/Digital-Wandler mit den Merkmalen des Anspruches 1 oder durch ein Verfahren mit den Merkmalen des Anspruches 12 gelöst.

Durch eine Kombination eines differentiellen Eingangsfilters mit einer SAR-Topologie, einer Chopper-Stufe und einer Synchronabtastung wird ein universell einsetzbaren Analog/Digital Wandler mit deutlich weniger Kompromissen geschaffen. Damit kann ein und derselbe
25 Wandler für unterschiedliche Anwendungen und Applikationen eingesetzt werden. Die Topologie verwendet einen preiswerten CMOS-Prozess. Höhere Stückzahlen und Bündelung von Einkaufsvolumina sowie eine Bereinigung der Diversifizierung am Markt sind möglich.

30 Damit ist eine effiziente, universelle als auch zugleich spezifische Analog/Digital-Umsetzung mit einem guten Preis/Leistungsverhältnis möglich. Schaltungstechnologie und Topologie im richtigen Zusammenspiel vermeiden mögliche Messfehler und daraus resultierende Probleme in der gesamten analogen Signalverarbeitungskette.

35 Das analoge Eingangsspannungssignal wird zuerst über den differentiellen Eingang des Multiplexers unmittelbar zum Microcontroller geführt. In der Praxis wird dazu vorzugsweise das Eingangsfilter überbrückt. Diese erste schnelle Messung und Analog/Digital-Wandlung des Signals arbeitet nach dem SAR-Wandlungsprinzip. Für die Echtzeitfähigkeit in digitalen Regelkreisen ist dies die schnelle und direkte Durchleitung dieses Signals zum Prozessor. Damit ist eine schnelle Einzelmessung in Echtzeit mit maximaler Abtastrate des SAR-

Wandlers möglich. Die zweite und alle folgenden Messung wird über das Eingangsfiler und die Chopper-Stufe geführt. Somit kann der Anwender gemäß den Anforderungen sehr schnell mit 12 Bit Genauigkeit die erste Messung starten und verarbeiten und nach beispielsweise 20ms (Zeit für die Mittelwertbildung) ein 16 Bit bis 20Bit Mittelwtergebnis am
5 Microcontroller abholen. Damit wird die Kombination aus schneller Wechselspannungsmesstechnik (AC-Messung) und genauer Gleichspannungsmesstechnik (DC-Messung) ermöglicht.

Weitere Vorteile ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung eines Ausführungsbeispiels.

10

Kurzbeschreibung der Figuren

Im Folgenden wird die Erfindung an Hand eines in den beigefügten Figuren dargestellten Ausführungsbeispiels näher erläutert. Es zeigen:

15

Fig. 1 ein Blockschaltbild einer Chopper-Stufe in der Gesamtopologie eines SAR-Wandlers,

Fig. 2 die Choppertopologie eines Analog/Digitalwandlers im Detail mit Gleichtaktfilter,

20 Fig. 3 die Struktur des Gleichtaktfilters,

Fig. 4 eine äquivalente Eingangsstruktur eines Standard-Multiplexer mit Ersatzschaltbild der Eingangskapazitäten und des Sample/Hold-Kondensators,

Fig. 5 eine $\sin x/x$ -Funktion der Mittelwertbildung,

Fig. 6 eine Betrachtung der Mittelwertbildung im Zeitbereich,

25 Fig. 7 eine normierte Betrachtung im Frequenzbereich,

Fig. 8 Zusammenhänge zwischen einer Störfrequenz von z. B. 50Hz und einem Nutzsignal,

Fig. 9 einen SAR-Analog/Digitalwandler mit Eingangsmultiplexern nach dem Stand der Technik,

30 Fig. 10 die Rechenfunktionen des Microcontroller mit zuschaltbarer Dither-Funktion,

Fig. 11 das SAR-Prinzip im Vergleich zum Delta-Sigma-Prinzip,

Fig. 12 das Einschwingzeitverhalten der SAR-Topologie im Vergleich zur Delta-Sigma-Topologie ohne Berücksichtigung des digitalen Filters,

Fig. 13 das Zeitverhalten der SAR-Topologie im Vergleich zu Delta-Sigma-Topologie mit Berücksichtigung einer identischen Wandlungsrate mit der Verarbeitung von zehn Wandlungsergebnissen im digitalen Filter,

35

Fig. 14 das Zeitverhalten der SAR-Topologie im Vergleich zu Delta-Sigma-Topologie mit Berücksichtigung der schnellen Chopper-basierenden SAR-Topologie und der Verarbeitung von zehn Wandlungsergebnissen im digitalen Filter,

Fig. 15 die Choppertopologie eines Analog/Digital-Wandlers im Detail und mit Gleich-
taktfilter und der direkten schnellen Leitungsführung über Schalterstellung 3
des Multiplexer und der Chopperstufe.

5 Ausführliche Beschreibung bevorzugter Ausführungsbeispiele

Die Erfindung wird jetzt beispielhaft unter bezug auf die beigefügten Zeichnungen näher er-
läutert. Allerdings handelt es sich bei den Ausführungsbeispielen nur um Beispiele, die nicht
das erfinderische Konzept auf eine bestimmte Anordnung beschränken sollen.

10

Bevor die Erfindung im Detail beschrieben wird, ist darauf hinzuweisen, dass sie nicht auf die
jeweiligen Bauteile der Vorrichtung sowie die jeweiligen Verfahrensschritte beschränkt ist, da
diese Bauteile und Verfahren variieren können. Die hier verwendeten Begriffe sind lediglich
dafür bestimmt, besondere Ausführungsformen zu beschreiben und werden nicht einschrän-
kend verwendet. Wenn zudem in der Beschreibung oder in den Ansprüchen die Einzahl oder
unbestimmte Artikel verwendet werden, bezieht sich dies auch auf die Mehrzahl dieser Ele-
mente, solange nicht der Gesamtzusammenhang eindeutig etwas Anderes deutlich macht.

15

Analyse der Signalkette und externer Störeinflüsse auf eine analoge Messdatenerfassung

20

Während in der reinen Digitaltechnik Störsignale von mehreren 100mV noch kein Problem
darstellen, dürfen die Störsignale auf der Analogseite sich hingegen nur im μV Bereich be-
wegen. Bei einem Eingangsspannungssignal von z. B. $\pm 1\text{V}$ und einer Auflösung von 16bit
beträgt der Spannungswert von 1 LSB $2 \text{ V} / 2^{16} = 30,5\mu\text{V}$. Damit die volle Auflösung noch ge-
währleistet ist, müssten sämtliche Störungen auf 0,5 LSB begrenzt werden. Das entspricht in
diesem Beispiel $15,25\mu\text{V}$. Bei einer effektiven Auflösung von 12 Bit sind dies immerhin noch
488 μV .

25

Diese Forderung ist in der Praxis nur sehr schwer erfüllbar, da digitale als auch analoge
Komponenten der Datenerfassung massive Störquellen darstellen. Auf der digitalen Seite
werden dieser Störquellen verursacht z.B. durch:

30

- Hochfrequentes Takten von Prozessoren
- Externe Speicher
- 35 • Programmierbare Logik
- Oszillatoren
- Hochfrequente Störanteile auf Bussignalen von PC oder anderen externen Steuerungen
- Brummspannungen der Spannungsversorgung

Die Störquellen auf der Analogseite sind:

- Rauschen des Sensors
- Rauschen des A/D-Wandlers
- 5 • Umschaltvorgänge externer Multiplexer
- Umschaltvorgänge programmierbarer Verstärker, falls diese vor dem A/D-Wandlers eingesetzt werden
- Hochfrequente Störspitzen auf der Versorgungsspannung, hervorgerufen durch verwendete Schalt-Regler

10

Von allen Funktionsblöcken der Signalkette können sowohl Störungen ausgehen als auch Störungen in das System eingekoppelt werden (Störquelle, Störsenke), die dann die Funktion des Analog /Digital-Wandlers negativ beeinflussen

15 Unterdrückung von Störeinflüssen durch ein differenzielles Eingangsfilter

Zur Beseitigung derartiger Störungen ist erfindungsgemäß zunächst ein differenzielles Eingangsfilter vorgesehen. Das zu messende Signal wird gemäß Fig. 2,4 über die Anschlüsse 16 und 17 geführt. Bei der Differenzmessung werden diese Anschlüsse für jede Signalquelle
20 als Signalleitung 16 und Signalbezugsleitung 17 ausgebildet und über einen differenziellen Multiplexerkanal 18 geführt. Die Gleichtaktspannung an den differenziellen Eingängen des ADC's bezieht sich auf die relativ unkritische Masseleitung. Dadurch können die Ausgleichströme zwischen dem Datenerfassungssystem und den Signalquellen nur über diese unkritische Masseleitung fließen. Eine gegenseitige Beeinflussung der Signalkanäle wird somit
25 wirksam unterdrückt. Mit dieser „echten“ differenziellen Eingangsstruktur des ADC's ist es möglich, durch das gleichzeitige (simultane) Sampling des Plus-Eingangs (+) und des Minus-Eingangs (-) sehr effizient Gleichtaktstörungen zu unterdrücken.

Beschreibung der Eingangsfilterstruktur

30

Fig. 3 zeigt die Struktur des Eingangsfilters. Die Widerstände R1, R2, R3, R4 bilden zusammen mit den Kondensatoren C2, C3, C4 ein Eingangsfilter 15, das der Chopperstufe 19 gemäß Fig. 1 vorgeschaltet ist. Das Eingangsspannungssignal gelangt über einen passiven Tiefpass an einen der differenziellen Eingänge des internen Multiplexers 14. Durch das Filter
35 werden sowohl die hochfrequenten Störanteile als auch die eingekoppelten Gleichtaktstörungen, die dem Nutzsignal überlagert sind, unterdrückt und das am Multiplexer anstehende Signal ist somit rauschärmer.

Der Berechnung der Eingangswiderstände für den Biasstrom des Multiplexers liegt folgende Überlegung zu Grunde. Ein hochohmiger, offener differentieller Eingang hat keinerlei Bezug zur Masse und würde unweigerlich undefiniert driften. Abhilfe schafft das sogenannte "Biasing". Das sind hochohmige Widerstände von beiden Eingängen zur Masse 20 (z. B. Kanal 1
 5 R3, R4). Bei Eingangstufen mit einem definierten typischen Differenz-Biasstrom des Multiplexers verursacht dieser Strom an den Bias-Widerständen eine Differenzspannung. Deshalb muss die Größe der Widerstände so gewählt werden, dass die Differenzspannung kleiner ist als die gewünschte Messgenauigkeit des Systems. Um diese Spannung z. B. auf maximal 500µV zu begrenzen, darf der Widerstandswert von R3 und R4 höchstens 500µV/Differenz-
 10 biasstrom betragen. Typischerweise werden diese Widerstände mit 1MΩ bestückt. In diesem Zusammenhang ist die Differenzspannung eine Spannung an massebezogenen oder differentiellen Eingängen, die nicht Bestandteil des Eingangsspannungssignal ist. Man spricht auch von einer Fehlerspannung.

15 Bei Einsatz z.B. von niederohmigen Brückenschaltungen können die Widerstände R3 und R4 entfallen, da in diesem Fall der Biasstrom über die niederohmigen Brückenwiderstände fließt. Sollte jedoch eine Spannungsquelle an den Eingangsteil angeschlossen werden, die keinen Massebezug zu der Platine hat, muss mindestens einer dieser beiden Widerstände bestückt werden. Ob beide Widerstände zu verwenden sind, hängt vom Innenwiderstand der zu mes-
 20 sendenden Quelle ab. Ist dieser klein, kann z. B. auf R3 verzichtet werden. Die Eingangsströme fließen in diesem Fall direkt über R4 gegen Masse und im anderen Fall zuerst durch die Quelle und dann über R4 gegen Masse. Zum besseren Verständnis der internen Eingangstopologie des ADC's zeigt Fig. 4 das äquivalente Ersatzschaltbild mit der Eingangskapazität während eines Sampling-Vorgangs.

25

Die beiden Widerstände R1 und R2 bilden zusammen mit dem Kondensator C2 einen Tiefpass für die Eingangssignalspannung, wobei sich die Grenzfrequenz nach folgender Formel berechnen lässt.

$$30 \quad f_{3dB} = \frac{1}{2 \cdot \pi \cdot (R_1 + R_2) \cdot (C_2 + \frac{C_{3,4}}{2})}$$

$$f_{3dB} = \frac{1}{2 \cdot \pi \cdot (309\Omega + 309\Omega) \cdot (1\mu F + \frac{47nF}{2})} = 252Hz$$

Das Filter wurde im Ausführungsbeispiel für eine Grenzfrequenz von 252Hz dimensioniert. Gemäß obiger Formel kann damit eine Frequenz von ca. 1Hz noch mit einer Genauigkeit von 16-Bit (bezogen auf eine normierte Eingangsspannung von $\pm 2,5V$) erfasst werden.

5 Die Grenzfrequenz kann nach der Formel

$$f_g = \frac{f_{Bit}}{\sqrt{\left(\frac{2^{n+1}}{2^{n+1}-1}\right)^2 - 1}}$$

berechnet werden. Dabei ist

f_{Bit} = Grenzfrequenz, bei der noch eine der Genauigkeit entsprechende Auflösung gewährleistet,

10 n = Auflösung in Bit,

f_g = 3dB Grenzfrequenz vom passiven RC-Tiefpass.

Mit den für diese Schaltung verwendeten Werten ergibt sich eine Grenzfrequenz von:

$$15 \quad f_g = \frac{1Hz}{\sqrt{\left(\frac{2^{16+1}}{2^{16+1}-1}\right)^2 - 1}} = 256Hz$$

Die Kondensatoren C3, C4 des Eingangsfilters 15 bilden mit den Widerständen R1, R2 ein symmetrisches HF-Filter für hochfrequente Gleichtaktsignale. Die Grenzfrequenz der gewählten Filteranordnung liegt bei 10,9kHz. Beide Eingänge des ADC's sollten symmetrisch abgeschlossen sein. Dadurch lassen sich Signale auch im mV Bereich noch mit hoher Genauigkeit erfassen.

Die Gleichtaktunterdrückung des ADC nimmt mit steigender Frequenz der Gleichtaktsignale ab. Deshalb dürfen nur niederfrequente Gleichtaktstörungen am ADC anliegen. Der ADC hat bei für niederfrequente Gleichtaktsignale (bis 50Hz/60Hz) eine Unterdrückung von typisch 100dB, bezogen auf die V_{Ref} . Durch das symmetrische HF-Filter werden bereits die höherfrequenten Gleichtaktsignale schon am Eingang des ADC mit 20dB/dekade unterdrückt. Somit bleibt die Gleichtaktunterdrückung des gesamten Systems immer über 75dB.

30 Höhere Werte können gewonnen werden, wenn die Grenzfrequenz des HF-Filters weiter herabgesetzt wird. Dabei dürfen jedoch nur die Werte der Kondensatoren C3 und C4 vergrößert werden, da sich bei einer Veränderung der Widerstände R1 und R2 auch die Grenzfrequenz des Signal-Tiefpasses verändern würde. Es ist jedoch zu beachten, dass sowohl die Kondensatoren als auch die Widerstände bestimmten Toleranzen unterliegen. Bei den Kon-

densatoren ist es aus wirtschaftlichen Gründen kaum realisierbar, Toleranzen unter 1% einzusetzen. Durch diese Toleranzen ergeben sich bereits abweichende Grenzfrequenzen für die beiden differentiellen Eingänge. Das hat zur Folge, dass das anliegende Gleichtaktsignal unterschiedliche Spannungspegel an den Kondensatoren C3 und C4 erzeugt. Die dadurch
5 entstehende Differenzspannung erscheint, als Fehlerspannung am Ausgang des ADC.

Die größte Differenzspannung entsteht im Bereich der Grenzfrequenz des symmetrischen HF-Filters (10,9kHz). Diese Spannung wird jedoch durch den Kondensator C2 kurzgeschlossen, der parallel zu der erzeugten Differenzspannungsquelle liegt. Deshalb sollte C2 sehr viel
10 größer als C3 und C4 sein. Im Ausführungsbeispiel wurde C2 um den Faktor 20 größer gewählt als C3 und C4. Die Differenzspannung am Multiplexereingang hängt bei einer Unsymmetrie des HF-Filters sehr stark von dem Kondensator C1 ab.

Es könnten prinzipiell auch Kondensatoren mit $\pm 10\%$ Toleranz verwendet werden, sofern die
15 Möglichkeit einer Selektion besteht. Der Absolutwert der Bauteile ist hier relativ unkritisch, da die beiden Kondensatoren nicht auf einen absoluten Wert ausgemessen werden müssen. Das Matching ist entscheidend. Eine Hersteller-„char-genreine“ Selektion der Bauelemente könnte unter Umständen ähnliche Ergebnisse liefern. Es genügt jedoch, wenn die Kapazitätswerte beider Bauteile gegeneinander eine relative Abweichung von $\pm 1\%$ haben. Sind die
20 Kondensatoren alle aus einer Charge, so können oft Abweichungen der Kapazitäten von weniger als 1% erreicht werden, obwohl die absolute Abweichung der Kapazität gegenüber dem aufgedruckten Wert nach wie vor $\pm 10\%$ betragen kann. In der 16 Bit Messtechnik wird idealerweise eine chargenreine 1% Selektion empfohlen.

25 Beeinflussung des Messergebnisses durch die parasitären Kapazitäten des Multiplexers beim Umschalten der einzelnen Kanäle.

Die Messergebnisse können zudem beim Umschalten der Multiplexerkanäle beeinträchtigt werden. Beim Umschalten der Eingangskanäle mit dem Multiplexer(MUX) 14 müssen die
30 internen Kondensatoren (typ. 4pF) am Ausgang des Multiplexers auf die jeweils neue Eingangsspannung umgeladen werden. Die Umladezeit der parasitären Ausgangskondensatoren ist von den wirksamen Widerständen und der Größe des Spannungssprunges abhängig. Die längste Einschwingzeit ist demnach bei der Umschaltung zwischen einem Kanal, an dem -1,25V anliegt, und einem anderen Kanal, an dem +1,25V ansteht, zu erwarten. (Fig. 4)

35

Da die beiden Einschaltwiderstände ($R_{MUX} = 1,5k\Omega$) als auch die interne Ausgangskapazität des Multiplexers bekannt sind, kann die Einschwingzeit t nach der Formel

$$t = -R_{MUX} \cdot C_{MUX} \cdot \ln\left(\frac{u_2(t) - u_1(0)}{u_2(0) - u_1(0)}\right)$$

berechnet werden mit

$u_1(0)$ = Eingangsspannung des Multiplexers im Umschaltmoment,

5 $u_2(0)$ = Spannung am C_{MUX} im Umschaltmoment,

$u_2(t)$ = Spannung am Kondensator nach der Zeit t .

Mit den im Ausführungsbeispiel gewählten Werten

10 $R_{MUX} = 1,5k \Omega$,

$C_{MUX} = 4pF$,

Spannungssprung von $-1,25V$ nach $+1,25V$,

Genauigkeit = 16Bit bei $2,5V$. ($2,5V/(2^{16})=38,15\mu V$)

15 ergibt sich die Einschwingzeit t zu:

$$t = -(2 \cdot 1,5k\Omega) \cdot \frac{4pF}{2} \cdot \ln\left(\frac{1,24996185V - 1,25V}{-1,25V - 1,25V}\right) = 66,54ns$$

Die Einschwingzeit wurde unter dem Gesichtspunkt berechnet, dass die Eingangsspannung des Multiplexers aus einer niederohmigen Spannungsquelle gespeist wird. Das ist jedoch
20 durch die Widerstände R_1 und R_2 , die für das Eingangsfilter verwendet werden müssen, nicht gewährleistet. Des Weiteren wird der Kondensator C_2 , der parallel zu den beiden in Reihe geschalteten Multiplexerkapazitäten C_{MUX} liegt, entladen.

Deshalb sollte C_2 bei einer gewünschten Genauigkeit von 16bit um den Faktor 2^{16} größer
25 sein als die beiden in Reihe geschalteten Multiplexerkapazitäten C_{MUX} . Die wirksame Multiplexerkapazität beträgt durch die Reihenschaltung $2pF$ ($4pF/2$). Folglich muss $C_2 > 0,13\mu F$ ($2^{16} \cdot 2pF$) sein. Bei der im Ausführungsbeispiel verwendeten Eingangskapazität von $1\mu F$ ist das gewährleistet. Bei einer kleineren Kapazität als der im Beispiel geforderten $0,13\mu F$ muss
30 für das Eingangsfilter zwischen dem Umschaltzeitpunkt des Multiplexers und dem Abtastzeitpunkt des A/D-Wandlers eine Verzögerungszeit vorgesehen werden, damit dem Filter zum Einschwingen genügend Zeit verbleibt.

In solch einem Fall ist z.B. ein Spannungssprung von $-1,25V$ nach $+1,25V$ bei einer verkleinerten Eingangskapazität C_2 von $0,1 \mu F$ gegeben. An Kanal 1 liegt ein Pegel von $-1,25V$. Der
35 Multiplexer 14 ist seit längerer Zeit mit diesem Kanal verbunden. Das System kann somit als eingeschwungen betrachtet werden. Die differenzielle Ausgangsspannung des Multiplexers

ist daher ebenfalls -1,25V. Unter diesem Gesichtspunkt liegen die internen Ausgangskondensatoren in Reihe und es ergibt sich eine Gesamtkapazität von 2pF (4pF/2). An diesen 2pF liegt nun eine Spannung von -1,25V. Das entspricht einer Ladung von $-1,25V \cdot 2pF = -2,5pC$

5

Wird der Multiplexer auf Kanal 0 umgeschaltet, dessen Eingangsspannung sich auf +1,25V befindet, liegen im ersten Moment am Ausgang des Multiplexers immer noch -1,25V an. Der Kondensator C2 sowie die in Reihe geschalteten Kapazitäten C3 und C4 liegen jedoch auf +1,25V. Dies entspricht einer Ladung von $1,25V \cdot (0,1\mu F + (47nF/2)) = 154,37nC$. Die Multiplexerkapazität entlädt also das Eingangsfilter auf den Spannungswert von

10

$$U_{tot} = \frac{(154nC - 2,5pC)}{(0,1\mu F + (47nF/2) + 4pF/2)} = 1,2498989787V$$

Das bedeutet eine Abweichung von: $1,25V - 1,249898787V = 101,1\mu V$.

15

Für eine Auflösung von 16-Bit bei einem Eingangsspannungsbereich von $\pm 1,25V$ darf die Abweichung jedoch nicht größer als $2,5V/2^{16} = 38,15\mu V$ sein. Aus diesem Grund sollte nicht sofort nach dem Umschalten des Multiplexers die A/D-Wandlung gestartet werden. Nach der vorhergehenden Formel kann die Verzögerungszeit wie folgt berechnet werden:

20

$$t = -(2 \cdot 309\Omega) \cdot (0,1\mu F + 23,5nF + 2pF) \cdot \ln\left(\frac{1,24996185V - 1,25V}{1,249898787V - 1,25V}\right) = 74,47\mu s$$

Zwischen dem Umschalten des Multiplexers 14 und der darauffolgenden Messung durch den A/D-Wandler muss also in diesem Fall $74,47\mu s$ gewartet werden, damit das System auf eine

25

Genauigkeit von 16-Bit eingeschwungen ist. Diese Verzögerungszeit ist jedoch nur gültig für Spannungsquellen mit einem Innenwiderstand

$R \ll R1 + R2$. Für Quellen mit einem höheren Innenwiderstand muss dieser zu den Eingangswiderständen R1, R2 addiert werden. Daraus folgt, dass sich die Einschwingzeit des Systems zusätzlich erhöht. Abhilfe kann in diesem Falle nur ein Impedanzwandler (Buffer

30

Amp) am Eingang des Tiefpasses oder ein größerer Eingangskondensator $C2 > 0,39\mu F$ schaffen.

Zum Vergleich wird die Spannungsänderung unter geänderten Bedingungen aufgezeigt, wobei nun der Eingangskondensator C2 eine Kapazität von $1\mu F$ hat.

35

Ladung von C2, C3 und C4:

$$Q_2 = 1,25V \cdot (1\mu F + (47nF / 2)) = 1,2794\mu C$$

5 Ladung von C_{MUX}

$$Q_{MUX} = -2,5pC$$

Die Multiplexerkapazität entlädt das Eingangfilter 15 auf den Spannungswert von

10

$$U_{tot} = \frac{(1,274\mu C - 2,5pC)}{(1\mu F + (47nF / 2) + 4pF / 2)} = 1,24999511V$$

Dies entspricht einer Abweichung von $1,25V - 1,2499951 = 4,885\mu V$. Somit ist die Abweichung vom Idealwert $2,5V$ größer als $38\mu V$ und man bewegt sich im Bereich der 16-Bit-
15 Auflösung. Der A/D-Wandler kann sofort mit einer Wandlung beginnen.

Wo liegt nun die Grenze der maximalen Auflösung?

Unter folgender Annahme berechnet sich die maximal nutzbare Auflösung so:

20 Wählt man $C_2 = 2,2\mu F$

$$=> Q_2 = 2,7793\mu C$$

$$=> U_{tot} = 1,24999775V$$

$$=> U_{error} = 2,2487\mu V$$

25 $U_{20BIT} = 2,384\mu V$

U_{20BIT} entspricht der Fehlerspannung U_{error}

d.h. die Topologie erlaubt bei einem eingeschwungenen System eine effektive Auflösung von
30 20 Bit Genauigkeit bei $C_2 = 2,2\mu F$.

Diese Erkenntnis liefert die idealen Voraussetzungen den Baustein in einer Chopper und Mittelwert bildenden Topologie einzusetzen.

35 Unter Einbeziehung der kompletten Signalkette ist die Quellimpedanz des Sensors oder der Signalquelle ganz entscheidend für die Umladung der Kapazitäten bis zum eingeschwungenen Zustand. Niederohmige Brückenschaltungen sind daher problemlos direkt an dem ADC

zu betreiben. Quellimpedanzen die höher sind als 1kOhm erfordern dann unter Umständen eine Bufferstufe am Eingang.

Die Mittelwertbildung (Averaging)

5

Eine Mittelwertbildung erhöht die Auflösung und führt zu zusätzlichen Zwischenwerten im Messergebnis. Der Grundgedanke beinhaltet einen A/D-Wandler, der mit sehr hoher Abtastfrequenz das Eingangsspannungssignal überabtastet (oversampling). Die Flut der dabei entstehenden Daten wird durch eine digitale Mittelwertbildung (Average) reduziert und somit für normale Controllergeschwindigkeiten verwertbar. Die Filterkurve zeigt Fig. 5.

10

Vorteile:

- Das Antialiasing-Filter ist einfach und preiswert aufzubauen, da die maximale Grenzfrequenz des Filters wesentlich kleiner ist als die halbe Abtastfrequenz des Wandlers sein kann.
- Hochfrequente Rauschanteile des Eingangsspannungssignals werden durch die Mittelwertbildung stark gedämpft.
- Gezielte Unterdrückung einer bestimmten Störfrequenz und ihrer harmonischen Oberwellen durch Anpassung des Mittelwert-Zeitfensters auf ein Vielfaches der Periodendauer des Störers.
- Durch Veränderung der Anzahl der zum Averaging benutzten Wandlungen können verschiedene Messzeiten realisiert werden.

15

20

Es sollten folgende Punkte beachtet werden:

- Verwendung eines schnellen A/D-Wandlers
- Die digitale Mittelwertbildung der Wandlerdaten benötigt eine schnelle Addition, für die nur schnelle Microcontroller in Frage kommen.

25

Die Mittelwertbildung (Averaging) hat die Aufgabe, die vom A/D-Wandler ausgegebenen 12-Bit-Worte auf ein 16-Bit-Wort oder gar 20 Bit-Wort umzusetzen. Dies wird mit Hilfe des Controllers 10 realisiert. Dafür wird eine bestimmte Anzahl von Messwerten eingelesen, aufsummiert und danach durch die Anzahl der Messwerte geteilt. Geht man bei einem A/D-Wandler davon aus, dass der Umsetzer bei einem konstanten Eingangsspannungssignal kein konstantes Bitmuster liefert, sondern eine Gauß'sche Verteilung der Codes, so kann durch eine Mittelwertbildung die Auflösung des Umsetzers erhöht werden. Dabei gilt allgemein:

30

35

$$\Sigma(\text{eingelesene Messwerte}) / (\text{Anzahl Messwerte})$$

Werden z. B. bei zwei aufeinanderfolgenden Messungen folgende Werte ermittelt: Messung 1 = 100mV,

Messung 2 = 101mV

beträgt die Differenz 1mV. Werden nun beide Werte addiert und durch zwei geteilt, so erhält man eine Nachkommastelle.

$$(100\text{mV} + 101\text{mV}) / 2 = 100.5\text{mV}$$

- 5 Der Gewinn dieser "Nachkommastelle" repräsentiert somit eine erhöhte Auflösung.

Addition eines Dither-Signales zum digitalisierten Messwert

- 10 Wenn besonders kleine analoge Signal verarbeitet werden, besteht die Möglichkeit vor der Mittelwertbildung im Microcontoller dem digitalen Signal ein Dither-Signal zu überlagern bzw. zu addieren. Dies ist eine Option, die gemäß Fig. 10 zugeschaltet werden kann.

Das Prinzip der Dither-Technologie ist weitestgehend bekannt und populär in der digitalen Verarbeitung dynamischer Signale.

15

Dithering bezeichnet eine Technik, um zusätzliche Quantisierungsfehler, die bei der Umwandlung bereits quantisierter Datenfolgen in ein anderes quantisiertes Datenformat entstehen, zu minimieren. Dithering ist ein Verfahren aus dem Bereich der statistischen Signalverarbeitung.

20

- Bei einer digitalen Formatkonvertierung, also der Umwandlung bereits digitaler Daten von einem digitalen Format in ein anderes, treten in Abhängigkeit vom digitalen Eingangsspannungssignal, und da besonders bei kleinen Signalpegeln, nichtlineare Verzerrungen auf. Weiter sind die Voraussetzungen für die Beschreibung dieses Fehlers als klassisches Quantisierungsrauschen, wie es bei der Umwandlung von analogen Signalen in digitale Signalfolgen auftritt, nicht mehr gegeben. Zur Reduzierung dieser nichtlinearen Effekte, vor allem bei kleinen Signalamplituden, ist daher eine Linearisierung der Kennlinie des Requantisierers notwendig. Dieses wird durch ein statistisches Verfahren erreicht, bei dem vor der Requantisierung zu dem digitalen Eingangssignal ein Zufallssignal, ein Rauschen, addiert wird. Dieses zusätzliche Rauschsignal wird als Dither-Signal bezeichnet und gibt diesem Verfahren seinen Namen.
- 25
- 30

- Mit diesem Verfahren erreicht man mit entsprechend gewählten Dithersignal, im Mittel über eine längere Signalfolge, eine Verfeinerung der Abstufung bei der Requantisierung, womit die Übertragungskennlinie linearisiert und Störeffekte minimiert werden. Der Requantisierungsfehler äußert sich ähnlich einem Quantisierungsrauschen, einem breitbandigen Rauschen ähnlich dem Rauschen z. B. eines analogen Verstärkers - bei einem voll ausgesteuerten dynamischen Signal fällt dieses nicht sonderlich ins Gewicht, da die mögliche Dynamik ausgeschöpft wird und sich das Quantisierungsrauschen als breitbandiges "Weißes Rau-
- 35

schen" darstellt, das im Vergleich zum Maximalsignal sehr klein ist. Problematisch wird es allerdings, wenn das Signal nur einen Teil der Quantisierungsstufen nutzt - beispielsweise extrem kleine Signalpegel, die anstelle von z. B. 12 bis 16 Bit nur 1 bis 8 Bit verwenden. Hier wird der Signal/Rauschabstand umso geringer. Noch schlimmer ist allerdings die Korrelation
5 des Quantisierungsfehlers - sie entsteht dadurch, dass Wellenkurven durch die Quantisierung in ein geringstufiges Quantisierungsmuster immer mehr einer Rechteckform ähneln.

Um besonders kleine Signale, die nun nicht mehr richtig dargestellt werden, von diesem Quantisierungsfehler zu lösen (zu dekorrelieren), wird dem Signal ein Dither-Rauschen hinzugegeben. Dadurch erhöht sich zwar die Rauschenergie im Signal, allerdings werden die
10 sehr kleinen Signalanteile nun besser wahrgenommen als vorher. Das liegt daran, dass durch die Überlagerung mit Rauschen die Rechteckschwingung wieder eher als die ursprüngliche Wellenform wiedererkannt wird. Denn im Prinzip einer Pulsweitenmodulation wird das Wellensignal nun, umso näher es der jeweiligen Quantisierungsstufe steht, durch das
15 Rauschen dekorelliert und wechselhafter den jeweiligen Quantisierungsstufen zugeordnet. Durch diese wechselhafte Zuordnung (daher "Dither" = "zittern") wird die Rechteckschwingung umgangen.

Über eine Berechnung des Mittelwertes wird damit eine Erhöhung der Auflösung erreicht.
20 Anders ausgedrückt: In einem 1-Bit-System (0 und 1) wird eine Sinuswelle den Quantisierungsstufen beispielsweise folgendermaßen zugeordnet: 000011110000111100001111. Hieraus resultiert eine Rechteck-Schwingung. Durch Hinzugabe von Dither-Rauschen entsteht eine genauere Nachbildung der Sinus-Form: etwa 0011001100110011001100110011. Die negativen Verzerrungseffekte der Rechteck-Schwingung treten nicht mehr auf, das ursprüngliche
25 Signal wird klarer erkannt. Es können so sogar Signale dargestellt werden, die kleiner als das kleinste Quantisierungsintervall sind!

Das Dither-Rauschen entspricht in etwa Weißem Rauschen, jedoch mit dem Unterschied, dass es statistisch anders verteilt ist. Verschiedene Dither-Typen werden aufgrund der Wahrscheinlichkeitsdichte-Funktion ihrer Amplitudenverteilung unterschieden - am bekanntesten
30 sind dreiecksförmig verteilter Dither (Triangular Probability Density Function - Dither, TPDF-Dither), rechteckförmig verteilter Dither (RPDF-Dither) und Gaussisch verteilter Dither (Gaussian Probability Density Function-Dither).

35 Ein ungedithertes Digitalsignal kann einem Analogsignal in Bezug auf den Rauschabstand unterlegen sein - ein korrekt gedithertes Digitalsignal hingegen ist einem analogen System in Bezug auf den Rauschabstand überlegen.

Die Dither-Technologie findet auch in der digitalen Signalverarbeitung ihre Anwendung, wo Daten des internen Datenbusses von Prozessoren (Microcontrollern) auf die Breite des ex-

ternen Datenbusses reduziert werden. Anstatt die "überflüssigen" Bits einfach abzuschneiden ("Truncation"), wenn z. B. ein 32 Bit – Signal (Busbreite des Microcontrollers) in ein 20 Bit - Signal gewandelt wird, sollte Dither hinzugefügt werden, da sonst die oben beschriebene Problematik des Quantisierungsfehlers wieder auftritt. Geräte in der dynamischen Signalverarbeitung arbeiten auch intern mit Dither, da durch Gleitkomma-Berechnung innerhalb des Microcontrollers weitere Quantisierungsfehler auftreten.

Theoretische Betrachtung der Mittelwertbildung und "Chopper-Technik"

10 Der zeitliche Mittelwert eines Analogsignals berechnet sich als:

$$m(t) = \frac{1}{T_m} \int_{t-T_m}^t u(t) dt$$

Das Spektrum des analogen, zeitkontinuierlichen Mittelwerts entspricht dem des bekannten Kammfilter (sin x) / x –Funktion (Fig. 5):

15

$$\left| \frac{M(f)}{U(f)} \right| = \left| \frac{\sin(\pi \cdot T_m \cdot f)}{\pi \cdot T_m \cdot f} \right|$$

T_m = Zeitfenster der Mittelwertbildung

20 Bei einer Betrachtung im Zeitbereich ergibt sich ein Bild gemäß Fig. 6 und eine normierte Betrachtung im Frequenzbereich zeigt Fig. 7.

Damit werden die Frequenz $1/T_m$ und ihre harmonischen Oberwellen völlig ausgelöscht. Die Maxima fallen mit 20dB/Dekade ab. Im Microcontroller 10 wird der Mittelwert aus N-

25 Abtastwerten berechnet, die vom A/D-Wandler in äquidistanten Zeitabständen T erzeugt werden. Das Spektrum des zeitdiskreten Mittelwertes aus N-Abtastwerten berechnet sich mit Hilfe der Z-Transformation zu:

$$M(z) = X(z) \cdot [1 + z^{-1} + \dots + z^{-(n-1)}]$$

30

$$\frac{M(z)}{X(z)} = \frac{1}{N} \sum_{k=0}^{N-1} z^{-k} = \frac{1}{N} \cdot \frac{1 - z^{-N}}{1 - z^{-1}}$$

$$z = e^{-j\omega T}$$

$$\left| \frac{M(f)}{U(f)} \right| = \left| \frac{\sin(N \cdot \pi \cdot f \cdot T)}{\pi \cdot T_m \cdot f} \right|$$

Das Spektrum des zeitdiskreten Mittelwertes zeigt auch die beschriebene Kammfilter-Ähnlichkeit, jedoch nehmen oberhalb der halben Abtastfrequenz $1/2T$ die Maxima wieder zu.

- 5 Dies resultiert aus der Verletzung des Shannon-Abtasttheorems. Es besagt, dass die maximale Frequenz am Analogeingang des A/D-Wandlers kleiner als die halbe Abtastfrequenz sein muss.

- Die Einhaltung des Shannon-Theorems kann bei überabtastenden Systemen relativ einfach durch ein einpoliges Filter erreicht werden. Der errechnete, zeitdiskrete Mittelwert ist der "gleitende Mittelwert" d. h. der Ergebnis-Sample-Strom $M(z)$ hat die gleiche Datenrate wie der ADC-Sample-Strom $X(z)$. Das entspricht einem FIR-Filter mit N -Taps, dessen N -Koeffizienten gleich 1 sind. Es müssen immer die letzten N -Abtastwerte zwischengespeichert werden. Hierzu ist ein hoch performanter Microcontroller oder ein FPGA (Field Programmable Gate Array) oder PLD (Programmable Logic Device) notwendig.
- 10
15

- Im Microcontroller wird aus N -Abtastwerten ein Mittelwert gebildet und danach ein Mittelwert aus den nächst folgenden N -Abtastwerten. Der Ergebnis-Sample-Strom ist dann um das N -fache niedriger als der ADC-Sample-Strom. Dieser "Block-Mittelwert" über N -Abtastwerte entspricht einem gleitenden Mittelwert (Moving average) über N -Abtastwerte und einer anschließenden Datenreduktion (Dezimation) von N .
- 20

Effektive Auflösung bei "Averaging-Betrieb" Mittelwertbildung

- 25 Während man mit 16-Bit im 2,5V Bereich ($\pm 1,25V$) eine Auflösung von $2,5/2^{16}=38,14\mu V$ für 1LSB erhält, beträgt die Auflösung bei 20-Bit $2,5/2^{20}= 2,384\mu V$ pro 1LSB. Die Auflösung mittels "Averaging" bei 20-Bit weicht nicht von einem idealen 20-Bit A/D-Umsetzer ab, wohl aber der "Full-Scale-Bereich". Auf der Testumgebung befindet sich ein 12-Bit-Wandler, dessen Ausgangsdaten beim "Averaging" durch Addition von 2048 (oder 1024, 512, 256, 128, 64)
- 30 Werten zu einem Ausgabewort im Microcontroller zusammengefasst werden. Unter der Voraussetzung, dass bei diesem 12-Bit-Wandler $2^{12}-1$ Werte zur Verfügung stehen, lässt sich der maximale digitale Eingangswert bei 2048-fachen "Averaging" berechnen zu:

$$4096 \cdot 2048 = 8388608 = 00800000_{HEX}$$

35

(Wert des A/D-Wandler $[2^{12}-1] \cdot 2^{11}$ -fachem "Averaging" = 8388608); Das maximal mögliche binäre Ausgabewort beträgt somit:

0080000 HEX
0000 0000 1000 0000 0000 0000 0000 0000 BIN

- 5 Für eine Auflösung von 20-Bit werden nun die letzten drei Bit mit Hilfe des Microcontrollers abgeschnitten, wodurch sich ein Full-Scale-Range von

F F F F 0 Hex
1111 1111 1111 1111 0000 BIN

10

ergibt. Der gesamte Eingangsspannungsbereich beträgt demnach
FFFF0 hex $2,384\mu\text{V} = 2,49976704\text{V}$.

- Die maximale Eingangsspannung, die im $\pm 1,25\text{V}$ Bereich noch korrekt gemessen werden kann, ist $2,49976704\text{V} - 1,25\text{V} = 1,24976704\text{V}$. Die Abweichung zu $+1,25\text{V}$ beträgt demnach
15 $232,96\mu\text{V}$, während bei einem reinen 20-Bit-Wandler nur eine Abweichung von $2,384\mu\text{V}$ vorhanden wäre. Der Eingangsspannungsbereich im "Averaging-Modus" erstreckt sich also bei einer 20-Bit Auflösung von $-1,25\text{V}$ bis $+1,24976704\text{V}$.

- Wird die Anzahl der Additionswerte beim "Averaging" reduziert, findet jedoch keine weitere
20 Reduzierung des Full-Scale-Range statt. Die Auflösung beträgt nach wie vor $2,384\mu\text{V}$ pro 1LSB. Durch das "Averaging" wird zwar die Auflösung von $610\mu\text{V}$ auf $2,384\mu\text{V}$ pro LSB erhöht, die integrale Linearität des gesamten Systems hängt jedoch auch weiterhin nur von der des A/D-Wandlers ab. Diese entspricht hier maximal 12-Bit.

25 Unterdrückung der Frequenz von 25Hz/30Hz und deren Vielfachen

- Durch geeignete Wahl der Abtastfrequenz des A/D-Wandlers, der Anzahl der Messwerte (Averaging) pro Messzyklus und der Einschwingzeit können ganz gezielt bestimmte Störfrequenzen unterdrückt werden. Im Ausführungsbeispiel schwingt der Quarz-Oszillator mit einer
30 Frequenz von $25,6\text{MHz}$. Diese Frequenz wird um den Faktor 128 im Microcontroller geteilt, so dass eine Frequenz von 200KHz entsteht. Die 200KHz werden als Abtastfrequenz für den ADC verwendet. Wird nun eine Mittelwertbildung mit 2048 Messwerten durchgeführt, so berechnet sich die Messwerterfassungszeit zu:

$$35 \quad T = \left[\frac{1}{f_{\text{sample}}} \cdot \text{Anzahl} \cdot \text{der} \cdot \text{Messwerte} \right]$$

mit den oben angegebenen Werten erhalten wir bei 2048 Messwerten:

$$T = \left[\frac{1}{200\text{KHz}} \cdot 2048 \right] = 10,24\text{ms}$$

Um nun aber die Frequenz von 25Hz oder deren Vielfache wie z. B. die Netzfrequenz (50Hz) unterdrücken zu können, muss ein Messzyklus genau 40ms sein. Dies bedeutet, dass die verbleibende Zeit von 40ms – 10,24ms = 29,76ms. dazu verwendet werden kann, um das Eingangsspannungssignal einschwingen zu lassen. Dabei wird nach jedem Umschalten des Multiplexers eine gewisse Zeit gewartet, bis die internen Filter eingeschwungen sind und ihren Endwert erreicht haben. Sollte ein passives Eingangsfiter mit höheren Zeitkonstanten als vorher beschrieben, verwendet werden, muss auch dieses Filter eingeschwungen sein, bevor mit der Messung begonnen wird. Des Weiteren ist noch zu beachten, dass bei der Anwendung der "Chopper-Technik" während eines Messzyklus das Eingangsspannungssignal durch den Multiplexer 4 mal in seiner Polarität geändert wird. Deshalb benötigt man, wie in Fig. 8 gezeigt, insgesamt vier Einschwingzeiten. Unter der Voraussetzung, dass eine 25Hz Unterdrückung bei 2048 Messwerten stattfinden soll, ergibt sich eine Einschwingzeit des Signals für alle beteiligten Baugruppen

von $29,76\text{ms}/4 = 7,44\text{ms}$.

Wird das zu messende Nutzsignal von einer Störquelle mit 25Hz überlagert, werden bei einer Mittelwertbildung von insgesamt 2048 Messwerten, 1024 Werte mit der positiven Halbwelle und die übrigen 1024 Werte mit der negativen Halbwelle der Störfrequenz bewertet. Nach 40ms sind alle 2048 Messwerte in den Microcontroller eingelesen und deren arithmetischer Mittelwert ist gebildet. Dabei wird natürlich auch der arithmetische Mittelwert der Störsignale berechnet. Dieser ist bei symmetrischen Signalen wie z. B. beim Sinus Null. Die Störfrequenz von 25Hz wird demnach unterdrückt. Dies bedeutet, dass eine dem Nutzsignal überlagerte Störfrequenz von 25Hz (oder ein Vielfaches dieser Frequenz: 50Hz, 75Hz, 100Hz, 125Hz etc.) unter den oben genannten Bedingungen keine unerwünschten Auswirkungen auf die eigentliche Messung hat.

In der Übertragungsfunktion über der Frequenz erkennt man die Nullstellen bei 25Hz, 50Hz, 75Hz, 100Hz etc.. Diese Art von Filter mit mehreren Nullstellen (Notch) ist auch unter der Bezeichnung Kammfilter bekannt. (Funktion $\sin x/x$). Bei genauerer Betrachtung ist zu erkennen, dass Eingangsspannungssignale ab ca. 10Hz mit 20dB/dekade durch das "Averaging" bedämpft werden. Es zeigt sich, dass es bei hohen Frequenzen keine große Rolle mehr spielt, ob nun exakt über eine ganzzahlige Anzahl von Sinusperioden gemessen wird.

Offset-Unterdrückung durch die "Chopper-Funktion"

Viele Sensorsignale im mV-Bereich sind mit einem Gleichspannungs-Offset beaufschlagt, der die absolute Messung verfälscht. Neben diesem Offset-Fehler sind Offset-Drift und niederfrequentes 1/f-Rauschen Einflussfaktoren, die das Messergebnis verändern. Das schränkt die erreichbare Reproduzierbarkeit und Auflösung erheblich ein. Um diese Fehlergrößen zu reduzieren, ist eine sogenannte "Chopper-Funktion" in den Analog/Digital-Wandler integriert.

Die zu messende Spannung wird als Eingangsspannungssignal an einen Eingang und mit umgekehrter Polarität an den zweiten Eingang des Multiplexers angelegt. Nun wird das erste Viertel aller Werte der gesamten Messung z. B. über Schalterstellung 0 eingelesen. Das zweite Viertel der Messwerte gelangt über Schalterstellung 1 (mit umgekehrter Polarität) an den A/D-Wandler. Das dritte Viertel wird wieder über Kanal 0 und das letzte Viertel wieder über Kanal 1 eingelesen. Dies hat zur Folge, dass die Messspannung $X(z)$ in beiden Schalterstellungen positiv zum Ergebnis $M(z)$ aufaddiert wird.

Die Störgröße $y(z)$ umfasst alle Störspannungen, die sich während der Signalaufbereitung und A/D-Wandlung der Messspannung überlagern. Die Störspannung wird in der oberen Schalterstellung positiv, in der unteren negativ zum Ergebnis $M(z)$ addiert. Störspannungen, die während einer kompletten Messperiode konstant sind, werden dadurch ausgelöscht. DC-Störer wie Offsetfehler vom Multiplexer und des SAR-ADC werden somit unterdrückt. Nachdem die Gesamtsumme durch die Anzahl der Messwerte geteilt wurde, kann das korrekte Ergebnis bestimmt werden mit der Formel:

$$\sum (\text{MesswerteKanal1}) - \sum (\text{MesswerteKanal2}) / (\text{Anzahl der Messwerte})$$

Wird z.B. ein Messwert von +1V bestimmt, würde er bei einfacher Messung durch einen Offset verfälscht gemessen würde. Bei der "Chopper-Funktion" wird die Spannung von +1V wie üblich an den ersten Schalter (Schalterstellung 0) des Multiplexer angelegt. An den zweiten Schalter (Schalterstellung 1) wird nun die gleiche Spannung, jedoch mit umgekehrter Polarität angeschlossen. Unter der Annahme, dass die resultierende Offsetspannung aller Bauteile +1mV beträgt, werden folgende Werte eingelesen:

Kanal 1 = +1.001V , Kanal 2 = -0.999V

Diese Messwerte werden im Microcontroller nach der oben aufgeführten Formel addiert und durch die Anzahl der Messwerte wieder geteilt.

$$[+1,001V - (-0,999V)]/2 = 1V$$

Dies führt also zu einem Messergebnis, welches im Idealfall frei von jeglichen Offsetspannungen ist. Des weiteren wird auch die Offset-Drift (verursacht durch Temperatur, etc.) mit dieser "Chopper-Technik" stark unterdrückt. Es werden alle konstanten Störspannungen gemindert, die sich zwischen Analogschalter und Microcontroller der Messspannung überlagern. Aber auch das 1/f-Rauschen, speziell des Eingangsverstärkers, erfährt mit zunehmender "Chopper-Frequenz" (d.h. mehrfaches Umschalten in einem Messzyklus) eine stärkere Dämpfung.

Bei diesem Verfahren werden also die Offset-Spannungen unterdrückt, welche durch die Bauteile erzeugt werden. An dieser Stelle sei noch erwähnt, dass die "Chopper-Funktion" natürlich ohne Mittelwertbildung nicht möglich ist, da beim "Choppieren" mehrere Messwerte des identischen Signals eingelesen werden müssen. Beim "Chopper" werden für ein Eingangsspannungssignal zwei Multiplexerkanäle benötigt.

Der andere Kanal wird für schnelle Einzelmessungen mit 12 Bit Auflösung verwendet. Wird nun während einer Messzeit von 40ms (25Hz) das Eingangsspannungssignal viermal umgepolt, so ist auch die Periodendauer des "Choppers" viermal kleiner (10ms). Dies entspricht einer "Chopper-Frequenz" von 100Hz.

Fig. 2 zeigt die Chopper-Topologie des Analog /Digital Wandlers im Detail mit Gleichtaktfilter.

Das Herzstück auf der Digitalseite bildet ein hoch performanter Microcontroller 10 (MCU). Dieser wird über ein internes E²-PROM konfiguriert. Der MCU steuert zum einen den Chopper Timing Sequencer und verarbeitet den Datenstrom aus der Vielzahl der Samples und errechnet den Mittelwert. Mit der Nutzung der unteren Schalterstellung von S5 und S6 und der gegenpoligen Umschaltung der Eingangsschalter S1, S2 bzw. S3, S4 wird die schnelle Einzelmessung aktiviert mit maximaler Abtastrate des SAR-Wandlers. Somit kann der Anwender gemäß den Anforderungen, sehr schnell mit 12 Bit Genauigkeit die erste Messung starten und verarbeiten und nach 20ms ein 16 Bit bis 20Bit Mittelwtergebnis am MCU abholen.

Signalfflussbeschreibung des Gesamtsystems

Das analoge Eingangsspannungssignal wird zuerst über den differentiellen Eingang 25 in Fig. 2 und der Schalterstellung 3 des Multiplexers 14 zum Microcontroller geführt. In der Praxis werden die Anschlüsse 16, 17 und 25 in Fig.2 verbunden und damit in der Schalterstellung 3 des Multiplexers 14 in Fig.2 das Eingangfilter 15 überbrückt. Fig. 15 zeigt die An-

schluss-Konfiguration. Diese erste schnelle Messung und Analog/Digital-Wandlung des Signals arbeitet nach dem SAR-Wandlungsprinzip. Für die Echtzeitfähigkeit in digitalen Regelkreisen ist dies die schnelle und direkte Durchleitung dieses Signals zum Prozessor. Dieses Wandlungsergebnis entspricht der Messung 1 in Fig.13. Damit ist eine schnelle Einzelmessung in Echtzeit mit maximaler Abtastrate des SAR-Wandlers möglich.

Die zweite und alle folgenden Messung wird über die Anschlüsse 16 und 17 und über das Eingangsfilter 15 in Fig. 2 und der Schalterstellung 1 und 2 des Multiplexers 14 in Fig.2 geführt, der als Chopper-Stufe arbeitet. Somit kann der Anwender gemäß den Anforderungen, sehr schnell mit 12 Bit Genauigkeit die erste Messung starten und verarbeiten und nach beispielsweise 20ms (Zeit für die Mittelwertbildung) ein 16 Bit bis 20Bit Mittelwertergebnis am Microcontroller abholen. Damit wird die Kombination aus schneller Wechselspannungsmesstechnik (AC-Messung) und genauer Gleichspannungsmesstechnik (DC-Messung) ermöglicht.

Das zu messende Signal wird gemäß Fig. 2,4 über die Anschlüsse 16 und 17 geführt. Bei der Differenzmessung werden diese Anschlüsse für jede Signalquelle als Signalleitung 16 und Signalbezugsleitung 17 ausgebildet und über den Differenz-Multiplexerkanal 18 geführt. Die Gleichtaktspannung an den Differenzeingängen des ADC's bezieht sich auf die Masseleitung. Die Widerstände R1, R2, R3, R4 bilden zusammen mit den Kondensatoren C2, C3, C4 das Eingangsfilter 15. Das Eingangsspannungssignal gelangt über den passiven Tiefpass an einen der differenziellen Eingänge des internen Multiplexers 14.

Über die Chopperschalter S5 und S6 wird das zu messende Signal in Schalterstellung 1 wie oben beschrieben abgetastet und gewandelt. In Schalterstellung 2 wird das zu messende Signal verpolt (Anschlüsse werden getauscht) gemessen. Die Steuerung der Chopperschalter übernimmt der Microcontroller 10, der über das Steuerwerk 24 die Chopperstufe 19 steuert. In Schalterstellung 3 ist es möglich, ohne Verwendung des Eingangsfilters 15 und ohne Verwendung der Chopperfunktion die Signale mit maximaler Geschwindigkeit (maximale Sample Rate) zu wandeln. Dies ist der Fast Sampling Mode zur Erfassung von dynamischen Signalen.

Die zu messenden Signale gelangen über die Serienwiderstände R des Multiplexers an die beiden Hold-Kondensatoren 21. Jetzt findet die Differenzbildung statt. Die Ladung von C_{HOLD+} wird von C_{HOLD-} subtrahiert. Diese Differenz-Ladung entspricht einer proportionalen Spannung, die im SAR-Wandler verarbeitet wird.

Kennzeichnend für die Funktion ist die Annäherung eines Vergleichswertes an den analogen Wert des zu messenden Signals. Ein genaues und schnelles Umsetzen wird erreicht, indem die Umsetzung redundant erfolgt, also pro Schritt nur ein Teil eines Bits umgesetzt wird. Der

Analog/Digital Wandler ADC grenzt das eingehende Signal mittels Intervallschachtelung ein. Dazu besitzt er ein Datenregister (SAR) 11, in dem zum Schluss der ermittelte digitale Wert steht, den Digital-Analog-Umsetzer 12, der eine dem momentanen Digitalwert des Datenregisters entsprechende analoge Referenzspannung erzeugt, einen Komparator 13, der die erzeugte Referenzspannung 23 mit dem Eingangsspannungssignal vergleicht, und das Steuerwerk 24. Für jedes Bit an Genauigkeit benötigt ein einfacher ADU jeweils einen Taktzyklus Umsetzungszeit.

Das Steuerwerk 24 schiebt die Daten zum Microcontroller 10, der folgende Aufgaben hat:

10

- Bedarfsweise Addition eines digitalen Dither-Signales gemäß Fig. 10 zur Erhöhung der Auflösung bei kleinen Signalen, der Dither ist über einen Schalter zuschaltbar.
- Zeitlich synchrone Steuerung der Chopperstufe 19 unter Berücksichtigung der Einschwingzeit der Eingangsfiler und RC-Zeitkonstanten des Systems gemäß Fig.8.
- 15 • Addition der digitalen Werte (hier am Beispiel 1024 Messwerte) innerhalb einer halben Periode (negative Halbwelle) der Störspannung.
- Addition der digitalen Werte (hier am Beispiel 1024 Messwerte) innerhalb einer halben Perioden (positive Halbwelle) der Störspannung.
- Errechnung eines digitalen Wortes als hochauflösendes Messergebnisses durch Differenzbildung aus beiden Halbwellen.
- 20 • Umschaltung der Chopperstufe 19 in den Fast Sampling Mode.
- Ausgabe des Messergebnisses mit einer Auflösung von 20Bit und mehr.

Typische Kenndaten und Spezifikationen des im Ausführungsbeispiel dargestellten Systems sind:

25

- Eingangsspannungsbereich $\pm V_{REF} / 2$
- Verwendung einer internen oder externen Referenzspannung
- Auflösung 12, 16, 18, 20-Bit
- 30 • Integrale Linearität von 12 Bit oder mehr
- 4 differenzielle Eingangskanäle
- Hohe Gleichtaktunterdrückung durch differenzielle Eingänge
- Symmetrisches Tiefpassfilter von 256Hz
- Digitale Filterung durch Mittelwertbildung aus 64, 128, 256, 512, 1024, 2048 Werten (mit gleichzeitiger Unterdrückung der Netzfrequenz von 50Hz/60Hz und deren Vielfache)
- 35 • Hohe Abtastfrequenz ($\geq 200\text{kHz}$) im Single Shot Mode(Einzelmessung), Echtzeitfähigkeit z.B. in Regelkreisen
- Geringe Latenzzeit bei Einzelmessung

- Chopper-Technik zur Unterdrückung des Signal-Offset im Rahmen des Gleichtaktbereichs des A/D-Wandlers
 - Zeitsynchrone Ablaufsteuerung der Chopper-Eingangsstufe
 - Reproduzierbare hochauflösende Messungen
- 5 • Hervorragendes Preis/Leistungsverhältnis der Topologie

Die Erfindung auf Basis eines SAR-Analog/Digital-Wandler hat folgende Eigenschaften:

- Mehrere Eingangsspannungssignale können über Multiplexer gemessen werden
- 10 • Erfasst in Echtzeit einen "Schnappschuss" des zumessenden Signals
- Kann mit externen Taktsignalen synchronisiert werden
 - Einschwingzeit wird durch die Größe des MSB-Kondensators (Sample&Hold Stufe) bestimmt
 - Schnelle Sprungantwort ideal für schnelle digital geregelte Systeme ohne Totzeit

15

Die Fig. 11 bis 14 verdeutlichen den Unterschied zwischen einer Lösung mit einem Delta Sigma Wandler nach dem Stand und der erfindungsgemäßen Lösung mit einer SAR-Topologie. In Fig. 11 wird das Delta-Sigma Prinzip im Vergleich zum SAR-Prinzip dargestellt. In Fig. 11 oben ist die Arbeitsweise eines SAR Wandlers, in Fig. 11 unten die Arbeitsweise eines Delta-Sigma Wandlers dargestellt. Deutlich ist zu erkennen, dass die SAR Analog/Digital Wandlung mit einem definierten Start und einem davon abhängigen Wandlungssignal arbeitet. Die Delta-Sigma Analog /Digital Wandlung arbeitet kontinuierlich im Sampling/Wandlungs-Modus, jedoch wird ein längerer Zeitraum für die Wandlung benötigt.

20

- 25 Dies wird auch deutlich, wenn in Fig.12 das Einschwingzeitverhalten der SAR-Topologie im Vergleich zur Delta-Sigma-Topologie ohne Berücksichtigung eines digitalen Filters betrachtet wird. Liegt das Eingangsspannungssignal zum Zeitpunkt t_1 am Wandler an, so wandelt in Fig. 12 oben der SAR-Wandler dieses Signal kurzzeitig in ein digitales Signal um. Bereits nach der ersten Wandlung 26 ist das digitale Signal mit hoher Genauigkeit gültig, da der SAR-Wandler zu jedem beliebigen Zeitpunkt eines definierten Ereignisses das Signal erfassen und in ein digitales Signal umwandeln kann. Vergleicht man dies mit dem Delta-Sigma Wandler in Fig. 12 unten, so erfolgen, wenn das Eingangssignal zum Zeitpunkt t_1 anliegt, mehrere ungültige Wandlungen 27, bei denen das digitale Ausgangssignal nicht dem Eingangsspannungssignal entspricht, bevor ein erstes eingeschwungenes Wandlungsergebnis 28 vorliegt. Der Delta-Sigma Wandler benötigt mehrere Wandlungszyklen als Einschwingzeit.
- 30
- 35

Wird gemäß Fig. 13 im Zeitverhalten eine identischen Wandlungsrate mit der Verarbeitung von zehn Wandlungsergebnissen im digitalen Filter berücksichtigt, ergibt sich im Vergleich zwischen den beiden Wandlern eine Latenzzeit L_t . Wird zudem erfindungsgemäß die schnell-

le chopper-basierende SAR-Topologie bei den zehn Wandlungsergebnissen im digitalen Filter berücksichtigt, wird diese Latenzzeit LT deutlich größer, d.h. der Delta-Sigma Wandler ist deutlich langsamer als die erfindungsgemäße Lösung.

- 5 Eine Anwendungsbereich ist die Entwicklung eines neuen echtzeitfähigen elektronischen Bremsassistenten für Kraftfahrzeuge basierend auf einem vollständig digital geregelten System. Mit dem Einzug von digitalen Echtzeit-Bussystemen in Fahrzeugen zur Steuerung und Regelung der Komponenten ist das Zeit- und Frequenzverhalten eines Analog/Digital-
- 10 geschlossenen und speziell in überlagerten Regelkreisen. Bei einer Bremsregelung z.B. werden zeitgleich alle vier Bremsen digital geregelt. Weitere überlagerte Regelkreise zur Stabilisierung des Fahrzeugs während des Bremsvorgangs sind ebenfalls vorhanden.

Der Bremsassistent hat die Aufgabe auf leichtem Pedaldruck oder bei Gaswechsel schnell zu

15 reagieren und die Bremskolben leicht an die Bremsscheibe anzulegen. Hierzu ist eine extrem schnelle Sprungantwort des Regelsystems notwendig mit einer mittleren bis guten Genauigkeit (erste schnelle Messung ohne Verzögerung und ohne Totzeit). Kommt es dann zum eigentlichen Bremsvorgang wird die Bremsung mit einer äußerst sensiblen Abstimmung und feiner Dosierung mit hoher Genauigkeit durchgeführt (hohe Auflösung, hohe Genauigkeit,

20 geringer Offset). Ein Delta-Sigma A/D-Wandler basierendes System kann diese Aufgabe nicht erfüllen. Die gleichen Problemstellungen sind generell bei Positionieraufgaben der digital geregelten Robotik (Mehrachsenantriebe) oder in Motorsteuerungen vorhanden, z.B. Schweißroboter.

- 25 Es versteht sich von selbst, dass diese Beschreibung verschiedensten Modifikationen, Änderungen und Anpassungen unterworfen werden kann, die sich im Bereich von Äquivalenten zu den anhängenden Ansprüchen bewegen.

Bezugszeichenliste

10	Microcontroller
11	SAR-Topologie
12	Digital/Analog-Wandler
13	Vergleicher
14	Multiplexer
15	differenzielles Eingangsfiler
16	Signalleitung
17	Signalbezugsleitung<
18	Multiplexerkanal
19	Chopper-Stufe
20	Masse
21	Hold-Kondensatoren
22	Verzögerungsglied
23	Referenzspannung
24	Additionsstufe für Dithersignal
25	differenzieller Eingang
26	Wandlung
27	ungültige Wandlung
28	eingeschwungenes Wandlungsergebnis
C2,C3,C4	Kondensatoren
Lt	Latenzzeit
S5,S6	Chopperschalter
R1,R2,R3,R4	Widerstände

Patentansprüche

1. Analog/Digitalwandler, insbesondere zur Messwertbestimmung, mit
 - einem Microcontroller (10),
 - einer SAR-Topologie (11) zur Erzeugung eines momentanen digitalen Werts in Folge eines Eingangsspannungssignals mittels Intervallschachtelung,
 - einem Digital/Analogwandler (12), der eine dem momentanen digitalen Wert entsprechende Referenzspannung erzeugt,
 - einem Vergleicher (13) zum Vergleich der Referenzspannung mit dem Eingangsspannungssignal des Analog/Digitalwandlers,
 - einem Multiplexer (14) für den Multiplex-Betrieb mehrerer Signalquellen, dadurch gekennzeichnet, dass ein differenzieller Eingangsfiler (15) vorgesehen ist, wobei das Eingangsspannungssignal als differenzielles Eingangssignal für jede Signalquelle mittels einer Signalleitung (16) und einer Signalbezugsleitung (17) über einen Differenz-Multiplexerkanal (18) geführt ist, dass ein digitaler Mittelwertbildner zur Mittelwertbildung des überabgetasteten Eingangsspannungssignals vorgesehen ist und dass eine Chopper-Stufe (19) vorgesehen ist, wobei das Eingangsspannungssignal an einem ersten Eingang des Multiplexers und invertiert an einem zweiten Eingang des Multiplexers (14) zur Verringerung oder Eliminierung von Gleichspannungsoffsetanteilen des Eingangsspannungssignals durch die Chopper-Stufe (19) angelegt ist.
2. Analog/Digitalwandler nach Anspruch 1, dadurch gekennzeichnet, dass ein weiterer differenzieller Eingang (25) vorgesehen ist, über den das Eingangsspannungssignal für wenigstens eine erste Wandlung (26) das Eingangsfiler (15) überbrückt.
3. Analog/Digitalwandler nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass eine Additionsstufe (24) zur Addition eines Dither-Signals zum digitalen Wert vorgesehen ist.
4. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sich die Differenzeingänge des differenziellen Eingangsfilters (15) auf Masse (20) beziehen.
5. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass wenigstens ein hochohmiger Widerstand (R3, R4) von wenigstens einem der beiden Eingänge des differenziellen Eingangsfilters (15) zur Masse (20) vorgesehen ist, wobei die Größe des wenigstens einen Widerstands so gewählt ist, dass die Differenzspannung kleiner als die gewünschte Messgenauigkeit des Systems ist.

6. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass dem differentiellen Eingangsfiler (15) ein symmetrischer HF-Filter zugeordnet ist, der wenigstens zwei Kondensatoren (C3, C4) vorzugsweise gegen Masse (20) umfasst.
7. Analog/Digitalwandler nach Anspruch 6, dadurch gekennzeichnet, dass wenigstens ein Kondensator (C2) vorgesehen ist, der parallel zu einer Differenzquelle für das differentielle Eingangssignal angeordnet ist und dessen Wert viel größer ist als der Wert der Kondensatoren (C3, C4) des symmetrischen HF-Filters.
8. Analog/Digitalwandler nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass wenigstens ein Kondensator (C2) vorgesehen ist, der parallel zu einer Differenzquelle für das differentielle Eingangssignal angeordnet ist und der bei einer gewünschten Genauigkeit von X Bit um den Faktor 2^x größer ist als in Reihe geschaltete Multiplexerkapazitäten C_{MUX} (21).
9. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Verzögerungsglied zur Zeitverzögerung zwischen dem Umschaltzeitpunkt des Multiplexers und dem Abtastzeitpunkt des Analog/Digitalwandlers vorgesehen ist.
10. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Kammfilter zur Einstellung oder Regelung der Chopper-Abtastfrequenz vorgesehen ist, der zur gezielten Unterdrückung von Störfrequenzen die Einschwingzeit des Multiplexers steuert oder regelt.
11. Analog/Digitalwandler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass er für einen echtzeitfähigen elektronischen Bremsassistenten für Kraftfahrzeuge basierend auf einem digital geregelten System bestimmt ist.
12. Verfahren zur Bestimmung von Werten, insbesondere von Messwerten, mit einem Analog/Digitalwandler mit einem Microcontroller (10), einem Multiplexer (14) und einer SAR-Topologie (11), die einen momentanen digitalen Wert auf Grund eines Eingangsspannungssignals mittels Intervallschachtelung erzeugt, sowie mit einem Digital/Analog-Wandler (12), der eine dem momentanen digitalen Wert entsprechende Referenzspannung erzeugt, die in einem Vergleichler (13) mit einem Eingangsspannungssignal des Analog/Digitalwandlers verglichen wird, dadurch gekennzeichnet, dass für ein differentielles Eingangsfiler (15) das Eingangsspannungssignal als ein differentielles Eingangssignal für jede Signalquelle mittels ei-

ner Signalleitung (16) und einer Signalbezugsleitung (17) über einen Differenz-Multiplexerkanal (18) geführt wird,
dass das Eingangsspannungssignal überabgetastet und dass daraus ein digitaler Mittelwert des Eingangsspannungssignals gebildet wird, und
dass das Eingangsspannungssignal an einem ersten Eingang des Multiplexers und invertiert an einem zweiten Eingang des Multiplexers (14) zur Verringerung oder Eliminierung von Gleichspannungsoffsetanteilen des Eingangsspannungssignals durch eine Chopper-Stufe (19) angelegt wird.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass das Eingangsfilter (15) für das Eingangsspannungssignal mittels eines weiteren differenziellen Eingangs (25) für wenigstens eine erste Wandlung (26) überbrückt wird.
14. Verfahren nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass ein Dither-Signal dem digitalen Wert hinzuaddiert wird.
15. Verfahren nach einem der vorhergehenden Ansprüche 12 bis 14, dadurch gekennzeichnet, dass sich die Differenzeingänge des differenziellen Eingangsfilters (15) auf Masse (20) beziehen.
16. Verfahren nach einem der vorhergehenden Ansprüche 12 bis 15, dadurch gekennzeichnet, dass wenigstens ein hochohmiger Widerstand (R_3 , R_4) von wenigstens einem der beiden Eingänge des differenzialen Eingangsfilters (15) zur Masse (20) angeordnet ist, wobei die Größe des wenigstens einen Widerstands so gewählt wird, dass die Differenzspannung kleiner als die gewünschte Messgenauigkeit des Systems ist.
17. Verfahren nach einem der vorhergehenden Ansprüche 12 bis 16, dadurch gekennzeichnet, dass die Zeit zwischen dem Umschaltzeitpunkt des Multiplexers und dem Abtastzeitpunkt des Analog/Digitalwandlers durch ein Verzögerungsglied verzögert wird.
18. Verfahren nach einem der vorhergehenden Ansprüche 12 bis 17, dadurch gekennzeichnet, dass ein Kammfilter zu Beeinflussung der Chopper-Abtastfrequenz die Einschwingzeit des Multiplexers steuert oder regelt.
19. Verfahren nach einem der vorhergehenden Ansprüche 12 bis 18, dadurch gekennzeichnet, dass es an einem echtzeitfähigen elektronischen Bremsassistenten für Kraftfahrzeuge basierend auf einem digital geregelten System verwendet wird.

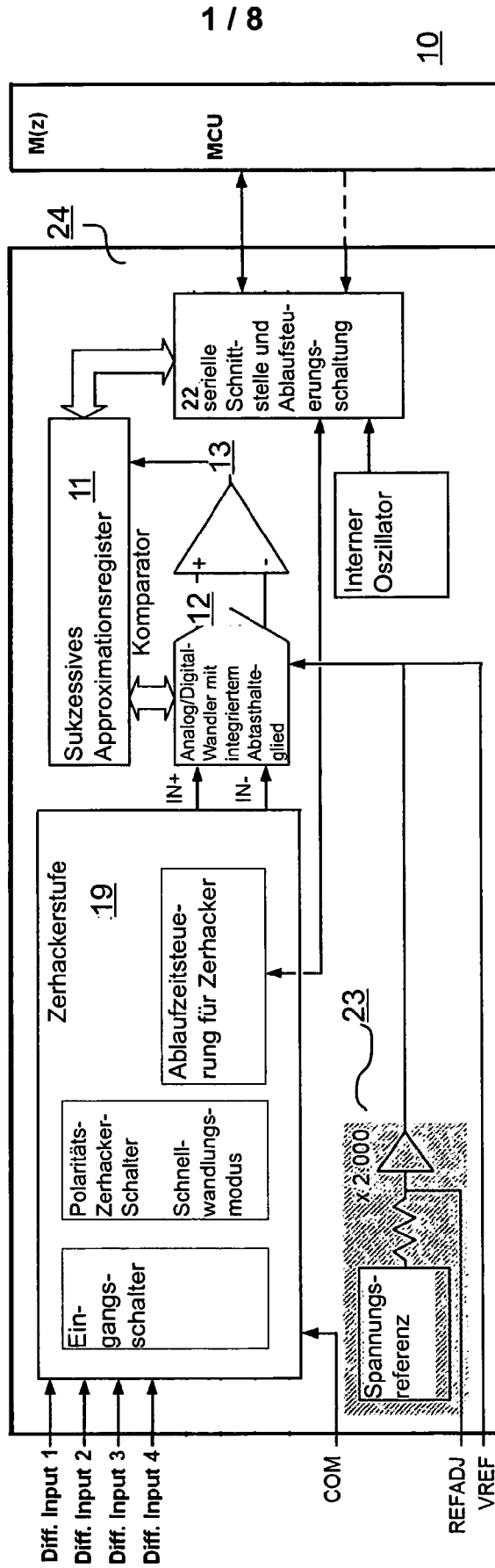
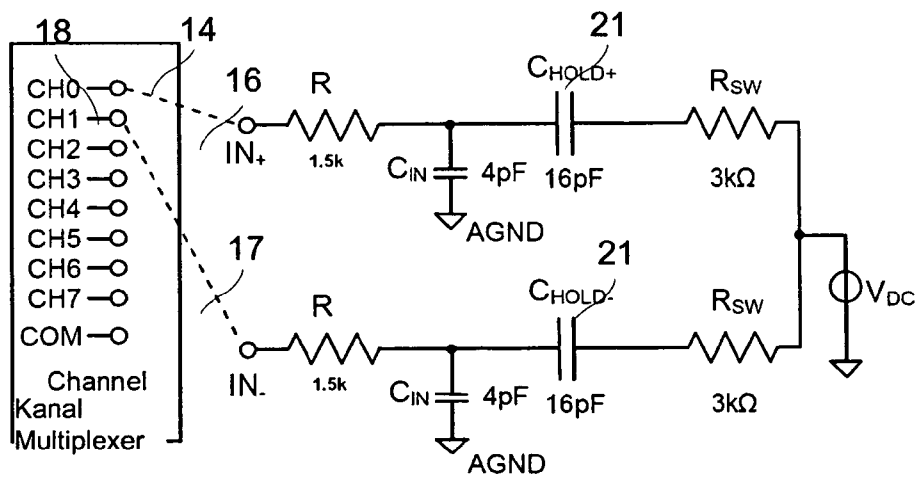
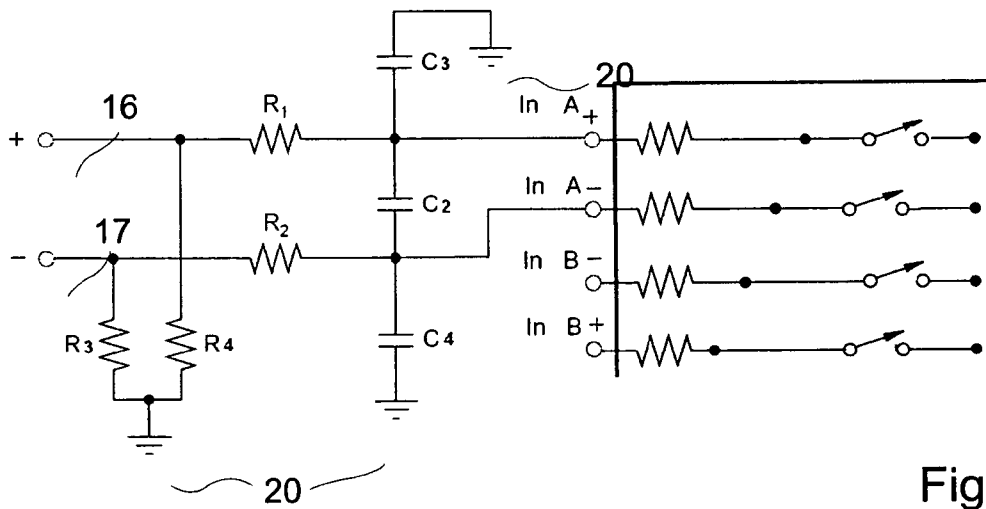
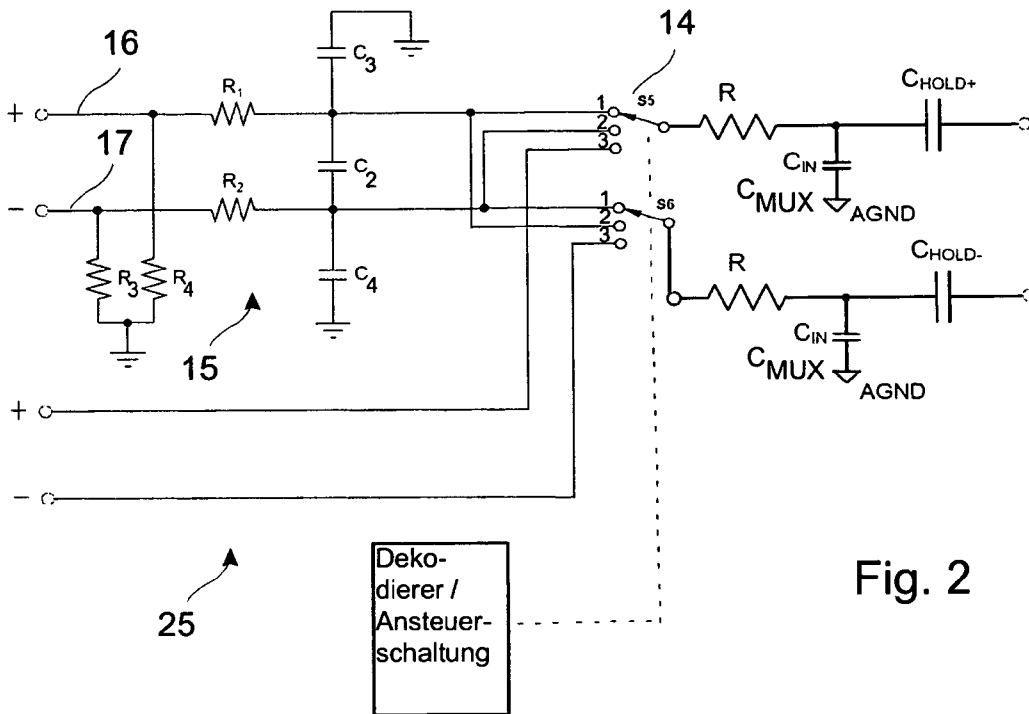


Fig.1



3 / 8

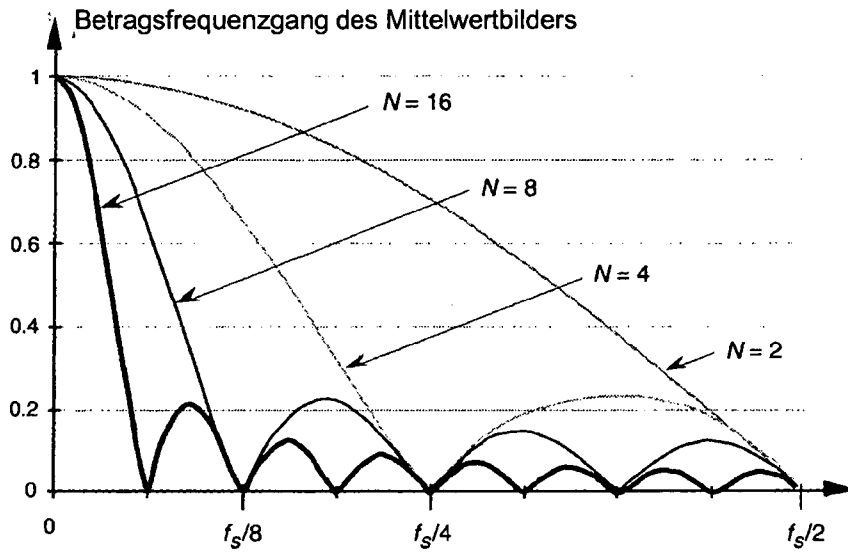


Fig. 5

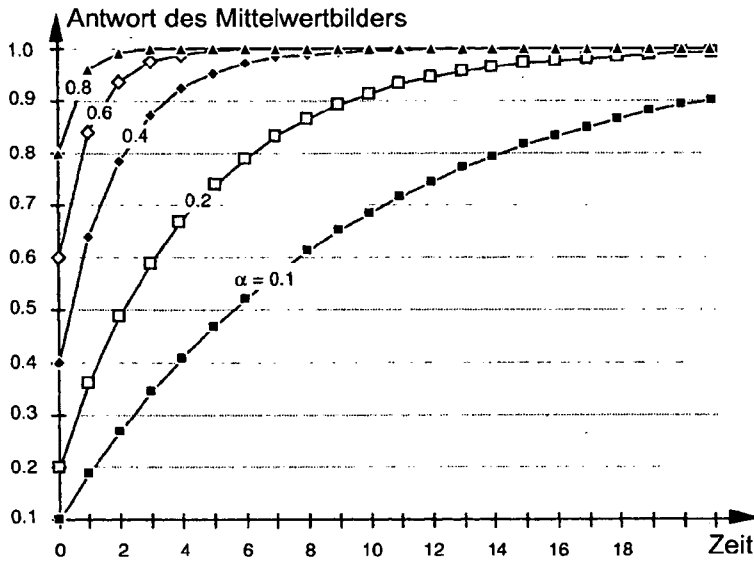


Fig. 6

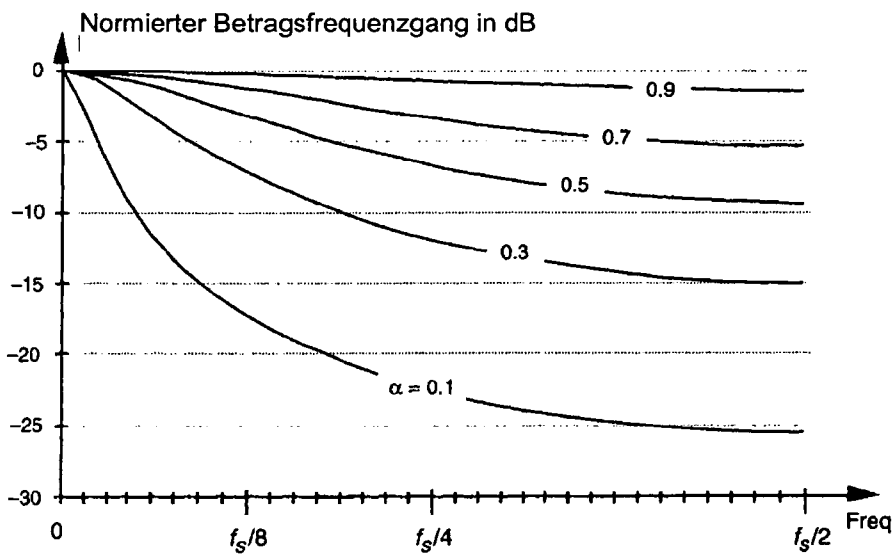


Fig. 7

4 / 8

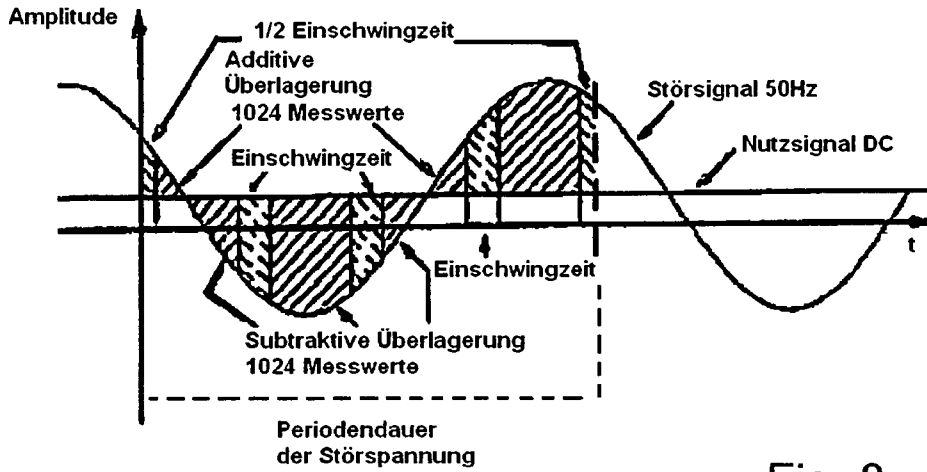
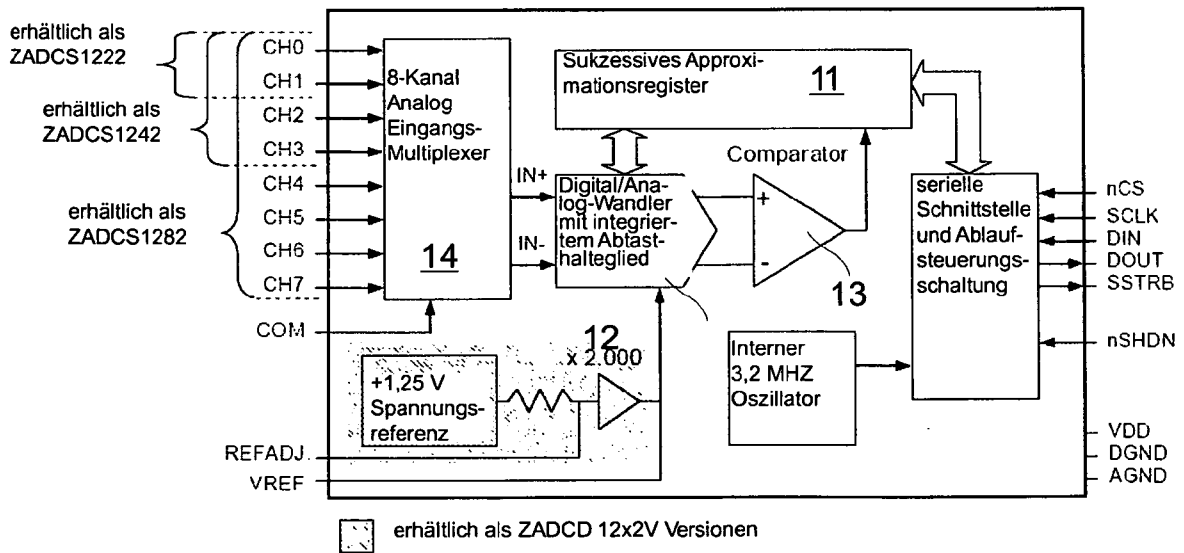


Fig. 8



(Stand der Technik)

Fig. 9

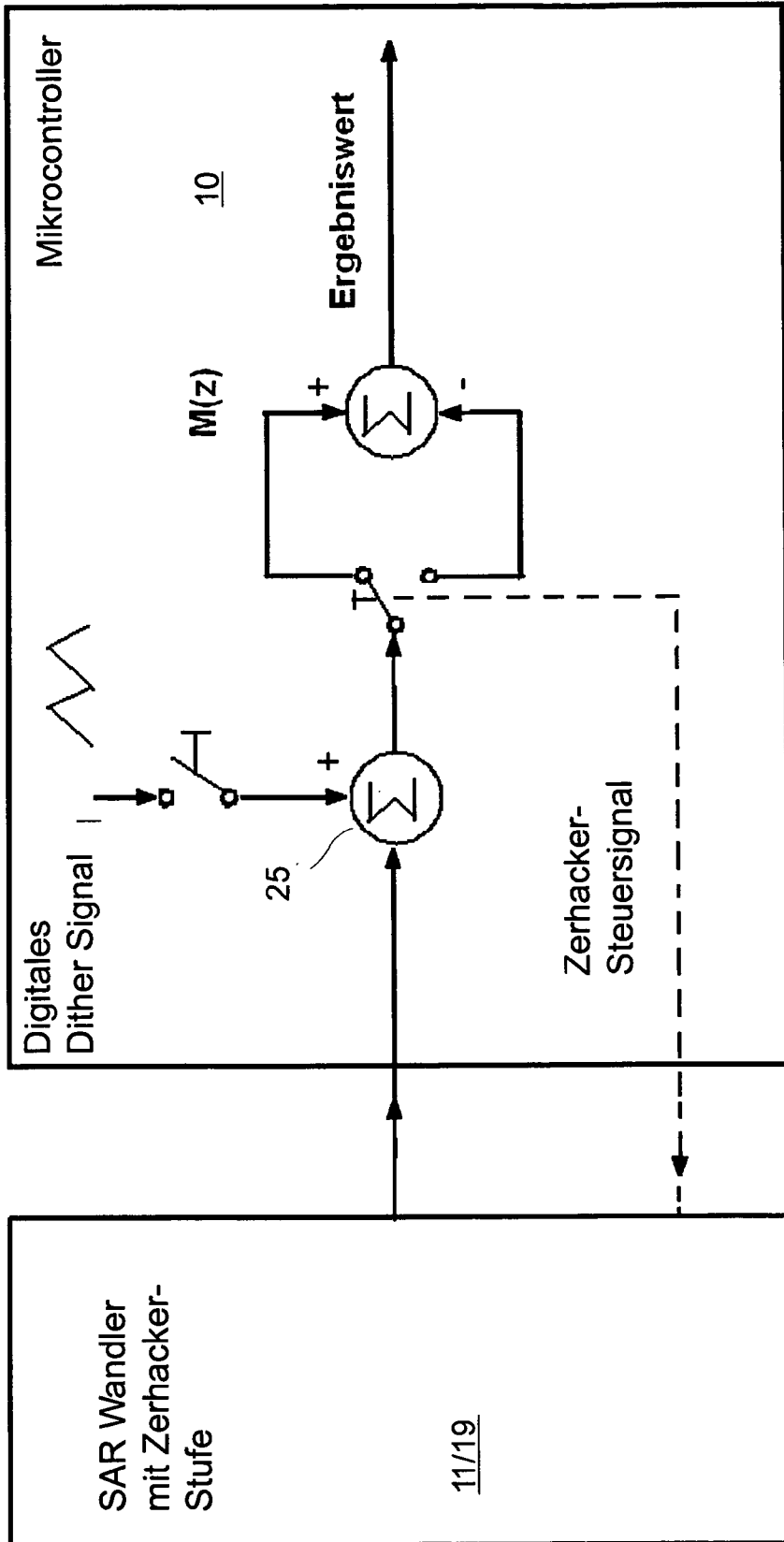
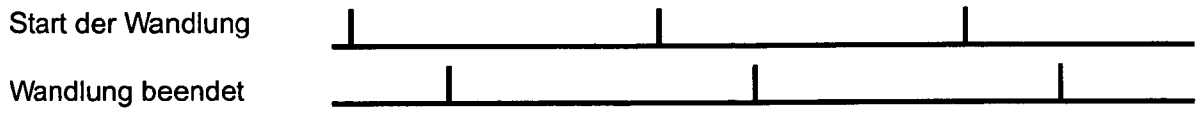


Fig. 10

SAR Analog/Digital-Wandler



Delta-Sigma Wandler

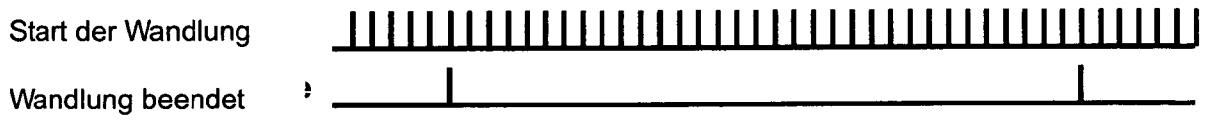
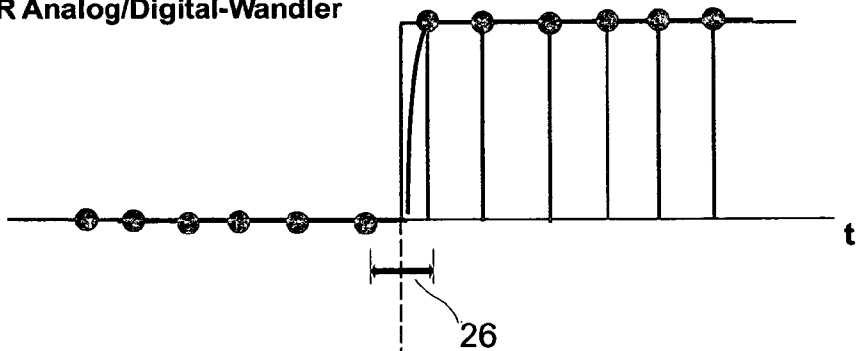


Fig. 11

SAR Analog/Digital-Wandler



Delta-Sigma Wandler

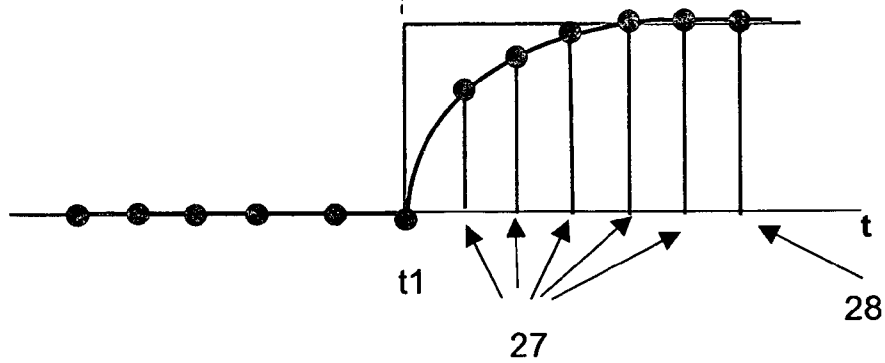


Fig. 12

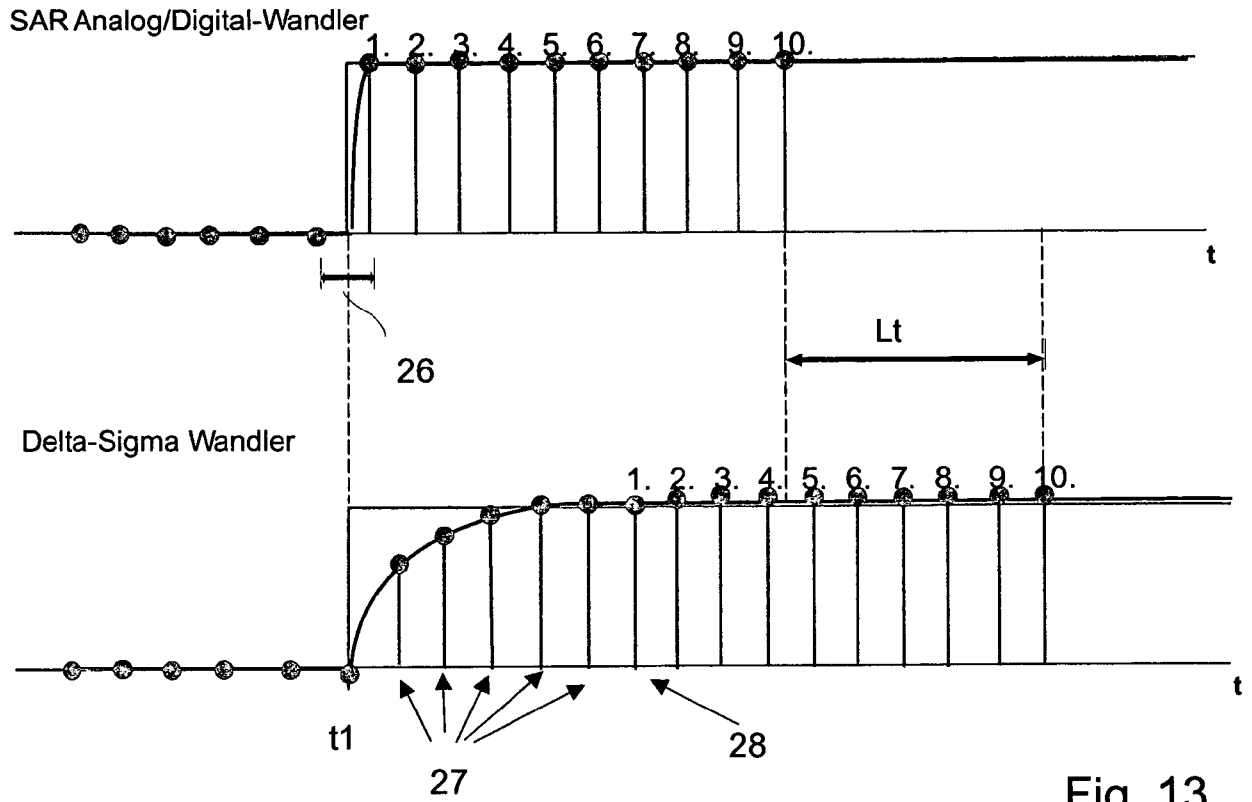


Fig. 13

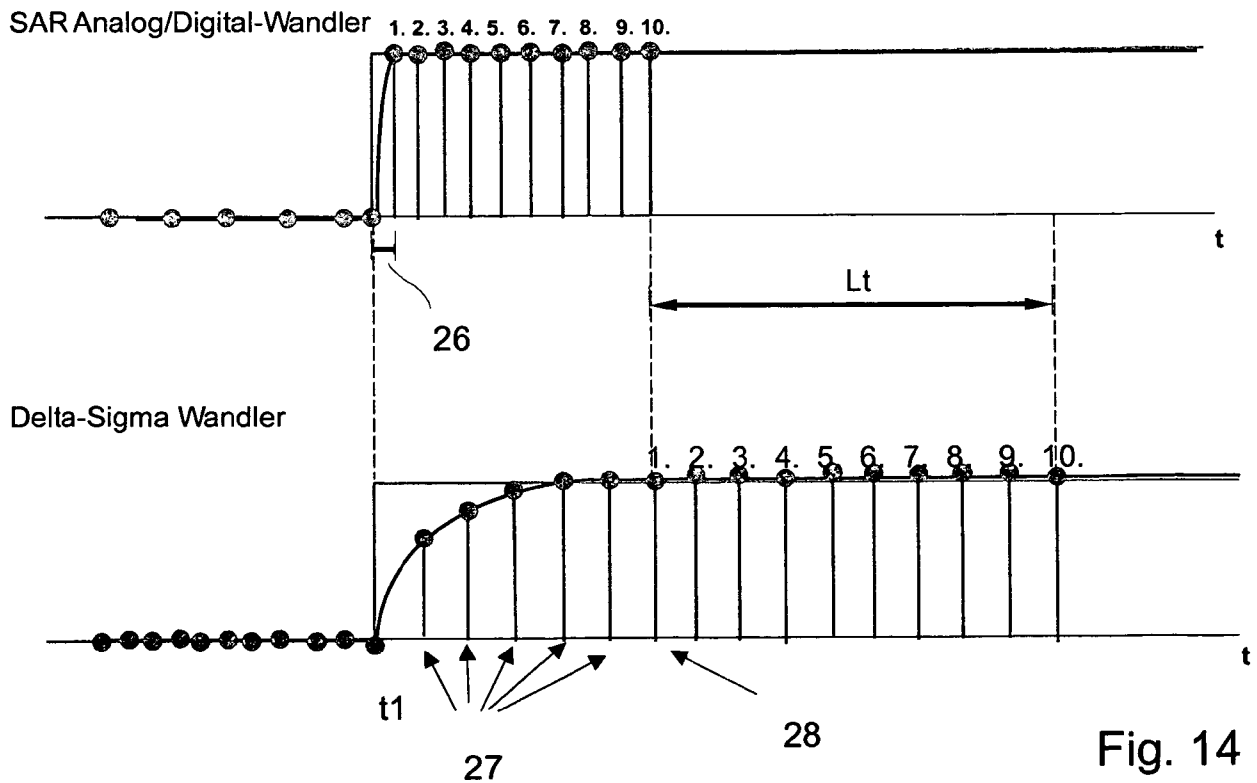


Fig. 14

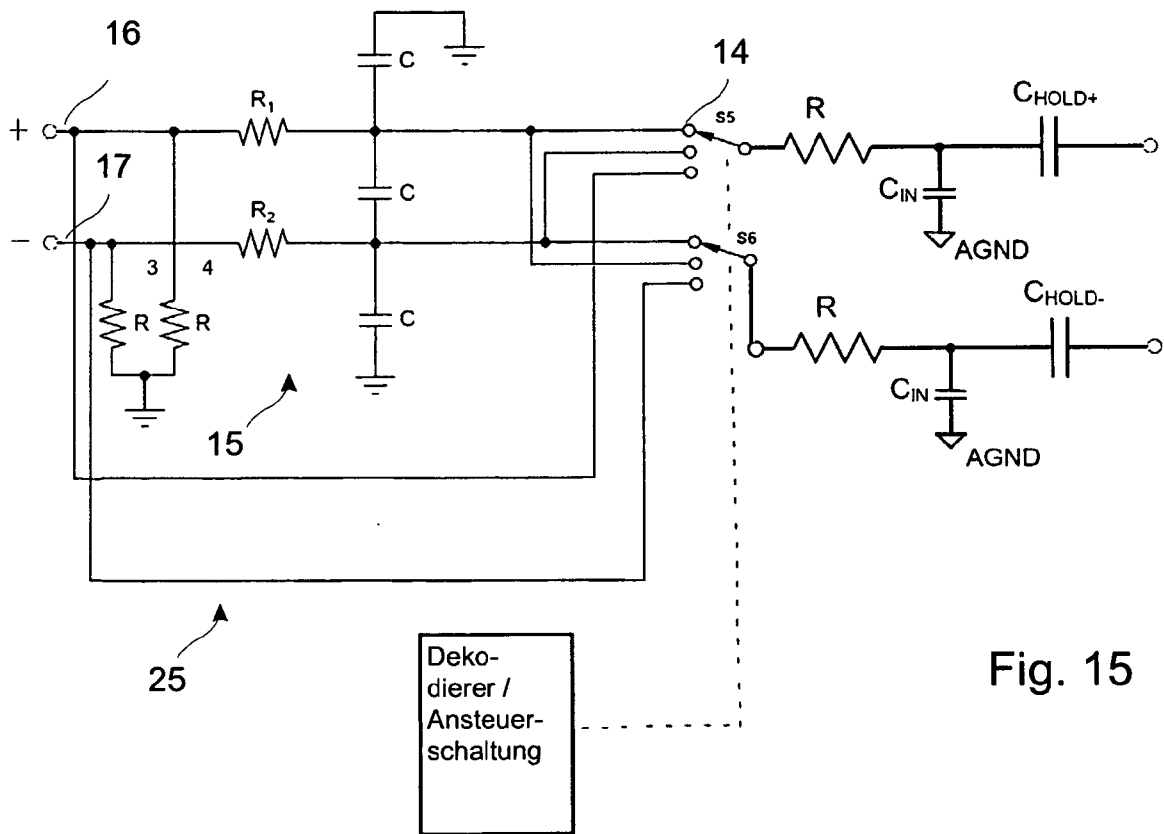


Fig. 15