

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年3月4日 (2010.3.4)

【公表番号】特表2009-543269(P2009-543269A)

【公表日】平成21年12月3日 (2009.12.3)

【年通号数】公開・登録公報2009-048

【出願番号】特願2009-518644(P2009-518644)

【国際特許分類】

G 1 1 C 11/4091 (2006.01)

G 1 1 C 11/405 (2006.01)

【F I】

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 3 5 2 B

【手続補正書】

【提出日】平成22年1月15日 (2010.1.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】変更

【補正の内容】

【0 0 2 3】

同様に、E G R E S S パターンがパケットを O U T P U T すると分かっている場合、プリチャージする必要のある 1 つの（または複数の）バンクのみを、データを読み込む前にプリチャージすることができる。さらに、動作電力のうちのほぼ 5 0 % は、メモリバンクの動作によって消費され、残りの電力は、バンクを動作させる周辺部において消費される。したがって、メモリバンクの動作電力を低減することで、メモリによって消費される全体的な電力を大幅に低減することができる。サブアレイのみのプリチャージは、電力の消費をより少なくし、従来技術によって達成されたものよりもはるかに高速である。

（項目 1）

デジタルメモリを動作する方法であって、
複数のメモリセルと、上記メモリセルに関連付けられた複数のビットラインとを含むデ
ジタルメモリデバイスによって、上記複数のメモリセルのサブセット上 で動作を実行す
るために、コマンドを受信することであって、上記サブセットは、上記複数のメモリセル
よりも少ないメモリセルで構成されることと、

上記受信コマンドに応答して、上記複数のメモリセルの上記サブセット上で動作を実行
することであって、上記動作は、上記動作のフロントエンドで、上記メモリセルのサブセ
ットに関連付けられたビットラインのサブセットのみをプリチャージすることを含む、こ
とと

を含む、方法。

（項目 2）

上記デジタルメモリデバイスによって識別子を受信することと、上記識別子の少なくとも
一部を使用して、上記複数のビットラインの上記サブセットを識別することとをさらに
含む、項目 1 に記載の方法。

（項目 3）

上記コマンドは、アクセス動作コマンドであり、上記複数のメモリセルの上記サブセ
ットは、上記識別子によって識別される、項目 2 に記載の方法。

（項目 4）

上記複数のメモリセルのそれぞれは、行ライン端子を含むゲーティングトランジスタと

、プリチャージ選択端子を含むプリチャージ選択トランジスタとを含み、上記アクセス動作を実行することは、行デコーダによって、上記行ライン端子のそれぞれに連結された行ラインへのアクセス電圧レベルを調整することと、プリチャージ選択回路によって、上記プリチャージ選択端子に連結された1つ以上のプリチャージ選択ライン上でプリチャージ選択電圧レベルを調整することとをさらに含む、項目3に記載の方法。

(項目5)

上記複数のメモリセルの別のサブセット上で別のアクセス動作を実行するために、上記デジタルメモリデバイスによって、別のコマンドを受信することと、上記複数のメモリセルの別のサブセット上で上記別のアクセス動作を実行することとをさらに含む、

上記複数のメモリセルの上記別のサブセットは、上記複数のメモリセルの上記サブセット以外にあり、かつまた上記行ラインに連結された少なくとも1つのメモリセルを含み、上記別のアクセス動作は、上記アクセス動作のアクセスサイクル内で実行される、項目4に記載の方法。

(項目6)

実質的に上記アクセス動作の実行中に、上記メモリセルの別のサブセットに対応する、上記ビットラインの別のサブセットを選択的にプリチャージすることをさらに含む、項目5に記載の方法。

(項目7)

上記アクセス動作を実行することと上記選択的なプリチャージを実行することとは、ほぼ同時に生じる、項目3に記載の方法。

(項目8)

上記アクセス動作は、READ動作である、項目3に記載の方法。

(項目9)

上記アクセス動作は、WRITE動作である、項目3に記載の方法。

(項目10)

上記識別子は、行アドレスと列アドレスとを含み、上記列アドレスは、上記複数のビットラインのサブセットを識別するために使用される、項目2に記載の方法。

(項目11)

上記受信することは、上記行アドレスの前に、上記列アドレスを受信することを含む、項目2に記載の方法。

(項目12)

選択的にプリチャージされるべき上記複数のビットラインの上記サブセットに対応する、センスアンプのサブセットのみを選択的にイネーブルすることをさらに含む、項目1に記載の方法。

(項目13)

装置であって、

複数の列および複数の行を含むグリッド内に配置された複数のメモリセルであって、上記複数のメモリセルのそれぞれが、上記グリッドの正確に1つの行および正確に1つの列の一部を形成し、列内の各メモリセルが、複数のビットラインのうちの対応するビットラインによって互いに接続され、行内の各メモリセルが、複数の行ラインのうちの対応する行ラインによって互いに接続される、複数のメモリセルと、

上記複数のビットラインに動作可能に連結され、上記複数のメモリセルのうちの一組上でアクセス動作を実行するための受信されたコマンドに応答して、一組のビットラインのアクセス動作のフロントエンドへの選択的なプリチャージを容易にするように適合されたプリチャージ選択回路であって、上記一組のビットラインは、上記複数のメモリセルのうちの一組に対応する、プリチャージ選択回路と

を備える、装置。

(項目14)

上記プリチャージ選択回路は、上記一組のビットラインに動作可能に連結された、複数のプリチャージ選択トランジスタを含み、

上記プリチャージ選択回路は、上記一組のビットラインに関連付けられた上記複数のプリチャージ選択トランジスタのうちの1つを起動させることによって、上記一組のビットラインの選択的なプリチャージを容易にするように構成される、項目13に記載の装置。

(項目15)

上記複数のメモリセルのそれぞれは、対応するプリチャージ選択トランジスタを備え、
上記プリチャージ選択回路は、上記対応するプリチャージ選択トランジスタの対応する端子上のプリチャージ選択電圧を調整して、上記一組のビットラインのうちの対応するビットラインの上記プリチャージを容易にするように適合される、項目13に記載の装置。

(項目16)

上記複数のメモリセルのそれぞれは、格納電圧レベルを格納するように適合された格納要素をさらに備え、上記複数のメモリセルのうちのそれぞれは、対応する行ライン上のアクセス電圧レベルを検出すると、上記一組のビットラインのうちの対応するビットライン上のビット電圧を駆動するようにさらに適合される、項目15に記載の装置。

(項目17)

上記複数のメモリセルのそれぞれは、上記一組のビットラインのうちの対応するビットラインに動作可能に連結された第1の端子を有するゲーティングトランジスタと、

対応する行ラインに動作可能に連結された第2の端子と、

上記プリチャージ選択トランジスタに動作可能に連結された第3の端子と、をさらに備え、

上記プリチャージ選択トランジスタは、上記ゲーティングトランジスタと、上記複数のメモリセルのそれぞれのうちの上記格納要素との間で直列である、項目16に記載の装置。

(項目18)

アクセスすべき一組のメモリセルを識別する上記装置によって受信した、識別子の列アドレスをデコードするように動作可能に適合された列デコーダをさらに備え、

上記列アドレスデコーダは、上記デコードした列アドレスに基づいて、上記プリチャージ選択回路に上記一組のビットラインの信号を送るようにも動作可能に適合される、項目13に記載の装置。

(項目19)

上記一組のビットラインは、アクセスされるべき上記一組のメモリセルを含む、上記複数の列のうちの少なくとも一組に関連付けられる、項目18に記載の装置。

(項目20)

複数のプリチャージ選択ラインをさらに備え、

単一の列内の各メモリセルは、上記複数のプリチャージ選択ラインのうちの対応するプリチャージ選択ラインによって、上記単一の列内の上記他のメモリセルのそれぞれに、および上記プリチャージ選択回路に接続され、

上記複数のメモリセルのそれぞれは、(a)行ライン電圧レベルが、上記複数の行ラインのうちの対応する行ライン上で調整され、かつ(2)プリチャージ選択電圧が、上記複数のプリチャージ選択ラインのうちの対応するプリチャージ選択ライン上で調整された場合に起動するように適合される、項目13に記載の装置。

(項目21)

上記複数のメモリセルのそれぞれは、起動すると、上記メモリセルの格納電圧まで対応するビットライン上の電圧を駆動するように適合される、項目20に記載の装置。

(項目22)

上記複数のメモリセルのそれぞれは、上記対応する行ラインに連結されたゲーティングトランジスタと、上記対応するプリチャージ選択ラインに連結されたプリチャージ選択トランジスタと、上記ゲーティングおよびプリチャージ選択トランジスタと直列に配置された格納要素とを備える、項目20に記載の装置。

(項目23)

上記プリチャージ選択回路は、上記複数のプリチャージ選択ラインのうちの一組上の上

記プリチャージ選択電圧レベルを調整するように適合される、項目 20 に記載の装置。

(項目 24)

それぞれが上記行ラインを介して上記複数のメモリセルに動作可能に連結された、行デコードと列デコードとをさらに備え、

上記行デコードは、上記アクセス動作を実行する上記一組のメモリを含む行を識別する装置によって受信された、上記識別子の行アドレスをデコードするように適合され、

上記行デコードは、上記アクセス動作を実行する上記一組のメモリを含む上記行のうちの上記対応する行ライン上のアクセス電圧レベルを調整するようにさらに適合され、

上記行および列デコードは、動作中に、上記行アドレスが、上記行デコードに提供される前に、上記列アドレスを上記列デコードに提供させるように適合される、項目 13 に記載の装置。

(項目 25)

それぞれが上記複数のビットラインのうちの 1 つに動作可能に連結され、上記回路の開放後に、ビットライン電圧レベルを読み込むように適合された、複数のセンスアンプをさらに備える、項目 13 に記載の装置。

(項目 26)

上記プリチャージ選択回路は、別の組の上記複数のメモリセルに別のアクセス動作を実行する別のコマンドの受信に応答して、上記複数のビットラインの全てよりも少ない、別の組のビットラインの選択的なプリチャージを容易にするようにさらに適合され、

上記別の組のビットラインは、上記一組のビットライン以外に少なくとも 1 つのビットラインを含み、

上記別の組の上記複数のメモリセルは、上記一組の上記複数のメモリセル以外に、少なくとも 1 つのメモリセルを含み、上記一組の上記複数のメモリセルと同じ行ラインに連結され、

上記プリチャージ選択回路は、上記複数のセンスアンプのうちの一組の対応するセンスアンプが、上記一組のメモリセルの対応する複数のビットライン電圧を読み込む間に、上記別の組のビットラインの上記プリチャージを容易にするようにさらに適合される、項目 25 に記載の装置。

(項目 27)

上記複数のセンスアンプは、選択的にイネーブルされるように適合される、項目 25 に記載の装置。

(項目 28)

上記装置は、チップ上に配置され、上記チップは、上記メモリセルおよび上記選択的なプリチャージ回路の動作を制御するように、上記メモリセルおよび上記選択的なプリチャージ回路に動作可能に連結されたコントローラをさらに備える、項目 13 に記載の装置。

(項目 29)

システムであって、

デジタル信号プロセッサと、

上記デジタル信号プロセッサに動作可能に連結されたデジタルメモリデバイスとを備え、

上記デジタルメモリデバイスは、

複数の列および複数の行を含むグリッド内に配置された複数のメモリセルであって、上記複数のメモリセルのそれぞれが、上記グリッドの正確に 1 つの行および正確に 1 つの列の一部を形成し、列内の各メモリセルが、複数のビットラインのうちの対応するビットラインによって互いに接続され、行内の各メモリセルが、複数の行ラインのうちの対応する行ラインによって互いに接続された、複数のメモリセルと、

上記複数のビットラインに動作可能に連結され、上記複数のメモリセルのうちの一組上でアクセス動作を実行するために受信されたコマンドに応答して、上記複数のビットラインの全てよりも少ない、一組のビットラインのアクセス動作のフロントエンド上で選択的なプリチャージを容易にするように適合されたプリチャージ選択回路であって、上記一

組のビットラインは、上記複数のメモリセルのうちの上記一組に対応するプリチャージ選択回路とを備える、システム。

(項目 3 0)

上記プリチャージ選択回路は、上記複数のビットラインに動作可能に連結された、複数のプリチャージ選択トランジスタを含み、

上記プリチャージ選択回路は、上記一組のビットライン、または上記プリチャージ選択トランジスタのサブセットに関連付けられた上記複数のプリチャージ選択トランジスタを起動させることによって、上記一組のビットラインの選択的なプリチャージを容易にするように構成される、項目 2 9 に記載のシステム。

(項目 3 1)

上記複数のメモリセルのそれぞれは、対応するプリチャージ選択トランジスタを備え、
上記プリチャージ選択回路は、上記対応するプリチャージ選択トランジスタの対応する端子上のプリチャージ選択電圧を調整して、対応するビットラインの上記プリチャージを容易にするように適合される、項目 2 9 に記載のシステム。

(項目 3 2)

上記複数のメモリセルのそれぞれは、格納電圧レベルを格納するように適合された格納要素をさらに備え、

上記複数のメモリセルのうちの上記それぞれは、対応する行ライン上のアクセス電圧レベルを検出すると、対応するビットライン上のビット電圧を駆動するようにさらに適合される、項目 3 1 に記載のシステム。

(項目 3 3)

上記複数のメモリセルのそれぞれは、対応するビットラインに動作可能に連結された第 1 の端子を有するゲーティングトランジスタと、

対応する行ラインに動作可能に連結された第 2 の端子と、

上記プリチャージ選択トランジスタに動作可能に連結された第 3 の端子とをさらに備え、

上記プリチャージ選択トランジスタは、上記ゲーティングトランジスタと、上記複数のメモリセルのそれぞれの上記格納要素との間で直列である、項目 3 2 に記載のシステム。

(項目 3 4)

アクセスされるべき一組のメモリセルを識別する、上記装置によって受信された識別子の列アドレスをデコードするように動作可能に適合された列デコーダをさらに備え、上記列アドレスデコーダは、上記デコードされた列アドレスに基づいて、上記プリチャージ選択回路に、上記一組のビットラインの信号を送るようにも動作可能に適合される、項目 2 9 に記載のシステム。

(項目 3 5)

上記一組のビットラインは、アクセスされるべき上記一組のメモリセルを含む上記複数の列のうち少なくとも一組に関連付けられる、項目 3 4 に記載のシステム。

(項目 3 6)

複数のプリチャージ選択ラインをさらに備え、

単一の列内のそれぞれのメモリセルは、上記複数のプリチャージ選択ラインのうちの上記対応するプリチャージ選択ラインによって、上記単一の列内の上記他のメモリセルのそれぞれに、および上記プリチャージ選択回路に接続され、

上記複数のメモリセルのそれぞれは、(a) 行ライン電圧レベルが、上記複数の行ラインのうちの上記対応する行ライン上で調整され、かつ(2) プリチャージ選択電圧が、上記複数のプリチャージ選択ラインのうちの上記対応するプリチャージ選択ライン上で調整された場合に起動するように適合される、項目 2 9 に記載のシステム。

(項目 3 7)

上記複数のメモリセルのそれぞれは、起動すると、上記メモリセルの格納電圧まで、対応するビットライン上の電圧を駆動するように適合される、項目 3 6 に記載のシステム。

(項目 3 8)

上記複数のメモリセルのそれぞれは、上記対応する行ラインに連結されたゲーティングトランジスタと、上記対応するプリチャージ選択ラインに連結されたプリチャージ選択トランジスタと、上記ゲーティングおよびプリチャージ選択トランジスタと直列に配置された格納要素とを備える、項目 3 7 に記載のシステム。

(項目 3 9)

上記プリチャージ選択回路は、上記複数のプリチャージ選択ラインのうちの一組上の上記プリチャージ選択電圧レベルを調整するように適合される、項目 3 7 に記載のシステム。

(項目 4 0)

アクセスされるべき上記一組のメモリセルを含む一組の 1 つ以上の列を識別する、上記装置によって受信された識別子の列アドレスをデコードするように動作可能に適合された列デコーダをさらに備える、項目 2 9 に記載のシステム。

(項目 4 1)

上記行ラインを介して上記複数のメモリセルに動作可能に連結された、行デコーダをさらに備え、

上記行デコーダは、上記アクセス動作を実行する上記一組のメモリを含む行を識別する装置によって受信された、上記識別子の上記行アドレスをデコードするように適合され、上記行デコーダは、上記アクセス動作を実行する上記一組のメモリを含む行のうちの上記対応する行ラインへのアクセス電圧レベルを調整するようにさらに適合され、

上記行および列デコーダは、動作中に、上記行アドレスが、上記行デコーダに提供される前に、上記列アドレスを上記列デコーダに提供させるように適合される、項目 4 0 に記載のシステム。

(項目 4 2)

それぞれが上記複数のビットラインのうちの一つに動作可能に連結され、上記回路の開放後に、ビットライン電圧レベルを読み込むように適合された、複数のセンスアンプをさらに備える、項目 2 9 に記載のシステム。

(項目 4 3)

上記プリチャージ選択回路は、別の組の上記複数のメモリセル上で別のアクセス動作を実行するために、別に受信されたコマンドに応答して、上記複数のビットラインの全てよりも少ない、別の組のビットラインの選択的なプリチャージを容易にするようにさらに適合され、

上記別の組のビットラインは、上記一組のビットライン以外にある、少なくとも 1 つのビットラインを含み、

上記別の組の上記複数のメモリセルは、上記一組の複数のメモリセル以外にある、少なくとも 1 つのメモリセルを含み、上記一組の上記複数のメモリセルと同じ行ラインに連結され、

上記プリチャージ選択回路は、上記複数のセンスアンプのうちの一組の対応するセンスアンプが、上記一組のメモリセルの対応する複数のビットライン電圧を読み込む間に、上記別の組のビットラインの上記プリチャージを容易にするようにさらに適合される、項目 4 2 に記載のシステム。

(項目 4 4)

上記複数のセンスアンプは、選択的にイネーブルされるように適合される、項目 4 2 に記載のシステム。

(項目 4 5)

装置であって、

複数のメモリセルと、上記メモリセルに関連付けられた複数のビットラインとを含むデジタルメモリデバイスによって、上記複数のメモリセルのサブセット上で動作を実行するためにコマンドを受信するための手段であって、上記サブセットは、上記複数のメモリセルよりも少ないメモリセルで構成される手段と、

上記受信されたコマンドに応答して、上記複数のメモリセルの上記サブセット上で上記動作を実行するための手段であって、上記動作は、上記動作のフロント エンド上で、上記メモリセルのサブセットに関連付けられたビットラインのサブセットのみをプリチャージすることを含む、手段と

を含む、装置。

(項目 4 6)

上記デジタルメモリデバイスによって識別子を受信するための手段と、上記識別子の少なくとも一部を使用して、上記複数のビットラインの上記サブセットを識別するための手段と、をさらに含む、項目 4 5 に記載の装置。

(項目 4 7)

上記コマンドは、アクセス動作コマンドであり、上記識別子を使用して、上記複数のメモリセルの上記サブセットを識別するための手段をさらに含む、項目 4 6 に記載の装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

複数の列および複数の行に配置された複数のメモリセルであって、列内の各メモリセルが、複数のビットラインのうちの対応するビットラインによって互いに結合されている、複数のメモリセルと、

前記複数のビットラインに動作可能に結合されているプリチャージ選択回路と、

前記複数のビットラインに結合されているアクセス回路と、

前記複数のメモリセル、前記プリチャージ選択回路、および前記アクセス回路に結合されている制御回路であって、前記制御回路は、

第 1 のアクセスコマンドを受信し、前記複数のメモリセルの第 1 のサブセット上で第 1 のアクセス動作を実行することと、

選択プリチャージ動作を、前記選択プリチャージ回路によって、前記複数のビットラインのサブセット上で始動することであって、前記複数のビットラインの前記サブセットは、前記複数のメモリセルの前記第 1 のサブセットに結合されており、前記複数のビットラインの前記サブセットは、前記複数のビットラインよりも少ないビットラインを含み、前記選択プリチャージ動作は、前記複数のビットラインの前記サブセットのプリチャージされた状態をもたらす、ことと、

第 2 アクセスコマンドの受信をチェックし、第 2 アクセス動作を前記複数のメモリセルの第 2 のサブセット上で実行することであって、前記複数のビットラインの前記サブセットは、前記複数のメモリセルの前記第 2 のサブセットに結合されている、ことと、

前記アクセス回路によって、前記メモリセルの第 2 のサブセット上での前記第 2 のアクセス動作の実行を容易にすることであって、前記第 2 のアクセス動作は、前記第 1 のアクセス動作とは異なっており、前記複数のビットラインの前記サブセットが、前記第 1 のアクセスコマンドの受信に応答して始動される前記選択プリチャージ動作からの結果であるプリチャージ状態に留まる間に、前記制御回路は、前記第 2 のアクセス動作の前記実行を容易にするようにさらに構成されている、ことと

を行うように構成されている、制御回路と

を備える、装置。

【請求項 2】

前記プリチャージ選択回路は、前記ビットラインのサブセットに動作可能に結合されている、複数のプリチャージ選択トランジスタを含み、

前記プリチャージ選択回路は、前記複数のプリチャージ選択トランジスタのうちの 1 つ

を起動させることによって、前記ビットラインの前記サブセットを選択的にプリチャージするように構成されている、請求項1に記載の装置。

【請求項3】

前記複数のメモリセルのそれぞれは、プリチャージ選択トランジスタを備え、

前記プリチャージ選択回路は、前記プリチャージ選択トランジスタの1つ以上の端子上でプリチャージ選択電圧を定め、前記ビットラインのサブセットを選択的にプリチャージするように構成されている、請求項1に記載の装置。

【請求項4】

行のメモリセルのそれぞれは、複数の行ラインの対応する行ラインによって互いに結合されており、

前記複数のメモリセルのそれぞれは、格納電圧レベルを格納するように構成されている格納要素をさらに含み、

前記複数のメモリセルのそれぞれは、対応する行ライン上でアクセス電圧レベルを検出するとすぐに、前記ビットラインのサブセットのうちの対応するビットライン上に、前記格納電圧レベルに対応するビット電圧を駆動するようにさらに構成されている、請求項3に記載の装置。

【請求項5】

前記複数のメモリセルのそれぞれは、

対応するビットラインに動作可能に結合されている第1の端子を有するゲートトランジスタと、

対応する行ラインに動作可能に結合されている第2の端子と、

前記プリチャージ選択トランジスタに動作可能に結合されている第3の端子と、をさらに備え、

前記プリチャージ選択トランジスタは、前記ゲートトランジスタと、前記複数のメモリセルのそれぞれの前記格納要素との間で直列である、請求項4に記載の装置。

【請求項6】

前記装置によって受信された識別子の列アドレスをデコードするように構成されている列デコーダをさらに備え、

前記識別子は、アクセスされるべきメモリセルのサブセットを識別し、

前記列アドレスデコーダは、前記デコードされた列アドレスを使用し、前記プリチャージ選択回路に、選択的にプリチャージされるべき前記ビットラインのサブセットを信号伝達するようにさらに構成されている、請求項1に記載の装置。

【請求項7】

前記ビットラインのサブセットは、前記複数の列のうちの少なくとも1つのサブセットに関連付けられ、

前記列のサブセットは、アクセスされるべき前記メモリセルのサブセットを含む、請求項6に記載の装置。

【請求項8】

複数のプリチャージ選択ラインをさらに備え、

単一の列内の各メモリセルは、前記複数のプリチャージ選択ラインのうちの対応するプリチャージ選択ラインによって、前記単一の列内の前記他のメモリセルのそれぞれに、および前記プリチャージ選択回路に結合されており、

前記複数のメモリセルのそれぞれは、複数の行のうちの対応する行ラインの行ライン電圧レベル、および複数のプリチャージ選択ラインのうちのプリチャージ選択ラインに対応するプリチャージ選択電圧レベルの両方が定まるとすぐに、起動するように構成されている、請求項1に記載の装置。

【請求項9】

前記複数のメモリセルのそれぞれは、起動するとすぐに、対応するビットライン上の電圧を、前記メモリセルの格納要素まで駆動するように構成されている、請求項8に記載の装置。

【請求項 10】

前記複数のメモリセルのそれぞれは、前記対応する行ラインに結合されているゲートトランジスタと、前記対応するプリチャージ選択ラインに結合されているプリチャージ選択トランジスタと、前記ゲートトランジスタおよび前記プリチャージ選択トランジスタと直列に配置された格納要素とを備える、請求項 8 に記載の装置。

【請求項 11】

前記プリチャージ選択回路は、前記複数のプリチャージ選択ラインのサブセットの前記プリチャージ選択電圧レベルを定めるように構成されている、請求項 8 に記載の装置。

【請求項 12】

行デコーダと列デコーダとをさらに備え、

前記行デコーダは、前記行ラインを介して前記複数のメモリセルに動作可能に結合されており、

前記行デコーダは、前記装置によって受信された識別子の行アドレスをデコードするように構成されており、

前記識別子は、前記アクセス動作を実行する、前記メモリセルのサブセットを含む行を識別し、

前記行デコーダは、前記アクセス動作を実行する、前記メモリセルのサブセットを含む前記行の対応する行ライン上のアクセス電圧レベルを定めるようにさらに構成されており、

前記列デコーダは、前記行デコーダが前記行アドレスを受信する前に、列アドレスを受信するように構成されている、請求項 1 に記載の装置。

【請求項 13】

複数のセンスアンプをさらに含み、

それぞれのセンスアンプが前記複数のビットラインのうちの 1 つに動作可能に結合されており、

それぞれのセンスアンプは、ビットライン電圧レベルを読み込むように構成されている、請求項 1 に記載の装置。

【請求項 14】

前記制御回路は、前記複数のメモリセルの第 3 のサブセット上で、第 3 のアクセス動作を実行する第 3 のアクセスコマンドの受信に応答して、前記複数のビットラインの全てよりも少ないビットラインを含む、ビットラインの別のサブセットの別の選択的なプリチャージ動作を容易にするようにさらに構成されており、

前記ビットラインの別のサブセットは、前記ビットラインのサブセット以外の少なくとも 1 つのビットラインを含み、

前記複数のメモリセルの前記第 3 のサブセットは、前記複数のメモリセルの前記第 2 のサブセット以外の少なくとも 1 つのメモリセルを含み、

前記少なくとも 1 つのメモリセルは、前記複数のメモリセルの前記第 2 のサブセットと同じ行ラインに結合されており、

前記制御回路は、前記アクセス回路が、前記第 2 のアクセス動作を前記複数のメモリセルの前記第 2 のサブセット上で実行する間に、前記ビットラインの別のサブセットの前記別のプリチャージ動作を容易にするようにさらに構成されている、請求項 1 に記載の装置。

【請求項 15】

前記複数のセンスアンプは、選択的にイネーブルされるように構成されている、請求項 13 に記載の装置。

【請求項 16】

前記装置は、チップ上に配置され、前記メモリセルおよび前記制御回路に動作可能に結合されているコントローラをさらに備える、請求項 1 に記載の装置。

【請求項 17】

システムであって、

デジタル信号プロセッサと、

前記デジタル信号プロセッサに動作可能に結合されているデジタルメモリデバイスと
を備え、

前記デジタルメモリデバイスは、

複数の列および複数の行に配置された複数のメモリセルであって、列内の各メモリセル
が、複数のビットラインのうちの対応するビットラインによって互いに結合されている、
複数のメモリセルと、

前記複数のビットラインに動作可能に結合されているプリチャージ選択回路と

前記複数のビットラインに結合されているアクセス回路と、

前記複数のメモリセル、前記プリチャージ選択回路、および前記アクセス回路に結合さ
れている制御回路であって、前記制御回路は、

第1のアクセスコマンドを受信し、前記複数のメモリセルの第1のサブセット上で第
1のアクセス動作を実行することと、

前記第1のアクセスコマンドの受信に応答して、選択プリチャージ動作を、前記選択
プリチャージ回路によって、前記複数のビットラインのサブセット上で始動することであ
って、前記複数のビットラインの前記サブセットは、前記複数のメモリセルの前記第1の
サブセットに結合されており、前記複数のビットラインの前記サブセットは、前記複数の
ビットラインよりも少ないビットラインを含み、前記選択プリチャージ動作は、前記複数の
ビットラインの前記サブセットのプリチャージされた状態をもたらす、ことと、

第2アクセスコマンドの受信をチェックし、第2アクセス動作を前記複数のメモリセル
の第2のサブセット上で実行することであって、前記複数のビットラインの前記サブセ
ットは、前記複数のメモリセルの前記第2のサブセットに結合されている、ことと、

前記第2のアクセス動作の実行を、前記アクセス回路によって、前記メモリセルの前
記第2のサブセット上で容易にすることであって、前記第2のアクセス動作は、前記第1
のアクセス動作とは異なっており、前記複数のビットラインの前記サブセットが、前記第
1のアクセスコマンドの受信に応答して始動される前記選択プリチャージ動作からの結果
であるプリチャージ状態に留まる間に、前記制御回路は、前記第2のアクセス動作の前記
実行を容易にするようにさらに構成されている、ことと

を行うように構成されている、制御回路と

を備える、システム。

【請求項18】

前記プリチャージ選択回路は、前記ビットラインのサブセットに動作可能に結合されて
いる、複数のプリチャージ選択トランジスタを含み、

前記プリチャージ選択回路は、前記複数のプリチャージ選択トランジスタのうちの1つ
を起動させることによって、前記ビットラインのサブセットを選択的にプリチャージす
るように構成されている、請求項17に記載のシステム。

【請求項19】

前記複数のメモリセルのそれぞれは、プリチャージ選択トランジスタを備え、

前記プリチャージ選択回路は、前記プリチャージ選択トランジスタの1つ以上の端子上
でプリチャージ選択電圧を定め、前記ビットラインのサブセットを選択的にプリチャージ
するように構成されている、請求項17に記載のシステム。

【請求項20】

行のメモリセルのそれぞれは、複数の行ラインの対応する行ラインによって互いに結合
されており、

前記複数のメモリセルのそれぞれは、格納電圧レベルを格納するように構成されている
格納要素をさらに備え、

前記複数のメモリセルのそれぞれは、対応する行ライン上でアクセス電圧レベルを検出
するとすぐに、前記ビットラインのサブセットのうちの対応するビットライン上に、前記
格納電圧レベルに対応するビット電圧を駆動するようにさらに構成されている、請求項1
9に記載のシステム。

【請求項 2 1】

前記複数のメモリセルのそれぞれは、

対応するビットラインに動作可能に結合されている第 1 の端子を有するゲートトランジスタと、

対応する行ラインに動作可能に結合されている第 2 の端子と、

前記プリチャージ選択トランジスタに動作可能に結合されている第 3 の端子と

をさらに備え、

前記プリチャージ選択トランジスタは、前記ゲートトランジスタと、前記複数のメモリセルのそれぞれの前記格納要素との間で直列である、請求項 2 0 に記載のシステム。

【請求項 2 2】

前記装置によって受信された識別子の列アドレスをデコードするように構成されている列デコーダをさらに備え、

前記識別子は、アクセスされるべきメモリセルのサブセットを識別し、

前記列アドレスデコーダは、前記デコードされた列アドレスを使用し、前記プリチャージ選択回路に、選択的にプリチャージされるべき前記ビットラインのサブセットを信号伝達するようにさらに構成されている、請求項 1 7 に記載のシステム。

【請求項 2 3】

前記ビットラインのサブセットは、前記複数の列のうちの少なくとも 1 つのサブセットに関連付けられ、

前記列のサブセットは、アクセスされるべき前記メモリセルのサブセットを含む、請求項 2 2 に記載のシステム。

【請求項 2 4】

複数のプリチャージ選択ラインをさらに備え、

単一の列内のそれぞれのメモリセルは、前記複数のプリチャージ選択ラインのうちの対応するプリチャージ選択ラインによって、前記単一の列内の前記他のメモリセルのそれぞれに、および前記プリチャージ選択回路に結合されており、

前記複数のメモリセルのそれぞれは、複数の行のうちの対応する行ラインの行ライン電圧レベル、および複数のプリチャージ選択ラインのうちのプリチャージ選択ラインに対応するプリチャージ選択電圧レベルの両方が定まるとすぐに、起動するように構成されている、請求項 1 7 に記載のシステム。

【請求項 2 5】

前記複数のメモリセルのそれぞれは、起動するとすぐに、対応するビットライン上の電圧を、前記メモリセルの格納要素まで駆動するように構成されている、請求項 2 4 に記載のシステム。

【請求項 2 6】

前記複数のメモリセルのそれぞれは、前記対応する行ラインに結合されているゲートトランジスタと、前記対応するプリチャージ選択ラインに結合されているプリチャージ選択トランジスタと、前記ゲートトランジスタおよび前記プリチャージ選択トランジスタと直列に配置された格納要素とを備える、請求項 2 5 に記載のシステム。

【請求項 2 7】

前記プリチャージ選択回路は、前記複数のプリチャージ選択ラインのサブセットの前記プリチャージ選択電圧レベルを定めるように構成されている、請求項 2 5 に記載のシステム。

【請求項 2 8】

前記装置によって受信された識別子の列アドレスをデコードするように構成されている列デコーダをさらに備え、

前記識別子は、アクセスされるべき前記メモリセルのサブセットを含む 1 つ以上の列のサブセットを識別する、請求項 1 7 に記載のシステム。

【請求項 2 9】

前記行ラインを介して前記複数のメモリセルに動作可能に結合されている、行デコーダ

をさらに備え、

前記行デコーダは、前記装置によって受信された識別子の行アドレスをデコードするように構成されており、前記識別子は、前記代替アクセス動作を実行する、前記メモリセルのサブセットを含む行を識別し、

前記行デコーダは、前記第 2 のアクセス動作を実行する、前記メモリセルのサブセットを含む前記行の対応する行ライン上のアクセス電圧レベルを定めるようにさらに構成されており、

前記列デコーダは、前記行デコーダが行アドレスを受信する前に、列アドレスを受信するように構成されている、請求項 28 に記載のシステム。

【請求項 30】

複数のセンスアンプをさらに含み、

それぞれのセンスアンプが前記複数のビットラインのうちの 1 つに動作可能に結合されており、

それぞれのセンスアンプは、ビットライン電圧レベルを読み込むように構成されている、請求項 17 に記載のシステム。

【請求項 31】

前記制御回路は、前記複数のメモリセルの第 3 のサブセット上で、第 3 のアクセス動作を実行する第 3 のアクセスコマンドの受信に応答して、前記複数のビットラインの全てよりも少ないビットラインを含む、ビットラインの別のサブセットの別の選択的なプリチャージ動作を容易にするようにさらに構成されており、

前記ビットラインの別のサブセットは、前記ビットラインのサブセット以外の少なくとも 1 つのビットラインを含み、

前記複数のメモリセルの前記第 3 のサブセットは、前記複数のメモリセルの前記第 2 のサブセット以外の少なくとも 1 つのメモリセルを含み、前記少なくとも 1 つのメモリセルは、前記複数のメモリセルの前記第 2 のサブセットと同じ行ラインに結合されており、

前記制御回路は、前記アクセス回路が、前記第 2 のアクセス動作を前記複数のメモリセルの前記第 2 のサブセット上で実行しながら、前記ビットラインの別のサブセットの前記別のプリチャージ動作を容易にするようにさらに構成されている、請求項 17 に記載のシステム。

【請求項 32】

前記複数のセンスアンプは、選択的にイネーブルされるように構成されている、請求項 30 に記載のシステム。

【請求項 33】

前記制御回路は、前記第 1 のコマンドの受信の後の期間に、および、前記第 1 のアクセスコマンドの受信に応答して始動される前記選択プリチャージ動作の前、あるいはその間のいずれかに、前記第 2 のアクセスコマンドの受信を確認するようにさらに構成されている、請求項 1 に記載の装置。