

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410005400.8

[51] Int. Cl.

H01L 23/02 (2006.01)

H01L 23/28 (2006.01)

H01L 23/00 (2006.01)

H01L 21/50 (2006.01)

H01L 21/48 (2006.01)

H01L 27/14 (2006.01)

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416802C

[51] Int. Cl. (续)

G02F 1/13 (2006.01)

[22] 申请日 2004.2.12

[21] 申请号 200410005400.8

[30] 优先权

[32] 2003.10.8 [33] US [31] 10/680, 434

[73] 专利权人 联华电子股份有限公司

地址 台湾省新竹科学工业园区新竹市力行二路三号

[72] 发明人 游国周 官大双 陈盛龙 张逸明

[56] 参考文献

US 2002/0088537 A1 2002.7.11

TW531860A 2003.5.11

US6281046B1 2001.8.28

审查员 王志宇

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

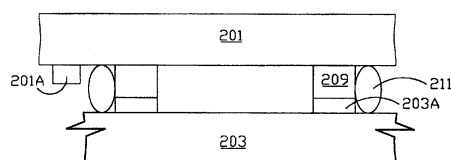
权利要求书 4 页 说明书 11 页 附图 7 页

[54] 发明名称

晶片级封装方法及结构

[57] 摘要

提供一种晶片级封装的方法及结构，利用在一半导体晶片或一可透光基板上形成多个间隙壁墙结构，通过此多个间隙壁墙的形成而可精确地控制封闭框胶的位置，由于间隙壁墙及封闭框胶的位置是决定元件尺寸的大小，因此，可经由缩短封闭框胶与可感光区域的距离，使一晶片在完成封装并执行一切割程序后所得到的芯片数增加而提高其产能。此外，可通过半导体制作控制此间隙壁墙的高度，因此，可控制半导体晶片及可透光基板间间隙的均匀性及封闭框胶宽度的稳定性，以提高其合格率。



1. 一种晶片级封装的结构，包含：

多个芯片彼此紧邻，每一该多个芯片具有一可感光区域；

多个间隙壁墙结构位于该多个芯片上，其中每个该可感光区域位于相邻的两个该间隙壁墙结构之间；

多个封闭框胶位于该多个芯片上，其中每一该多个封闭框胶之一紧邻于每一该间隙壁墙结构之一的侧壁，该多个封闭框胶贴合该多个芯片及该多个间隙壁墙结构，并且不会溢入该可感光区域；及

一可透光基板位于该多个间隙壁墙结构上。

2. 根据权利要求 1 所述的晶片级封装的结构，其特征在于，上述的多个间隙壁墙结构的材质是氧化硅。

3. 根据权利要求 1 所述的晶片级封装的结构，其特征在于，上述的多个间隙壁墙结构的材质是氮化硅。

4. 根据权利要求 1 所述的晶片级封装的结构，其特征在于，上述的多个间隙壁墙结构的材质是一高分子薄膜。

5. 根据权利要求 4 所述的晶片级封装的结构，其特征在于，上述的高分子薄膜是包含聚酰亚胺。

6. 根据权利要求 1 所述的晶片级封装的结构，其特征在于，上述的可透光基板的材质为玻璃。

7. 根据权利要求 1 所述的晶片级封装的结构，其特征在于，上述的封闭框胶材料是为环氧树脂胶。

8. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的封闭框胶材料是为一紫外线胶。

9. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的封闭框胶材料是为一热熔胶。

10. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的任一侧壁是为一内侧侧壁。

11. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的任一侧壁是为一外侧侧壁。

12. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的多个间隙壁墙结构包含独立或连续或部分连续的单位壁墙结构。

13. 根据权利要求 12 所述的晶片级封装的结构, 其特征在于, 上述的多个间隙壁墙结构立于该多个芯片同一面的两侧上, 并且对立平行。

14. 根据权利要求 12 所述的晶片级封装的结构, 其特征在于, 上述的多个间隙壁墙结构立于该多个芯片同一面的相邻两边上。

15. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的多个间隙壁墙结构更包含多个独立的单位壁墙结构, 该多个独立的单位壁墙结构排列成臂状的几何形状。

16. 根据权利要求 1 所述的晶片级封装的结构, 其特征在于, 上述的多个间隙壁墙结构更包含多个连续的单位壁墙结构, 该多个连续的单位壁墙结构

排列成臂状的几何形状。

17. 一种晶片级封装的方法，包含：

提供一半导体晶片，其中该半导体晶片上包含多个芯片，每一芯片包含一可感光区域；

沉积一介电层于该半导体晶片上，并覆盖该多个芯片；

移除部分该介电层，使残余的介电层形成多个间隙壁墙结构，该多个间隙壁墙结构立于该多个芯片的被覆盖面上，该可感光区域位于相邻的两个间隙壁结构之间；

形成多个封闭框胶紧邻于该多个间隙壁墙结构的任一侧壁上，该多个封闭框胶不会溢入该可感光区域；及

覆盖一可透光基板于该半导体晶片上；上述的该多个芯片中的任一个包含该具有可感光的区域，上述可感光区域被任四个该间隙壁墙结构所包围。

18. 根据权利要求 17 所述的晶片级封装的方法，其特征在于，上述的移除部分该介电层步骤包含暴露出可感光区域。

19. 根据权利要求 17 所述的晶片级封装的方法，其特征在于，上述的任一侧壁是为一内侧侧壁。

20. 根据权利要求 17 所述的晶片级封装的方法，其特征在于，上述的任一侧壁是为一外侧侧壁。

21. 根据权利要求 17 所述的晶片级封装的方法，其特征在于，上述的可透光基板的材质是为石英。

22. 一种晶片级封装的方法，包含：

提供一半导体晶片及一可透光基板，其特征在于，该半导体晶片上包含多个芯片；

沉积一介电层于该可透光基板上；

沉积一光刻胶层于该介电层上；

移除部分该光刻胶层以暴露出部分该介电层；

移除部分该暴露的介电层，是以该光刻胶层为一光掩层，以形成多个间隙壁墙结构于该可透光基板上；

形成多个封闭框胶紧邻于该多个间隙壁墙结构的任一侧壁上；及

覆盖该半导体晶片于该可透光基板上，该多个封闭框胶贴合该多个芯片及该多个间隙壁墙结构，并且不会溢入可感光区域，上述的该多个芯片中的任一个包含该可感光区域。

23. 根据权利要求 22 所述的晶片级封装的方法，其特征在于，上述的移除部分该暴露的介电层步骤包含以该半导体晶片的该多个芯片为一参考图案。

24. 根据权利要求 22 所述的晶片级封装的方法，其特征在于，上述的任一侧壁是为一内侧侧壁。

25. 根据权利要求 22 所述的晶片级封装的方法，其特征在于，上述的任一侧壁是为一外侧侧壁。

晶片级封装方法及结构

【技术领域】

本发明是有关于一种晶片级封装方法及结构，特别是有关于一种在晶片上或可透光基板上形成间隙壁墙及封闭框胶的晶片级封装的方法及其结构。

【背景技术】

近年来，由于晶片的微电路的制作朝向高集成度发展，因此，其晶片构装也需具备有高功率、高密度、轻薄与微小化等制作。晶片构装就是晶片制造完成后，以塑胶或陶磁等材料，将芯片包在其中，以达保护芯片，使芯片不受外界水气及机械性损害的目的。晶片构装主要的功能分别有电能传送（Power Distribution）、信号传送（Signal Distribution）、热的散失（Heat Dissipation）与保护支持（Protection and Support）。由于集成电路的制作发展会影响集成电路封装的技术，而现今电子产品的要求是轻薄短小及高的集成度，因此会使得集成电路制作微细化，造成晶片内包含的逻辑线路增加，而进一步使得晶片 I/O(input/output)脚数增加，而为配合这些需求，产生了许多不同的封装方式，例如，球栅阵列封装(ball grid array, BGA)、晶片尺寸封装(Chip Scale Package, CSP)、多晶片模块封装(Multi Chip Module package, MCM package)、倒装芯片式封装(Flip Chip Package)、卷带式封装(Tape Carrier Package, TCP)及晶片级封装(Wafer Level Package, WLP)等。

不论以何种形式的封装方法，大部分的封装方法都是将晶片分离成独立的晶片后再完成封装的程序。而晶片级封装是半导体封装方法中的一个趋势，晶片级封装是以整片晶片为封装对象，而并非如传统的封装是以单一晶片为封装标的，因而封装与测试均需在尚未切割晶片的前完成，是一种高度

整合的封装技术，如此可省下填胶、组装、黏晶与打线等制作，也无需导线架或基板，因此可大量降低人工成本与缩短制造时间。而传统的封装技术主要的制作流程包括晶片切割、黏晶、焊线、封胶、检切、印字、电镀、检测等步骤。

图 1A 至图 1C 是传统封装技术的示意图。如图 1A 所示，首先，提供一半导体晶片 101 及一可透光基板 113，此半导体晶片 101 包含多个芯片 (die) 103，更者，此多个芯片 103 是利用半导体制作以形成多个微电路于此芯片 103 上(图上未示)，接着，如图 1B 所示，将此半导体晶片 101 上的每一芯片 103 经由一晶片切割机切割分离，以得到一多个独立的芯片 103，之后利用一粘晶机的取放臂将此独立的芯片 103 放置于一半导体基板 105 上并利用一环氧物(epoxy)(图上未示)予以粘着。此半导体基板 105 包含一边框 107(border)，此边框 107 是利用一特定图案的模版及半导体制作技术获得，而由于粘晶(die mount)步骤是利用粘晶机将每一独立的芯片 103 置放于半导体基板 105 上，因此易发生独立的芯片 103 掉落的情形，而导致半导体晶片 101 所能切割出的芯片数(gross die)减少，因此合格率会降低。然后，执行一焊线(wire bond)制作，将每一独立的芯片 103 的电路信号传输至外界，此焊线制作包含将一金线 109 打线于此独立的芯片 103 上。

接着，如图 1C 所示，在将每一独立的芯片 103 粘着并放置于半导体基板 105 上后，执行一封胶(Mold)制作，是在边框 107 上涂布一框胶 111 并覆盖一可透光基板 113，使半导体基板 105 上的芯片 103 包覆着坚固的外壳，以防止湿气由外部侵入，并可有效的黏合上下两基板。

另外一种框胶制作，是在薄膜液晶(TFT-LCD)显示器的制作中，将多个间隙壁球(Spacer balls)(图上未示)随机的与框胶 111(Sealant)混合，框胶 111 之用途是要让液晶面板中的上下两层基板能够紧密黏住，并且使面板中的液晶分子与外界阻隔，而间隙壁球主要是提供上下两层基板的支撑，在上层的可透光基板 113 进行覆盖及压合时，此间隙壁球会形成一扁平状，而由于此间隙壁球的大小形状不一，因此易造成框胶 111 的宽度控制不易，同时无法维持上下两片基板适当之间隙(Gap)，造成电场分布不均的现象，进而影响

液晶的灰阶表现。且由于框胶 111 为高分子的材质，因此易与液晶起化学反应，或是在涂布时易溢入由包含一芯片 103 的显示区 (Sensor Area) 内。为了使框胶 111 与显示区有较大的安全距离，即元件的尺寸 (Dimension) 不易缩小，一晶片可切割出的芯片数也减少，造成产率无法提升。

在前述的传统封装制作或是薄膜液晶显示器的制作中，因无法有效及准确地控制胶框的位置及宽度，因此，亟待提供一种改良的封装制作，以克服现有的封装制作所面临的问题。

【发明内容】

本发明的一目的为提供一种晶片级封装方法及结构，其是利用半导体制作来产生一间隙壁墙 (Spacer Wall)，且通过封闭框胶可置放于间隙壁墙的内侧侧壁或外侧侧壁，而精确的控制封闭框胶的位置及范围，因此，缩短封闭框胶与显示区的距离而进一步地控制元件的尺寸，使一晶片所产生的芯片数增加，因而提高产能。

本发明的另一目的为提供一晶片级封装方法及结构，其是利用半导体制作来产生一间隙壁墙 (Spacer Wall)，通过精确地控制此间隙壁墙的高度可有效地维持半导体晶片及可透光基板间间隙的均匀性，且在执行半导体晶片及可透光基板的黏合时，可通过间隙壁墙控制封闭框胶宽度的稳定性而增加合格率。

本发明的再一目的为提供一种晶片级封装方法及结构，其是利用半导体制作来产生一间隙壁墙，因此，在执行半导体晶片及可透光基板的贴合后，可预防外界的湿气进入显示区对芯片所产生的损害，且可有效地将内部产生的热排出于外部。

本发明的又一目的为提供一种晶片级封装方法及结构，其是以晶片级封装方法，利用整片晶片与一可透光基板贴合后，再对整片晶片进行切割，因此可减少在半导体制作过程中芯片掉落及尘埃 (Particle) 掉落在芯片上的机率，而提高其合格率。

根据以上所述的目的，本发明提供一种晶片级封装方法及结构，首先，

提供一半导体晶片及一可透光基板，其中此半导体晶片上包含多个芯片，且是利用半导体制作形成多个微电路于此多个芯片上。此半导体晶片是包含硅(Si)或其他半导体材料，例如砷化镓(GaAs)或磷化铟(InP)，而半导体晶片上的多个芯片是包含一具有感光效果的元件，此外，可透光基板是包含一具有光学镀膜的玻璃或石英，例如一抗反射(Anti-Reflection, AR)层、一氧化铟锡(Indium Tin Oxide, ITO)导电层、一抗红外线(IR cut)层或一抗紫外光(UV cut)层。接着，在可透光基板上沉积一介电层，例如一氧化硅层、一氮化硅层或一高分子层，其中，此高分子层可包含聚酰亚胺(Polyimide)，之后，于此介电层上沉积一光刻胶层，并对此光刻胶层执行一显影制作以暴露出其介电层，然后，以此光刻胶层为光掩层，对此介电层执行蚀刻制作，最后，将光刻胶层剥除以形成多个包含介电层之间隙壁墙结构于可透光基板上，此间隙壁墙的位置、尺寸及几何形状是参考半导体晶片上的多个芯片的位置及几何形状，此间隙壁墙的尺寸略小于芯片的尺寸，且其几何形状可为臂状物，其位置可位于对立的两侧或环绕于四周形成一矩形或四方形的形状，也或可为L形。

在上述的显影制作中，是利用半导体晶片上的多个芯片为参考图案，并利用一自动框胶机将一封闭框胶涂布并紧邻于多个间隙壁墙的外侧侧壁或内侧侧壁，此封闭框胶是可选自环氧树脂(epoxy)胶、紫外线胶(UV Adhesive)胶或热熔(thermo-plastic)胶。然后，将此可透光基板覆盖于半导体晶片上，并使半导体晶片上的多个芯片对准于可透光基板上的多个间隙壁墙，以完成此封装的程序。

上述的晶片级封装方法及结构，也可以半导体晶片作为基板，在此半导体晶片上形成间隙壁墙及封闭框胶的结构。此外，也可于半导体晶片或可透光基板上形成一间隙壁墙的结构，而于相对应的另一半导体晶片或可透光基板上形成封闭框胶，并进行与前述相同的封装程序。

【附图说明】

图 1A 至图 1C 是传统封装技术制作各步骤相应的半导体结构结面示意

图；

图 2A 至图 2F 是为根据本发明的一种晶片极封装方法的一较佳具体实施例各步骤相应的半导体结构结面示意图，其间隙壁结构是形成于一可透光基板上；及

图 3A 至图 3E 是为根据本发明的一种晶片极封装方法的另一较佳具体实施例各步骤相应的半导体结构结面示意图，其间隙壁结构是形成于一半导体晶片上。

【具体实施方式】

接下来是本发明的详细说明，下述说明中对制作与结构的描述并不包括制作的完整流程。本发明所沿用的现有技术，在此仅做重点式的引用，以助本发明的阐述。

本发明的内容可经由下述的第一较佳实施例与其相关图示(图 2A 至图 2F)的阐述来揭示。首先，参阅图 2A，分别提供一半导体晶片 200 及一可透光基板 203，此半导体晶片 200 是包含一半导体材料，例如硅(Si)、磷化铟(InP)或砷化镓(GaAs)等。每一半导体晶片 200 上是包含多个具有适当形状彼此紧邻的芯片 201(die)，例如矩形或四方形，此每一芯片 201 是包含具有感光效果的元件，例如，互补性氧化金属半导体影像感测器(CMOS image sensor)、硅基液晶(Liquid Crystal on Silicon, LCoS)、电荷耦合元件(Charge Coupled Device, CCD)等，即每一芯片 201 具有一可感光区域(未以图示)。此外，于多个芯片 201 上包含多个微电路的制作(未以图示)，更者，每一多个芯片 201 的一侧或于相对立的两侧包含多个焊垫 201A(Bonding Pads)，例如一铝焊垫，以作为半导体晶片 200 完成封装制作并执行一切割程序后与另一基板做电性连结的焊接点，此焊垫 201A 是利用化学气相沉积或物理气相沉积的方式形成。另外，可透光基板 203 包含一光学镀膜 203A，例如一具有优良导电特性的透明氧化铟锡(Indium Tin Oxide, ITO)层或一抗反射层、一抗红外线(IR cut)层、一抗紫外光(UV cut)层。

接着，参阅图 2B，首先，提供一可透光基板 203，例如一石英或一玻璃

基板，在可透光基板 203 上包含一光学镀膜层 203A，接着，在此光学镀膜层 203A 上沉积一介电层 205，此介电层 205 的材质可为氧化硅、氮化硅或一高分子薄膜(例如聚酰亚胺)，此介电层 205 是可利用化学气相沉积法(Chemical Vapor Deposition, CVD)的方式形成。

接着，如图 2C 所示，在此介电层 205 上涂布一光刻胶层 207，并利用曝光、显影及蚀刻等半导体制作得到一间隙壁墙结构 209。此间隙壁墙 209 的形成是经由下列的步骤：首先，执行一曝光制作，将一具有特定图案的光掩层(图上未示)以图案转移的方式将此图案转移至光刻胶层 207 上。接着，对此已曝光的光刻胶层 207 进行曝光后烘烤(Post Exposure Bake)的程序，以减轻驻波(Standing Wave)现象的产生。然后，进行一显影制作，将已曝光的光刻胶层 207 去除以暴露出部分介电层 205，之后，以未被移除的光刻胶层 207 为一光掩层，利用湿式蚀刻或干式蚀刻的方式，例如，氢氟酸水溶液(Hydrofluoric Acid)的湿式蚀刻方式，等离子体蚀刻(Plasma Etching)或反应性离子蚀刻(Reactive Ion Etch, RIE)的干式蚀刻方式，将此被暴露出的介电层 205 及其下的光学镀膜层 203A 移除，最后，剥除(strip)未被移除的光刻胶层 207 后形成一间隙壁墙结构 209 于可透光基板 203 上，如图 2D 所示。此间隙壁墙 209 是包含介电层 205 及光学镀膜层 203A，而间隙壁墙 209 的高度是决定于间隙壁墙 209 的材质，一般而言，高度为 0.1 至数十微米(micrometer)。

再者，间隙壁墙 209 的位置、几何形状与尺寸可根据芯片 201 的可感光区域的位置、尺寸与几何形状而定。更者，间隙壁墙 209 的位置、几何形状与尺寸也可根据芯片 201 的位置、尺寸与几何形状而定。在本发明的一实施例中，间隙壁墙 209 具有一臂状(arm)几何形状，或是以若干独立或连续或部份连续的单位壁墙结构排列成臂状(arm)几何形状。上述的臂状之间隙壁墙 209 可参考位于芯片 201 上相对立的两侧边，尺寸则略小于芯片的边长。在另一实施例中，间隙壁墙 209 的几何形状可与半导体晶片上的芯片或芯片上的可感光区域的几何形状相似，尺寸则略小于芯片的周长以保留若干间距供后续之用。要说明的是，本发明之间隙壁墙 209 的位置、几何形状与尺寸

并不限于上述实施例所述，只要可利用半导体微影步骤制作，可作为平衡并支撑可透光基板 203 与后续芯片间的固定距离者，例如 L 型等，皆不脱离本发明范围。

接着，如图 2E 所示，利用一自动框胶机(Auto Sealant Machine)，在间隙壁墙 209 的内侧侧壁或外侧侧壁形成一宽度小于 1000 微米，高度小于 200 微米的封闭框胶 211，此封闭框胶 211 的材质可为环氧树脂胶、紫外线胶或热熔胶等等，而所选用的封闭框胶 211 的材质是决定于间隙壁墙 209 的材质，例如，间隙壁墙 209 为一高分子薄膜时，例如聚酰亚胺，可选用固化(curing)速度快及无须加热特性的紫外线胶；而当间隙壁墙 209 为氧化物及氮化物薄膜时，可搭配前述任何材质的框胶。

由于形成间隙壁墙 209 的位置可根据每一芯片 201 或芯片上的可感光区域的尺寸大小，且封闭框胶 211 紧邻(adjoin)间隙壁墙 209 的内侧侧壁或外侧侧壁，因此封闭框胶 211 的位置可被控制，且可有效地缩短一芯片 201 的显示区(可感光区域)与封闭框胶 211 的距离，进而增加一晶片所得到的芯片数以提高其产能。接着，对封闭框胶 211 执行一固化制作，例如一紫外光或热制作固化程序，之后，利用一研磨制作(grinding process)研磨位于可透光基板 203 上的封闭框胶 211。接着，将一包含多个芯片 201 的半导体晶片 200 覆盖在可透光基板 203 上，且对准位于可透光基板 203 上的多个间隙壁墙 209，使得每一芯片 201 均可位于间隙壁墙 209 的结构内，再通过封闭框胶 211 将半导体晶片 200 及可透光基板 203 贴合，以完成本发明的晶片级封装程序。

由于本发明是利用半导体制作来形成间隙壁墙 209，因此，可精确的控制其高度及平坦度，所以，在进行半导体晶片及可透光基板的贴合时，可控制半导体晶片及可透光基板间间隙的均匀性。再者，由于封闭框胶 211 并非支撑与平衡半导体晶片及可透光基板之间的高度(或距离)，因此也有助于精确地控制高度及平坦度。此外，本发明也可进一步控制其胶宽的稳定性，并增加其合格率，且因不需传统之间隙壁球材料混合在此封闭框胶 211 中，所以，可减少制作步骤，并可防止传统封装方法中的框胶溢入可感光区域中，因此，框胶与可感光区域不需有较大的安全距离，进而提高其产能。

在完成本发明的晶片级封装后,以此间隙壁墙 209 为一切割道(Scribe Line),执行一切割(Scribe)程序,例如激光切割、晶片切割(Wafer Saw)等。在执行切割时,是对整片半导体晶片 200 进行切割以获得多个独立的芯片 201。当多个芯片 201 中的一侧或于相对立的两侧包含有多个焊垫 201A 时,以对此包含有多个焊垫 201A 的一侧的切割方式,是采用斜切方式,以使焊垫 201A 被暴露出并作为与外界电性连结的一接触点。由于本发明是对半导体晶片 200 封装完后再进行切割制作,因此,可缩短制造时间,且可降低因在制作过程中发生晶片的掉落及减少尘埃(particle)掉落在芯片 201 上的机率,因此可有效地提升产品的合格率。

图 2F 是辅助说明在图 2E 中,一半导体晶片 200 与一可透光基板 203 贴合情形的示意图。

本发明的内容可经由下述的第二较佳实施例与其相关图示(图 3A 至图 3E)的阐述来揭示。首先,参阅图 3A,分别提供一半导体晶片 300 及一可透光基板 303,此半导体晶片 300 是包含一半导体材料,例如硅、磷化铟或砷化镓等。每一半导体晶片 300 上是包含多个具有适当形状且彼此紧邻的芯片 301,例如矩形或四方形,此每一多个芯片 301 是包含具有感光效果的元件,例如,互补性氧化金属半导体影像感测器、硅基液晶、电荷耦合元件等,即每一芯片 301 具有一可感光区域(未以图示)。此外,于多个芯片 301 上包含多个微电路的制作(未以图示),更者,于每一多个芯片 301 的一侧或于相对立的两侧包含多个焊垫 301A,例如一铝焊垫,作为半导体晶片 300 完成封装制作并执行一切割程序后与另一基板作电性连结的焊接点,此焊垫 301A 是利用化学气相沉积或物理气相沉积的方式形成。另外,可透光基板 303 上包含一光学镀膜 303A,例如一具有优良导电特性的透明氧化铟锡(Indium Tin Oxide, ITO)层、一抗反射层、一抗红外线(IR cut)层或一抗紫外光(UV cut)层。

接着,参阅图 3B,沉积一介电层 305 于此半导体晶片 300 上,其中此半导体晶片 300 上包含多个芯片 301,而此介电层 305 的材料可为氧化硅、氮化硅或一高分子薄膜(例如聚酰亚胺),接着,在此介电层 305 上涂布一光刻胶层 307,此介电层 305 及此光刻胶层 307 是可利用化学气相沉积法的方式形

成。

在介电层 305 上沉积一光刻胶层 307 后,接着,如图 3C 所示,利用曝光、显影及蚀刻等半导体制作得到一间隙壁墙结构 309 于半导体晶片 300 上的每一多个芯片 301 表面的相对立的两侧。此间隙壁墙 309 的形成是经由下列的步骤:首先,执行一微影制作,将一具有特定图案的光掩层(图上未示)以图案转移的方式将图案转移至光刻胶层 307 上,接着,对此已曝光的光刻胶层 307 进行曝光后烘烤的程序,以减轻驻波现象的产生。然后,将已曝光的光刻胶层 307 去除以暴露出部分介电层 305,之后,以未被移除的光刻胶层 307 为一光掩层,利用湿式蚀刻或干式蚀刻的方式,例如,氢氟酸水溶液(Hydrofluoric Acid)的湿式蚀刻方式,等离子体蚀刻(Plasma Etching)或反应性离子蚀刻(Reactive Ion Etch, RIE)的干式蚀刻方式,将暴露出的介电层 305 移除,最后,未被移除的光刻胶层 307 被剥除后,形成一间隙壁墙结构 309 于半导体晶片 300 上的每一多个芯片 301 表面上,例如相对立的两边,此间隙壁墙 309 是包含介电层 305,而间隙壁墙 309 的高度是决定于间隙壁墙 309 的材质,一般而言,其高度为 0.1 至数十微米(micrometer)之间。

再者,间隙壁墙 309 的位置、几何形状与尺寸可根据芯片 301 的可感光区域的位置、尺寸与几何形状而定。更者,间隙壁墙 309 的位置、几何形状与尺寸也可依据芯片 301 的位置、尺寸与几何形状而定。在本发明的一实施例中,间隙壁墙 309 具有一臂状(arm)几何形状,或是以若干独立或连续或部份连续的单位壁墙结构排列成臂状(arm)几何形状。上述的臂状之间隙壁墙 309 可于芯片 301 上相对立的两侧边,尺寸则略小于芯片的边长。在另一实施例中,间隙壁墙 309 的几何形状可与芯片的几何形状相似,尺寸则略小于芯片的周长以保留若干间距供后续之用。要说明的是,本发明之间隙壁墙 309 的位置与尺寸并不限于上述实施例所述,只要可利用半导体微影步骤制作,可作为平衡并支撑可透光基板 303 与后续芯片间的固定距离者,例如 L 型等,皆不脱离本发明范围。

接着,如图 3D 所示,利用一自动框胶机,在此间隙壁墙 309 的内侧侧壁或外侧侧壁形成一宽度小于 1000 微米,高度小于 200 微米的封闭框胶

311, 此封闭框胶 311 的材质是可为环氧树脂胶、紫外线胶或热熔胶等等, 而所选用的封闭框胶 311 的材质是决定于间隙壁墙 309 的材质, 例如, 间隙壁墙 309 为一高分子薄膜时, 例如聚酰亚胺, 可选用固化速度快及无须加热特性的紫外线胶, 而当间隙壁墙 309 为氧化物及氮化物薄膜时, 可搭配前述任何材质的框胶。

由于形成间隙壁墙 309 的位置是根据每一芯片 301 的尺寸大小来决定, 且封闭框胶 311 紧邻间隙壁墙 309 的内侧侧壁或外侧侧壁, 因此封闭框胶 311 的位置可被控制, 而有效地缩短包含一芯片 301 的可感光区域与封闭框胶 311 的距离, 进而增加一晶片所得到的芯片数以提高其产能。接着, 封闭的框胶 311 执行一固化制作, 例如一紫外光或热制作固化程序, 之后, 利用一研磨制作研磨位于半导体晶片 300 上的封闭框胶 311, 然后, 覆盖一包含光学镀膜 303A 的可透光基板 303 于半导体晶片 300 上, 例如一玻璃或一石英基板, 并对准于半导体晶片 300 上的多个间隙壁墙结构 309, 使得每一芯片 301 均可位于间隙壁墙 309 的结构内, 再通过封闭框胶 311 将半导体晶片 300 与可透光基板 303 贴合, 以完成本发明的晶片级封装程序。由于本发明是利用半导体制作来形成间隙壁墙 309, 因此, 可精确的控制其间隙壁墙 309 的高度及其平坦度, 也因此在进行半导体晶片及可透光基板的贴合时, 可控制半导体晶片及可透光基板间间隙的均匀性并进一步控制其胶宽的稳定性, 而增加其产品的合格率。另外, 因不需传统之间隙壁球材料混合在封闭框胶 311 中, 所以, 可减少制作步骤, 且可防止传统封装方法的框胶溢入可感光区域中, 所以, 框胶与可感光区域不需有较大的安全距离, 因此, 可增加其产能。

接着, 在完成本发明的晶片级封装程序后, 以此间隙壁墙 309 为一切割道, 执行一切割程序, 例如激光切割、晶片切割等。在执行切割时, 对整片半导体晶片 300 进行切割以获得多个独立的芯片 301, 当多个芯片 301 中的一侧或于相对立的两侧包含有多个焊垫 301A 时, 以对包含有多个焊垫 301A 的一侧的切割方式, 是采用斜切方式, 以使焊垫 301A 被暴露出以作为与外界电性连结的一接触点。由于本发明是以完成半导体晶片 300 封装后, 再进行切割制作, 因此, 可缩短制造时间, 且可降低因在制作过程中发生芯片的掉

落及减少尘埃掉落在芯片 301 上的机率，因此可有效地提升产品的合格率。

图 3E 是用来辅助说明在图 3D 中，一半导体晶片 300 与一可透光基板 303 贴合情形的示意图。

经由上述的第一及第二较佳实施例的说明后，可清楚地了解到本发明也有其他的实施方式，例如，其间隙壁墙结构可分别形成于一半导体晶片或一可透光基板上，而其封闭框胶也可涂布于所相对应的另一半导体晶片或一可透光基板上，之后再进行一切割程序，以得到封装完成的每一分离的独立晶片。

由以上对本发明有关的较佳实施例的阐述，可了解本发明优点的一为形成一间隙壁墙结构，此间隙壁墙结构的形成可精确地控制其封闭框胶的位置，进而控制元件的尺寸，因此，可增加一晶片在切割后所得到的芯片数。此外，通过精确地控制此间隙壁墙的高度，因此，可控制半导体晶片及可透光基板间间隙的均匀性及框胶宽度的稳定性，且是于进行半导体晶片与可透光基板的贴合后再执行一切割制作，因此，可提高其产能。

以上所述仅为本发明的较佳实施例，并非用以限定本发明的申请专利权利。同时以上的描述对于熟知本技术领域的技术人员应可明了及实施，因此其他未脱离本发明所揭露的精神下所完成的等效改变或修饰，均应包含在权利要求书的范围中。

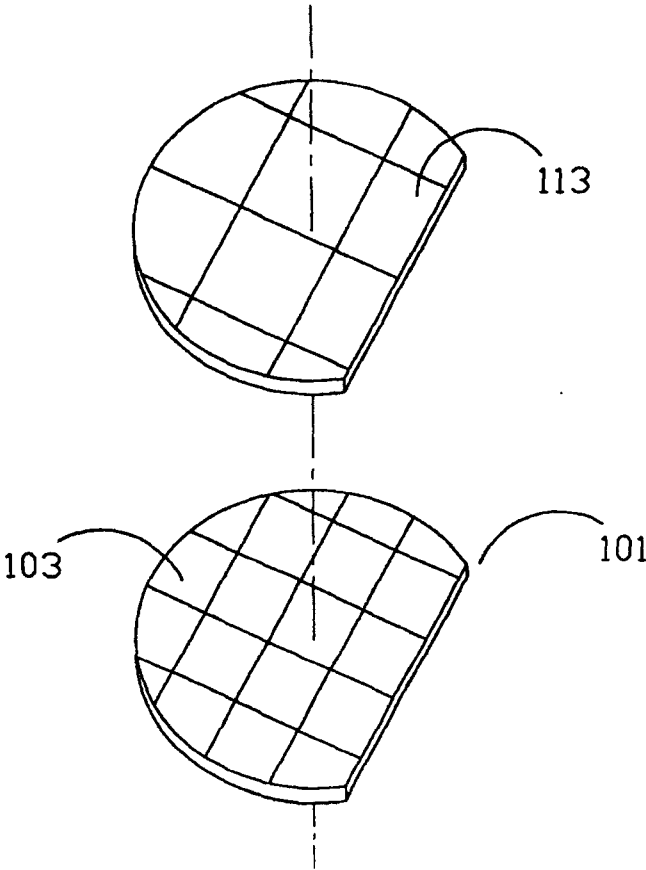


图 1A

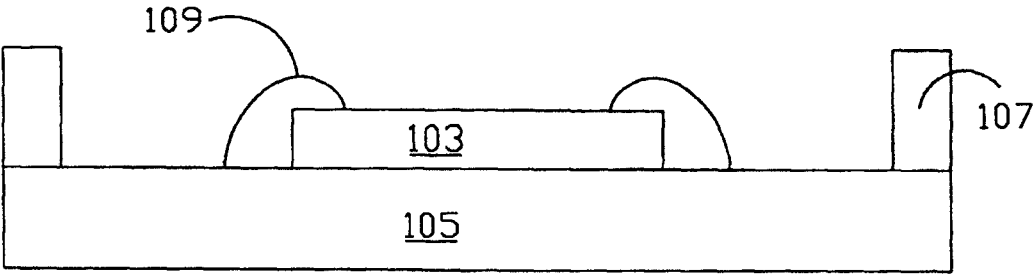


图 1B

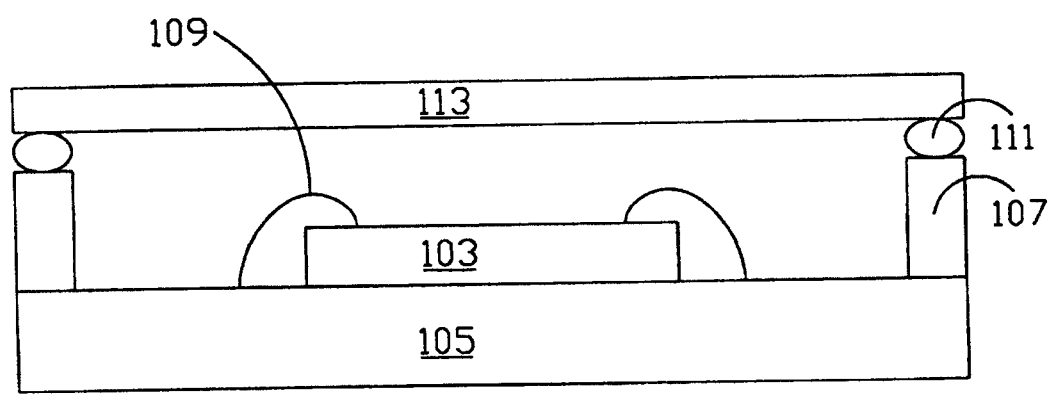


图 10

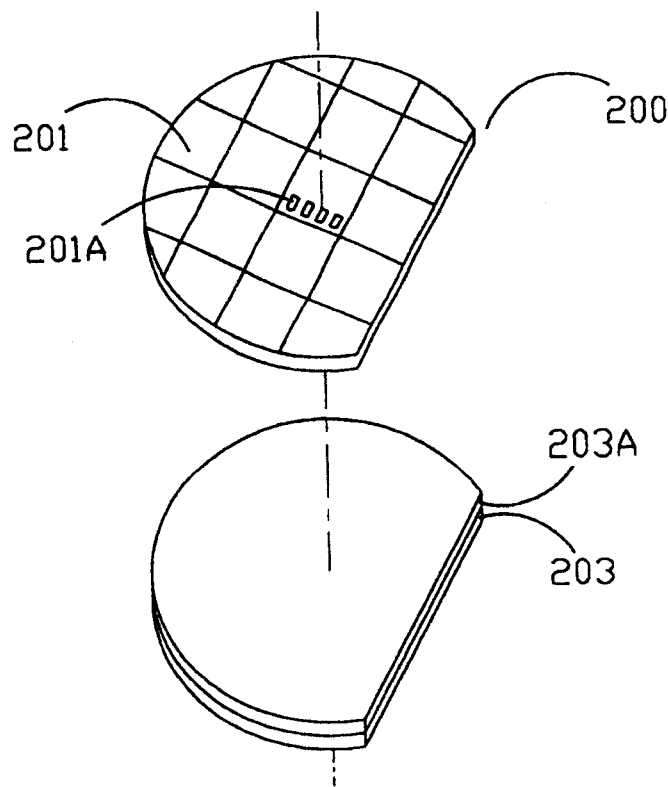


图 2A

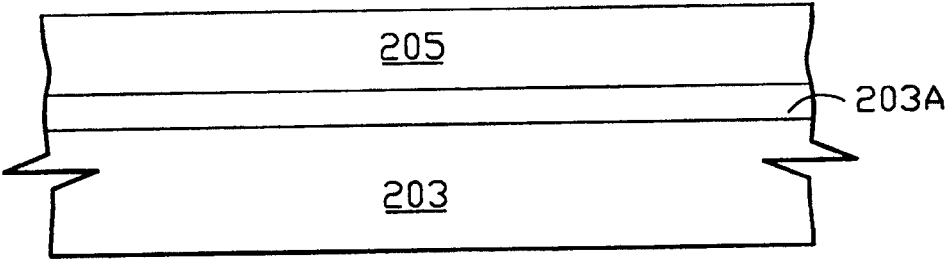


图 2B

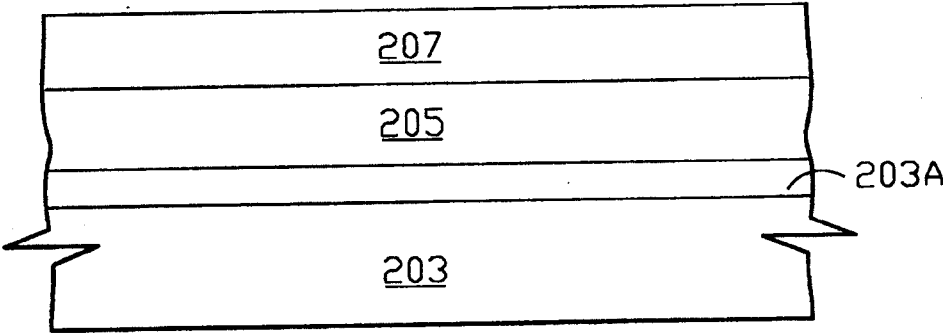


图 2C

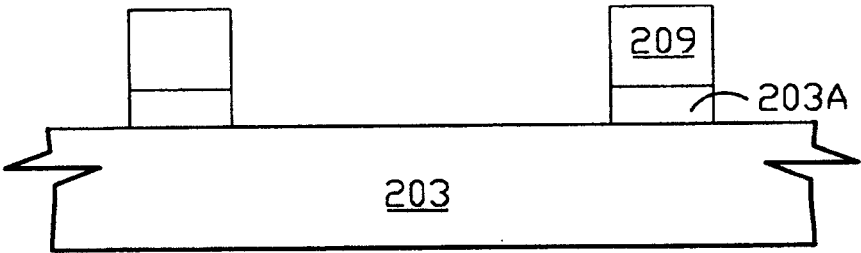


图 2D

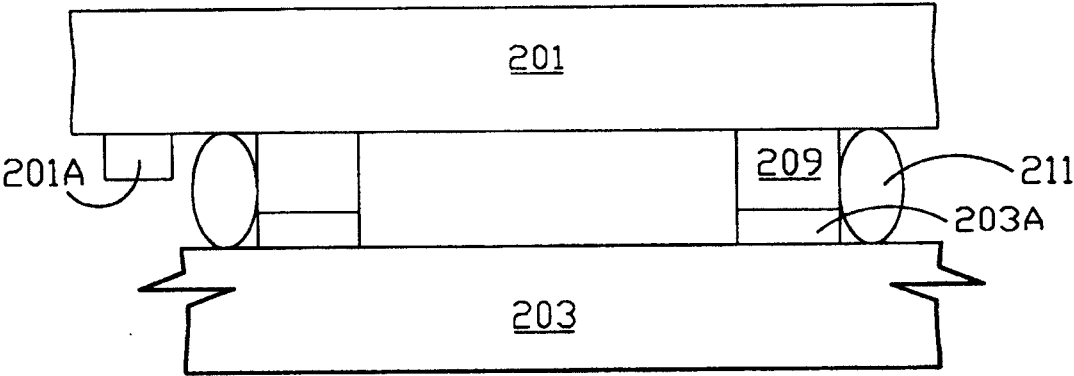


图 2E

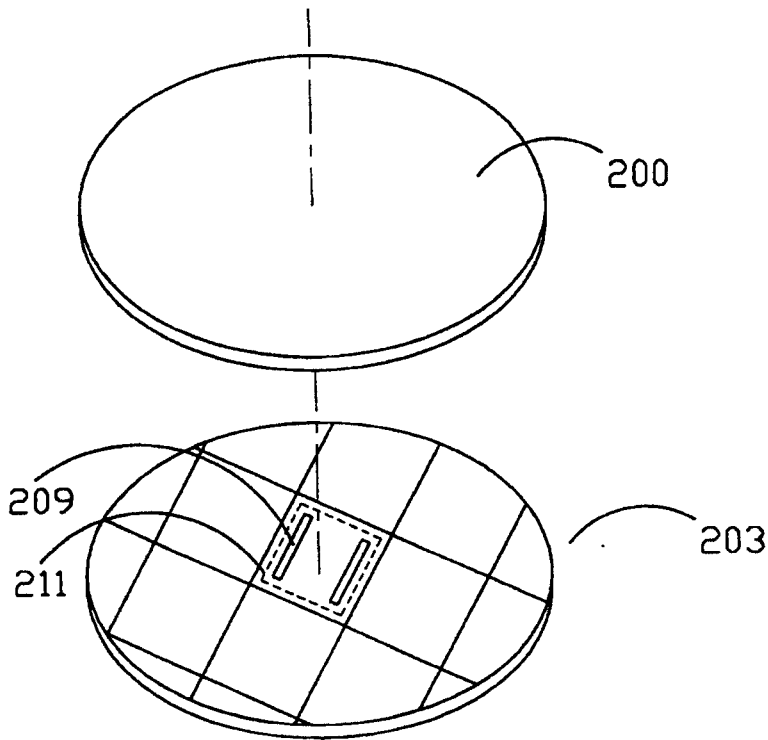


图 2F

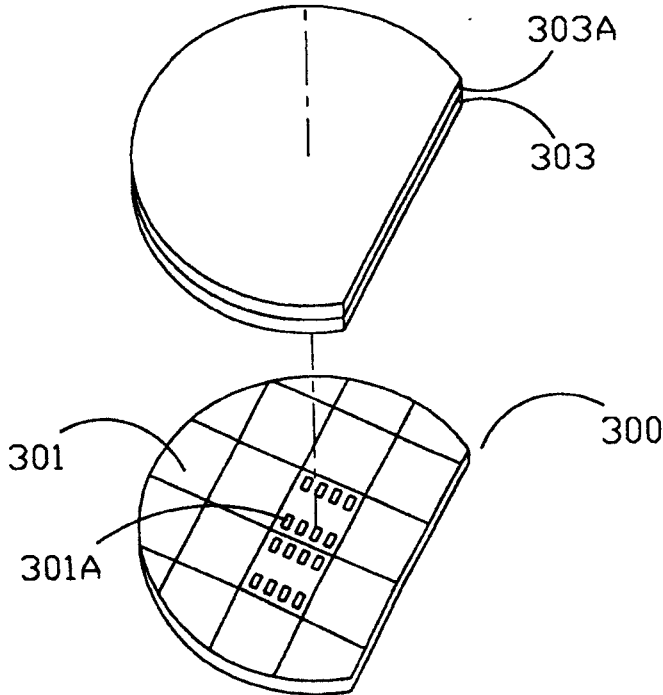


图 3A

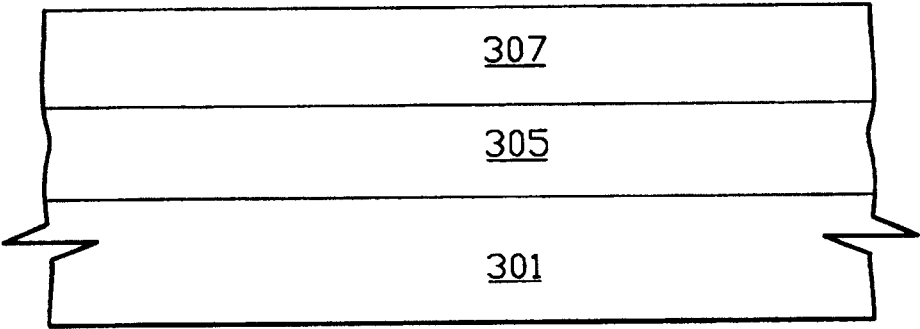


图 3B

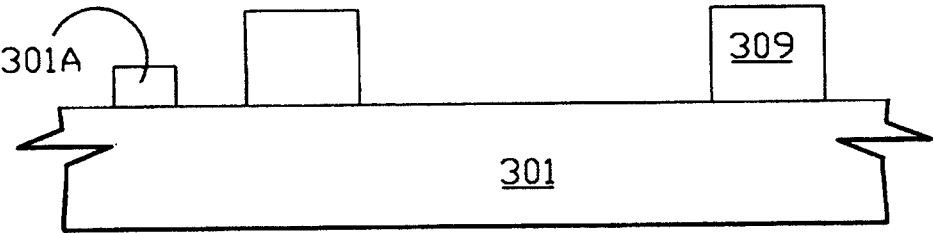


图 3C

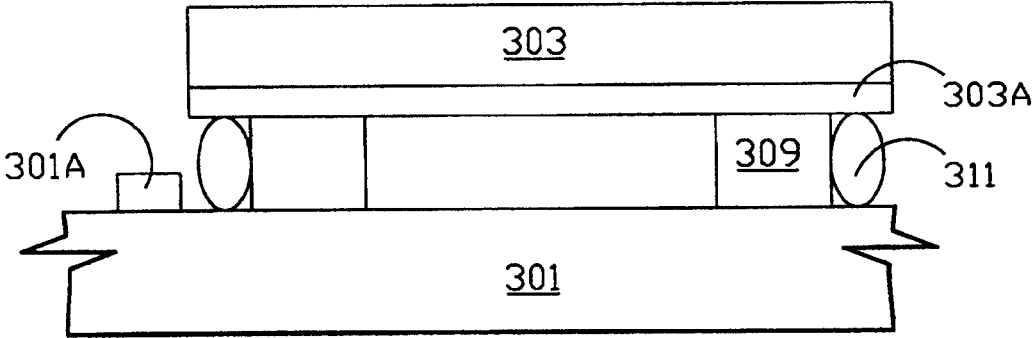


图 3D

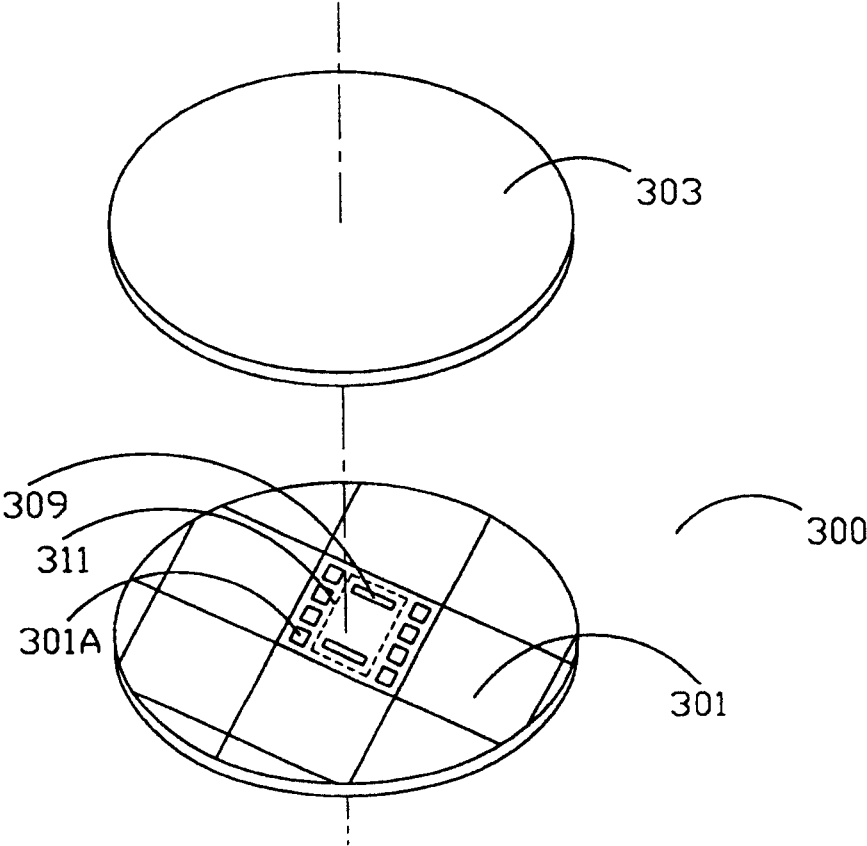


图 3E