

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年7月18日(2019.7.18)

【公表番号】特表2018-525825(P2018-525825A)

【公表日】平成30年9月6日(2018.9.6)

【年通号数】公開・登録公報2018-034

【出願番号】特願2018-506392(P2018-506392)

【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/8239 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 43/08 (2006.01)

H 0 1 L 43/12 (2006.01)

【F I】

H 0 1 L 21/88 Z

H 0 1 L 27/105 4 4 7

H 0 1 L 43/08 Z

H 0 1 L 43/12

【手続補正書】

【提出日】令和1年6月14日(2019.6.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デバイスの製作の方法であって、

デバイスの論理デバイスに結合された第1のメタライゼーション層を形成するステップと、

前記デバイスの磁気抵抗ランダムアクセスメモリ(MRAM)モジュールに結合された専用メタライゼーション層を形成するステップであって、前記専用メタライゼーション層が前記第1のメタライゼーション層とは異なる、ステップとを含むことを特徴とする方法。

【請求項2】

前記第1のメタライゼーション層が、バック・エンド・オブ・ライン(BEOL)メタライゼーションプロセスを使用して形成され、前記専用メタライゼーション層が、前記MRAMモジュールに関連する1つまたは複数の構成要素を形成することを専用とするメタライゼーションプロセスを使用して形成される請求項1に記載の方法。

【請求項3】

前記BEOLメタライゼーションプロセスが、メタライゼーション層の正の整数nを指定し、前記デバイスが少なくともn+1個のメタライゼーション層を含む請求項2に記載の方法。

【請求項4】

前記専用メタライゼーション層が、ダマシンプロセスを実施して前記1つまたは複数の構成要素を形成し、前記1つまたは複数の構成要素が、前記MRAMモジュールのビット

線または前記 M R A M モジュールのアレイ接点の 1 つまたは複数を含む請求項 2 に記載の方法。

【請求項 5】

前記専用メタライゼーション層を形成した後に、第 3 のメタライゼーション層を形成するステップをさらに含み、前記第 1 のメタライゼーション層が、前記第 3 のメタライゼーション層に関連する第 2 のピッチ未満の第 1 のピッチに関連付けられ、前記専用メタライゼーション層が、前記第 1 のメタライゼーション層の前記第 1 のピッチを利用して、前記 M R A M モジュールに関連する 1 つまたは複数の構成要素を形成するように構成され、前記 1 つまたは複数の構成要素が抵抗ベースの記憶素子を含む請求項 1 に記載の方法。

【請求項 6】

前記第 1 のメタライゼーション層を形成する前記ステップ、および前記専用メタライゼーション層を形成する前記ステップが、命令を実行するプロセッサによって開始され、前記専用メタライゼーション層が前記論理デバイスと共有されない請求項 1 に記載の方法。

【請求項 7】

デバイスの製作中にプロセッサに動作を開始させるように前記プロセッサによって実行可能である命令を記憶するコンピュータ可読媒体であって、前記動作が、

デバイスの論理デバイスに結合された第 1 のメタライゼーション層を形成すること、および

前記デバイスの磁気抵抗ランダムアクセスメモリ (M R A M) モジュールに結合された専用メタライゼーション層を形成することであって、前記専用メタライゼーション層が前記第 1 のメタライゼーション層とは異なること

を含むことを特徴とするコンピュータ可読媒体。

【請求項 8】

第 1 のメタライゼーション層の第 1 の構造であって、集積回路の論理デバイスに結合された第 1 の構造と、

専用メタライゼーション層の第 2 の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ (M R A M) モジュールの 1 つまたは複数の抵抗ベースの記憶素子に結合され、前記第 1 の構造とは異なる、第 2 の構造と

を備えることを特徴とする装置。

【請求項 9】

前記 M R A M モジュールが、モジュール接点と、前記モジュール接点に結合された結合素子と、アレイ接点とをさらに含む請求項 8 に記載の装置。

【請求項 10】

前記第 1 の構造および前記第 2 の構造を含む半導体ダイをさらに備える請求項 8 に記載の装置。

【請求項 11】

データファイルを生成する方法であって、

半導体デバイスの少なくとも 1 つの物理的性質を表す設計情報を受け取るステップであって、前記半導体デバイスが、

第 1 のメタライゼーション層の第 1 の構造であって、集積回路の論理デバイスに結合された第 1 の構造と、

専用メタライゼーション層の第 2 の構造であって、前記集積回路の磁気抵抗ランダムアクセスメモリ (M R A M) モジュールの 1 つまたは複数の抵抗ベースの記憶素子に結合され、前記第 1 の構造とは異なる、第 2 の構造と

を備える、ステップと、

ファイルフォーマットに準拠するように前記設計情報を変換するステップと、

変換した設計情報を含むデータファイルを生成するステップと

を含むことを特徴とする方法。

【請求項 12】

前記データファイルが G D S I I フォーマットを有し、前記設計情報がライブラリファ

イルを含む請求項 1 1 に記載の方法。

【請求項 1 3】

前記設計情報が、前記論理デバイスを表示する論理デバイス設計情報を含み、前記 M R A M モジュールを表示する M R A M モジュール設計情報をさらに含む請求項 1 1 に記載の方法。

【請求項 1 4】

前記第 1 の構造が接点またはビアを含み、前記専用メタライゼーション層が前記論理デバイスと共有されない請求項 1 1 に記載の方法。

【請求項 1 5】

前記第 2 の構造が、前記 M R A M モジュールのビット線または前記 M R A M モジュールのアレイ接点を含む請求項 1 1 に記載の方法。