



공개특허 10-2022-0084204

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0084204
(43) 공개일자 2022년06월21일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/1368* (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/1368 (2013.01)
- (21) 출원번호 10-2022-7019745(분할)
- (22) 출원일자(국제) 2014년05월08일
심사청구일자 2022년06월10일
- (62) 원출원 특허 10-2021-7036098
원출원일자(국제) 2014년05월08일
심사청구일자 2021년11월04일
- (85) 번역문제출일자 2022년06월10일
- (86) 국제출원번호 PCT/JP2014/062900
- (87) 국제공개번호 WO 2014/185480
국제공개일자 2014년11월20일
- (30) 우선권주장
JP-P-2013-103708 2013년05월16일 일본(JP)
- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
야마자키 슈페이
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야케 히로유키
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
황의만

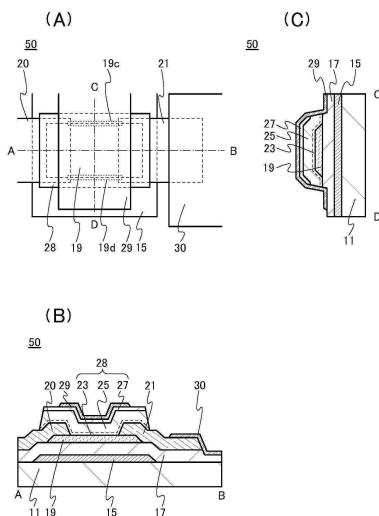
전체 청구항 수 : 총 3 항

(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 산화물 반도체를 포함하는 반도체 장치에 있어서, 게이트 BT 스트레스에 의한 기생 채널의 형성을 억제한 반도체 장치를 제공하는 것을 과제로 한다. 또는, 전기 특성이 뛰어난 트랜지스터를 포함하는 반도체 장치를 제공하는 것을 과제로 한다. 제1 게이트 전극 및 제2 게이트 전극의 사이에 산화물 반도체막이 제공되는 듀얼 게이트 구조의 트랜지스터, 및 제1 게이트 전극 또는 제2 게이트 전극과 산화물 반도체막 사이에 제공되는 게이트 절연막을 포함하고, 제1 게이트 전극 또는 제2 게이트 전극과 산화물 반도체막의 측면이 트랜지스터의 채널 폭 방향에서 산화물 반도체막, 제1 게이트 전극, 또는 제2 게이트 전극 사이의 게이트 절연막을 통하여 마주보는 반도체 장치이다.

대 표 도 - 도1



(52) CPC특허분류

H01L 29/78648 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

오카자키 켄이치

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

하야카와 마사히코

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

마츠다 신페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

트랜지스터를 가지는 반도체 장치로서,

상기 트랜지스터는,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 절연막;

상기 제 1 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 게이트 전극을 가지고,

상기 트랜지스터의 채널 길이 방향의 단면시에서, 상기 제 2 절연막의 단부는 상기 제 2 게이트 전극의 단부보다 외측에 위치하고,

상기 트래지스터의 채널 폭 방향의 단면시에서, 상기 제 1 절연막은, 상기 산화물 반도체막과 중첩되는 제 1 영역과, 상기 제 2 절연막, 상기 제 1 게이트 전극, 및 상기 제 2 게이트 전극 중 어느 것과도 중첩되지 않는 제 2 영역을 가지고,

상기 제 1 영역의 막 두께는 상기 제 2 영역의 막 두께보다 크고,

상기 채널 폭 방향의 단면시에서, 상기 제 2 게이트 전극은 상기 제 1 게이트 전극과 중첩되지 않는 제 3 영역을 가지고,

상기 제 3 영역에서, 상기 제 2 게이트 전극의 바닥면은 상기 산화물 반도체막의 상면보다 하방에 위치하는, 반도체 장치.

청구항 2

트랜지스터를 가지는 반도체 장치로서,

상기 트랜지스터는,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 절연막;

상기 제 1 절연막 위의 산화물 반도체막;

상기 산화물 반도체막 위의 제 2 절연막; 및

상기 제 2 절연막 위의 제 2 게이트 전극을 가지고,

상기 트랜지스터의 채널 길이 방향의 단면시에서, 상기 제 2 절연막의 단부는 상기 제 2 게이트 전극의 단부보다 외측에 위치하고,

상기 트래지스터의 채널 폭 방향의 단면시에서, 상기 제 1 절연막은, 상기 산화물 반도체막과 중첩되는 제 1 영역과, 상기 제 2 절연막, 상기 제 1 게이트 전극, 및 상기 제 2 게이트 전극 중 어느 것과도 중첩되지 않는 제 2 영역을 가지고,

상기 제 1 영역의 막 두께는 상기 제 2 영역의 막 두께보다 크고,

상기 채널 폭 방향의 단면시에서, 상기 제 2 게이트 전극은 상기 제 1 게이트 전극과 중첩되지 않는 제 3 영역을 가지고,

상기 제 3 영역에서, 상기 제 2 게이트 전극의 바닥면은 상기 산화물 반도체막의 바닥면보다 하방에 위치하는,

반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 절연막은 산화 실리콘과 질화 실리콘의 적층 구조를 가지는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체막을 포함하는 트랜지스터를 갖는 반도체 장치 및 그 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 형성하는 기술이 주목 받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막을 위한 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0003] 예를 들면, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물 반도체를 포함하는 트랜지스터가 개시되어 있다(특허문헌 1 참조).

[0004] 또한, 산화물 반도체층을 적층 구조로 형성함으로써, 캐리어의 이동도를 향상시키는 기술이 개시되어 있다(특허 문헌 2, 특허문헌 3 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2006-165528호 공보

(특허문헌 0002) 일본국 특개 2011-138934호 공보

(특허문헌 0003) 일본국 특개 2011-124360호 공보

발명의 내용

해결하려는 과제

[0006] 산화물 반도체막을 포함하는 트랜지스터에서, 산화물 반도체막에 포함되는 결함량이 많은 것은, 트랜지스터의 전기 특성의 불량으로 이어짐과 동시에, 시간 경과나 스트레스 시험(예를 들면, BT(Bias-Temperature) 스트레스 시험)에서, 문턱 전압의 변동량이 증대되는 것의 원인이 된다.

[0007] 예를 들면, 산화물 반도체를 이용한 트랜지스터는 게이트 BT 스트레스(특히 플러스 바이어스) 인가 후의 트랜지스터 특성(드레인 전류-게이트 전압 곡선(Id-Vg 곡선))에서, 문턱 전압에서의 드레인 전류가 서서히 증가하는 불량이 발생한다. 이것은, 산화물 반도체의 측면의 n형화에 의해, 게이트 전극과 중첩되는 산화물 반도체막의 측면에서 형성되는 기생채널이 원인일 수 있다. 불량은 소자 분리를 위한 가공에서의 대미지에 의해 산화물 반도체막의 측면에서 형성되고, 산화물 반도체의 측면은 불순물 부착 등에 의해 오염된다. 따라서, 상기 영역에 전계 등의 스트레스가 인가되면, 산화물 반도체막의 단부는 활성화하여 n형(저저항을 갖는)이 되기 쉽고, 결과적으로 기생 채널이 형성된다.

[0008] 또한, 산화물 반도체막에 포함되는 결함으로서 산소 결손이 있다. 예를 들면, 산소 결손이 포함된 산화물 반도체막을 이용하여 형성된 트랜지스터에서, 문턱 전압이 마이너스 방향으로 변동하여, 노멀리-온 특성을 갖기 쉽다. 이것은, 산화물 반도체막에 포함되는 산소 결손에 기인하여 전하가 생기고 따라서 저항이 감소하기 때문이다. 트랜지스터가 노멀리-온 특성을 가지면, 반도체 장치의 동작 시에 동작 불량이 발생하기 쉬워지거나, 또는

비동작 시의 소비 전력이 높아지는 여러가지 문제가 생긴다. 또한, 시간 경과나 스트레스 시험에 의해, 트랜지스터의 전기 특성의 변동량, 대표적으로 문턱 전압의 변동량이 증대된다는 문제가 있다.

[0009] 따라서, 본 발명의 일양태는 산화물 반도체를 포함하고, 게이트 BT 스트레스에 의한 기생 채널의 형성을 억제한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 나아가, 전기 특성이 뛰어난 트랜ジ스터를 포함하는 반도체 장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 일양태는 제1 게이트 전극 및 제2 게이트 전극의 사이에 산화물 반도체막이 제공되는 듀얼 게이트 구조의 트랜지스터; 제1 게이트 전극 및 제2 게이트 전극과 산화물 반도체막과의 사이에 제공되는 게이트 절연막을 포함하고; 트랜지스터의 채널 폭 방향에서 제1 게이트 전극 또는 제2 게이트 전극 및 산화물 반도체막의 측면이 산화물 반도체막, 제1 게이트 전극 또는 제2 게이트 전극 사이의 게이트 절연막을 통하여 마주보는 반도체 장치이다.

[0011] 또한, 본 발명의 일양태는 트랜지스터를 포함하는 반도체 장치이다. 트랜지스터는 산화물 반도체막의 한쪽의 면과 마주보는 제1 게이트 전극; 산화물 반도체막의 다른 한쪽의 면과 마주보는 제2 게이트 전극; 산화물 반도체막 및 제1 게이트 전극의 사이에 제공되는 제1 게이트 절연막; 산화물 반도체막 및 제2 게이트 전극의 사이에 제공되는 제2 게이트 절연막; 산화물 반도체막에 접촉하는 한쌍의 전극을 포함한다. 트랜지스터의 채널 폭 방향에서 제1 게이트 전극 또는 제2 게이트 전극과 산화물 반도체막의 측면이 산화물 반도체막, 제1 게이트 전극 또는 제2 게이트 전극 사이의 제1 게이트 절연막 또는 제2 게이트 절연막을 통하여 마주보는 반도체 장치이다.

[0012] 단, 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막은 인접하는 트랜지스터에 형성되는, 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막과 분리되어 있어도 좋다.

[0013] 또한, 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막은, 이러한 막 표면에 대하여 수직인 방향에서 봤을 때, 산화물 반도체막이 사이에 위치하도록 제공된 복수의 개구부를 가지고 있어도 좋다.

[0014] 또한, 제1 게이트 전극 및 제2 게이트 전극은 서로 접속되어 있어도 좋다.

[0015] 또한, 한쌍의 전극의 한쪽과 접속하는 도전막이 제공되어도 좋다. 이 도전막은 화소 전극으로서 기능한다.

[0016] 또한, 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막은 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 포함하고 있어도 좋다. 단, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 승온 이탈 가스 분광법(Thermal Desorption Spectroscopy, TDS)에 의한 분석에서, 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상이다.

[0017] 트랜지스터의 채널 폭 방향에서 제1 게이트 전극 또는 제2 게이트 전극이 게이트 절연막을 개재하고 산화물 반도체막의 측면과 마주보면, 제1 게이트 전극 또는 제2 게이트 전극의 전계의 영향에 의해, 산화물 반도체막의 측면 또는 그 근방에서의 기생 채널의 발생이 억제된다. 이 결과, 문턱 전압에서의 드레인 전류가 급격히 상승하여, 전기 특성이 뛰어난 트랜지스터가 된다. 또한, 트랜지스터의 채널 폭 방향에서 산화물 반도체막의 측면과 제2 게이트 전극의 가장 짧은 간격이 $0.5 \mu\text{m}$ 이상 $1.5 \mu\text{m}$ 이하인 것이 바람직하다. 이 결과, 산화물 반도체막과 제2 게이트 전극의 단락을 막을 수 있고, 수율을 높일 수 있다.

[0018] 또한, 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막이, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화물 절연막을 포함함으로써 게이트 절연막, 제1 게이트 절연막 또는 제2 게이트 절연막에 포함되는 산소가 산화물 반도체막으로 이동하여, 산화물 반도체막의 산소 결손을 저감할 수 있다. 이 결과, 트랜지스터는 노멀리-오프 특성을 갖는다. 또한, 시간 경과나 스트레스 시험에 의한, 트랜지스터의 전기 특성, 대표적으로 문턱 전압의 변동량을 저감할 수 있다.

발명의 효과

[0019] 본 발명의 일양태에 의해, 산화물 반도체를 포함하는 반도체 장치에서, 게이트 BT 스트레스에 의한 기생 채널의 형성을 억제한 반도체 장치를 제공할 수 있다. 또한, 전기 특성이 뛰어난 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0020]

도 1의 (A) 내지 도 1의 (C)는 트랜지스터의 일양태를 설명하는 상면도 및 단면도이다.

도 2의 (A) 내지 도 2의 (J)는 트랜지스터의 제작 방법의 일양태를 설명하는 단면도이다.

도 3의 (A) 내지 도 3의 (C)는 트랜지스터의 일양태를 설명하는 상면도 및 단면도이다.

도 4의 (A) 내지 도 4의 (C)는 트랜지스터의 일양태를 설명하는 상면도 및 단면도이다.

도 5의 (A) 내지 도 5의 (C)는 트랜지스터의 일양태를 설명하는 상면도 및 단면도이다.

도 6의 (A) 내지 도 6의 (D)는 트랜지스터의 제작 방법의 일양태를 설명하는 단면도이다.

도 7의 (A) 및 도 7의 (B)는 트랜지스터의 구조를 설명하는 단면도이다.

도 8의 (A) 및 도 8의 (B)는 전류 전압 곡선을 계산한 결과를 설명하는 도면이다.

도 9의 (A) 및 도 9의 (B)는 트랜지스터의 포텐셜을 계산한 결과를 설명하는 도면이다.

도 10의 (A) 및 도 10의 (B)는 모델을 설명하는 도면이다.

도 11의 (A) 내지 도 11의 (C)는 모델을 설명하는 도면이다.

도 12의 (A) 내지 도 12의 (C)는 전류 전압 곡선을 계산한 결과를 설명하는 도면이다.

도 13의 (A) 내지 도 13의 (C)는 트랜지스터의 일양태를 설명하는 단면도이다.

도 14는 트랜지스터의 일양태를 설명하는 단면도이다.

도 15의 (A) 내지 도 15의 (D)는 트랜지스터의 일양태를 설명하는 상면도 및 단면도이다.

도 16의 (A) 내지 도 16의 (C)는 트랜지스터의 밴드 구조를 설명하는 도면이다.

도 17은 산화물 반도체의 극미 전자선 회절 패턴을 나타내는 도면이다.

도 18의 (A) 내지 도 18의 (C)는 반도체 장치의 일양태를 설명하는 상면도이다.

도 19의 (A) 및 도 19의 (B)는 반도체 장치의 일양태를 설명하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0021]

이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 여러가지로 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 실시형태 및 실시예에서, 동일 부분 또는 같은 기능을 갖는 부분에는, 동일한 부호 또는 동일한 해석 패턴을 다른 도면간에서 공통적으로 이용하고, 그 반복의 설명은 생략한다.

[0022]

단 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위해서 과장되는 경우가 있다. 따라서, 본 발명의 실시예는 반드시 그 스케일로 한정되는 것은 아니다.

[0023]

또한, 본 명세서에서 이용하는 "제1", "제2", "제3" 등의 용어는 구성 요소의 혼동을 피하기 위해서 붙인 것이고, 수적으로 한정하는 것은 아니다. 그 때문에, 예를 들면, "제1"을 "제2" 또는 "제3" 등으로 적절히 대체하여 설명할 수 있다.

[0024]

예를 들면, "소스" 나 "드레인"의 기능은 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바꿔는 때가 있다. 따라서, 본 명세서에서는, "소스"나 "드레인"의 용어는 서로 바꿔서 이용할 수 있는 것으로 한다.

[0025]

단, 전압이란 2점간에서의 전위차에 대한 것을 말하고, 전위란 어느 한점에서의 정전장 내에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어느 한점에서의 전위와 기준이 되는 전위(예를 들면 접지 전위)와의 전위차를, 단지 전위 혹은 전압이라고 부르고, 전위와 전압이 동의어로서 이용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋다.

[0026]

본 명세서에서, 포토리소그래피 공정을 행한 후에 에칭 공정을 행하는 경우는, 포토리소그래피 공정에서 형성된

마스크는 제거한다.

[0027] (실시형태 1)

[0028] 본 실시형태에서는, 본 발명의 일양태인 반도체 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다.

[0029] 도 1의 (A) 내지 도 1의 (C)에, 반도체 장치에 포함된 트랜지스터(50)의 상면도 및 단면도를 나타낸다. 도 1의 (A) 내지 도 1의 (C)에 나타내는 트랜지스터(50)는 채널 예칭형의 트랜지스터이다. 도 1의 (A)는 트랜지스터(50)의 상면도이고, 도 1의 (B)는 도 1의 (A)의 일점 쇄선 A-B간의 단면도이고, 도 1의 (C)는 도 1의 (A)의 일점 쇄선 C-D간의 단면도이다. 도 1의 (A)에서는, 명료화를 위해, 기판(11), 게이트 절연막(17), 산화물 절연막(23), 산화물 절연막(25), 질화물 절연막(27) 등을 생략한다.

[0030] 도 1의 (B) 및 도 1의 (C)에 나타내는 트랜지스터(50)는 기판(11) 위의 게이트 전극(15); 기판(11) 및 게이트 전극(15) 위에 제공되는 게이트 절연막(17); 게이트 절연막(17)을 개재하고 게이트 전극(15)과 중첩되는 산화물 반도체막(19); 산화물 반도체막(19)에 접촉하는 한쌍의 전극(20, 21); 게이트 절연막(17), 산화물 반도체막(19), 및 한쌍의 전극(20, 21) 위의 게이트 절연막(28); 게이트 절연막(28) 및 게이트 절연막(17) 위의 게이트 전극(29)을 포함한다. 또한, 게이트 절연막(28)은 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)을 포함한다. 또한, 한쌍의 전극(20, 21)의 하나(여기에서는 전극(21))에 접속하는 전극(30)이 게이트 절연막(17) 위에 형성된다. 단, 전극(30)은 화소 전극으로서 기능한다.

[0031] 본 실시형태에 나타내는 트랜지스터(50)에서, 게이트 전극(15) 및 게이트 전극(29)의 사이에 산화물 반도체막(19)이 제공된다. 인접하는 트랜지스터와 분리된 게이트 절연막(28)이 산화물 반도체막(19)과 중첩한다. 구체적으로는, 도 1의 (B)에 나타내는 채널 길이 방향에서 한쌍의 전극(20, 21) 위에 게이트 절연막(28)의 단부가 위치하고, 도 1의 (C)에 나타내는 채널 폭 방향에서 산화물 반도체막(19)의 외측에 게이트 절연막(28)의 단부가 위치한다. 도 1의 (C)에 도시된 바와 같이, 채널 폭 방향에서, 산화물 반도체막(19)와 게이트 절연막(28) 사이의 인터페이스가 제1 인터페이스로 지칭되고 게이트 절연막(28)과 게이트 전극(29) 사이의 인터페이스가 제2 인터페이스로 지칭되는 경우, 제1 인터페이스와 제2 인터페이스 사이의 최소 간격은 $0.5 \mu m$ 이상 $1.5 \mu m$ 이하인 것이 바람직하다. 즉, 산화물 반도체막(19)의 측면과 게이트 전극(29)의 가장 짧은 간격이 $0.5 \mu m$ 이상 $1.5 \mu m$ 이하인 것이 바람직하다. 이 경우, 게이트 전극(29)과 산화물 반도체막(19) 사이의 단락을 막을 수 있고, 수율을 높일 수 있다.

[0032] 산화물 반도체막(19)은, 대표적으로는, In-Ga 산화물막, In-Zn 산화물막, In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 등을 이용하여 형성된다.

[0033] 예칭 등으로 가공된 산화물 반도체막의 단부는, 가공에서의 대미지에 의해 결함이 형성되고, 산화물 반도체막의 단부는 불순물의 부착 등에 의해 오염된다. 따라서, 전계 등의 스트레스가 인가됨으로써, 산화물 반도체막의 단부는 활성화하여 n형(저저항)이 되기 쉽다. 따라서, 본 실시형태에서는 게이트 전극(15)과 중첩되는 산화물 반도체막(19)의 단부에서 n형화하기 쉬워진다. 상기 n형화된 단부가 도 1의 (A)의 파선(19c, 19d)과 같이 한쌍의 전극(20, 21)의 사이에 형성되면, n형화된 영역이 캐리어의 패스가 되어, 기생 채널이 형성된다. 그러나, 도 1의 (C)에 나타내는 바와 같이, 채널 폭 방향에서 게이트 전극(29)이 게이트 절연막(28)을 개재하고 산화물 반도체막(19)의 측면과 마주보면, 게이트 전극(29)의 전계의 영향에 의해, 산화물 반도체막(19)의 측면 또는 그 근방에서의 기생 채널의 발생이 억제된다. 이 결과, 문턱 전압에서의 드레인 전류가 급격히 상승하는, 전기 특성이 뛰어난 트랜지스터가 된다.

[0034] 또한, 게이트 전극(15) 및 게이트 전극(29)에 의해, 외부로부터의 전계가 차단될 수 있다; 따라서, 기판(11) 및 게이트 전극(15)의 사이, 게이트 전극(29) 위에 형성되는 하전 입자 등의 전하가 산화물 반도체막(19)에 영향을 주지 않는다. 이 결과, 스트레스 시험(예를 들면, -GBT(Gate Bias-Temperature) 스트레스 시험)의 열화가 감소될 수 있고, 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동을 억제할 수 있다. 단, 이 효과는 게이트 전극(15) 및 게이트 전극(29)이 같은 전위, 또는 다른 전위인 경우에 발생한다.

[0035] BT 스트레스 시험은 가속 시험의 일종이며, 장기간의 사용에 의해 일어나는 트랜지스터의 특성 변화(즉, 시간에 따른 변화)를 단시간에 평가할 수 있다. 특히, BT 스트레스 시험 전후에서의 트랜지스터의 문턱 전압의 변동량은 트랜지스터의 신뢰성을 조사하기 위한 중요한 지표가 된다. BT 스트레스 시험 전후에서, 문턱 전압의 변동량이 적을수록, 트랜지스터는 높은 신뢰성을 갖는다.

[0036] 다음에, 구체적인 BT 스트레스 시험 방법에 대하여 설명한다. 처음에, 트랜지스터의 초기 특성을 측정한다. 다음에, 트랜지스터가 형성된 기판의 온도(기판 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인으로

서 기능하는 한쌍의 전극을 같은 전위로 하고, 소스 및 드레인으로서 기능하는 한쌍의 전극과는 다른 전위를 게이트 전극에 일정 시간 공급한다. 기판 온도는 시험 목적에 따라 적절히 설정하면 좋다. 다음에, 기판의 온도를 초기 특성을 측정했을 때와 같은 온도로 하고, 트랜지스터의 전기 특성을 다시 측정한다. 이 결과, 초기 특성에서의 문턱 전압, 및 BT 스트레스 시험 후의 전기 특성에서의 문턱 전압의 차이를, 문턱 전압의 변동량으로서 얻을 수 있다.

[0037] 단, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 높은 경우를 포지티브 GBT(+GBT) 스트레스 시험이라고 하고, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 마이너스 GBT(-GBT) 스트레스 시험이라고 한다. 광을 조사하면서 BT 스트레스 시험을 행하는 것을 GBT 광스트레스 시험이라고 한다. 광이 조사되고, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 높은 경우를 포지티브 GBT 광스트레스 시험이라고 하고, 광이 조사되고, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 네거티브 GBT 광스트레스 시험이라고 한다.

[0038] 동일한 전극을 갖는 게이트 전극(15) 및 게이트 전극(29)으로, 문턱 전압의 변동량이 저감된다. 따라서, 복수의 트랜지스터에서의 전기 특성의 편차도 동시에 저감된다. 또한, 산화물 반도체막(19)에서 캐리어가 흐르는 영역이 막 두께 방향에서 보다 커지기 때문에, 캐리어의 이동량이 증가한다. 이 결과, 트랜지스터(50)의 온-상태 전류가 커짐과 동시에, 전계 효과 이동도가 높아진다. 대표적으로는 전계 효과 이동도가 $20 \text{ cm}^2/\text{V}\cdot\text{s}$ 이상이 된다.

[0039] 또한, 산화물 반도체막(19) 위에 형성되는 게이트 절연막(28)에서, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함된다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의해 산소의 일부가 이탈한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 TDS 분석에서, 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다.

[0040] 게이트 절연막(28)에서, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함되면, 게이트 절연막(28)에 포함되는 산소의 일부를 산화물 반도체막(19)으로 이동시켜, 산화물 반도체막(19)에 포함되는 산소 결손을 저감할 수 있다.

[0041] 산화물 반도체막 내에 산소 결손이 포함된 산화물 반도체막을 이용하여 형성된 트랜지스터는 문턱 전압이 마이너스 방향으로 변동하기 쉽고, 노멀리-온 특성이 되기 쉽다. 이것은 산화물 반도체막에 포함되는 산소 결손에 기인하여 전하가 생겨 저저항화하기 때문이다. 트랜지스터가 노멀리-온 특성을 가지면, 동작 시에 동작 불량이 발생하기 쉬워지거나, 또는 비동작 시의 소비 전력이 높아지는 등 여러가지 문제가 생긴다. 또한, 시간 경과나 스트레스 시험에 의해, 트랜지스터의 전기 특성의 변동량, 대표적으로 문턱 전압의 변동량이 증대된다는 문제가 있다.

[0042] 그러나, 본 실시형태에 나타내는 트랜지스터(50)는 산화물 반도체막(19) 위에 형성되는 게이트 절연막(28)에 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함된다. 이 결과, 게이트 절연막(28)에 포함되는 산소가 산화물 반도체막(19)으로 이동하여, 산화물 반도체막(19)의 산소 결손을 저감할 수 있다. 이 결과, 노멀리-오프 특성을 갖는 트랜지스터가 된다. 또한, 시간 경과나 스트레스 시험에 의한, 트랜지스터의 전기 특성의 변동량, 대표적으로 문턱 전압의 변동량을 저감할 수 있다.

[0043] 이하에, 트랜지스터(50)의 구성의 상세한 사항에 대하여 설명한다.

[0044] 기판(11)의 재질 등에 큰 제한은 없지만, 적어도 후의 열처리에 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(11)으로서 이용해도 좋다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon-on-Insulator) 기판 등을 기판(11)으로서 이용해도 좋다. 또한, 이러한 기판 위에 반도체 소자가 더 제공된 것을 기판(11)으로서 이용해도 좋다. 그 대신에, 이러한 기판 위에 반도체 소자가 제공된 것을 기판(11)으로서 이용해도 좋다. 기판(11)으로서, 유리 기판을 이용하는 경우, 다음의 크기를 갖는 유리 기판을 이용할 수 있다: 제6 세대($1500 \text{ mm} \times 1850 \text{ mm}$), 제7 세대($1870 \text{ mm} \times 2200 \text{ mm}$), 제8 세대($2200 \text{ mm} \times 2400 \text{ mm}$), 제9 세대($2400 \text{ mm} \times 2800 \text{ mm}$), 제10 세대($2950 \text{ mm} \times 3400 \text{ mm}$) 등의 크기를 갖는 유리 기판을 이용할 수 있다. 따라서, 대형의 표시 장치를 제작할 수 있다.

[0045] 또한, 기판(11)으로서 가요성 기판을 이용하고, 가요성 기판 위에 직접, 트랜지스터(50)를 제공될 수 있다. 또

는, 기판(11)과 트랜지스터(50)의 사이에 박리층이 제공될 수 있다. 박리층은 그 위에 반도체 장치를 일부 혹은 전부 형성한 후, 기판(11)으로부터 분리하고, 다른 기판에 전재하는데 이용할 수 있다. 그 때, 트랜지스터(50)는 내열성이 뒤떨어지는 기판이나 가요성의 기판에도 전재할 수 있다.

[0046] 게이트 전극(15)은 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 텉스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 이용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속 원소를 이용해도 좋다. 또한, 게이트 전극(15)은, 단층 구조여도, 2층 이상의 적층 구조여도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화 타이타늄막 위에 구리막을 적층하는 2층 구조, 타이타늄막, 알루미늄막, 타이타늄막을 순서대로 적층하는 3층 구조 등이 있다. 또한, 알루미늄에 타이타늄, 탄탈럼, 텉스텐, 몰리브데넘, 크로뮴, 네오디뮴, 스칸듐으로부터 선택된 원소의 막, 또는 복수 조합한 합금막, 혹은 질화막이 이용될 수 있다.

[0047] 또한, 게이트 전극(15)은 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용하여 형성될 수 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상기 금속 원소를 이용하여 적층 구조를 갖는 것도 가능하다.

[0048] 게이트 절연막(17)은 예를 들면 하나 이상의 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물, 질화 실리콘을 이용하여 적층 또는 단층을 갖도록 형성될 수 있다.

[0049] 또한, 게이트 절연막(17)이 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_{x0}N_z$), 질소가 첨가된 하프늄 알루미네이트($\text{HfAl}_{x0}N_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써 형성될 수 있고, 트랜지스터의 게이트 누설 전류를 저감할 수 있다.

[0050] 게이트 절연막(17)의 두께는 5 nm 이상 400 nm 이하, 10 nm 이상 300 nm 이하, 또는 50 nm 이상 250 nm 이하이다.

[0051] 산화물 반도체막(19)은, 대표적으로는, In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)이 있다.

[0052] 또한, 산화물 반도체막(19)이 In-M-Zn 산화물일 때, In과 M의 합이 100 atomic%인 경우 In과 M의 비율은: In의 원자수 비율이 25 atomic% 이상이고 M의 원자수 비율이 75 atomic% 미만, 또는 In의 원자수 비율이 34 atomic% 이상이고 M의 원자수 비율이 66 atomic% 미만이다.

[0053] 산화물 반도체막(19)의 에너지 갭은 2 eV 이상, 2.5 eV 이상, 또는 3 eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터(50)의 오프 전류를 저감할 수 있다.

[0054] 산화물 반도체막(19)의 두께는 3 nm 이상 200 nm 이하, 3 nm 이상 100 nm 이하, 또는 3 nm 이상 50 nm 이하로 한다.

[0055] 산화물 반도체막(19)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, In-M-Zn 산화물을 형성하기 위해 이용하는 스퍼터링 타겟의 금속 원소의 원자수비는 $\text{In} \geq \geq \text{M}$, $\text{Zn} \geq \geq \text{M}$ 을 만족하는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소의 원자수비로서 $\text{In:M:Zn}=1:1:1$, $\text{In:M:Zn}=1:1:1.2$, $\text{In:M:Zn}=3:1:2$ 가 바람직하다. 또한, 성막되는 산화물 반도체막(19)의 원자수비는 각각 오차로서 상기의 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 변동을 포함한다.

[0056] 산화물 반도체막(19)으로서는, 캐리어 밀도가 낮은 산화물 반도체막을 이용한다. 예를 들면, 캐리어 밀도가 $1 \times 10^{17} \text{ 개}/\text{cm}^3$ 이하, $1 \times 10^{15} \text{ 개}/\text{cm}^3$ 이하, $1 \times 10^{13} \text{ 개}/\text{cm}^3$ 이하, 또는 $1 \times 10^{11} \text{ 개}/\text{cm}^3$ 이하인 산화물 반도체막이 산화물 반도체막(19)으로서 이용될 수 있다.

[0057] 또한, 이것들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성이 이용될 수 있다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 산화물 반도체막(19)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0058]

또한, 불순물 농도가 낮고, 결합 준위 밀도가 낮은 산화물 반도체막을 산화물 반도체막(19)으로서 이용함으로써, 트랜지스터는 더욱 뛰어난 전기 특성을 가질 수 있다. 여기에서는, 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적음) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수가 있는 경우가 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성이 되는 경우가 적다(드물게 노멀리-온). 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 저밀도 결합 상태를 가지므로, 적은 캐리어 트랩을 가지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 현저하게 작고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 의 소자여도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1 V에서 10 V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 되는 경우가 있다. 또한 산화물 반도체막의 트랩 준위에 포함된 전하는 소실하기까지 필요로 하는 시간이 길고, 마치 고정 전하와 같이 행동할 수 있다. 따라서, 고밀도 트랩 상태를 갖는 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다. 불순물의 예로서, 수소, 질소, 알칼리 금속, 및 알칼리 토금속을 포함한다.

[0059]

산화물 반도체막에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 이탈한 격자(또는 산소가 이탈한 부분)에 산소 결손을 형성한다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함된 산화물 반도체를 이용한 트랜지스터는 노멀리-온 특성이 되기 쉽다.

[0060]

따라서, 산화물 반도체막(19)은 산소 결손과 함께, 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(19)에서, 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에 의해 측정된 수소 농도는, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하이다.

[0061]

산화물 반도체막(19)에서, 제14 족 원소의 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체막(19)에서 산소 결손이 증가하여, n형화하게 된다. 따라서, 산화물 반도체막(19)에서의 실리콘이나 탄소의 농도(2차 이온 질량 분석법에 의해 측정된 농도)는 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하이다.

[0062]

또한, 산화물 반도체막(19)에서, 2차 이온 질량 분석법에 의해 측정된 알칼리 금속 또는 알칼리 토금속의 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 또는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하이다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 따라서, 산화물 반도체막(19)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0063]

또한, 산화물 반도체막(19)에 질소가 포함되어 있으면, 캐리어인 전자가 생기고 캐리어 밀도가 증가하여, n형화하기 쉽다. 이 결과, 질소가 포함된 산화물 반도체를 이용한 트랜지스터는 노멀리-온 특성이 되기 쉽다. 따라서, 상기 산화물 반도체막에서, 질소는 가능한 한 저감된 것이 바람직하고, 예를 들면, SIMS에 의해 측정된 질소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0064]

또한, 산화물 반도체막(19)은, 예를 들면 비단결정 구조여도 좋다. 비단결정 구조는 예를 들면, 후술하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에서, 비정질 구조는 결합 준위 밀도가 가장 높고, CAAC-OS는 결합 준위 밀도가 가장 낮다.

[0065]

산화물 반도체막(19)은, 예를 들면 비정질 구조여도 좋다. 비정질 구조의 산화물 반도체막은, 예를 들면, 원자 배열이 무질서하고, 결정 성분을 갖지 않는다. 또는, 비정질 구조의 산화물막은, 예를 들면, 완전한 비정질 구조이며, 결정부를 갖지 않는다.

[0066]

또한, 산화물 반도체막(19)이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역의 2종 이상을 갖는 혼합막이어도 좋다. 혼합막은, 예를 들면, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 둘 이상의 영역을 포함하는 경우가

있다. 또한, 혼합막은, 예를 들면, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 둘 이상의 영역의 적층 구조를 갖는 경우가 있다.

[0067] 한쌍의 전극(20, 21)은 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텉스텐으로 이루어지는 단체 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 이용한다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막을 적층하는 2층 구조, 텉스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텉스텐막 위에 구리막을 적층하는 2층 구조, 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 알루미늄막 또는 구리막을 이 순서대로 적층하고, 또한 그 위에 타이타늄막 또는 질화 타이타늄막을 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 알루미늄막 또는 구리막을 이 순서대로 적층하고, 또한 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함하는 투명 도전 재료를 이용해도 좋다.

[0068] 게이트 절연막(28)은 산화물 반도체막(19)에 접촉하는 산화물 절연막(23), 산화물 절연막(23)에 접촉하는 산화물 절연막(25), 산화물 절연막(25)에 접촉하는 질화물 절연막(27)을 갖는다. 게이트 절연막(28)은, 적어도, 화학량론적 조성의 산소보다 많은 산소를 포함하는 산화물 절연막을 갖는 것이 바람직하다. 여기에서는, 산화물 절연막(23)으로서 산소를 투과하는 산화물 절연막을 형성한다. 산화물 절연막(25)으로서 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화물 절연막을 형성한다. 질화물 절연막(27)으로서 수소 및 산소를 차단하는 질화물 절연막을 형성한다.

[0069] 산화물 절연막(23)은 산소를 투과하는 산화물 절연막이다. 따라서, 산화물 절연막(23) 위에 형성되는, 산화물 절연막(25)으로부터 이탈하는 산소를, 산화물 절연막(23)을 통하여 산화물 반도체막(19)으로 이동시킬 수 있다. 또한, 산화물 절연막(23)은 후에 형성하는 산화물 절연막(25)을 형성할 때의 산화물 반도체막(19)에 대한 대미지 완화막으로서도 기능한다.

[0070] 산화물 절연막(23)으로서는, 두께가 5 nm 이상 150 nm 이하, 또는 5 nm 이상 50 nm 이하의 산화 실리콘, 산화 질화 실리콘 등을 이용할 수 있다. 또한, 본 명세서 중에서, 산화 질화 실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, 질화 산화 실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 막을 가리킨다.

[0071] 또한, 산화물 절연막(23)은 결함량이 적은 것이 바람직하고, 대표적으로는, 전자 스펜 공명(ESR)측정에 의해, 실리콘의 댱글링 본드에 유래하는 $g=2.001$ 로 나타나는 신호의 스펜 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하인 것이 바람직하다. 이것은, 산화물 절연막(23)에 포함되는 결함 밀도가 많으면 상기 결함에 산소가 결합하게 되고, 산화물 절연막(23)에서의 산소의 투과량이 감소하게 되기 때문이다.

[0072] 또한, 산화물 절연막(23)과 산화물 반도체막(19)의 계면에서의 결함량이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 산화물 반도체막(19)의 결함에 유래하는 $g=1.93$ 에 나타나는 신호의 스펜 밀도가 $1 \times 10^{17} \text{ spins/cm}^3$ 이하, 또한 검출 하한 이하인 것이 바람직하다.

[0073] 또한 산화물 절연막(23)에서는, 외부로부터 산화물 절연막(23)으로 들어간 산소가 모두 산화물 절연막(23)의 외부로 이동하는 경우가 있다. 또는, 외부로부터 산화물 절연막(23)으로 들어간 산소의 일부가 산화물 절연막(23)에 머무르는 경우도 있다. 또한, 외부로부터 산화물 절연막(23)에 산소가 들어가고 산화물 절연막(23)에 포함되는 산소가 산화물 절연막(23)의 외부로 이동함으로써, 산화물 절연막(23)에서 산소의 이동이 생기는 경우도 있다.

[0074] 산화물 절연막(23)에 접촉하도록 산화물 절연막(25)이 형성된다. 산화물 절연막(25)은, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 이용하여 형성한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의해 산소의 일부가 이탈한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화물 절연막은, TDS 분석에서, 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다.

[0075] 산화물 절연막(25)으로서는, 두께가 30 nm 이상 500 nm 이하, 또는 50 nm 이상 400 nm 이하의 산화 실리콘막, 산화 질화 실리콘막 등을 이용할 수 있다.

[0076] 또한, 산화물 절연막(25)은 결함량이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의해, 실리콘의 댱글링

본드에 유래하는 $g=2.001$ 에 나타나는 신호의 스픈 밀도가 1.5×10^{18} spins/cm³ 미만, 또한 1×10^{18} spins/cm³ 이하인 것이 바람직하다. 또한, 산화물 절연막(25)은 산화물 절연막(23)과 비교하여 산화물 반도체막(19)으로부터 떨어져서 제공된다. 따라서, 산화물 절연막(25)은 산화물 절연막(23)보다 결함 밀도가 많을 수 있다.

[0077] 질화물 절연막(27)은 적어도 수소 및 산소의 차단 효과를 갖는다. 또는, 질화물 절연막(27)은 산소, 물, 알칼리 금속, 알칼리 토금속 등의 차단 효과를 갖는다.

[0078] 질화물 절연막(27)은 두께가 50 nm 이상 300 nm 이하, 또는 100 nm 이상 200 nm 이하의 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등을 이용하여 형성된다.

[0079] 또한, 질화물 절연막(27) 대신에, 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막이 제공될 수 있다. 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막으로서는, 산화 알루미늄막, 산화 질화 알루미늄막, 산화 갈륨막, 산화 질화 갈륨막, 산화 이트륨막, 산화 질화 이트륨막, 산화 하프늄막, 산화 질화 하프늄막 등이 있다.

[0080] 게이트 전극(29) 및 전극(30)은 투광성 도전막을 이용한다. 투광성 도전막의 예로서, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등이 있다.

[0081] 다음에, 도 1의 (A) 내지 도 1의 (C)에 나타내는 트랜지스터(50)의 제작 방법에 대하여, 도 2의 (A) 내지 도 2의 (J)를 이용하여 설명한다. 또한 도 2의 (A), 도 2의 (C), 도 2의 (E), 도 2의 (G), 도 2의 (I)는 각각, 도 1의 (B)에 나타내는 트랜지스터(50)를 제작 공정을 나타내는 채널 길이 방향의 단면도이다. 도 2의 (B), 도 2의 (D), 도 2의 (F), 도 2의 (H), 도 2의 (J)는 각각, 도 1의 (C)에 나타내는 트랜지스터(50)의 제작 공정을 나타내는 채널 폭 방향의 단면도이다.

[0082] 도 2의 (A) 및 도 2의 (B)에 나타내는 바와 같이, 기판(11) 위에 게이트 전극(15)을 형성하고, 후에 게이트 절연막(17)이 되는 절연막(16)이 게이트 전극(15) 위에 형성된다. 다음에, 절연막(16) 위에 산화물 반도체막(19)을 형성한다.

[0083] 여기에서는, 기판(11)으로서 유리 기판을 이용한다.

[0084] 게이트 전극(15)의 형성 방법을 아래에 나타낸다. 처음에, 스퍼터링법, CVD법, 증착법 등에 의해 도전막을 형성하고, 도전막 위에 제1 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막의 일부를 에칭하여, 게이트 전극(15)을 형성한다. 이 후, 마스크를 제거한다.

[0085] 또한, 게이트 전극(15)은 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크젯법 등으로 형성해도 좋다.

[0086] 여기에서는, 두께 100 nm의 텅스텐막을 스퍼터링법에 의해 형성한다. 다음에, 포토리소그래피 공정에 의해 마스크를 형성하고, 상기 마스크를 이용하여 텅스텐막을 드라이 에칭하여, 게이트 전극(15)을 형성한다.

[0087] 절연막(16)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.

[0088] 절연막(16)으로서 산화 실리콘막, 산화 질화 실리콘막, 또는 질화 산화 실리콘막을 형성하는 경우, 원료 가스로서는, 실리콘을 포함하는 퇴적성 기체 및 산화성 기체를 이용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표예로서는, 실란, 다이실란, 트라이실란, 불화 실란 등이 있다. 산화성 기체의 예로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0089] 더욱이, 절연막(16)으로서 산화 갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 이용할 수 있다.

[0090] 산화물 반도체막(19)의 형성 방법에 대하여, 이하에 설명한다. 절연막(16) 위에, 산화물 반도체막(19)이 되는 산화물 반도체막을 형성한다. 다음에, 산화물 반도체막 위에, 제2 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한 후, 이 마스크를 이용하여 산화물 반도체막의 일부를 에칭한다. 따라서, 도 2의 (A) 및 도 2의 (B)에 나타내는 것과 같은, 소자 분리된 산화물 반도체막(19)을 형성한다. 이 후, 마스크를 제거한다.

[0091] 후에 산화물 반도체막(19)이 되는 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등을 이용하여 형성할 수 있다.

[0092] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC

전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.

[0093] 스팍터링 가스는 희가스(대표적으로는 아르곤), 산소 가스, 또는 희가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대해서 산소의 가스비를 높이는 것이 바람직하다.

[0094] 또한, 타겟은 형성하는 산화물 반도체막의 조성에 맞추어, 적절히 선택될 수 있다.

[0095] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 얻기 위해서는, 챔버 내의 고진공 배기 외에 스팍터링 가스의 고순도화도 요구된다. 스팍터링 가스로서 이용하는 산소 가스나 아르곤 가스는 노점이 -40°C 이하, -80°C 이하, -100°C 이하, 또는 -120°C 이하까지 고순도화한 가스를 이용함으로써 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 막을 수 있다.

[0096] 여기에서는, In-Ga-Zn 산화물 타겟(In:Ga:Zn=3:1:2)을 이용한 스팍터링법에 의해, 산화물 반도체막으로서 두께 35 nm의 In-Ga-Zn 산화물막을 형성한다. 다음에, 산화물 반도체막 위에 마스크를 형성하고, 산화물 반도체막의 일부를 선택적으로 에칭하여, 산화물 반도체막(19)을 형성한다.

[0097] 다음에, 도 2의 (C) 및 도 2의 (D)에 나타내는 바와 같이, 한쌍의 전극(20, 21)을 형성한다.

[0098] 한쌍의 전극(20, 21)의 형성 방법을 이하에 설명한다. 먼저, 스팍터링법, CVD법, 증착법 등으로 도전막을 형성한다. 다음에, 이 도전막 위에 제3 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막을 에칭하여, 한쌍의 전극(20, 21)을 형성한다. 이 후, 마스크를 제거한다.

[0099] 여기에서는, 두께 50 nm의 텅스텐막 및 두께 300 nm의 구리막을 차례로 스팍터링법에 의해 적층한다. 다음에, 구리막 위에 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 상기 마스크를 이용하여 웨트 에칭법에 의해 구리막을 에칭한다. 다음에, SF₆를 이용한 드라이 에칭법에 의해 텅스텐막을 에칭함으로써, 이 에칭에서 구리막의 표면에 불화물이 형성된다. 이 불화물에 의해 구리막에서의 구리 원소의 확산이 저감되어 산화물 반도체막(19)에서의 구리 농도를 저감할 수 있다.

[0100] 다음에, 도 2의 (E) 및 도 2의 (F)에 나타내는 바와 같이, 산화물 반도체막(19) 및 한쌍의 전극(20, 21) 위에, 후에 산화물 절연막(23)이 되는 산화물 절연막(22), 및 후에 산화물 절연막(25)이 되는 산화물 절연막(24)을 형성한다.

[0101] 또한, 산화물 절연막(22)을 형성한 후, 대기에 노출하지 않고, 연속적으로 산화물 절연막(24)을 형성하는 것이 바람직하다. 산화물 절연막(22)을 형성한 후, 대기 개방하지 않고, 원료 가스의 유량, 압력, 고주파 전력, 및 기판 온도 중 적어도 하나를 조정하여, 산화물 절연막(24)을 연속적으로 형성함으로써, 산화물 절연막(22) 및 산화물 절연막(24) 사이의 계면에서 대기 성분에 유래한 불순물 농도를 저감할 수 있고, 산화물 절연막(24)에 포함되는 산소를 산화물 반도체막(19)으로 이동시킬 수 있다. 따라서, 산화물 반도체막(19)의 산소 결손량을 저감할 수 있다.

[0102] 산화물 절연막(22)으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 280°C 이상 400°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 20 Pa 이상 250 Pa 이하, 또는 100 Pa 이상 250 Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의해, 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0103] 산화물 절연막(22)의 원료 가스로서는, 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 이용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표예로서는, 실란, 다이실란, 트라이실란, 불화 실란 등이 있다. 산화성 기체의 예로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0104] 상기 조건을 이용함으로써, 산화물 절연막(22)으로서 산소를 투과하는 산화물 절연막을 형성할 수 있다. 또한, 산화물 절연막(22)을 형성함으로써, 후에 형성하는 산화물 절연막(25)의 형성 공정에서, 산화물 반도체막(19)에 대한 대미지 저감이 가능하다.

[0105] 또한, 산화물 절연막(22)은 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 280°C 이상 400°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의해, 산화물 절연막(22)으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0106] 상기 막의 형성 조건에서, 기판 온도를 상기 온도로 함으로써, 실리콘 및 산소의 결합력이 강해진다. 이 결과, 산화물 절연막(22)으로서, 산소가 투과하는 치밀하고 단단한 산화물 절연막, 대표적으로는, 25°C에서 0.5 중량%

의 불화 수소산에 대한 예칭 속도가 10 nm/분 이하, 또는 8 nm/분 이하인 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0107] 또한, 가열을 하면서 산화물 절연막(22)을 형성하기 때문에, 상기 공정에서 산화물 반도체막(19)에 포함되는 수소, 물 등이 이탈될 수 있다. 산화물 반도체막(19)에 포함되는 수소는 플라즈마 중에서 형성된 산소 라디칼과 결합하여, 물이 된다. 산화물 절연막(22)의 성막 공정에서 기판이 가열되고 있기 때문에, 산소 및 수소의 결합에 의해 생성된 물은 산화물 반도체막으로부터 이탈한다. 즉, 플라즈마 CVD법에 따라 산화물 절연막(22)을 형성하는 경우, 산화물 반도체막(19)에 포함되는 물 및 수소의 함유량을 저감할 수 있다.

[0108] 또한, 산화물 절연막(22)을 형성하는 공정에서 가열하기 때문에, 산화물 반도체막(19)이 노출된 상태에서의 가열 시간이 적다. 따라서, 가열 처리에 의한 산화물 반도체막으로부터의 산소의 이탈량을 저감할 수 있다. 즉, 산화물 반도체막 내에 포함되는 산소 결손량을 저감할 수 있다.

[0109] 또한, 처리실의 압력을 100 Pa 이상 250 Pa 이하로 함으로써, 산화물 절연막(23)에 포함되는 물의 함유량이 감소될 수 있다. 따라서, 트랜지스터(50)의 전기 특성의 편차를 저감할 수 있고, 문턱 전압의 변동을 억제할 수 있다.

[0110] 또한, 처리실의 압력을 100 Pa 이상 250 Pa 이하로 함으로써, 산화물 절연막(22)을 성막할 때에, 산화물 반도체막(19)으로의 대미지를 저감할 수 있고, 산화물 반도체막(19)에 포함되는 산소 결손량을 저감할 수 있다. 특히, 산화물 절연막(22) 또는 후에 형성되는 산화물 절연막(24)의 성막 온도를 높게, 대표적으로는 220°C보다 높은 온도로 하는 경우, 산화물 반도체막(19)에 포함되는 산소의 일부가 이탈하여, 산소 결손이 형성되기 쉽다. 또한, 트랜지스터의 신뢰성을 높이기 위해, 후에 형성하는 산화물 절연막(24)의 결함량을 저감하기 위한 성막 조건을 이용하면, 산소 이탈량이 저감하기 쉽다. 이 결과, 산화물 반도체막(19)의 산소 결손을 저감하는 것이 곤란한 경우가 있다. 그러나, 처리실의 압력을 100 Pa 이상 250 Pa 이하로 하고, 산화물 절연막(22)의 성막 시의 산화물 반도체막(19)에 대한 대미지를 저감함으로써, 산화물 절연막(24)으로부터의 산소 이탈량이 적을 경우에도, 산화물 반도체막(19) 중의 산소 결손을 저감할 수 있다.

[0111] 또한, 실리콘을 포함한 퇴적성 기체에 대한 산화성 기체량을 100배 이상으로 함으로써, 산화물 절연막(22)에 포함되는 수소 함유량을 저감할 수 있다. 이 결과, 산화물 반도체막(19)에 혼입하는 수소량을 저감할 수 있기 때문에, 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있다.

[0112] 여기에서는, 산화물 절연막(22)으로서 유량 30 sccm의 실란 및 유량 4000 sccm의 일산화 이질소를 원료 가스로 하고, 처리실의 압력을 200 Pa, 기판 온도를 220°C로 하고, 27.12 MHz의 고주파 전원을 이용하여 150 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해, 두께 50 nm의 산화 질화 실리콘막을 형성한다. 상기 조건에 의해, 산소가 투과하는 산화 질화 실리콘막을 형성할 수 있다.

[0113] 산화물 절연막(24)으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 280°C 이하, 또는 200°C 이상 240°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에서의 압력을 100 Pa 이상 250 Pa 이하, 또는 100 Pa 이상 200 Pa 이하로 하고, 처리실 내에 제공되는 전극에 0.17 W/cm^2 이상 0.5 W/cm^2 이하, 또는 0.25 W/cm^2 이상 0.35 W/cm^2 이하의 고주파 전력을 공급하는 조건에 의해, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0114] 산화물 절연막(24)의 원료 가스로서는, 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 이용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표예로서는, 실란, 다이 실란, 트라이 실란, 불화 실란 등이 있다. 산화성 기체의 예로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0115] 산화물 절연막(24)의 성막 조건으로서 상기 압력의 처리실에서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아져, 산소 라디칼이 증가하고, 원료 가스의 산화가 진행된다. 따라서, 산화물 절연막(25)은 화학량론적 조성 산소량보다 많은 산소 함유량을 갖는다. 한편, 기판 온도가 상기 온도로 형성된 막에서는 실리콘과 산소의 결합력이 약하기 때문에, 후의 공정의 가열 처리에 의해 막 내의 산소의 일부가 이탈한다. 이 결과, 화학량론적 조성의 산소보다 많은 산소를 포함하고, 가열에 의해 산소의 일부가 이탈하는 산화물 절연막을 형성할 수 있다. 또한, 산화물 반도체막(19) 위에 산화물 절연막(22)이 제공된다. 따라서, 산화물 절연막(24)의 형성 공정에서, 산화물 절연막(22)이 산화물 반도체막(19)의 보호막이 된다. 이 결과, 산화물 반도체막(19)에 대한 대미지를 저감하면서, 파워 밀도가 높은 고주파 전력을 이용하여 산화물 절연막(24)을 형성할 수 있다.

- [0116] 여기에서는, 산화물 절연막(24)으로서 유량 200 sccm의 실란 및 유량 4000 sccm의 일산화 이질소를 원료 가스로 하고, 처리실의 압력을 200 Pa, 기판 온도를 220°C로 하고, 27.12 MHz의 고주파 전원을 이용하여 1500 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해, 두께 400 nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000 cm²인 평행 평판형의 플라즈마 CVD 장치로서, 공급한 전력을 단위 면적당의 전력(전력 밀도)으로 환산하면 0.25 W/cm²이다.
- [0117] 다음에, 가열 처리를 행한다. 이 가열 처리의 온도는, 대표적으로는, 150°C 이상 400°C 이하, 300°C 이상 400°C 이하, 또는 320°C 이상 370°C 이하로 한다.
- [0118] 이 가열 처리는 전기로, RTA(Rapid Thermal Anneal) 장치 등을 이용할 수 있다. RTA 장치를 이용함으로써, 가열이 단시간인 경우에 한하여, 기판의 변형점 이상의 온도로 열처리를 행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0119] 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20 ppm 이하, 1 ppm 이하, 또는 10 ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기하에서 행할 수 있다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다.
- [0120] 상기 가열 처리에 의해, 산화물 절연막(24)에 포함되는 산소의 일부를 산화물 반도체막(19)으로 이동시켜, 산화물 반도체막(19)에 포함되는 산소 결손량을 저감할 수 있다. 이 결과, 산화물 반도체막(19)에 포함되는 산소 결손량을 더욱 저감할 수 있다.
- [0121] 또한, 산화물 절연막(22) 및 산화물 절연막(24)에 물, 수소 등이 포함되는 경우, 물, 수소 등을 차단하는 기능을 갖는 질화물 절연막(26)을 후에 형성하고, 가열 처리를 행하면 산화물 절연막(22) 및 산화물 절연막(24)에 포함되는 물, 수소 등이 산화물 반도체막(19)으로 이동하여, 산화물 반도체막(19)에 결함이 생기게 된다. 그러나, 상기 가열에 의해, 산화물 절연막(22) 및 산화물 절연막(24)에 포함되는 물, 수소 등을 이탈시킬 수 있고, 트랜지스터(50)의 전기 특성의 편차를 저감함과 동시에, 문턱 전압의 변동을 억제할 수 있다.
- [0122] 또한, 가열하면서 산화물 절연막(24)을 산화물 절연막(22) 위에 형성함으로써, 산화물 반도체막(19)에 산소를 이동시켜, 산화물 반도체막(19)의 산소 결손을 저감할 수 있기 때문에, 상기 가열 처리를 행하지 않아도 좋다.
- [0123] 여기에서는, 질소 및 산소 환경에서 350°C, 1시간의 가열 처리를 행한다.
- [0124] 또한, 한쌍의 전극(20, 21)을 형성할 때, 도전막의 에칭에 의해, 산화물 반도체막(19)은 대미지를 받아 산화물 반도체막(19)의 백 채널(게이트 전극(15)을 향하는 면과 반대인 측인 산화물 반도체막(19)의 면)측에 산소 결손이 생긴다. 그러나, 산화물 절연막(24)에 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용함으로써, 가열 처리에 의해 상기 백 채널측에 생긴 산소 결손을 수복할 수 있다. 이것에 의해, 산화물 반도체막(19)에 포함되는 결함을 저감할 수 있기 때문에, 트랜지스터(50)의 신뢰성을 향상시킬 수 있다.
- [0125] 다음에, 스퍼터링법, CVD법 등에 의해, 질화물 절연막(26)을 형성한다.
- [0126] 또한, 질화물 절연막(26)을 플라즈마 CVD법으로 형성하는 경우, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 300°C 이상 400°C 이하, 또는 320°C 이상 370°C 이하로 바람직하게 설정함으로써, 치밀한 질화물 절연막을 형성할 수 있다.
- [0127] 질화물 절연막(26)으로서 플라즈마 CVD법에 의해 질화 실리콘막을 형성하는 경우, 실리콘을 포함한 퇴적성 기체, 질소, 및 암모니아를 원료 가스로서 이용하는 것이 바람직하다. 원료 가스로서 질소와 비교하여 소량의 암모니아를 이용함으로써, 플라즈마 중에서 암모니아가 해리하고, 활성종이 발생한다. 상기 활성종이 실리콘을 포함하는 퇴적성 기체에 포함되는 실리콘 및 수소의 결합, 및 질소 분자들 사이의 삼중 결합을 절단한다. 이 결과, 실리콘 및 질소의 결합이 촉진되어 실리콘 및 수소의 결합이 적고, 결함이 적은 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에서, 질소에 대한 암모니아의 양이 많으면 실리콘을 포함하는 퇴적성 기체의 분해 및 질소의 분해가 촉진되지 않고, 실리콘과 수소 사이의 결합이 잔존하게 되어, 결함이 증대된, 엉성한 질화 실리콘막이 형성되게 된다. 따라서, 원료 가스에서, 암모니아에 대한 질소의 유량비를 5 이상 50 이하, 또는 10 이상 50 이하로 하는 것이 바람직하다.
- [0128] 여기에서는, 플라즈마 CVD 장치의 처리실에, 유량 50 sccm의 실란, 유량 5000 sccm의 질소, 및 유량 100 sccm의 암모니아를 원료 가스로 하고, 처리실의 압력을 100 Pa, 기판 온도를 350°C로 하고, 27.12 MHz의 고주파 전원을 이용하여 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의해, 질화물 절연막(26)으로서 두

께 50 nm의 질화 실리콘막을 형성한다. 또한 플라즈마 CVD 장치는 전극 면적이 6000 cm²인 평행 평판형의 플라즈마 CVD 장치이고, 공급한 전력을 단위 면적당의 전력(전력 밀도)으로 환산하면 $1.7 \times 10^{-1} \text{W/cm}^2$ 이다.

[0129] 이상의 공정에 의해, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성할 수 있다.

[0130] 다음에, 가열 처리를 행해도 좋다. 이 가열 처리의 온도는, 대표적으로는, 150°C 이상 400°C 이하, 300°C 이상 400°C 이하, 또는 320°C 이상 370°C 이하로 한다.

[0131] 다음에, 질화물 절연막(26) 위에 제4 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한 후, 이 마스크를 이용하여, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)의 각각 일부를 에칭하여, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)을 갖는 게이트 절연막(28)을 형성한다.

[0132] 도 2의 (G)에 나타내는 바와 같이, 채널 길이 방향에서 한쌍의 전극(20, 21) 위에 게이트 절연막(28)의 단부가 위치하고, 또한 도 2의 (H)에 나타내는 바와 같이, 채널 폭 방향에서 산화물 반도체막(19)의 외측에 게이트 절연막(28)의 단부가 위치하도록, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 각각 에칭한다. 이 결과, 분리된 게이트 절연막(28)을 형성할 수 있다. 또한, 절연막(16)의 일부, 적어도 표면 영역이 산화물 절연막(23)과 동일한 재료를 이용하여 형성되는 경우, 산화물 절연막(23)의 에칭에서 절연막(16)의 일부도 에칭된다. 이 결과, 단자를 갖는 게이트 절연막(17)이 형성된다.

[0133] 상기 에칭 공정에서, 도 2의 (H)에 나타내는 바와 같이, 채널 폭 방향에서 산화물 반도체막(19)의 측면과 게이트 절연막(28)의 측면의 가장 짧은 간격이 0.5 μm 이상 1.5 μm 이하인 것이 바람직하다. 이 경우, 후에 형성하는 게이트 전극(29)과 산화물 반도체막(19)과의 단락을 막을 수 있고, 이는 수율을 높일 수 있다.

[0134] 다음에, 도 2의 (I) 및 도 2의 (J)에 나타내는 바와 같이, 게이트 전극(29) 및 전극(30)을 형성한다. 게이트 전극(29) 및 전극(30)의 형성 방법을 이하에 나타낸다. 먼저, 스피터링법, CVD법, 증착법 등에 의해 도전막을 형성된다. 그 다음에, 도전막 위에 제5 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막의 일부를 에칭하여, 게이트 전극(29) 및 전극(30)을 형성한다. 이 후, 마스크를 제거한다.

[0135] 도 2의 (I)에 나타내는 바와 같이, 채널 길이 방향에서 게이트 절연막(28) 위에 게이트 전극(29)의 단부가 위치하도록 게이트 전극(29) 및 전극(30)을 형성한다. 또한, 도 2의 (J)에 나타내는 바와 같이, 채널 폭 방향에서 게이트 전극(29)이 게이트 절연막(28)을 개재하고 산화물 반도체막(19)과의 측면과 마주보도록, 게이트 전극(29) 및 전극(30)을 형성한다. 즉, 채널 폭 방향에서 산화물 반도체막(19)의 단부보다 외측에 게이트 전극(29)의 단부가 위치한다.

[0136] 이상의 공정에 의해, 트랜지스터(50)를 제작할 수 있다.

[0137] 또한, 도 2의 (G) 및 도 2의 (H)에서, 게이트 절연막(28)을 형성한 후, 포토리소그래피 공정에 의해 마스크를 형성하고, 게이트 절연막(17)의 일부를 에칭하여, 게이트 전극(15)의 일부를 노출하는 개구부(28c)를 형성한다. 다음에, 개구부(28c)에서 게이트 전극(15)과 접속하도록, 게이트 전극(29a)을 형성해도 좋다. 이 결과, 게이트 전극(15) 및 게이트 전극(29a)이 접속된 트랜지스터(51)를 제작할 수 있다(도 3의 (A) 내지 도 3의 (C) 참조). 즉, 게이트 전극(15) 및 게이트 전극(29a)을 같은 전위로 할 수 있다.

[0138] 또한, 채널 폭 방향에서 게이트 전극(29b)의 단부를 게이트 전극(15)보다 외측에 위치하는 도 4의 (A) 내지 도 4의 (C)에 나타내는 트랜지스터(52)의 형상이 채용될 수 있다. 대표적으로는, 도 4의 (C)에 나타내는 바와 같이, 채널 폭 방향에서 게이트 전극(15)의 단부의 외측에 게이트 전극(29b)의 단부가 위치한다.

[0139] 본 실시형태에 나타내는 트랜지스터는 채널 폭 방향에서 임의의 게이트 전극(29, 29a, 29b)이 게이트 절연막(28)을 개재한 산화물 반도체막(19)의 측면을 마주보는 경우, 임의의 게이트 전극(29, 29a, 29b)의 전계의 영향에 의해, 산화물 반도체막(19)의 측면 및 그 근방에서의 기생 채널의 발생이 억제된다. 이 결과, 문턱 전압에서의 드레인 전류가 급격히 상승하는, 전기 특성이 뛰어난 트랜지스터가 된다.

[0140] 또한, 채널 영역으로서 기능하는 산화물 반도체막에 중첩하도록, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 형성함으로써, 상기 산화물 절연막의 산소를 산화물 반도체막으로 이동시킬 수 있다. 이 결과, 산화물 반도체막에 포함되는 산소 결손의 함유량을 저감할 수 있다.

[0141] 본 실시형태에서는, 280°C 이상 400°C 이하에 가열을 하는 플라즈마 CVD법을 이용하여 게이트 절연막(28)이 될 절연막을 형성한다. 따라서, 산화물 반도체막(19)에 포함되는 수소, 물 등을 이탈시킬 수 있다. 또한, 상기 공

정에서는 산화물 반도체막이 노출된 상태에서의 가열 시간이 적고, 심지어 가열 처리에 의한 산화물 반도체의 온도가 400°C 이하일 때도, 고온에서 가열 처리한 트랜지스터와 문턱 전압의 변동량이 동등한 트랜지스터를 제작할 수 있다. 이 결과, 반도체 장치의 제작 비용의 절감이 가능하다.

[0142] 따라서, 산화물 반도체를 포함하고, 게이트 BT 스트레스에 의한 기생 채널의 형성을 억제한 반도체 장치를 얻을 수 있다. 또한, 산화물 반도체막을 포함하고 전기 특성이 향상된 반도체 장치를 얻을 수 있다.

[0143] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0144] (실시형태 2)

[0145] 본 실시형태에서는, 실시형태 1과 다른 반도체 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다. 본 실시형태에서는, 보호막이 각 트랜지스터마다 분리되어 있지 않은 점이 실시형태 1과 다르다.

[0146] 도 5의 (A) 내지 도 5의 (C)에, 반도체 장치가 갖는 트랜지스터(60)의 상면도 및 단면도를 나타낸다. 도 5에 나타내는 트랜지스터(60)는, 채널 에칭형의 트랜지스터이다. 도 5의 (A)는 트랜지스터(60)의 상면도이며, 도 5의 (B)는 도 5의 (A)의 일점 쇄선 A-B간의 단면도이며, 도 5의 (C)는 도 5의 (A)의 일점 쇄선 C-D간의 단면도이다. 또한, 도 5의 (A)에서는 명료화를 위해, 기판(11), 게이트 절연막(31), 산화물 절연막(33), 산화물 절연막(35), 질화물 절연막(37) 등을 생략하고 있다.

[0147] 도 5의 (B) 및 도 5의 (C)에 나타내는 트랜지스터(60)는 기판(11) 위에 제공되는 게이트 전극(15); 기판(11) 및 게이트 전극(15) 위에 형성되는 게이트 절연막(31); 게이트 절연막(31)을 개재하고 게이트 전극(15)과 중첩되는 산화물 반도체막(19); 산화물 반도체막(19)에 접촉하는 한쌍의 전극(20, 21); 게이트 절연막(31), 산화물 반도체막(19), 및 한쌍의 전극(20, 21) 위의 게이트 절연막(38); 게이트 절연막(38) 위의 게이트 전극(39)을 갖는다. 또한, 게이트 절연막(38)은 산화물 절연막(33), 산화물 절연막(35), 및 질화물 절연막(37)을 갖는다. 또한, 한쌍의 전극(20, 21)의 한쪽(여기에서는 전극(21))에 접속하는 전극(40)이 질화물 절연막(37) 위에 형성된다. 또한, 전극(40)은 화소 전극으로서 기능한다.

[0148] 본 실시형태에 나타내는 트랜지스터(60)는 게이트 전극(15) 및 게이트 전극(39)의 사이에 산화물 반도체막(19)이 제공된다. 또한, 게이트 절연막(38)은 복수의 개구부를 갖는다. 대표적으로는, 게이트 절연막(38)은 채널 폭 방향에서 산화물 반도체막(19)을 사이에 끼우는 개구부(38a, 38b)를 갖는다. 또한, 개구부(38a, 38b)는 게이트 절연막(31)에서도 개구부가 형성된다. 또한, 게이트 절연막(38)은 한쌍의 전극(20, 21)의 한쪽을 노출하는 개구부(38c)를 갖는다. 또한, 도 5의 (C)에 나타내는 채널 폭 방향에서 게이트 절연막(31) 및 게이트 절연막(38)에 형성된 개구부(38a, 38b) 및 게이트 절연막(38) 위에 게이트 전극(39)이 형성된다. 상기 개구부(38a, 38b)에서 게이트 전극(15) 및 게이트 전극(39)이 접속한다. 또한, 상기 개구부(38a, 38b)의 측면에서 게이트 전극(39)은 산화물 반도체막(19)의 측면과 마주본다. 또한, 도 5의 (C)에 나타내는 바와 같이, 채널 폭 방향에서, 산화물 반도체막(19)의 측면과 개구부(38a, 38b)의 각각의 측면 사이의 가장 짧은 간격이 $0.5 \mu m$ 이상 $1.5 \mu m$ 이하인 것이 바람직하다. 대표적으로는, 산화물 반도체막(19)의 측면과 개구부(38a, 38b)의 각각의 측면과 가장 가까운 개구부(38a, 38b)의 각각의 측면과 산화물 반도체막(19)의 측면과의 간격이 $0.5 \mu m$ 이상 $1.5 \mu m$ 이하인 것이 바람직하다. 즉, 산화물 반도체막(19)의 측면과 게이트 전극(39)의 가장 짧은 간격이 $0.5 \mu m$ 이상 $1.5 \mu m$ 이하인 것이 바람직하다. 이 결과, 게이트 전극(39)과 산화물 반도체막(19)과의 단락을 막을 수 있고, 수율을 높일 수 있다.

[0149] 예칭 등으로 가공된 산화물 반도체막의 단부에서는, 가공에서의 대미지에 의해 결함이 형성됨과 동시에, 산화물 반도체막의 단부에서의 불순물 부착 등에 의해 오염된다. 따라서, 전계 등의 스트레스가 인가됨으로써, 산화물 반도체막의 단부는 활성화하기 쉬워져, n형(저저항)이 되기 쉽다. 그 때문에, 본 실시형태에서는 게이트 전극(15)과 중첩되는 산화물 반도체막(19)의 단부에서 n형화하기 쉬워진다. 상기 n형화된 단부가 한쌍의 전극(20, 21)의 사이에 형성되면, n형화된 영역이 캐리어의 패스가 되어, 기생 채널이 형성된다. 그러나, 도 5의 (C)에 나타내는 바와 같이, 채널 폭 방향에서 게이트 전극(39)이 게이트 절연막(38)을 개재하고 산화물 반도체막(19)의 측면과 마주보면, 게이트 전극(39)의 전계의 영향에 의해, 산화물 반도체막(19)의 측면 및 그 근방에서의 기생 채널의 발생이 억제된다. 이 결과, 문턱 전압에서의 드레인 전류가 급격히 상승하는, 전기 특성이 뛰어난 트랜지스터가 된다.

[0150] 또한, 서로 접속된 게이트 전극(15) 및 게이트 전극(39)을 가짐으로써, 각각이 외부로부터의 전계를 차폐하는 기능을 가지기 때문에, 기판(11) 및 게이트 전극(15)의 사이 및 게이트 전극(39) 위에 제공되는 하전 입자 등의 전하가 산화물 반도체막(19)에 영향을 주지 않는다. 이 결과, 스트레스 시험(예를 들면, -GBT 스트레스 시험)

의 열화가 감소될 수 있고, 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동이 감소될 수 있다.

[0151] 또한, 접속된 게이트 전극(15) 및 게이트 전극(39)을 가짐으로써, 문턱 전압의 변동량이 저감된다. 따라서, 복수의 트랜지스터 사이의 전기 특성의 편차도 동시에 저감된다.

[0152] 또한, 산화물 반도체막(19) 위에 제공되는 게이트 절연막(38)에서, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함된다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의해 산소의 일부가 이탈한다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막은 TDS 분석에서 산소 원자로 환산한 산소의 이탈량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다.

[0153] 게이트 절연막(38)에서, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함되면, 게이트 절연막(38)에 포함되는 산소의 일부를 산화물 반도체막(19)으로 이동시켜, 산화물 반도체막(19)에 포함되는 산소 결손을 저감할 수 있다. 이 결과, 산화물 반도체막(19)에 포함되는 산소 결손량을 더욱 저감할 수 있다.

[0154] 산소 결손이 포함된 산화물 반도체막을 이용하여 산화물 반도체막 내에 형성된 트랜지스터는, 문턱 전압이 마이너스 방향으로 변동하기 쉽고, 노멀리-온 특성이 되기 쉽다. 이것은, 산화물 반도체막에 포함되는 산소 결손에 기인하여 전하가 생겨 저항이 감소되기 때문이다. 트랜지스터가 노멀리-온 특성을 가지면, 동작 시에 동작 불량이 발생하기 쉬워지거나, 비동작 시의 소비 전력이 높아지는 등의 여러가지 문제가 생긴다. 또한, 시간 경과나 스트레스 시험에 의해, 트랜지스터의 전기 특성, 대표적으로 문턱 전압의 변동량이 증대된다는 문제가 있다.

[0155] 그러나, 본 실시형태에 나타내는 트랜지스터(60)는 산화물 반도체막(19) 위에 제공되는 게이트 절연막(38)에 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함한 산화물 절연막이 포함된다. 이 결과, 산화물 반도체막(19)의 산소 결손을 저감할 수 있고, 노멀리-오프 특성을 갖는 트랜지스터가 된다. 또한, 시간 경과나 스트레스 시험에 의한, 트랜지스터의 전기 특성, 대표적으로 문턱 전압의 변동량을 저감할 수 있다.

[0156] 이하에, 트랜지스터(60)의 구성의 상세한 사항에 대하여 설명한다. 또한, 실시형태 1과 같은 부호의 구성에 대해서는, 설명을 생략한다.

[0157] 게이트 절연막(31)은 실시형태 1에 나타내는 게이트 절연막(17)과 같은 재료를 적절히 이용할 수 있다.

[0158] 게이트 절연막(38)은 산화물 반도체막(19)에 접촉하는 산화물 절연막(33), 산화물 절연막(33)에 접촉하는 산화물 절연막(35), 산화물 절연막(35)에 접촉하는 질화물 절연막(37)을 갖는다. 또한, 산화물 절연막(33)은 실시형태 1에 나타내는 산화물 절연막(23)과 유사한 재료를 적절히 이용하여 형성될 수 있다. 산화물 절연막(35)은 실시형태 1에 나타내는 산화물 절연막(25)과 유사한 재료를 적절히 이용하여 형성될 수 있다. 질화물 절연막(37)은 실시형태 1에 나타내는 질화물 절연막(27)과 유사한 재료를 적절히 이용하여 형성될 수 있다.

[0159] 게이트 전극(39) 및 전극(40)은 실시형태 1에 나타내는 게이트 전극(29) 및 전극(30)과 같은 재료를 적절히 이용할 수 있다.

[0160] 다음에, 도 5의 (A) 내지 (C)에 나타내는 트랜지스터(60)의 제작 방법에 대하여, 도 2의 (A) 내지 (F) 및 도 6의 (A) 내지 (D)를 이용하여 설명한다. 또한, 도 6의 (A), 도 6의 (C)은 각각 도 5의 (B)에 나타내는 트랜지스터(60)의 채널 길이 방향의 단면도에서의 제작 공정을 나타내고, 도 6의 (B), 도 6의 (D)는 도 5의 (C)에 나타내는 트랜지스터(60)의 채널 폭 방향의 단면도에서의 제작 공정을 나타낸다.

[0161] 실시형태 1과 마찬가지로, 도 2의 (A) 내지 도 2의 (F)의 공정을 거쳐, 기판(11) 위에 게이트 전극(15), 절연막(16), 산화물 반도체막(19), 한쌍의 전극(20, 21), 산화물 절연막(22), 산화물 절연막(24), 질화물 절연막(26)을 각각 형성한다. 상기 공정에서는, 제1 포토마스크 내지 제3 포토마스크를 이용한 포토리소그래피 공정을 행한다.

[0162] 다음에, 질화물 절연막(26) 위에 제4 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한 후, 이 마스크를 이용하여, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)의 각각 일부를 에칭하고, 산화물 절연막(33), 산화물 절연막(35), 및 질화물 절연막(37)을 갖는 게이트 절연막(38)을 형성한다.

[0163] 또한, 상기 공정에서는, 도 6의 (A)에 나타내는 바와 같이, 산화물 절연막(33), 산화물 절연막(35), 및 질화물 절연막(37)의 각각 일부를 에칭하고, 채널 길이 방향에서 한쌍의 전극(20, 21)의 한쪽인 전극(21)의 개구부(38c)를 형성한다. 나아가, 도 6의 (B)에 나타내는 바와 같이, 채널 폭 방향에서 산화물 반도체막(19)을 개재하

도록 개구부(38a, 38b)를 형성한다. 채널 폭 방향에서 산화물 반도체막(19)의 측면과 개구부(38a, 38b)의 각각의 측면의 가장 짧은 간격이 $0.5 \mu\text{m}$ 이상 $1.5 \mu\text{m}$ 인 것이 바람직하다. 이 경우, 후에 형성하는 게이트 전극(39)과 산화물 반도체막(19)과의 단락을 막을 수 있고, 수율을 높일 수 있다. 또한, 개구부(38a, 38b, 38c)를 포함하는 게이트 절연막(38)을 형성할 수 있다.

[0164] 다음에, 도 6의 (C) 및 도 6의 (D)에 나타내는 바와 같이, 게이트 전극(39) 및 전극(40)을 형성한다. 게이트 전극(39) 및 전극(40)의 형성 방법을 이하에 나타낸다. 먼저, 스팍터링법, CVD법, 증착법 등에 의해 도전막을 형성하고, 도전막 위에 제5 포토마스크를 이용한 포토리소그래피 공정에 의해 마스크를 형성한다. 다음에, 이 마스크를 이용하여 도전막의 일부를 에칭하고, 게이트 전극(39) 및 전극(40)을 형성한다. 이 후, 마스크를 제거한다.

[0165] 또한, 도 6의 (D)에 나타내는 바와 같이, 채널 폭 방향에서 게이트 전극(39)이 개구부(38a, 38b)의 각각의 측면에서 산화물 반도체막(19)과 마주보도록, 즉, 산화물 반도체막(19)의 단부보다 외측에 게이트 전극(39)의 단부가 위치하도록, 게이트 전극(39) 및 전극(40)을 형성한다.

[0166] 이상의 공정에 의해, 트랜지스터(60)를 제작할 수 있다.

[0167] 본 실시형태에 나타내는 트랜지스터는 채널 폭 방향에서 게이트 전극(39)이, 게이트 절연막(38)에 형성된 개구부(38a, 38b)의 각각의 측면에서, 산화물 반도체막(19)의 측면과 마주보면, 게이트 전극(39)의 전계의 영향에 의해, 산화물 반도체막(19)의 측면 및 그 근방에서의 기생 채널의 발생이 억제된다. 이 결과, 문턱 전압에서의 드레인 전류가 급격히 상승하는, 전기 특성이 뛰어난 트랜지스터가 된다.

[0168] 또한, 채널 영역으로서 기능하는 산화물 반도체막에 중첩하여, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 형성함으로써, 상기 산화물 절연막의 산소를 산화물 반도체막으로 이동시킬 수 있다. 이 결과, 산화물 반도체막에 포함되는 산소 결손의 함유량을 저감할 수 있다.

[0169] 또한, 본 실시형태에서는, 280°C 이상 400°C 이하로 가열을 하면서, 플라즈마 CVD법을 이용하여 게이트 절연막(28)이 되는 절연막을 형성하기 때문에, 산화물 반도체막(19)에 포함되는 수소, 물 등을 이탈시킬 수 있다. 또한, 상기 공정에서는, 산화물 반도체막이 노출된 상태에서의 가열 시간이 적고, 심지어 가열 처리에 의한 산화물 반도체의 온도가 400°C 이하일 때도, 고온에서 가열 처리한 트랜지스터와 문턱 전압의 변동량이 동등한 트랜지스터를 제작할 수 있다. 이 결과, 반도체 장치의 비용 절감이 가능하다.

[0170] 상기로부터, 산화물 반도체를 이용한 반도체 장치에서, 게이트 BT 스트레스에 의한 기생 채널의 형성을 억제한 반도체 장치를 얻을 수 있다. 또한, 산화물 반도체막을 포함하는 반도체 장치에서 향상된 전기 특성을 얻을 수 있다.

[0171] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0172] (실시형태 3)

[0173] 본 실시형태에서는, 실시형태 1 및 실시형태 2에 나타내는 듀얼 게이트 구조의 트랜지스터에서, 다른 게이트 전극을 접속하고, 같은 전위로 한 경우의 트랜지스터의 전기 특성에 대하여, 도 1의 (A) 내지 (C), 및 도 7의 (A) 내지 도 12의 (C)를 이용하여 설명한다.

[0174] 또한, 여기에서는, 도 1의 (A)에 나타내는 게이트 전극(15)과 게이트 전극(29)을 전기적으로 단락시키고 게이트 전압을 공급하는 구동 방법을 듀얼 게이트 구동이라고 한다. 즉, 듀얼 게이트 구동에서는, 항상 게이트 전극(15)의 전압과 게이트 전극(29)의 전압이 동일해진다.

[0175] 여기서, 트랜지스터의 전기 특성에 대하여 계산했다. 도 7의 (A) 및 (B)에 계산에 이용한 트랜지스터의 구조를 나타낸다. 또한 계산에는 디바이스 시뮬레이션 소프트웨어 Atlas(실바코사(Silvaco Inc.) 제조)를 이용했다.

[0176] 도 7의 (A)에 나타내는 구조 1의 트랜지스터는 듀얼 게이트 구조의 트랜지스터이다.

[0177] 구조 1의 트랜지스터는 게이트 전극(201) 위에 절연막(203)이 형성되고, 절연막(203) 위에 산화물 반도체막(205)이 형성된다. 절연막(203) 및 산화물 반도체막(205) 위에 한쌍의 전극(207, 208)이 형성되고, 산화물 반도체막(205) 및 한쌍의 전극(207, 208) 위에 절연막(209)이 형성된다. 절연막(209) 위에 게이트 전극(213)이 형성된다. 또한, 게이트 전극(201)은 절연막(203) 및 절연막(209)에 형성되는 개구부(도시하지 않음)에서 게이트 전극(213)에 접속된다.

- [0178] 도 7의 (B)에 나타내는 구조 2의 트랜지스터는 싱글 게이트 구조의 트랜지스터이다.
- [0179] 구조 2의 트랜지스터는 게이트 전극(201) 위에 절연막(203)이 형성되고, 절연막(203) 위에 산화물 반도체막(205)이 형성된다. 절연막(203) 및 산화물 반도체막(205) 위에 한쌍의 전극(207, 208)이 형성되고, 산화물 반도체막(205) 및 한쌍의 전극(207, 208) 위에 절연막(209)이 형성된다.
- [0180] 또한 계산에서, 게이트 전극(201)의 일 함수(ϕ_M)를 5.0 eV로 설정했다. 절연막(203)을 유전률이 4.1인 두께 100 nm의 막으로 설정했다. 산화물 반도체막(205)으로서는 In-Ga-Zn 산화물막(In:Ga:Zn=1:1:1) 단층이었다. In-Ga-Zn 산화물막의 밴드 갭(E_g)을 3.15 eV, 전자 친화력(X)을 4.6 eV, 비유전률을 15, 전자 이동도를 $10 \text{ cm}^2/\text{Vs}$ 로 하고, 도너 밀도(N_d)를 $3 \times 10^{17} \text{ atoms/cm}^3$ 로 설정했다. 한쌍의 전극(207, 208)의 일 함수(ϕ_{sd})를 4.6 eV로 했다. 산화물 반도체막(205)과 한쌍의 전극(207, 208) 각각의 사이에 오믹 접합(Ohmic junction)이 설정되었다. 절연막(209)의 비유전률을 4.1로 하고, 두께를 100 nm로 설정했다. 또한 산화물 반도체막(205)에서의 결함 준위나 표면 산란 등의 모델은 고려되지 않았다. 또한, 트랜지스터의 채널 길이 및 채널 폭을 각각 10 μm 및 100 μm로 했다.
- [0181] <초기 특성 편차의 저감>
- [0182] 구조 1에 나타내는 트랜지스터와 같이 듀얼 게이트 구동으로 함으로써, 초기 특성의 편차를 저감할 수 있다. 이것은, 듀얼 게이트 구동으로 함으로써, $Id-Vg$ 특성 중 하나인 문턱 전압(V_{th})의 변동량이 구조 2에 나타내는 트랜지스터에 비해 작아지는 것에 기인한다.
- [0183] 여기서, 일례로서 반도체막이 n형화한 것에 의한 $Id-Vg$ 특성의 문턱 전압의 마이너스 시프트에 대하여 설명한다.
- [0184] 산화물 반도체막 내의 도너 이온의 전하량의 합계를 $Q(C)$ 로 하고, 게이트 전극(201), 절연막(203), 및 산화물 반도체막(205)으로 형성되는 용량을 C_{Bottom} 으로 하고, 산화물 반도체막(205), 절연막(209), 및 게이트 전극(213)으로 형성되는 용량을 C_{Top} 으로 한다. 이 때, 구조 1에 나타내는 트랜지스터의 문턱 전압(V_{th})의 변동량(ΔV)을 수학식 1에 나타낸다. 또한, 구조 2에 나타내는 트랜지스터의 문턱 전압(V_{th})의 변동량(ΔV)을 수학식 2에 나타낸다.
- [0185] [수학식 1]
- $$\Delta V = -\frac{Q}{C_{Bottom} + C_{Top}}$$
- [0186] [0187] [수학식 2]
- $$\Delta V = -\frac{Q}{C_{Bottom}}$$
- [0188] 수학식 1에 나타내는 바와 같이, 구조 1에 나타내는 트랜지스터와 같은 듀얼 게이트 구동에서는, 산화물 반도체막 내의 도너 이온과 게이트 전극의 사이의 용량이 C_{Bottom} , 및 C_{Top} 의 합이 되기 때문에, 문턱 전압의 변동량이 작아진다.
- [0189] 도 8의 (A)는 구조 1을 갖는 트랜지스터의 드레인 전압이 0.1 V 및 1 V일 때의 전류 전압 곡선을 계산한 결과를 나타낸다. 드레인 전압(V_d)이 0.1 V일 때, 구조 1을 갖는 트랜지스터의 문턱 전압은 -2.26 V이고, 구조 2를 갖는 트랜지스터의 문턱 전압은 -4.73 V였다.
- [0190] 도 8의 (B)는 구조 2를 갖는 트랜지스터의 드레인 전압이 0.1 V 및 1 V일 때의 전류 전압 곡선을 계산한 결과를 나타낸다. 드레인 전압(V_d)이 0.1 V일 때, 구조 1을 갖는 트랜지스터의 문턱 전압은 -2.26 V이고, 구조 2를 갖는 트랜지스터의 문턱 전압은 -4.73 V였다.
- [0191] 구조 1을 갖는 트랜지스터와 같이, 듀얼 게이트 구동을 채용하면, 문턱 전압의 변동량이 저감된다. 따라서, 복수의 트랜지스터 사이의 전기 특성의 편차도 동시에 저감된다.

- [0193] 또한 여기에서는 산화물 반도체막 내의 도너 이온에 의한 문턱 전압의 마이너스 시프트를 고려했지만, 절연막(203) 및 절연막(209) 중의 고정 전하, 가동 전하, 혹은 음의 전하(유사 억셉터 준위에 트랩된 전자 등)에 의한 문턱 전압의 플러스 시프트도 이와 같이 억제되기 때문에, 편차가 저감될 수 있다.
- [0194] <-GBT 스트레스 시험의 열화의 억제>
- [0195] 또한, 구조 1을 갖는 트랜지스터에서 듀얼 게이트 구동을 함으로써, -GBT 스트레스 시험으로 인한 열화를 저감할 수 있다. 이하에, -GBT 스트레스 시험의 열화를 저감할 수 있는 몇몇 이유에 대하여 설명한다.
- [0196] 첫 번째의 이유로서는, 듀얼 게이트 구동으로 함으로써, 정전 스트레스가 생기지 않는 점이 있다. 도 9의 (A)에, 구조 1을 갖는 트랜지스터에서 게이트 전극(201) 및 게이트 전극(213) 각각에 -30V를 인가했을 때의 포텐셜 등고선을 플롯한 도면을 나타낸다. 또한, 도 9의 (B)에, 도 9의 (A)의 A-B 단면에서의 포텐셜을 나타낸다.
- [0197] 산화물 반도체막(205)은 진성 반도체이고, 게이트 전극(201, 213)에 음의 전압이 인가되어 산화물 반도체막(205)이 완전 공핍화했을 때는, 게이트 전극(201, 213)의 사이에는 어떤 전하도 존재하지 않는다. 이 상태로, 도 9의 (B)에 나타내는 바와 같이, 게이트 전극(201) 및 게이트 전극(213)에 같은 전위가 공급되면, 게이트 전극(201) 및 게이트 전극(213)의 사이는 완전하게 같은 전위가 된다. 전위가 동일하기 때문에, 절연막(203), 산화물 반도체막(205), 및 절연막(209)에 정전 스트레스는 생기지 않는다. 이 결과, 가동 이온이나, 절연막(203, 209)에서의 캐리어의 트랩(trap) 및 디트랩(detrap) 등 -GBT 스트레스 시험의 열화의 원인이 되는 현상이 발생하지 않는다.
- [0198] 다른 이유로서는, 듀얼 게이트 구동으로 함으로써, FET의 외부로부터의 전장이 차폐되는 것이다. 도 10의 (A)는 도 7의 (A)에 도시된 구조 1을 갖는 트랜지스터에서, 게이트 전극(213) 위에 공기 중의 하전 입자가 흡착된 모델을 나타낸다. 도 10의 (B)는 도 7의 (B)에 도시된 구조 2를 갖는 트랜지스터에서, 절연막(209) 위에 공기 중의 하전 입자가 흡착된 모델을 나타낸다.
- [0199] 도 10의 (B)에 나타내는 바와 같이, 구조 2에 나타내는 트랜지스터에서는, 절연막(209) 표면에 공기 중의 양의 하전 입자가 흡착한다. 게이트 전극(201)에 음의 전압이 인가되면, 양의 하전 입자가 절연막(209)에 흡착된다. 이 결과, 도 10의 (B)의 화살표로 나타내는 바와 같이, 양의 하전 입자의 전장이 산화물 반도체막(205)과 절연막(209)의 계면에 도달하여, 실질적으로 양의 바이어스가 인가된 상태가 된다. 이 결과, 문턱 전압이 음으로 시프트할 수 있다.
- [0200] 반대로, 도 10의 (A)에 나타내는 바와 같이, 구조 1을 갖는 트랜지스터에서는, 게이트 전극(213) 표면에 양의 하전 입자가 부착했다고 하더라도, 도 10의 (A)의 화살표로 나타내는 바와 같이, 게이트 전극(213)이 양의 하전 입자의 전장을 차폐한다. 따라서, 트랜지스터의 전기 특성에 양의 하전 입자가 영향을 주지 않는다. 즉, 게이트 전극(213)을 가지면, 외부로부터의 전하로부터, 트랜지스터를 전기적으로 보호할 수 있고, -GBT 스트레스 시험의 열화가 억제된다.
- [0201] 이상의 2가지 이유로부터 듀얼 게이트 구동의 트랜지스터에서, -GBT 스트레스 시험의 열화가 억제된다.
- [0202] <다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동의 억제>
- [0203] 여기서, 구조 2로 한 경우에 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동, 및 그 원인에 대하여 설명한다.
- [0204] 도 11의 (A) 내지 (C)에 나타내는 트랜지스터는 게이트 전극(231) 위에 게이트 절연막(233)이 제공되고, 게이트 절연막(233) 위에 산화물 반도체막(235)이 제공된다. 산화물 반도체막(235) 위에 한쌍의 전극(237, 238)이 제공되고, 게이트 절연막(233), 산화물 반도체막(235), 및 한쌍의 전극(237, 238) 위에 절연막(239)이 제공된다.
- [0205] 또한, 계산에서 게이트 전극(231)의 일 함수(Φ_M)를 5.0 eV로 설정했다. 게이트 절연막(233)을 유전률이 7.5인 두께 400 nm의 막과 유전률이 4.1인 두께 50 nm의 막의 적층 구조로 설정했다. 산화물 반도체막(235)으로서는 In-Ga-Zn 산화물막(In:Ga:Zn=1:1:1) 단층을 상정했다. In-Ga-Zn 산화물막의 밴드 캡(E_g)을 3.15 eV, 전자 친화력(x)을 4.6 eV, 비유전률을 15, 전자 이동도를 $10 \text{ cm}^2/\text{Vs}$ 로 하고, 도너 밀도(N_d)는 $1 \times 10^{13}/\text{cm}^3$ 로 설정했다. 한쌍의 전극(237, 238)의 일 함수(Φ_{sd})를 4.6 eV로 했다., 산화물 반도체막(235)과 한쌍의 전극(237, 238) 각각 사이를 오직 접합으로 설정했다. 절연막(239)의 비유전률을 3.9로 하고, 두께를 550 nm로 설정했다. 또한, 산화물 반도체막(235)에서의 결함 준위나 표면 산란 등의 모델은 고려하지 않는다. 또한, 트랜지스터의 채널

길이 및 채널 폭을 각각 3 μm 및 50 μm 로 했다./

[0206] 다음에, 도 11의 (A)에 나타내는 트랜지스터에서, 절연막(239) 표면에 양의 하전 입자가 흡착된 트랜지스터의 모델을 도 11의 (B) 및 도 11의 (C)에 나타낸다. 도 11의 (B)에서는 절연막(239)의 표면에 양의 고정 전하를 균일하게 가정한 구조이이다. 도 11의 (C)에서는 절연막(239)의 표면에 양의 고정 전하를 부분적으로 가정한 구조이다.

[0207] 도 11의 (A) 내지 도 11의 (C)에 각각 나타내는 트랜지스터의 전기 특성을 계산한 결과를 도 12의 (A) 내지 도 12의 (C)에 각각 나타낸다.

[0208] 도 12의 (A)에 나타내는 바와 같이, 도 11의 (A)에 나타내는 트랜지스터의 절연막(239)에 양의 고정 전하가 흡수되지 않는다고 가정하는 경우에, 1 V의 드레인 전압(Vd)에서의 상승 전압이 10 V의 드레인 전압(Vd)에서의 상승 전압에 거의 대응한다.

[0209] 한편, 도 12의 (B)에 나타내는 바와 같이, 도 11의 (B)에 나타내는 트랜지스터의 절연막(239)에 양의 고정 전하가 균일하게 흡수되었다고 가정한 경우는 문턱 전압이 마이너스 시프트하고, 1 V의 드레인 전압(Vd)에서의 상승 전압이 10 V의 드레인 전압(Vd)에서의 상승 전압에 거의 대응한다.

[0210] 또한, 도 12의 (C)에 나타내는 바와 같이, 도 11의 (C)에 나타내는 트랜지스터의 절연막(239)에 양의 고정 전하가 부분적으로 흡수된다고 가정한 경우는, 드레인 전압(Vd)이 1 V일 때의 상승 전압과 드레인 전압(Vd)이 10 V일 때의 상승 전압이 다르다.

[0211] 한편, 구조 1을 갖는 트랜지스터에는 게이트 전극(213)이 제공되어 있기 때문에, 상기 <-GBT 스트레스 시험의 열화의 억제>에서 설명한 것처럼, 게이트 전극(213)이 외부의 하전 입자의 전장을 차폐하기 때문에, 트랜지스터의 전기 특성이 하전 입자가 영향을 주지 않는다. 즉, 게이트 전극(213)에 의해, 외부의 전하로부터 트랜지스터를 전기적으로 보호할 수 있고, 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동을 억제할 수 있다.

[0212] 이상으로부터, 듀얼 게이트 구조로 하고, 각 게이트 전극에 임의의 전압을 인가함으로써, -GBT 스트레스 시험으로 인한 열화 및 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동을 억제할 수 있다. 또한, 듀얼 게이트 구조로 하고, 각 게이트 전극에 같은 전위의 전압을 인가함으로써, 초기 특성의 편차의 저감, -GBT 스트레스 시험으로 인한 열화의 억제 및 다른 드레인 전압에서의 온-상태 전류의 상승 전압의 변동을 억제할 수 있다.

[0213] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0214] (실시형태 4)

[0215] 실시형태 1 내지 실시형태 3에 나타내는 트랜지스터에서, 필요에 따라, 기판(11) 및 게이트 전극(15) 사이에 하지 절연막을 제공할 수 있다. 하지 절연막의 재료로서는, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄 등이 예로서 주어질 수 있다. 또한, 하지 절연막의 재료로서, 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등을 이용함으로써, 기판(11)으로부터 불순물, 대표적으로는 알칼리 금속, 물, 수소 등의 산화물 반도체막(19)으로의 확산을 억제할 수 있다.

[0216] 하지 절연막은 스퍼터링법, CVD법 등에 의해 형성할 수 있다.

[0217] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0218] (실시형태 5)

[0219] 실시형태 1 내지 실시형태 4에 나타내는 트랜지스터에서, 필요에 따라, 게이트 절연막(17)을 적층 구조로 할 수 있다. 여기에서는, 실시형태 1에 나타내는 트랜지스터(50)를 이용하여, 게이트 절연막(17)의 구성에 대하여, 도 13의 (A) 내지 (C)를 이용하여 설명한다.

[0220] 도 13의 (A)에 나타내는 바와 같이, 게이트 절연막(17)은 질화물 절연막(17a) 및 산화물 절연막(17b)이 게이트 전극(15)측으로부터 차례로 적층되는 적층 구조를 가질 수 있다. 게이트 전극(15)측에 질화물 절연막(17a)을 제공함으로써, 게이트 전극(15)으로부터의 불순물, 대표적으로는, 수소, 질소, 알칼리 금속, 또는 알칼리 토금 속 등이 산화물 반도체막(19)으로 이동하는 것을 막을 수 있다.

- [0221] 또한, 산화물 반도체막(19)측에 산화물 절연막(17b)을 제공함으로써, 게이트 절연막(17) 및 산화물 반도체막(19) 사이의 계면에서의 결합 준위 밀도를 저감할 수 있다. 이 결과, 전기 특성의 열화가 적은 트랜지스터를 얻을 수 있다. 또한 산화물 절연막(17b)으로서, 산화물 절연막(25)과 마찬가지로, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 산화물 절연막을 이용하여 형성하면, 게이트 절연막(17) 및 산화물 반도체막(19) 사이의 계면에서의 결합 준위 밀도를 더욱 저감할 수 있기 때문에, 더욱 바람직하다.
- [0222] 도 13의 (B)에 나타내는 바와 같이, 게이트 절연막(17)은 결함이 적은 질화물 절연막(17c)과, 수소 차단성이 높은 질화물 절연막(17d)과, 산화물 절연막(17b)이 게이트 전극(15)측으로부터 차례로 적층되는 적층 구조를 가질 수 있다. 게이트 절연막(17)으로서, 결함이 적은 질화물 절연막(17c)을 제공함으로써, 게이트 절연막(17)의 절연 내압을 향상시킬 수 있다. 또한, 수소 차단성이 높은 질화물 절연막(17d)을 제공함으로써, 게이트 전극(15) 및 질화물 절연막(17c)으로부터의 수소가 산화물 반도체막(19)으로 이동하는 것을 막을 수 있다.
- [0223] 도 13의 (B)에 나타내는 질화물 절연막(17c, 17d)의 제작 방법의 일례를 이하에 나타낸다. 먼저, 실란, 질소, 및 암모니아의 혼합 가스를 원료 가스로서 이용한 플라즈마 CVD법에 의해, 결함이 적은 질화 실리콘막을 질화물 절연막(17c)으로서 형성한다. 다음에, 원료 가스를 실란 및 질소의 혼합 가스로 전환하여, 수소 농도가 적고, 또한 수소를 차단할 수 있는 질화 실리콘막을 질화물 절연막(17d)으로서 성막한다. 이러한 형성 방법에 의해, 결함이 적고, 또한 수소의 차단성을 갖는 질화물 절연막이 적층된 게이트 절연막(17)을 형성할 수 있다.
- [0224] 도 13의 (C)에 나타내는 바와 같이, 게이트 절연막(17)은 불순물의 차단성이 높은 질화물 절연막(17e), 결함이 적은 질화물 절연막(17c), 수소 차단성이 높은 질화물 절연막(17d), 및 산화물 절연막(17b)이 게이트 전극(15) 측으로부터 차례로 적층되는 적층 구조로 할 수 있다. 게이트 절연막(17)으로서 불순물의 차단성이 높은 질화물 절연막(17e)이 제공됨으로써, 게이트 전극(15)으로부터의 불순물, 대표적으로는, 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등이 산화물 반도체막(19)으로 이동하는 것을 막을 수 있다.
- [0225] 도 13의 (C)에 나타내는 질화물 절연막(17e, 17c, 17d)의 제작 방법의 일례를 이하에 나타낸다. 먼저, 실란, 질소, 및 암모니아의 혼합 가스를 원료 가스로서 이용한 플라즈마 CVD법에 의해, 불순물의 차단성이 높은 질화 실리콘막을 질화물 절연막(17e)으로서 형성한다. 다음에, 암모니아의 유량을 증가시킴으로써 결함이 적은 질화 실리콘막을 질화물 절연막(17c)으로서 형성한다. 다음에, 원료 가스를 실란 및 질소의 혼합 가스로 전환하여, 수소 농도가 적고, 또한 수소를 차단할 수 있는 질화 실리콘막을 질화물 절연막(17d)으로서 성막한다. 이러한 형성 방법에 의해, 결함이 적고, 또한 불순물이 차단성을 갖는 질화물 절연막의 적층 구성을 갖는 게이트 절연막(17)을 형성할 수 있다.
- [0226] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.
- [0227] (실시형태 6)
- [0228] 실시형태 1 내지 실시형태 5에 나타내는 트랜지스터에 제공되는 한쌍의 전극(20, 21)으로서, 텅스텐, 타이타늄, 알루미늄, 구리, 몰리브데넘, 크로뮴, 또는 탄탈럼 혹은 이들의 합금 등의 산소와 결합하기 쉬운 도전 재료를 이용할 수 있다. 이 결과, 산화물 반도체막(19)에 포함되는 산소와 한쌍의 전극(20, 21)에 포함되는 도전 재료가 서로 결합하여, 산화물 반도체막(19)에서 산소 결손 영역이 형성된다. 또한, 산화물 반도체막(19)에 한쌍의 전극(20, 21)을 형성하는 도전 재료의 구성 원소의 일부가 혼입되는 경우도 있다. 이러한 결과, 도 14에 나타내는 바와 같이, 산화물 반도체막(19)에서 한쌍의 전극(20, 21)에 접촉하는 영역 근방에 저저항 영역(19a, 19b)이 형성된다. 저저항 영역(19a, 19b)이 한쌍의 전극(20, 21)에 접촉하도록, 게이트 절연막(17)과 한쌍의 전극(20, 21)의 사이에 형성된다. 저저항 영역(19a, 19b)은 도전성이 높기 때문에, 산화물 반도체막(19)과 한쌍의 전극(20, 21)과의 접촉 저항을 저감할 수 있고, 트랜지스터의 온-상태 전류를 증대시킬 수 있다.
- [0229] 또한, 한쌍의 전극(20, 21)을 산소와 결합하기 쉬운 도전 재료와, 질화 타이타늄, 질화 탄탈럼, 또는 루테늄 등의 산소와 결합하기 어려운 도전 재료와의 적층 구조로 해도 좋다. 이러한 적층 구조로 함으로써, 한쌍의 전극(20, 21)과 산화물 절연막(23)의 계면에서, 한쌍의 전극(20, 21)의 산화를 막을 수 있고, 한쌍의 전극(20, 21)의 저항 증가를 억제할 수 있다.
- [0230] 또한, 본 실시형태에 나타내는 구성 및 방법 등은 다른 실시형태에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.
- [0231] (실시형태 7)

- [0232] 본 실시형태에서는, 실시형태 1 내지 실시형태 6과 비교하여, 산화물 반도체막의 결합량을 더욱 저감할 수 있는 트랜지스터를 갖는 반도체 장치에 대하여 도면을 참조하여 설명한다. 본 실시형태에서 설명하는 트랜지스터는 실시형태 1 내지 실시형태 6과 비교하여, 산화물 반도체막이 적층된 다층막이 제공된다는 점이 다르다. 여기에서는, 실시형태 1을 이용하여 트랜지스터의 상세한 사항을 설명한다.
- [0233] 도 15의 (A) 내지 (D)에, 반도체 장치에 포함되는 트랜지스터(70)의 상면도 및 단면도가 나타낸다. 도 15의 (A)는 트랜지스터(70)의 상면도이고, 도 15의 (B)는 도 15의 (A)의 일점 쇄선 A-B간의 단면도이고, 도 15의 (C)는 도 15의 (A)의 일점 쇄선 C-D간의 단면도이다. 또한 도 15의 (A)에서는 명료화를 위해, 기판(11), 게이트 절연막(17), 산화물 절연막(23), 산화물 절연막(25), 질화물 절연막(27) 등을 생략한다.
- [0234] 도 15의 (A) 내지 도 15의 (C)에 나타내는 트랜지스터(70)는 기판(11) 위의 게이트 전극(15); 게이트 절연막(17); 게이트 절연막(17)을 개재하고 게이트 전극(15)과 중첩되는 다층막(47); 다층막(47)에 접촉하는 한쌍의 전극(20, 21); 게이트 절연막(17), 다층막(47), 및 한쌍의 전극(20, 21) 위의 게이트 절연막(28); 게이트 절연막(28) 및 게이트 절연막(17) 위의 게이트 전극(29)을 포함한다. 또한, 게이트 절연막(28)은 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)을 갖는다. 또한, 한쌍의 전극(20, 21)의 한쪽(여기에서는 전극(21))에 접속하는 전극(30)이 게이트 절연막(17) 위에 형성된다. 또한 전극(30)은 화소 전극으로서 기능한다.
- [0235] 본 실시형태에 나타내는 트랜지스터(70)에서, 다층막(47)은 산화물 반도체막(19) 및 산화물 반도체막(49a)을 포함한다. 즉, 다층막(47)은 2층 구조를 갖는다. 또한, 산화물 반도체막(19)의 일부가 채널 영역으로서 기능한다. 또한, 다층막(47)에 접촉하도록, 산화물 절연막(23)이 형성된다. 산화물 반도체막(19)과 산화물 절연막(23)과의 사이에 산화물 반도체막(49a)이 제공된다. 또한, 산화물 절연막(23)에 접촉하도록 산화물 절연막(25)이 형성된다.
- [0236] 산화물 반도체막(49a)은 산화물 반도체막(19)을 형성하는 하나 이상의 원소로 구성되는 산화물막이다. 따라서, 산화물 반도체막(19)과 산화물 반도체막(49a)의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 이 계면에서는 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터의 전계 효과 이동도가 높아진다.
- [0237] 산화물 반도체막(49a)은 대표적으로는, In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)이다. 또한 산화물 반도체막(49a)의 전도대의 하단의 에너지가 산화물 반도체막(19)보다 진공 준위에 가깝고, 대표적으로는, 산화물 반도체막(49a)의 전도대의 하단의 에너지와 산화물 반도체막(19)의 전도대의 하단의 에너지와의 차이가 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상, 또는 0.15 eV 이상, 또한 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다. 즉, 산화물 반도체막(49a)의 전자 친화력과 산화물 반도체막(19)의 전자 친화력과의 차이가 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상, 또는 0.15 eV 이상, 또한 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다.
- [0238] 산화물 반도체막(49a)은 In을 포함함으로써, 캐리어 이동도(전자 이동도)가 높아지기 때문에 바람직하다.
- [0239] 산화물 반도체막(49a)으로서, Al, Ga, Y, Zr, La, Ce, 또는 Nd를 In보다 높은 원자수비로 가짐으로써, 이하의 효과를 갖는 경우가 있다. (1) 산화물 반도체막(49a)의 에너지 캡을 크게 한다. (2) 산화물 반도체막(49a)의 전자 친화력을 작게 한다. (3) 외부로부터의 불순물을 차폐한다. (4) 산화물 반도체막(19)과 비교하여, 산화물 반도체막(49a)의 절연성이 높아진다. (5) Al, Ga, Y, Zr, La, Ce, 또는 Nd는, 산소와의 결합력이 강한 금속 원소이기 때문에, 산소 결손이 생기기 어려워진다.
- [0240] 산화물 반도체막(49a)이 In-M-Zn 산화물막일 때, In 및 M의 합을 100 atomic%로 했을 때, In과 M의 원자수 비율은 In이 50 atomic% 미만 및 M이 50 atomic% 이상, 또는 In이 25 atomic% 미만 및 M이 75 atomic% 이상으로 한다.
- [0241] 또한, 산화물 반도체막(19), 및 산화물 반도체막(49a) 각각이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(19)과 비교하여, 산화물 반도체막(49a)에 포함되는 M(Al, Ga, Y, Zr, La, Ce, 또는 Nd)의 원자수비가 크고, 대표적으로는, 산화물 반도체막(19)에 포함되는 상기 원자와 비교하여, 1.5배 이상, 2배 이상, 또는 3배 이상 높은 원자수비이다.
- [0242] 또한, 산화물 반도체막(19), 및 산화물 반도체막(49a)이 각각 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(49a)을 $In:M:Zn=x_1:y_1:z_1$ [원자수비], 산화물 반도체막(19)을 $In:M:Zn=x_2:y_2:z_2$ [원자수비]로 하면, y_1/x_1 이 y_2/x_2 보다 크고, 또는, y_1/x_1 이 y_2/x_2 보다 1.5배 이상이다. 또는, y_1/x_1 이 y_2/x_2 보다

2배 이상 크고, y_1/x_1 이 y_2/x_2 보다 3배 이상 크다. 이 때, 산화물 반도체막에서 y_2 가 x_2 이상이면, 상기 산화물 반도체막을 이용한 트랜지스터에 안정된 전기 특성을 가질 수 있기 때문에 바람직하다.

[0243] 산화물 반도체막(19)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)이고, 산화물 반도체막(19)을 성막하기 위해 이용하는 타겟으로 금속 원소의 원자수비를 $In:M:Zn=x_1:y_1:z_1$ 으로 하는 경우, x_1/y_1 은 바람직하게 $1/3$ 이상 6 이하이고, 또한 바람직하게 1 이상 6 이하이며, z_1/y_1 은 바람직하게 $1/3$ 이상 6 이하이고, 또한 바람직하게 1 이상 6 이하이다. 또한 z_1/y_1 을 1 이상 6 이하로 할 때, 산화물 반도체막(19)으로서 아래에서 설명될 CAAC-OS막이 쉽게 형성된다. 타겟의 금속 원소의 원자수비의 대표적인 예는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$ 등이다.

[0244] 산화물 반도체막(49a)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)이고, 산화물 반도체막(49a)을 성막하기 위해 이용하는 타겟으로 금속 원소의 원자수비를 $In:M:Zn=x_2:y_2:z_2$ 로 하는 경우, 바람직하게 x_2/y_2 는 x_1/y_1 보다 작고, z_2/y_2 는 바람직하게 $1/3$ 이상 6 이하이고, 또한 바람직하게 1 이상 6 이하이다. 또한, z_2/y_2 가 1 이상 6 이하일 때, 산화물 반도체막(49a)으로서 아래에서 설명될 CAAC-OS막이 쉽게 형성된다. 타겟의 금속 원소의 원자수비의 대표적인 예는, $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$ 등이다.

[0245] 산화물 반도체막(19) 및 산화물 반도체막(49a)의 각 원자의 비는 오차로서 플러스마이너스 40% 범위 내에서 변한다.

[0246] 산화물 반도체막(49a)은 또한 후에 산화물 절연막(25)을 형성할 때 산화물 반도체막(19)에 대한 손상을 완화하는 막으로서 쓰일 수 있다.

[0247] 산화물 반도체막(49a)의 두께는 3 nm 이상 100 nm 이하, 또는 3 nm 이상 50 nm이다.

[0248] 산화물 반도체막(49a)은, 산화물 반도체막(19)처럼 예를 들면 비단결정 구조일 수 있다. 비단결정 구조는 예를 들면, 후술하는 CAAC-OS, 다결정 구조, 후술되는 미결정(mycrocrystalline) 구조, 또는 아몰퍼스 구조를 포함한다.

[0249] 산화물 반도체막(49a)은 예를 들면 아몰퍼스 구조를 가질 수 있다. 예를 들어 아몰퍼스 구조의 산화물 반도체 막은 원자 배열이 무질서하고 결정 성분이 없다. 선택적으로 아몰퍼스 구조의 산화물막은 예를 들면, 완전히 아몰퍼스 구조이며, 결정부가 없다.

[0250] 산화물 반도체막(19) 및 산화물 반도체막(49a) 각각은, 아몰퍼스 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 및 단결정 구조의 영역의 둘 이상을 포함하는 혼합막일 수 있다. 혼합막은 어떤 경우 예를 들면, 아몰퍼스 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역의 둘 이상의 영역을 포함하는 단층 구조를 가진다. 또한 어떤 경우 혼합막은 예를 들면, 아몰퍼스 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역의 둘 이상이 적층된 적층 구조를 갖는다.

[0251] 여기에, 산화물 반도체막(19)과 산화물 절연막(23)의 사이에 산화물 반도체막(49a)이 제공된다. 따라서 산화물 반도체막(49a)과 산화물 절연막(23)의 사이에 불순물 및 결함에 의해 트랩 상태(trap state)가 형성되면, 트랩 상태와 산화물 반도체막(19)의 사이에 격차가 있기 때문에, 산화물 반도체막(19) 내에 흐르는 전자는 트랩 상태에 잘 포획지 않는다. 따라서 트랜지스터의 온-상태의 전류가 증가될 수 있고, 전계 효과 이동도가 증가될 수 있다. 전자가 트랩 상태에 포획되면, 전자는 마이너스의 고정 전하가 된다. 그 결과, 트랜지스터의 문턱 전압이 변한다. 그러나, 산화물 반도체막(19)과 트랩 상태 사이의 격차에 의하여, 트랩 상태에 의한 전자 포획이 저감될 수 있고, 따라서 문턱 전압의 변화가 저감될 수 있다.

[0252] 외부로부터의 불순물은 산화물 반도체막(49a)에 의하여 차폐될 수 있고, 따라서 외부로부터 산화물 반도체막(19)으로 이동하는 불순물의 양이 저감될 수 있다. 나아가 산화물 반도체막(49a)에서 산소 결손이 형성되기 어렵다. 결과적으로, 산화물 반도체막(19)에서의 불순물의 농도 및 산소 결손의 수가 저감될 수 있다.

[0253] 산화물 반도체막(19) 및 산화물 반도체막(49a)은 각 막을 단순히 적층하는 것에 의하여 형성되지 않으며, 연속 접합(여기에서는 특히, 전도대 하부의 에너지가 각 막 사이에 연속적으로 변하는 구조)을 형성하도록하여 형성된다. 다시 말해, 각 계면에 트랩 중심이나 재결합 중심 같은 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조가 제공된다. 만일 적층된 산화물 반도체막(19)과 산화물 반도체막(49a) 사이에 불순물이 존재하면,

에너지 밴드의 연속성이 손상되고, 계면에서 캐리어가 포획되거나 재결합되어 사라진다.

[0254] 이러한 연속적 에너지 밴드를 형성하기 위하여, 로드락 체임버를 구비한 멀티 체임버 충착 장치(스퍼터링 장치)를 이용하여, 대기에 노출하지 않고 연속적으로 막을 형성하는 것이 필요하다. 스퍼터링 장치에서의 각 체임버는, 산화물 반도체막에 대하여 불순물이 되는 물 등을 가능한 많이 제거하기 위하여 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 이용하여 고진공 상태가 되도록 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지)하는 것이 바람직하다. 선택적으로, 배기계로부터 체임버 내에 기체, 특히 탄소 또는 수소를 포함하는 기체가 역류하지 않도록 터보 분자 펌프와 콜드 트랩을 조합하는 것이 바람직하다.

[0255] 도 15의 (D)에 도시된 트랜지스터(71)처럼, 게이트 절연막(17)을 사이에 개재하여 게이트 전극(15)과 중첩되는 다층막(48)과 다층막(48)에 접촉하는 한쌍의 전극(20, 21)이 포함될 수 있다.

[0256] 다층막(48)은 산화물 반도체막(49b), 산화물 반도체막(19), 및 산화물 반도체막(49a)을 포함한다. 즉, 다층막(48)은 3층 구조를 갖는다. 산화물 반도체막(19)은 채널 영역으로 쓰일 수 있다.

[0257] 또한, 게이트 절연막(17)과 산화물 반도체막(49b)은 서로 접촉한다. 즉, 산화물 반도체막(49b)은 게이트 절연막(17)과 산화물 반도체막(19)의 사이에 제공된다.

[0258] 다층막(48)과 산화물 절연막(23)은 서로 접촉한다. 산화물 반도체막(49a)과 산화물 절연막(23)은 서로 접촉한다. 즉, 산화물 반도체막(49a)은 산화물 반도체막(19)과 산화물 절연막(23)의 사이에 제공된다.

[0259] 산화물 반도체막(49b)은 산화물 반도체막(49a)과 유사한 재료 및 형성 방법을 이용하여 형성될 수 있다.

[0260] 산화물 반도체막(49b)의 두께는 산화물 반도체막(19)의 두께보다 작은 것이 바람직하다. 산화물 반도체막(49b)의 두께가 1 nm 이상 5 nm 이하, 바람직하게 1 nm 이상 3 nm 이하일 때, 트랜지스터의 문턱 전압의 변화가 저감될 수 있다.

[0261] 본 실시형태에 나타내는 트랜지스터에서, 산화물 반도체막(49a)이 산화물 반도체막(19)과 산화물 절연막(23)의 사이에 제공된다. 따라서, 불순물 및 결함에 의해 산화물 반도체막(49a)과 산화물 절연막(23)의 사이에 트랩 상태가 형성되면, 트랩 상태와 산화물 반도체막(19)의 사이에 격차가 있기 때문에 산화물 반도체막(19)에서 흐르는 전자는 트랩 상태에 포획되기 어렵다. 이에 따라 트랜지스터의 온-상태 전류의 양이 증가될 수 있고, 전계 효과 이동도가 증가될 수 있다. 트랩 상태에 전자가 포획될 때 전자는 마이너스의 고정 전하가 된다. 그 결과, 트랜지스터의 문턱 전압이 변한다. 그러나 산화물 반도체막(19)과 트랩 상태 사이의 격차에 의하여, 트랩 상태에 의한 전자의 포획이 저감될 수 있고, 문턱 전압의 변화가 저감될 수 있다.

[0262] 외부로부터의 불순물은 산화물 반도체막(49a)에 의하여 차폐될 수 있고, 따라서, 외부로부터 산화물 반도체막(19)으로 이동하는 불순물의 양이 저감될 수 있다. 또한, 산화물 반도체막(49a)에서 산소 결손이 형성되기 어렵다. 결과적으로 산화물 반도체막(19)에서의 불순물 농도 및 산소 결손의 수가을 저감될 수 있다.

[0263] 또한, 산화물 반도체막(49b)이 게이트 절연막(17)과 산화물 반도체막(19)의 사이에 제공되고, 산화물 반도체막(49a)이 산화물 반도체막(19)과 산화물 절연막(23)의 사이에 제공된다. 따라서 산화물 반도체막(49b)과 산화물 반도체막(19) 계면 근방에서의 실리콘이나 탄소의 농도, 산화물 반도체막(19)에서의 실리콘이나 탄소의 농도, 또는 산화물 반도체막(49a)과 산화물 반도체막(19) 계면 근방에서의 실리콘이나 탄소의 농도를 저감하는 것이 가능하다. 결과적으로 다층막(48)에서 일정 광전류 측정법으로부터 도출되는 흡수 계수는 $1 \times 10^{-3} / \text{cm}^2$ 미만, 또는 $1 \times 10^{-4} / \text{cm}^2$ 미만이고, 국제준위의 밀도가 매우 낮다.

[0264] 이러한 구조를 갖는 트랜지스터(71)는 산화물 반도체막(19)을 포함하는 다층막(48)에서 결함을 거의 포함하지 않으며, 따라서 트랜지스터의 전기 특성을 향상시킬 수 있고, 그리고 전형적으로 온-상태 전류가 증가되고 전계 효과 이동도가 향상될 수 있다. 나아가 스트레스 시험의 예인 BT 스트레스 시험과 광 BT 스트레스 시험에서 문턱 전압의 변화 양이 적고, 따라서 신뢰성이 높다.

[0265] <트랜지스터의 밴드 구조>

[0266] 다음으로, 도 15의 (B)에 도시된 트랜지스터(70)에 제공되는 다층막(47)과 도 15의 (C)에 도시된 트랜지스터(71)에 제공되는 다층막(48)의 밴드 구조가 도 16의 (A) 내지 도 16의 (C)를 참조하여 설명된다.

[0267] 여기에서는, 예를 들면, 에너지 캡이 3.15 eV인 In-Ga-Zn 산화물이 산화물 반도체막(19)으로 이용되고, 에너지 캡이 3.5 eV인 In-Ga-Zn 산화물이 산화물 반도체막(49a)으로 이용된다. 에너지 캡은 분광타원기(HORIBA JOBIN

YVON사 제조, UT-300)를 이용하여 측정할 수 있다.

- [0268] 산화물 반도체막(19)의 진공 준위와 가전자대 상단의 에너지차(이온화 포텐셜이라고도 함)와 산화물 반도체막(49a)의 진공 준위와 가전자대 상단의 에너지차는 각각 8 eV 및 8.2 eV였다. 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS : Ultraviolet Photoelectron Spectroscopy) 장치(ULVAC-PHI사 제조, VersalProbe)를 이용하여 측정할 수 있다.
- [0269] 따라서 산화물 반도체막(19)의 진공 준위와 전도대 하단의 에너지차(전자 친화력이라고도 함)와 산화물 반도체막(49a)에서 그들 사이의 에너지 갭은 각각 4.85 eV 및 4.7 eV이다.
- [0270] 도 16의 (A)는 다층막(47)의 밴드 구조의 일부를 모식적으로 나타낸다. 여기에서는 다층막(47)에 접촉하여 산화 실리콘막이 제공된 경우에 대하여 설명한다. 도 16의 (A)에서, EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(19)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체막(49a)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, EcI1과 EcI2는 도 15의 (B)의 게이트 절연막(17)과 산화물 절연막(23)에 각각 대응한다.
- [0271] 도 16의 (A)에 나타내는 바와 같이, 산화물 반도체막(19)과 산화물 반도체막(49a)의 사이에는 에너지는 장벽이 없고, 전도대 하단의 에너지 수준은 연속적으로 변한다. 이는, 다층막(47)이 산화물 반도체막(19)에 함유된 원소를 함유하고, 산화물 반도체막(19)과 산화물 반도체막(49a)의 사이에서 산소가 이동하여 혼합층이 형성되기 때문이다.
- [0272] 도 16의 (A)에 나타난 바와 같이, 다층막(47)의 산화물 반도체막(19)이 웨(well)로서 사용되고, 다층막(47)을 포함하는 트랜지스터의 채널 영역이 산화물 반도체막(19)에 형성된다. 다층막(47)의 전도대 하단의 에너지가 연속적으로 변하기 때문에, 산화물 반도체막(19)과 산화물 반도체막(49a)이 연속적이라고 말할 수 있다.
- [0273] 도 16의 (A)에 나타난 바와 같이, 산화물 반도체막(49a)과 산화물 절연막(23) 사이의 계면 근방에 불순물이나 결함에 기인한 트랩 상태가 형성될 수 있는 하지만, 산화물 반도체막(49a)이 존재하기 때문에, 산화물 반도체막(19)은 트랩 상태에 관여하지 않게 될 수 있다. 그러나 EcS1과 EcS2의 에너지 차이가 작을 때, 산화물 반도체막(19)의 전자가 이 에너지 차이를 가로질러 트랩 상태에 도달할 수 있다. 트랩 상태에 전자가 포획되면, 산화물 절연막과의 계면에 마이너스의 고정 전하가 생성됨으로써 트랜지스터의 문턱 전압은 플러스 방향으로 이동한다. 따라서 EcS1과 EcS2의 에너지 차이가 0.1 eV 이상, 더 바람직하게 0.15 eV 이상인 것이, 트랜지스터의 문턱 전압의 변화가 저감되고 안정된 전기적 특성이 얻어지기 때문에 바람직하다.
- [0274] 도 16의 (B)는 도 16의 (A)에 나타내는 밴드 구조의 변형예로서, 다층막(47)의 밴드 구조의 일부를 모식적으로 나타낸다. 여기에서는, 산화 실리콘막이 다층막(47)에 접촉하여 제공된 경우에 대하여 설명한다. 도 16의 (B)에서, EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(19)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, EcI1과 EcI2는 각각 도 15의 (B)의 게이트 절연막(17)과 산화물 절연막(23)에 대응한다.
- [0275] 도 15의 (B)에 나타난 트랜지스터에서, 다층막(47)의 상방, 즉 산화물 반도체막(49a)이 한쌍의 전극(20, 21)의 형성에 있어서 예칭될 수 있다. 또한 산화물 반도체막(49a)의 성막 시에 산화물 반도체막(19)의 상면에, 산화물 반도체막(19)과 산화물 반도체막(49a)의 혼합층이 형성되기 쉽다.
- [0276] 예를 들어, 산화물 반도체막(19)이 In, Ga 및 Zn의 원자수의 비가 1:1:1인 In-Ga-Zn 산화물, 또는 In, Ga 및 Zn의 원자수의 비가 3:1:2인 In-Ga-Zn 산화물을 스퍼터링 타겟으로 이용하여 형성된 산화물 반도체막이고, 산화물 반도체막(49a)이 In, Ga 및 Zn의 원자수의 비가 1:3:2인 In-Ga-Zn 산화물, In, Ga 및 Zn의 원자수의 비가 1:3:4인 In-Ga-Zn 산화물, 또는 In, Ga 및 Zn의 원자수의 비가 1:3:6인 In-Ga-Zn 산화물을 스퍼터링 타겟으로 이용하여 형성된 산화물 반도체막일 때, 산화물 반도체막(49a)의 Ga 함량은 산화물 반도체막(19)에서 보다 많다. 따라서 GaO_x 층 또는 산화물 반도체막(19)보다 Ga 함량이 높은 혼합층이 산화물 반도체막(19)의 상면에 형성될 수 있다.
- [0277] 이러한 이유로 산화물 반도체막(49a)이 예칭된 경우 조차도, EcI2측의 EcS1의 전도대 하단의 에너지가 높아지고 어떤 경우에는 도 16의 (B)에 나타난 밴드 구조가 얻어질 수 있다.
- [0278] 도 16의 (B)에 나타내는 밴드 구조처럼, 채널 영역의 단면을 관찰할 때에 어떤 경우에는 다층막(47) 중의 산화물 반도체막(19)만 명확하게 관찰된다. 그러나 산화물 반도체막(19)보다 Ga를 많이 포함하는 혼합층은 실제로 산화물 반도체막(19) 위에 분명히 형성되고, 따라서 혼합층은 1.5번쩨의 층으로 볼 수 있다. 혼합층은, 예를 들

어 EDX 분석 등에 의해 다층막(47)에 함유된 원소를 측정할 때, 산화물 반도체막(19)의 상부의 조성을 분석함으로써 확인될 수 있다. 혼합층은, 예를 들어 산화물 반도체막(19)의 상부의 조성 중의 Ga 함량이 산화물 반도체막(19) 중의 Ga의 함량 보다 많다하는 방식으로 확인될 수 있다.

[0279] 도 16의 (C)는 다층막(48)의 밴드 구조의 일부를 모식적으로 나타낸다. 여기에서는 산화 실리콘막이 다층막(48)에 접촉하여 제공된 경우에 대하여 설명한다. 도 16의 (C)에서, EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(19)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체막(49a)의 전도대 하단의 에너지를 나타내고, EcS3은 산화물 반도체막(49b)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, EcI1과 EcI2은 각각 도 15의 (D)에 나타난 게이트 절연막(17)과 산화물 절연막(23)에 대응한다.

[0280] 도 16의 (C)에 나타내는 바와 같이, 산화물 반도체막(49b), 산화물 반도체막(19), 및 산화물 반도체막(49a)의 사이에는 에너지 장벽이 없고, 전도대 하단의 에너지가 그 사이에서 완만하게 변화한다. 다시 말해 전도대 하단의 에너지는 연속적으로 변한다. 이는, 다층막(48)이 산화물 반도체막(19)에 함유된 원소를 함유하고, 산소가 산화물 반도체막(19)과 산화물 반도체막(49b)의 사이 그리고 산화물 반도체막(19)과 산화물 반도체막(49a)의 사이에서 이동되어, 혼합층이 형성되기 때문이다.

[0281] 도 16의 (C)에 나타난 바와 같이, 다층막(48)의 산화물 반도체막(19)이 웨로 사용되고, 다층막(48)을 포함하는 트랜지스터의 채널 영역이 산화물 반도체막(19)에 형성된다. 다층막(48)은 전도대 하단의 에너지가 연속적으로 변하기 때문에, 산화물 반도체막(49b), 산화물 반도체막(19), 및 산화물 반도체막(49a)은 연속적이라고 할 수 있다.

[0282] 산화물 반도체막(19)과 산화물 절연막(23) 사이의 계면 근방, 그리고 산화물 반도체막(19)과 게이트 절연막(17) 사이의 계면 근방에 불순물이나 결함에 기인한 트랩 상태가 형성될 수 있는 하지만, 도 16의 (C)에 나타내는 바와 같이, 산화물 반도체막(49a, 49b)의 존재 때문에 산화물 반도체막(19)은 트랩 상태에 관여하지 않게 될 수 있다. 그러나 EcS1과 EcS2 사이의 에너지 차이, 및 EcS1과 EcS3 사이의 에너지 차이가 작을 때, 산화물 반도체막(19)의 전자들이 에너지 차이를 가로질러 트랩 상태에 도달할 수 있다. 트랩 상태에 의하여 전자가 포획되면, 산화물 절연막과의 계면에 마이너스의 고정 전하가 생성됨으로써, 트랜지스터의 문턱 전압은 플러스 방향으로 이동한다. 따라서 EcS1과 EcS2 사이의 에너지 차이와 EcS1과 EcS3 사이의 에너지 차이가 0.1 eV 이상, 더 바람직하게 0.15 eV 이상인 것이, 트랜지스터의 문턱 전압의 변화가 저감되고 안정된 전기적 특성이 얻어지기 때문에 바람직하다.

[0283] 또한, 본 실시형태의 구성 및 방법 등을 다른 실시형태에 기재된 구성 및 방법 등과 적절히 조합하여 이용될 수 있다.

[0284] (실시형태 8)

[0285] 본 실시형태에서는, 상기 실시형태에서 설명된 반도체 장치에 포함된 트랜지스터의 산화물 반도체막에 적용될 수 있는 일양태에 대하여 설명한다.

[0286] 산화물 반도체막은, 단결정 구조를 가지는 산화물 반도체(이하, 단결정 산화물 반도체라고 함), 다결정 구조를 가지는 산화물 반도체(이하, 다결정 산화물 반도체라고 함), 미결정(microcrystalline) 구조를 가지는 산화물 반도체(이하, 미결정 산화물 반도체라고 함), 및 아몰포스 구조를 가지는 산화물 반도체(이하, 비정질 산화물 반도체라고 함) 중의 하나 이상을 포함할 수 있다. 또한 산화물 반도체막은 CAAC-OS 막으로 형성될 수 있다. 나아가 산화물 반도체막은 아몰퍼스 산화물 반도체 및 결정립을 가지는 산화물 반도체를 포함할 수 있다. 이하에서 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 및 아몰퍼스 산화물 반도체에 대하여 설명한다.

[0287] <단결정 산화물 반도체>

[0288] 단결정 산화물 반도체막은 불순물 농도가 더 낮고, 결함 준위 밀도가 더 낮다(산소 결손이 거의 없다). 따라서 캐리어 밀도가 감소될 수 있다. 그러므로 단결정 산화물 반도체막을 이용한 트랜지스터는 정상-온(normally-on)이 잘 되지 않는다. 더욱이 단결정 산화물 반도체막은 불순물 농도가 더 낮고, 결함 준위 밀도가 더 낮기 때문에, 캐리어 트랩이 감소될 수 있다. 따라서, 단결정 산화물 반도체막을 가지는 트랜지스터는 전기적 특성의 변동이 작고 따라서 신뢰성이 높다.

[0289] 산화물 반도체막의 결함이 적을 때, 그 밀도가 증가된다. 산화물 반도체막의 결정성이 높을 때, 그 밀도가 증

가된다. 산화물 반도체막의 수소 등의 불순물 농도가 낮을 때, 그 밀도가 증가된다. 단결정 산화물 반도체막은 CAAC-OS 막보다 밀도가 더 높다. CAAC-OS 막은 미결정 산화물 반도체막보다 밀도가 더 높다. 다결정 산화물 반도체막은 미결정 산화물 반도체막보다 밀도가 더 높다. 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 밀도가 더 높다.

[0290] <CAAC-OS>

[0291] CAAC-OS 막은 복수의 결정부를 갖는 산화물 반도체막의 하나이다. CAAC-OS 막에 포함된 결정부는 각각 c축 배향을 갖는다. 평면 TEM 상에서, CAAC-OS 막에 포함된 결정부의 면적은 2500 nm^2 이상, $5 \mu\text{m}^2$ 이상, 또는 $1000 \mu\text{m}^2$ 이상이다. 또한, TEM 상의 단면에서 결정부의 비율이 CAAC 산화물 막의 50% 이상, 80% 이상, 또는 95% 이상일 때, CAAC 산화물 막은 단결정의 물리적 성질과 유사한 물리적 성질을 가지는 박막이 다.

[0292] CAAC-OS 막의 투과형 전자 현미경(TEM: Transmission Electron Microscope) 상에서, 결정부 사이의 경계선, 즉, 입계(grain boundary)는 명확하게 관찰되지 않는다. 그러므로 CAAC-OS 막에서 입계에 기인한 전자 이동도의 저하는 일어나기 어렵다.

[0293] 시료면에 실질적으로 평행한 방향에서 관찰되는 CAAC-OS 막의 TEM 상(단면 TEM 상)에 따르면, 금속 원자들은 결정부에서 층을 이루는 방식으로 배열된다. 각 금속 원자 층은 그 위에 CAAC-OS 막이 형성된 표면(이하, CAAC-OS 막이 그 위에 형성된 표면을 형성 표면이라 함) 또는 CAAC-OS 막의 상면이 반영된 몰포로지를 가지며, CAAC-OS 막의 형성 표면 또는 상면과 평행하게 배열된다. 또한 본원에서, 용어 "평행"은 2개의 직선이 이루는 각이 -10° 이상 10° 이하인 것을 가리키며, 따라서 각도가 -5° 이상 5° 이하의 경우도 포함된다. 또한 용어 "수직"은 2개의 직선이 이루는 각도가 80° 이상 100° 이하인 것을 가리키고, 따라서 각도가 85° 이상 95° 이하의 경우도 포함된다.

[0294] 한편, 시료면과 실질적으로 수직인 방향에서 관찰된 CAAC-OS 막의 TEM 상(평면 TEM 상)에 따르면, 금속 원자들이 결정부에서 삼각형 또는 육각형 배치로 배열된다. 그러나 상이한 결정부들 사이에서는 금속 원자 배열의 규칙성이 없다.

[0295] CAAC-OS 막의 전자 회절 패턴에서 배향성을 가지는 스폷(발광성 스폷)이 나타난다.

[0296] 단면 TEM 상 및 평면 TEM 상으로부터, CAAC-OS 막의 결정부에서 배향성이 발견된다.

[0297] CAAC-OS 막은 X선 회절(XRD : X-Ray Diffraction) 장치로 구조 분석된다. CAAC-OS 막을 out-of-plane법에 의해 분석하면, 회절각(2Θ)이 31° 근방일 때 피크가 빈번하게 나타난다. 이 피크는 InGaZn 산화물 결정의 (00x)면(x는 정수)으로부터 얻어지고, 이는 CAAC-OS 막의 결정이 c축 배향성을 가지는 것과 c축이 CAAC-OS 막의 형성 표면 또는 상면에 실질적으로 수직으로 나란하다는 것을 가리킨다.

[0298] 한편, X 선이 c축에 실질적으로 수직인 방향으로 시료에 입사되는 in-plane법에 의해 CAAC-OS 막을 분석하면, 2Θ 가 56° 근방일 때 피크가 빈번하게 나타난다. 이 피크는 InGaZn 산화물 결정의 (110)면으로부터 얻어진다. 2Θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 축(Φ 축)으로 하여 시료를 회전시키는 조건 하에서 분석(Φ 스캔)이 수행된다. 시료가 InGaZn 산화물의 단결정 산화물 반도체막인 경우, 6개의 피크가 나타난다. 이 6개의 피크는 (110)면과 등가인 결정면으로부터 얻어진다. 반면 CAAC-OS 막의 경우에는 2Θ 를 56° 근방에 고정하고 Φ 스캔이 수행되더라도 피크가 명백하게 나타나지는 않는다.

[0299] 이상의 결과로부터, c축 배향성을 가지는 CAAC-OS 막에서, 결정부 사이에서는 a축 및 b축의 방향이 상이하지만, c축은 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향에 나란하다. 따라서, 단면 TEM 상에서 관찰되는 층을 이루는 방식으로 배열된 각 금속 원자 층은 결정의 a-b면에 평행한 면에 해당한다.

[0300] 결정은 CAAC-OS 막의 증착과 동시에 형성되거나, 또는 가열 처리 등의 결정화 처리를 통하여 형성된다. 상술한 것처럼, 결정의 c축은 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향과 나란하다. 따라서 예를 들면, CAAC-OS 막의 형상이 에칭 등에 의해 변화된 경우, c축은 CAAC-OS 막의 형성 표면 또는 상면의 법선 벡터와 반드시 평행하지는 않을 수 있다.

[0301] 또한 CAAC-OS 막 내의 결정화도가 반드시 균일할 필요는 없다. 예를 들면, CAAC-OS 막으로 이어지는 결정 성장이 막의 상면 근방으로부터 일어나는 경우, 상면 근방의 결정화도가 형성 표면 근방에서 보다 어떤 경우 더 높다. 또한 CAAC-OS 막에 불순물을 첨가되면, 불순물이 첨가된 영역의 결정화도가 변화되고, 영역에 따라 CAAC-OS 막 내의 결정화도가 변한다.

- [0302] CAAC-OS 막이 out-of-plane법에 의해 해석될 때, 31° 근방의 2θ 피크에 추가하여, 36° 근방에도 2θ 피크가 나타날 수 있다. 36° 근방의 2θ 피크는 c축 배향성이 없는 결정부가 CAAC-OS 막의 일부에 포함된 것을 나타낸다. CAAC-OS 막에서는, 2θ 피크는 31° 근방에 나타나며, 2θ 피크는 36° 근방에서는 나타내지 않는 것이 바람직하다.
- [0303] CAAC-OS 막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 철이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등의 산화물 반도체막에 포함된 금속 원소보다 산소와 결합력이 더 큰 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 어지럽혀, 결정성의 감소를 유발한다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은 원자 반경(분자 반경)이 크기 때문에, 산화물 반도체막 내에 포함될 때, 산화물 반도체막의 원자 배열을 어지럽혀, 결정성의 감소를 유발한다. 산화물 반도체막에 포함된 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0304] CAAC-OS 막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 어떤 경우에는 수소가 포획되었을 때, 산화물 반도체막 내의 산소 결손은 캐리어 트랩 역할을 하거나 캐리어 발생원 역할을 한다.
- [0305] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손의 수가 적음) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성" 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 거의 없기 때문에, 캐리어 밀도가 낮다. 따라서 산화물 반도체막을 이용한 트랜지스터는 문턱 전압이 마이너스이다(거의 노멀리-온이 되지 않음). 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 준위 밀도가 낮고, 따라서 캐리어 트랩이 거의 없다. 따라서 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성의 변동이 작고, 신뢰성이 높다. 산화물 반도체막 내의 캐리어 트랩에 포획된 전하는 방출되는데 시간이 오래 걸리고, 고정 전하처럼 같이 행동할 수 있다. 따라서 경우에 따라, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 포함하는 트랜지스터는, 전기 특성이 불안정하다.
- [0306] CAAC-OS 막을 이용한 트랜지스터는 가시광선 또는 자외선의 조사에 의한 전기적 특성의 변동이 작다.
- [0307] <다결정 산화물 반도체>
- [0308] TEM에 의해 얻어진 상에서, 예를 들면, 다결정 산화물 반도체막에서 결정립이 발견될 수 있다. 대부분의 경우, 다결정 산화물 반도체막 내의 결정립 크기는, 예를 들면 TEM에 의해 얻어진 상에서 2 nm 이상 300 nm 이하, 3 nm 이상 100 nm 이하 또는 5 nm 이상 50 nm 이하의 입경이다. 또한 다결정 산화물 반도체막은 TEM에 의해 얻어진 관찰상에서, 결정들 사이의 경계가 다결정 산화물 반도체막 내에서 발견되는 경우가 있다.
- [0309] 다결정 산화물 반도체막은 복수의 결정립을 포함할 수 있고, 결정의 배향이 복수의 결정립간에 상이할 수 있다. 다결정 산화물 반도체막이 XRD 장치를 이용하여 out-of-plane법에 의한 분석될 때, 단일 또는 복수의 피크가 나타나는 경우가 있다. 예를 들면, 다결정의 IGZO막의 경우 배향을 나타내는 31° 근방의 2θ 가 피크, 또는 복수 종류의 배향을 나타내는 복수의 피크가 나타나는 경우가 있다.
- [0310] 다결정 산화물 반도체막은 결정성이 높고, 따라서 전자 이동도가 높은 경우가 있다. 따라서 다결정 산화물 반도체막을 포함하는 트랜지스터는 전계 효과 이동도가 높다. 다결정 산화물 반도체막의 입계에서 불순물이 편석되는 경우가 있다. 또한 다결정 산화물 반도체막의 입계는 결합 준위가 된다. 다결정 산화물 반도체막의 입계는 캐리어 발생원 또는 트랩 준위되기 때문에, 다결정 산화물 반도체막을 포함하는 트랜지스터는 CAAC-OS 막을 포함하는 트랜지스터보다 전기적 특성의 변동이 크고 신뢰성이 낮은 경우가 있다.
- [0311] <미결정 산화물 반도체>
- [0312] 미결정 산화물 반도체막에서는 TEM에 의해 얻어지는 상에서 결정부가 명확하게 확인되지 않는 경우가 있다. 대부분의 경우 미결정 산화물 반도체막의 결정부는 1 nm 이상 100 nm 이하, 또는 1 nm 이상 10 nm 이하이다. 크기가 1 nm 이상 10 nm 이하, 또는 1 nm 이상 3 nm 이하인 미결정(microcrystal)은 특히 나노 결정(nc : nanocrystal)이라고 부른다. 나노결정을 포함하는 산화물 반도체막은 특히, nc-OS(nanocrystalline Oxide Semiconductor) 막이라고 부른다. TEM에 의해 얻어지는 상에서 nc-OS 막의 결정립을 명확하게 확인할 수 없는 경우가 있다.
- [0313] nc-OS 막에서는 미소한 영역(예를 들어 크기가 1 nm 이상 10 nm 이하인 영역, 특히 크기가 1 nm 이상 3 nm 이하인 영역)에서 원자 배열이 주기적이다. 그러나 nc-OS막은 다른 결정부 사이에서는 결정 방위에 규칙성이 없고, 따라서 막 전체의 배향성은 관찰되지 않는다. 따라서 어떤 경우에는, nc-OS 막은 분석 방법에 따라 아몰퍼스 산화물 반도체막과 구별이 되지 않다. 예를 들면, nc-OS막에 대하여, 결정부보다 직경이 큰 X선을 이용하는

XRD 장치로 out-of-plane법에 의해 구조 분석을 행하면, 결정면을 나타내는 피크는 검출되지 않는다. 또한 nc-OS 막에 대하여, 결정부의 직경 보다 큰(예를 들면, 50 nm 이상) 프로브 직경을 가지는 전자선을 이용하여 얻어지는 nc-OS 막의 전자 회절 패턴(제한 시야 전자선 회절이라고도 함)에서, 할로 패턴이 나타난다. 한편 nc-OS 막에 대하여, 결정부의 직경과 가깝거나 같거나 또는 보다 작은(예를 들면, 1 nm 이상 30 nm 이하) 프로브 직경을 가지는 전자선을 이용하여 얻어지는 nc-OS 막의 전자 회절(나노 범 전자선 회절이라고도 함)을 행하면, 스폷이 나타난다. 또한 nc-OS 막의 나노 범 전자 회절에서, 원(링) 형상의 고휘도 영역이 관측되는 경우가 있다. nc-OS 막의 나노 범 전자 회절 패턴에서도, 링-유사 영역 내에 복수의 스폷이 나타나는 경우가 있다.

[0314] 도 17은 nc-OS 막을 포함하는 시료에 대한 나노 범 전자 회절의 예이다. 측정의 위치는 변화되었다. 여기에서는, 시료는 nc-OS 막 형성된 면에 수직인 방향으로 절단되어, 두께가 10 nm 이하로 감소된다. 또한 직경이 1 nm인 전자선이 시료의 절단면에 수직인 방향으로부터 입사한다. 도 17은, nc-OS 막을 포함하는 시료에 대하여 나노 범 전자 회절을 행해질 때, 결정면을 나타내는 회절 패턴을 얻을 수 있지만, 특정 방향의 결정면을 따르는 배향성 관찰되지 않는 것을 나타낸다.

[0315] nc-OS 막은 아몰퍼스 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이기 때문에, nc-OS 막은 비정질 산화물 반도체막보다 결합 준위 밀도가 더 낮다. 그러나 nc-OS 막은 상이한 결정부 사이에 결정 방위의 규칙성이 없고, 따라서 nc-OS 막은 CAAC-OS 막에 비교하여 결합 준위 밀도가 더 높다.

[0316] 본 실시형태에 나타난 구성 및 방법 등은 다른 실시형태에 나타난 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0317] (실시형태 9)

[0318] 실시형태 1 내지 실시형태 8에 나타내는 트랜지스터의 제작 방법에서, 한쌍의 전극(20, 21)을 형성한 후, 산화물 반도체막(19)을 산화 분위기에서 발생시킨 플라즈마에 노출하여 산화물 반도체막(19)에 산소를 공급할 수 있다. 산화 분위기의 예로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등의 분위기가 있을 수 있다. 또한 플라즈마 처리에서, 기판(11) 측에 바이어스를 인가하지 않으면서 발생한 플라즈마에 산화물 반도체막(19)을 노출하는 것이 바람직하다. 그 결과, 산화물 반도체막(19)에 손상을 주지 않으면서 산소를 공급하는 것이 가능하고, 따라서 산화물 반도체막(19) 내의 산소 결손의 수를 감소시킬 수 있다. 또한, 애칭 처리에 의해 산화물 반도체막(19)의 표면에 남게되는 불순물, 예를 들면, 불소, 염소 등의 할로겐 등이 제거될 수 있다. 또한, 상기 플라즈마 처리는 300°C 이상의 온도에서 가열을 행면서 행하는 것이 바람직하다. 플라즈마 중의 산소는 산화물 반도체막(19)에 포함된 수소와 결합하여 물이 된다. 기판이 가열되기 때문에, 물은 산화물 반도체막(19)으로부터 방출된다. 그 결과, 산화물 반도체막(19) 내의 수소와 물의 함량이 저감될 수 있다.

[0319] 또한, 본 실시형태에 나타난 구성 및 방법 등은 다른 실시형태에 나타난 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0320] (실시형태 10)

[0321] 상기 실시형태에 개시된 산화물 반도체막은 스퍼터링 법에 의해 형성될 수 있지만, 다른 방법 예를 들면, 열 CVD법에 의해 형성될 수도 있다. 열 CVD법의 예로서 유기 금속 화학 증착법(MOCVD: Metal Organic Chemical Vapor Deposition)이나 원자층 증착법(ALD: Atomic Layer Deposition)을 사용해도 좋다.

[0322] 열 CVD법은 막을 형성하는데 플라즈마를 사용하지 않기 때문에, 플라즈마 손상에 의해 결함이 생성되지 않는다는 이점이 있다.

[0323] 열 CVD법에 의한 증착은, 원료 가스와 산화제를 동시에 체임버에 공급하고, 체임버 내의 압력을 대기압 또는 감압으로 하고, 기판 근방 또는 기판 위에서 반응을 유발시키는 방식으로 행해질 수 있다.

[0324] ALD법에 의한 증착은, 체임버 내의 압력을 대기압 또는 감압으로 하고, 반응을 위한 원료 가스를 순차적으로 체임버 내에 도입하고, 가스의 도입 순서를 반복하는 방식으로 행해질 수 있다. 예를 들어 각각의 스위칭 밸브(고속 밸브라고도 부름)를 전환함으로써 2 종류 이상의 원료 가스를 순차적으로 체임버에 공급, 한다. 예를 들어 복수종의 원료 가스가 섞이지 않도록 제1 원료 가스가 도입되고, 제1 원료 가스의 도입과 동시에 또는 후에 불활성 가스(아르곤, 혹은 질소 등) 등을 도입하고, 그리고 나서 제2 원료 가스를 도입한다. 제1 원료 가스와 불활성 가스를 동시에 도입하는 경우, 불활성 가스는 캐리어 가스가 되고, 불활성 가스는 또한 제2 원료 가스의 도입과 동시에 도입될 수 있다. 선택적으로, 불활성 가스의 도입 대신에 진공 배기에 의해 제1 원료 가스가 배출될 수 있고, 그리고 나서 제2 원료 가스가 도입될 수 있다. 제1 원료 가스는 기판의 표면에 흡착하여 제1

층을 형성하고, 그리고 나서 제2 원료 가스가 제1 층과 반응하도록 도입되며, 그 결과, 제2 층이 제1 층 위에 적층된다. 원하는 두께가 얻어질 때까지 가스의 도입 순서가 복수회 반복됨으로써, 단차 피복성이 우수한 박막이 형성된다. 박막의 두께는 가스 도입 순서의 반복 횟수에 의해 조절될 수 있고, 따라서 막 두께를 정밀하게 조절할 수 있고 따라서 미세한 FET의 제작에 적합하다.

[0325] MOCVD 법이나 ALD 법 등의 열 CVD 법에 의하여, 지금까지 상기 실시형태에 설명한 금속막, 산화물 반도체막, 무기 절연막 등 다양한 막이 형성될 수 있다. 예를 들어 InGaZnO 막을 증착하는 경우, 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연이 이용된다. 또한 트라이메틸인듐의 화학식은 $In(CH_3)_3$ 이다. 트라이메틸갈륨의 화학식은 $Ga(CH_3)_3$ 이다. 다이메틸아연의 화학식은 $Zn(CH_3)_2$ 이다. 이러한 조합에 한정되지 않고, 트라이메틸인듐 대신에 트라이에틸인듐(화학식 $In(C_2H_5)_3$)(원문에 트라이메틸인듐으로 되어있는 오기를 화학식에 맞춰 수정)을 이용할 수 있고, 트라이메틸갈륨 대신에 트라이 에틸갈륨(화학식 $Ga(C_2H_5)_3$)을 이용할 수 있고, 다이메틸아연 대신에 다이에틸아연(화학식 $Zn(C_2H_5)_2$)을 이용할 수 있다.

[0326] 예를 들면, ALD를 쓰는 성막 장치를 이용하여 산화물 반도체막, 예를 들어 In-Ga-Zn-O막을 형성하는 경우, $In(CH_3)_3$ 가스와 O_3 가스가 순서대로 수회 도입되어 In-O 층을 형성하고, $Ga(CH_3)_3$ 가스와 O_3 가스가 동시에 도입되어 GaO 층을 형성하고, 그리고 나서 $Zn(CH_3)_2$ 와 O_3 가스가 동시에 도입되어 ZnO 층을 형성한다. 이러한 층들의 순서는 상기 예에 한정되지 않는다. 이러한 가스들을 혼합함으로써 In-Ga-O 층, In-Zn-O 층, 또는 Ga-Zn-O 층 등의 혼합 화합물층이 형성될 수 있다. O_3 가스 대신에 Ar 등의 불활성 가스로 베블링하여 얻어진 H_2O 가스를 이용할 수도 있지만, H를 포함하지 않는 O_3 가스를 이용하는 것이 바람직하다. 또한 $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스가 이용될 수 있다. 또한 $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스가 이용될 수 있다. 또한 $Zn(C_2H_5)_2$ 가스가 이용될 수 있다.

[0327] 또한, 본 실시형태에 나타난 구성 및 방법 등은 다른 실시형태에 나타난 구성 및 방법 등과 적절히 조합하여 이용할 수 있다.

[0328] (실시형태 11)

[0329] 상기 실시형태에 나타난 트랜지스터의 예들을 이용하여 표시 기능이 있는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한 트랜지스터를 포함하는 구동 회로의 일부 또는 전체가 화소부가 형성된 기판 위에 형성될 수 있고, 이로써 시스템 온 패널(system-on-panel)이 형성될 수 있다. 본 실시형태에서, 상기 실시형태의 트랜지스터의 예를 이용한 표시 장치의 예가 도 18 및 도 19를 참조하여 설명된다. 또한 도 19의 (A) 및 도 19의 (B)는 도 18의 (B)의 M-N의 일점 채선을 따르는 단면 구성을 도시하는 단면도이다.

[0330] 도 18의 (A)에서, 제1 기판(901) 위에 제공된 화소부(902)를 둘러싸도록 실란트(905)가 제공되고, 화소부(902)는 제2 기판(906)에 의해 밀봉된다. 도 18의 (A)에서, 각각 제1 기판(901) 위의 실란트(905)에 의해 둘러싸인 영역과 상이한 영역에 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체를 이용하여 형성된 신호선 구동 회로(903)와 주사선 구동 회로(904)가 형성된다. 또한 다양한 신호 및 전위가 연성 인쇄 회로 (FPC: Flexible printed circuit)(918) 및 FPC(918b)로부터 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 공급된다.

[0331] 도 18의 (B) 및 도 18의 (C)에서, 제1 기판(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)를 둘러싸도록 실란트(905)가 제공된다. 화소부(902)와 주사선 구동 회로(904)의 위에 제2 기판(906)이 제공된다. 따라서 화소부(902)와 주사선 구동 회로(904)는, 제1 기판(901), 실란트(905), 및 제2 기판(906)에 의해 표시 소자와 함께 밀봉된다. 도 18의 (B) 및 도 18의 (C)에서, 제1 기판(901) 위의 실란트(905)에 의해 둘러싸인 영역과 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체 또는 다결정 반도체를 이용하여 형성된 신호선 구동 회로(903)가 장착된다. 도 18의 (B) 및 도 18의 (C)에서, 다양한 신호 및 전위가 신호선 구동 회로(903), 주사선 구동 회로(904), 또는 화소부(902)에 FPC(918)로부터 공급된다.

[0332] 도 18의 (B) 및 도 18의 (C)는 각기 신호선 구동 회로(903)가 별도 형성되어 제1 기판(901) 상에 실장된 예를 나타내고 있지만, 본 발명에 따른 일 실시형태는 이러한 구성에 한정되지 않는다. 주사선 구동 회로는 별도로 형성되어 장착될 수 있고, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성되어 장착될 수 있다.

- [0333] 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않으며, COG(Chip On Glass) 방법, 또는 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등이 이용될 수 있다. 도 18의 (A)는 신호선 구동 회로(903)와 주사선 구동 회로(904)가 COG 방법에 의해 장착된 예이고, 도 18의 (B)는 신호선 구동 회로(903)가 COG 방법에 의해 장착된 예이고, 도 18의 (C)는 신호선 구동 회로(903)가 TAB 방법에 의해 실장된 예이다.
- [0334] 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 패널에 콘트롤러 등을 포함하는 IC 등이 직접 장착된 모듈을 그 카테고리에 포함한다.
- [0335] 본 명세서에서의 표시 장치란, 화상 표시 장치를 가리킨다. 나아가 표시 장치는 하기 모듈들을 그 범주에 포함한다: FPC 혹은 TCP 등의 커넥터가 장착된 모듈, 끝에 프린트 배선판이 제공된 TPC를 가지는 모듈, 및 COG 방식에 의해 표시 소자에 IC(집적회로)가 직접 장착된 모듈
- [0336] 제1 기판 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 포함하고, 상기 실시형태에 나타낸 어떤 트랜지스터도 적용될 수 있다. 주사선 구동 회로에 포함되는 베퍼 회로에 상기 실시형태에 나타낸 어떤 트랜지스터도 적용할 수 있다.
- [0337] 표시 장치에 제공되는 표시 소자로서, 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 특히 무기 EL(Electroluminescence) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등 전기적 효과에 의해 콘트라스트가 변화되는 표시 매체를 이용될 수 있다. 도 19의 (A)는 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타내고, 도 19의 (B)는 표시 소자로서 발광 소자를 사용한 발광 표시 장치의 예를 나타낸다.
- [0338] 도 19의 (A) 및 도 19의 (B)에서 나타내는 바와 같이, 표시 장치는 접속 단자 전극(915) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915) 및 단자 전극(916)은 이방성 도전체(919)를 통하여 FPC(918)에 포함된 단자와 전기적으로 접속된다.
- [0339] 접속 단자 전극(915)은 제1 전극(930)과 같은 도전막을 이용하여 형성되고, 단자 전극(916)은 트랜지스터(910)와 트랜지스터(911) 각각의 한쌍의 전극과 같은 도전막을 이용하여 형성된다.
- [0340] 제1 기판(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)는 복수의 트랜지스터를 포함한다. 도 19의 (A) 및 도 19의 (B)는 화소부(902)에 포함되는 트랜지스터(910)와 주사선 구동 회로(904)에 포함되는 트랜지스터(911)를 나타낸다. 도 19의 (A)에서는 트랜지스터(910) 및 트랜지스터(911) 각각의 위에 절연막(924)이 제공되고, 도 19의 (B)에서는 절연막(924) 위에 평탄화막(921)이 더 제공된다.
- [0341] 본 실시형태에서, 상기 실시형태에 나타난 어떤 트랜지스터도 트랜지스터(910), 트랜지스터(911)로 적절히 이용될 수 있다. 트랜지스터(910, 911)로서 상기 실시형태에 설명된 트랜지스터를 이용함으로써, 고화질의 표시 장치가 제작될 수 있다.
- [0342] 또한, 도 19의 (B)는, 평탄화막(921) 위에 도전막(917)이 제공되어 구동 회로용의 트랜지스터(911)의 산화물 반도체막(926)의 채널 영역과 중첩되는 예를 나타낸다. 이러한 실시형태에서, 도전막(917)은 제1 전극(930)으로 이용되는 도전막을 이용하여 형성된다. 도전막(917)이 산화물 반도체막의 채널 영역과 중첩되도록 제공됨으로써, BT 스트레스 시험 전과 후 사이의 트랜지스터(911)의 문턱 전압의 변화량을 더욱 감소될 수 있다. 도전막(917)의 전위는, 트랜지스터(911)의 게이트 전극과 같을 수 있고 또는 다를 수 있고, 그리고 도전막은 제2 게이트 전극으로 쓰일 수 있다. 도전막(917)의 전위는 GND, 0V, 플로팅 상태, 또는 구동 회로의 최저 전위(Vss, 예를 들면 소스 전극의 전위가 기준 전위인 경우의 소스 전극의 전위)와 같거나 실질적으로 동일한 전위일 수 있다.
- [0343] 또한 도전막(917)은 외부의 전기장을 차폐하는 기능을 갖는다. 즉, 도전막(917)은 외부의 전장이 내부(트랜지스터를 포함하는 회로부)에 영향을 주는 것을 방지하는 기능(특히 정전기에 대한 정전 차폐 기능)을 갖는다. 이러한 도전막(917)의 차폐 기능은, 정전기 등의 외부 전기장의 영향 때문에 트랜지스터의 전기적인 특성의 변화를 방지할 수 있다. 도전막(917)은 상기 실시형태에 나타낸 어느 트랜지스터에도 적용할 수 있다.
- [0344] 표시 패널에서, 화소부(902)에 포함된 트랜지스터(910)는 표시 소자에 전기적으로 접속된다. 표시 소자의 종류는 표시를 수행할 수 있는 한 특별히 한정되지 않고, 다양한 종류의 표시 소자가 이용될 수 있다.
- [0345] 도 19의 (A)에서, 표시 소자인 액정 소자(913)는 제1 전극(930), 제2 전극(931), 및 액정층(908)을 포함한다. 배향막으로서 기능하는 절연막(932), 절연막(933)이 제공되고, 그 사이에 액정층(908)이 제공된다. 제2 전극(931)은 제2 기판(906)측에 제공된다. 제2 전극(931)은 액정층(908)을 그 사이에 제공하며 제1 전극(930)과 중

첩한다.

- [0346] 스페이서(935)는, 절연막을 선택적 예칭에 의해 얻어지는 원주형 스페이서이고, 제1 전극(930)과 제2 전극(931) 사이의 거리(셀 갭)을 제어하기 위해 제공된다. 선택적으로 구형의 스페이서가 이용될 수 있다.
- [0347] 선택적으로, 배향막이 불필요한 블루상을 나타내는 액정이 이용될 수 있다. 블루상은 액정상 중의 하나이며, 콜레스테릭(cholesteric) 액정의 온도가 증가되는 동안, 콜레스테릭상이 등방성 상으로 전이하기 직전에 생성된다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 개선하기 위해 키랄체를 혼합시킨 액정 조성물이 액정층에 이용된다. 블루상을 나타내는 액정과 키랄체를 포함한 액정 조성물은, 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한, 배향막이 제공되지 않아도 되고 러빙 처리가 불필요하기 때문에, 러빙 처리에 기인하는 정전 방전 손상을 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 손상을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다.
- [0348] 제1 기판(901) 및 제2 기판(906)은 실란트(925)에 의해 자리잡아 고정된다. 실란트(925)로서 열경화 수지 또는 광경화 수지 등의 유기 수지를 이용할 수 있다.
- [0349] 또한, 상기 실시형태에서 이용되는 산화물 반도체막을 포함하는 트랜지스터는 스위칭 특성이 우수하다. 또한 비교적 높은 전계 효과 이동도가 얻어져, 고속 구동이 가능하다. 따라서, 표시 기능을 갖는 반도체 장치의 화소부에 상기 트랜지스터가 이용될 때, 고화질의 화상을 얻을 수 있다. 또한, 상기 트랜지스터를 이용하여 하나의 기판 위에 구동 회로부 또는 화소부를 형성할 수 있기 때문에, 반도체 장치의 부품 개수를 줄일 수 있다.
- [0350] 액정 표시 장치에 형성되는 보유 용량부의 크기는 화소부 등에 제공되는 트랜지스터의 누설 전류 등을 고려하여, 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 고순도의 산화물 반도체막을 포함하는 트랜지스터를 이용함으로써, 각 화소의 액정 용량의 1/3 이하, 또는 1/5 이하의 커페시턴스를 가지는 보유 용량부를 제공하기에 충분하고, 따라서 화소의 개구율이 증가될 수 있다.
- [0351] 표시 장치에는, 블랙 매트릭스(차광막), 편광 부재, 위상지연 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등이 적절히 제공된다. 예를 들면, 편광 기판 및 위상지연 기판을 이용함으로써 원 편광이 얻어질 수 있다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용될 수 있다.
- [0352] 화소부에서의 표시 방식으로서, 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러를 표시할 때 화소에서 제어되는 색 요소는 R, G, B(R, G, B는 각기 적, 녹, 청을 나타냄)의 삼색에 한정되지 않는다. 예를 들면, R, G, B, W(W는 백을 나타냄), 또는 R, G, B에 황, 시안, 마젠타 등의 하나 이상을 추가한 것이 사용될 수 있다. 또한, 표시 영역들의 크기들은 색 요소의 각 도트 사이에서 다를 수 있다. 본 발명의 일상태는 컬러 표시용 표시 장치에 대한 적용에 한정되는 것은 아니고, 흑백 표시용 표시 장치에도 적용될 수 있다.
- [0353] 도 19의 (B)에서, 표시 소자인 발광 소자(963)는 화소부(902)에 제공된 트랜지스터(910)와 전기적으로 접속한다. 또한 발광 소자(963)의 구성은 제1 전극(930), 발광층(961), 및 제2 전극(931)의 적층 구조이지만, 이러한 구조에 한정되는 것은 아니다. 발광 소자(963)로부터 취출되는 광의 방향 등에 따라, 발광 소자(963)의 구조는 적절히 변할 수 있다.
- [0354] 격벽(960)은 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성될 수 있다. 특히, 감광성의 수지 재료를 이용하여 제1 전극(930) 위에 개구부를 형성하여, 개구부의 측벽이 연속적인 을 가지는 경사면을 가지고, 격벽(960)을 형성하는 것이 특히 바람직하다.
- [0355] 발광층(961)은 단층 구조나 복수의 층의 적층 구조를 가지고 형성될 수 있다.
- [0356] 발광 소자(963)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록, 제2 전극(931) 및 격벽(960) 위에 보호막이 형성될 수 있다. 보호막으로서는, 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, DLC막 등을 형성할 수 있다. 또한, 제1 기판(901), 제2 기판(906), 및 실란트(936)에 의해 밀봉된 공간에 충전재(964)가 제공되어 밀봉된다. 이러한 방식에서, 발광 소자가 바깥 공기에 노출되지 않도록, 발광 소자는 기밀성이 높고, 탈가스가 적은 보호 필름(라미네이트 필름, 자외선 경화 수지 필름 등)이나 커버재로 폐키징(밀봉)되는 것이 바람직하다.
- [0357] 실란트(936)로서, 열경화성 수지, 광경화성 수지 등의 유기 수지나, 저융점 유리를 포함하는 프릿 유리(fritted

glass) 등을 이용할 수 있다. 프럿 유리는 물이나 산소 등의 불순물에 대한 장벽이 높기 때문에 바람직하다. 또한 실란트(936)로서 프럿 유리를 이용하는 경우, 도 19의 (B)에 나타내는 바와 같이, 절연막(924) 위에 프럿 유리를 제공함으로써 절연막(924)의 밀착성을 높일 수 있기 때문에 바람직하다.

[0358] 충전재(964)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열경화 수지가 이용될 수 있고, PVC(polyvinyl chloride), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral) 또는 EVA(ethylene vinyl acetate) 등을 이용할 수 있다. 예를 들면, 질소가 충전재로서 이용된다.

[0359] 필요하다면, 발광 소자의 발광면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상지연판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름이 적절히 제공되어도 좋다. 또한, 편광판 또는 원 편광판은 반사 방지막과 함께 제공될 수 있다. 예를 들면, 표면의 돌기들과 홈들에 의해 반사광이 확산되어, 비침을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 가할 수 있다.

[0360] 표시 소자에 전압을 인가하는 제1 전극 및 제2 전극(이들 각각은 화소 전극, 공통 전극, 대향 전극 등으로 지칭될 수 있다)은 취출되는 광의 방향, 전극이 제공되는 장소, 및 전극의 패턴 구조에 의존하는 광-투과성 또는 광-반사성을 가질 수 있다.

[0361] 제1 전극(930)과 제2 전극(931)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, ITO, 인듐 아연 산화물, 산화 규소가 첨가된 인듐 주석 산화물 등의 투광성이 있는 도전성 재료를 이용할 수 있다.

[0362] 선택적으로, 제1 전극(930)과 제2 전극(931)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 금속 질화물로부터 하나 또는 그 이상의 물질을 이용하여 형성할 수 있다.

[0363] 제1 전극(930) 및 제2 전극(931)은 도전성 거대분자(도전성 폴리미라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 거대분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 혹은 그 유도체, 폴리피롤 혹은 그 유도체, 폴리티오펜 혹은 그 유도체, 또는 아닐린, 피롤 및 티오펜의 2종 이상의 공중합체 혹은 그 유도체 등을 들 수 있다.

[0364] 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 형성하는 것이 바람직하다.

[0365] 이상과 같이 상기 실시형태에 나타난 어떤 트랜지스터를 이용하여도, 표시 기능을 갖는 신뢰성이 좋은 반도체 장치를 제공할 수 있다.

[0366] 본 실시형태에 나타내는 구성 및 방법 등을 다른 실시형태 및 실시예에 나타내는 구성 및 방법 등과 적절히 조합하여 이용할 수 있다는 점을 주의해야 한다.

부호의 설명

[0367] 11 : 기판

15 : 게이트 전극

16 : 절연막

17 : 게이트 절연막

17a : 질화물 절연막

17b : 산화물 절연막

17c : 질화물 절연막

17d : 질화물 절연막

17e : 질화물 절연막

19 : 산화물 반도체막

19a : 저저항 영역

19b : 저저항 영역

19c : 파선

19d : 파선

20 : 전극

21 : 전극

22 : 산화물 절연막

23 : 산화물 절연막

24 : 산화물 절연막

25 : 산화물 절연막

26 : 질화물 절연막

27 : 질화물 절연막

28 : 게이트 절연막

28c : 개구부

29 : 게이트 전극

29a : 게이트 전극

29b : 게이트 전극

30 : 전극

31 : 게이트 절연막

32 : 산화물 반도체막

33 : 산화물 절연막

35 : 산화물 절연막

37 : 질화물 절연막

38 : 게이트 절연막

38a : 개구부

38b : 개구부

38c : 개구부

39 : 게이트 전극

40 : 전극

47 : 다층막

48 : 다층막

49a : 산화물 반도체막

49b : 산화물 반도체막

50 : 트랜지스터

51 : 트랜지스터

52 : 트랜지스터

- 60 : 트랜지스터
 65 : 트랜지스터
 70 : 트랜지스터
 71 : 트랜지스터
 102 : 도전막
 201 : 게이트 전극
 203 : 절연막
 205 : 산화물 반도체막
 207 : 전극
 208 : 전극
 209 : 절연막
 211b : 산화물막
 213 : 게이트 전극
 231 : 게이트 전극
 233 : 게이트 절연막
 235 : 산화물 반도체막
 237 : 전극
 238 : 전극
 239 : 절연막
 901 : 기판
 902 : 화소부
 903 : 신호선 구동 회로
 904 : 주사선 구동 회로
 905 : 실란트
 906 : 기판
 908 : 액정층
 910 : 트랜지스터
 911 : 트랜지스터
 913 : 액정 소자
 915 : 접속 단자 전극
 916 : 단자 전극
 917 : 도전막
 918 : FPC
 919 : 이방성 도전제
 921 : 평탄화막
 924 : 절연막

925 : 실란트

926 : 산화물 반도체막

930 : 전극

931 : 전극

932 : 절연막

933 : 절연막

935 : 스페이서

936 : 실란트

960 : 격벽

961 : 빌광총

963 : 빌광 소자

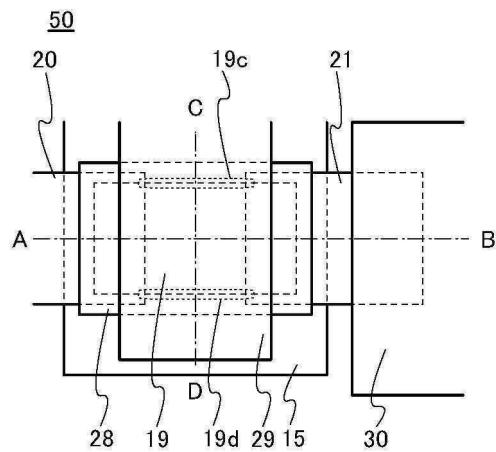
964 : 충전재

본 출원은 2013년 5월 16일에 일본 특허청에 출원된 일련 번호가 2013-103708인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

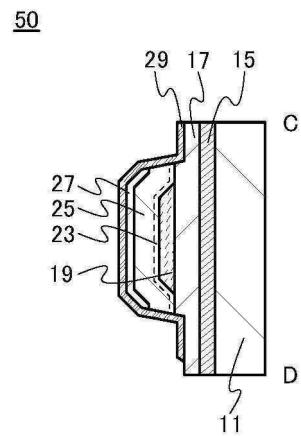
도면

도면1

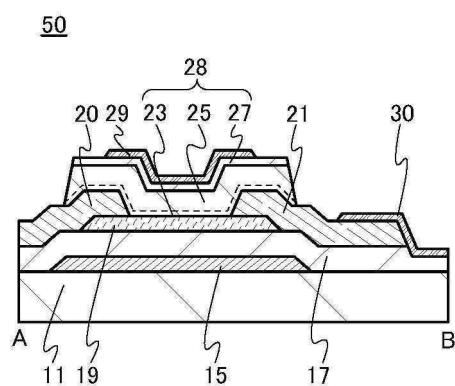
(A)



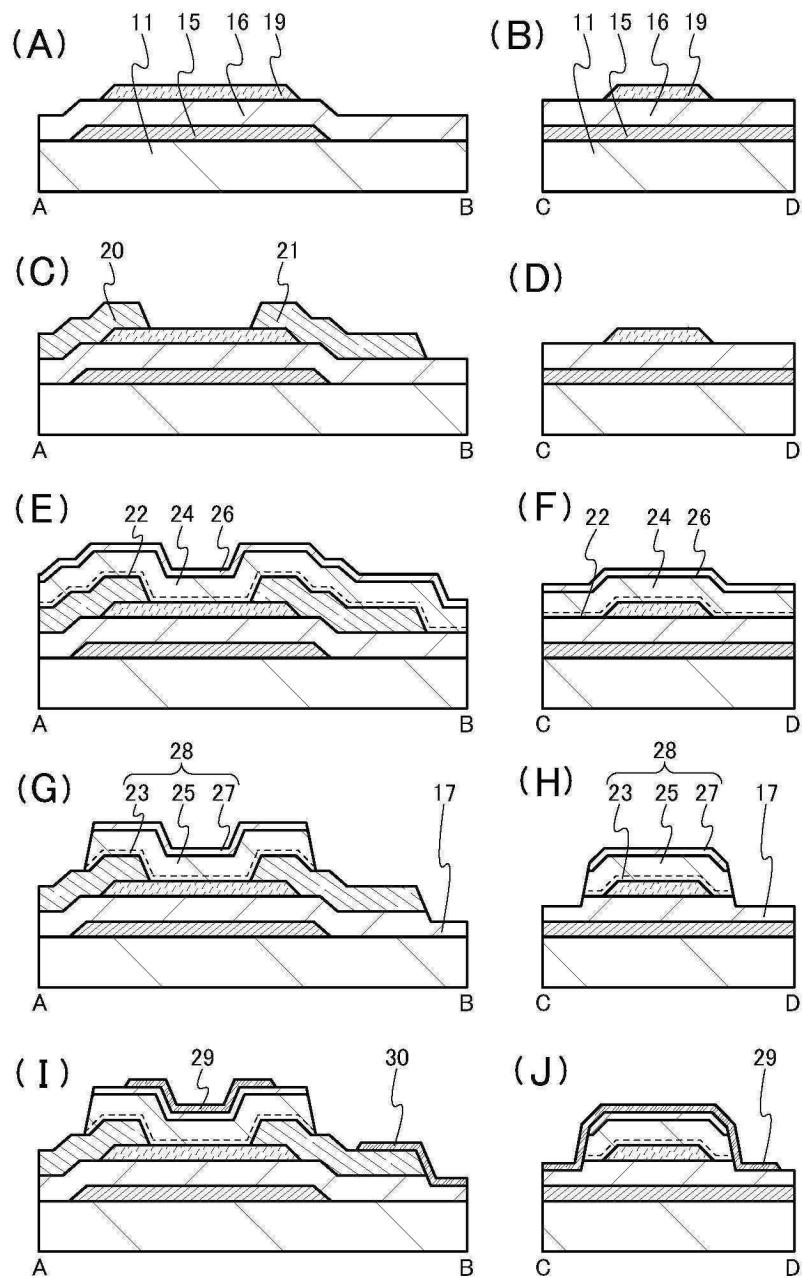
(C)



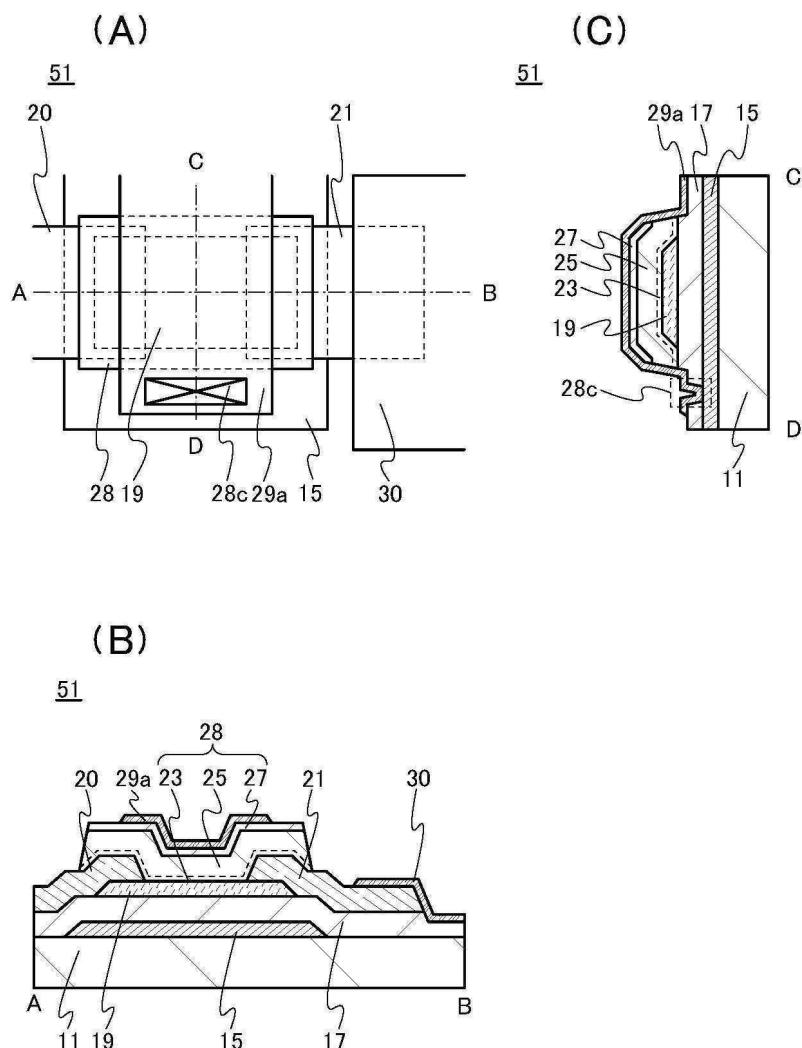
(B)



도면2

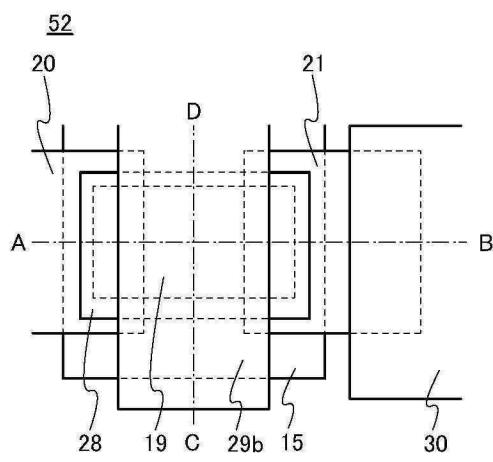


도면3

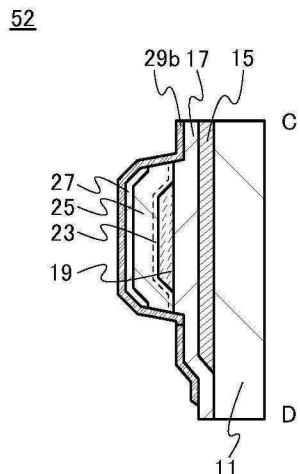


도면4

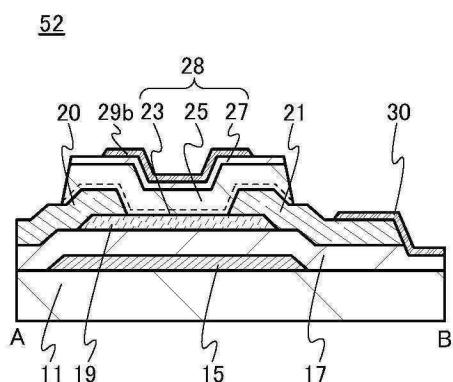
(A)



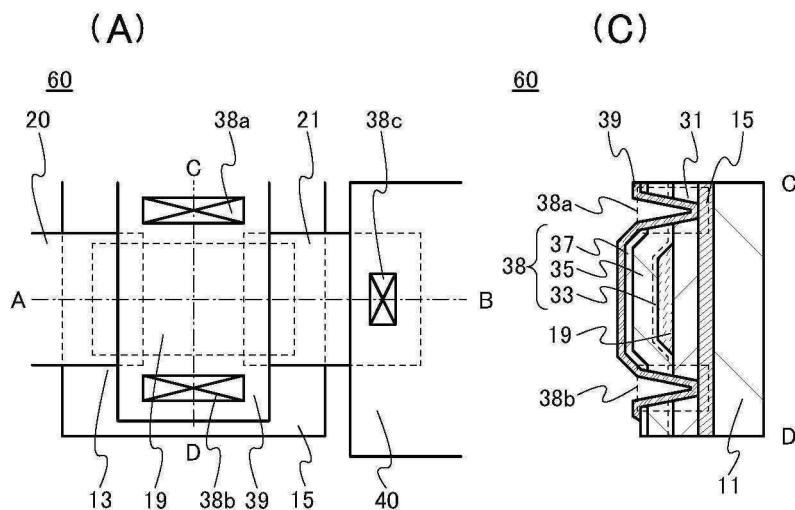
(C)



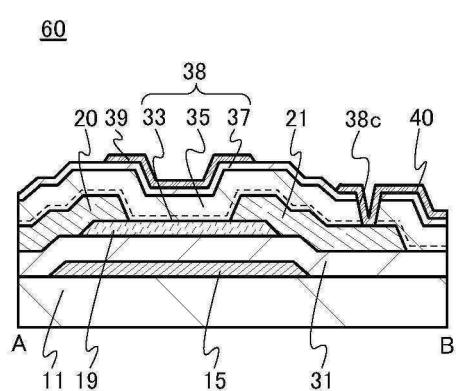
(B)



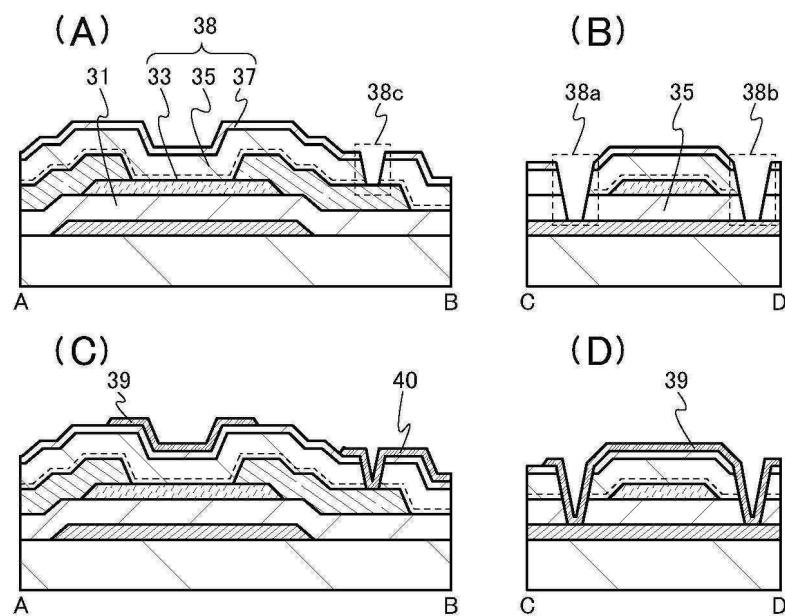
도면5



(B)

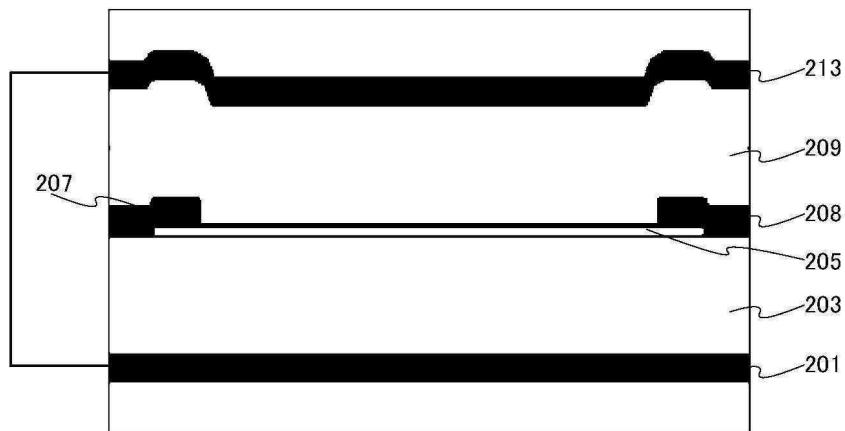


도면6

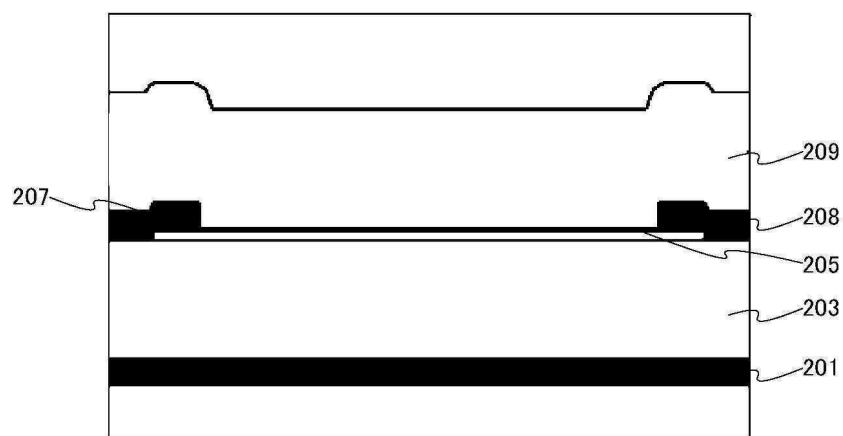


도면7

(A)

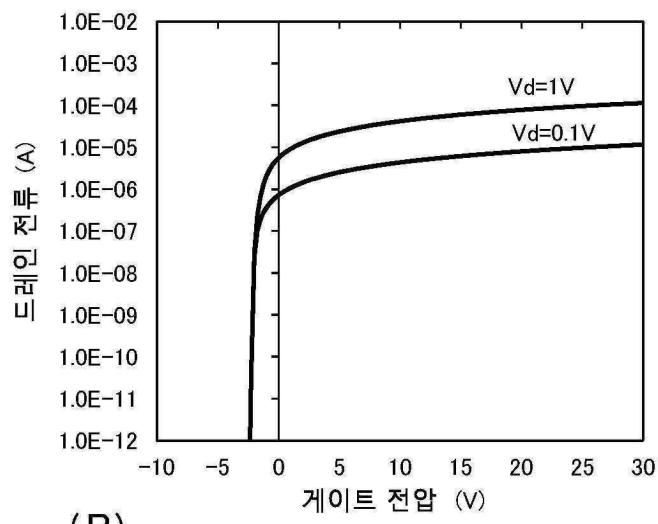


(B)

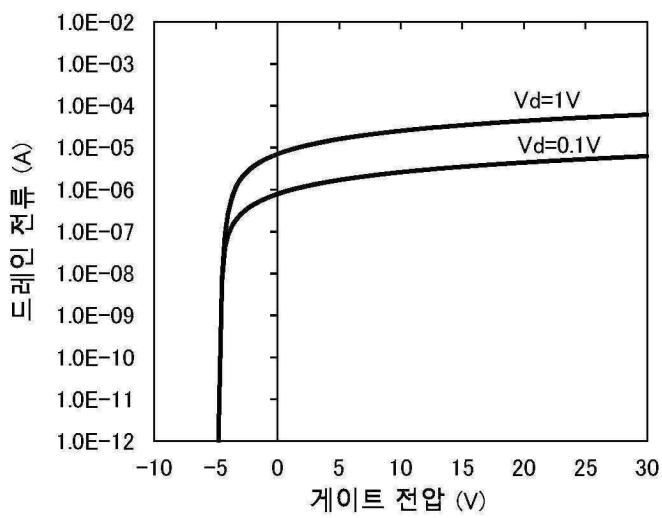


도면8

(A)

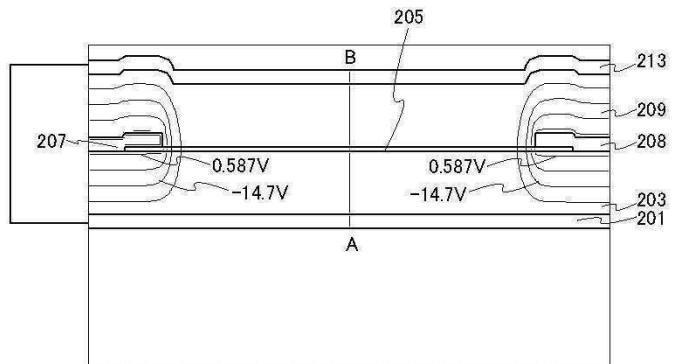


(B)

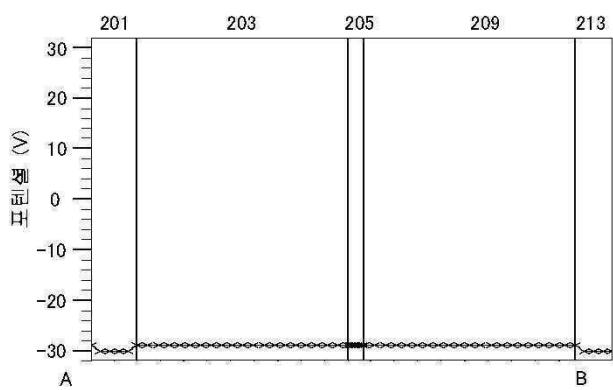


도면9

(A)

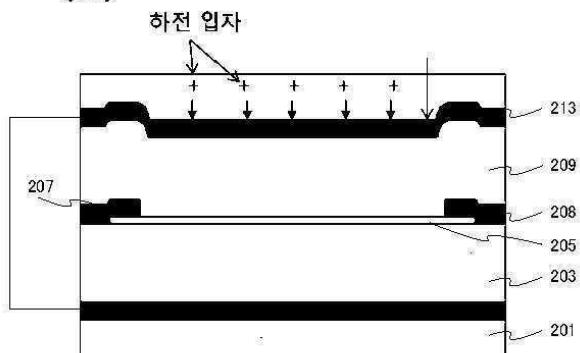


(B)

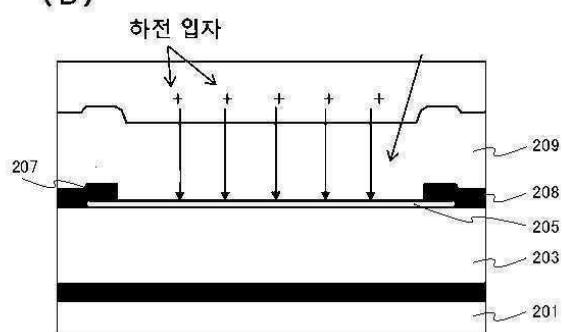


도면10

(A)

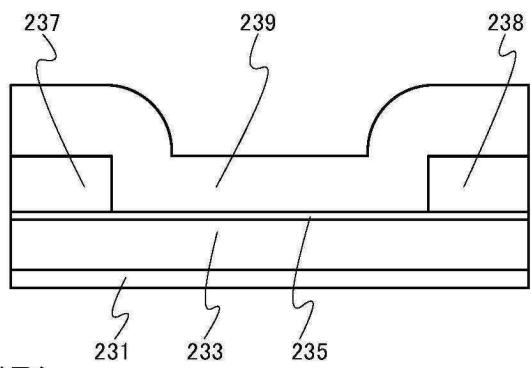


(B)

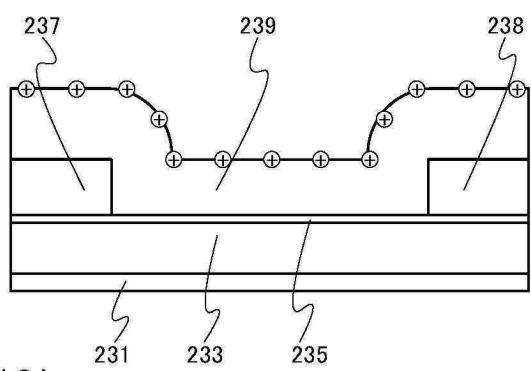


도면11

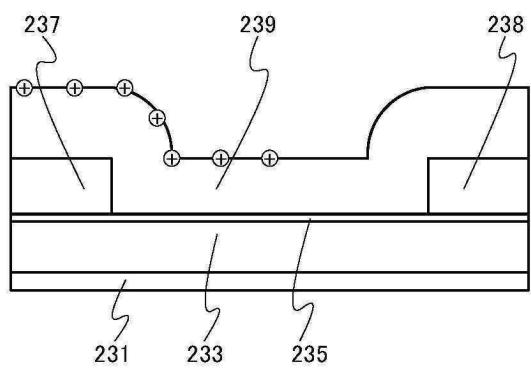
(A)



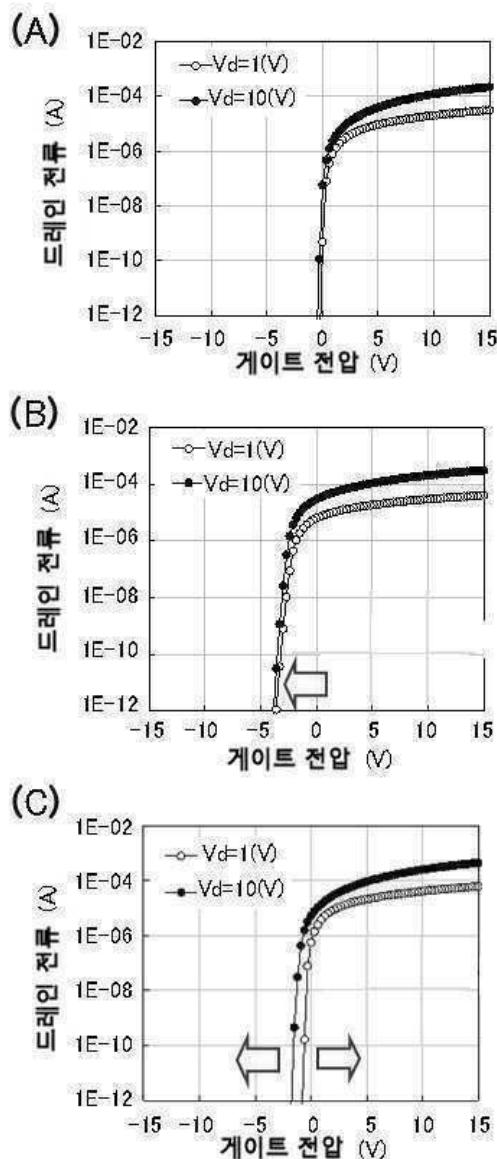
(B)



(C)

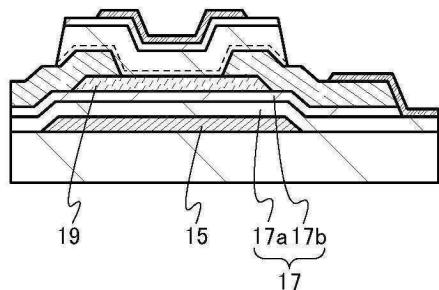


도면12

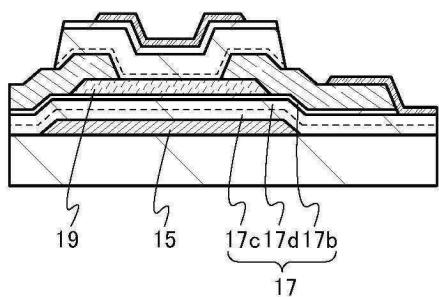


도면13

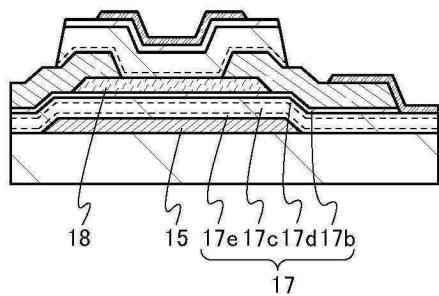
(A)



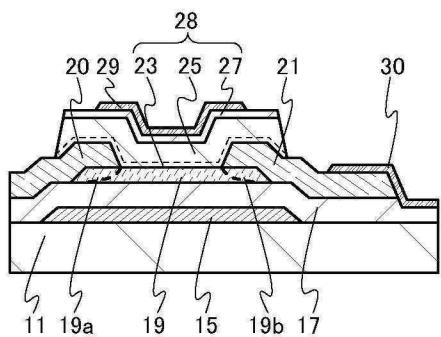
(B)



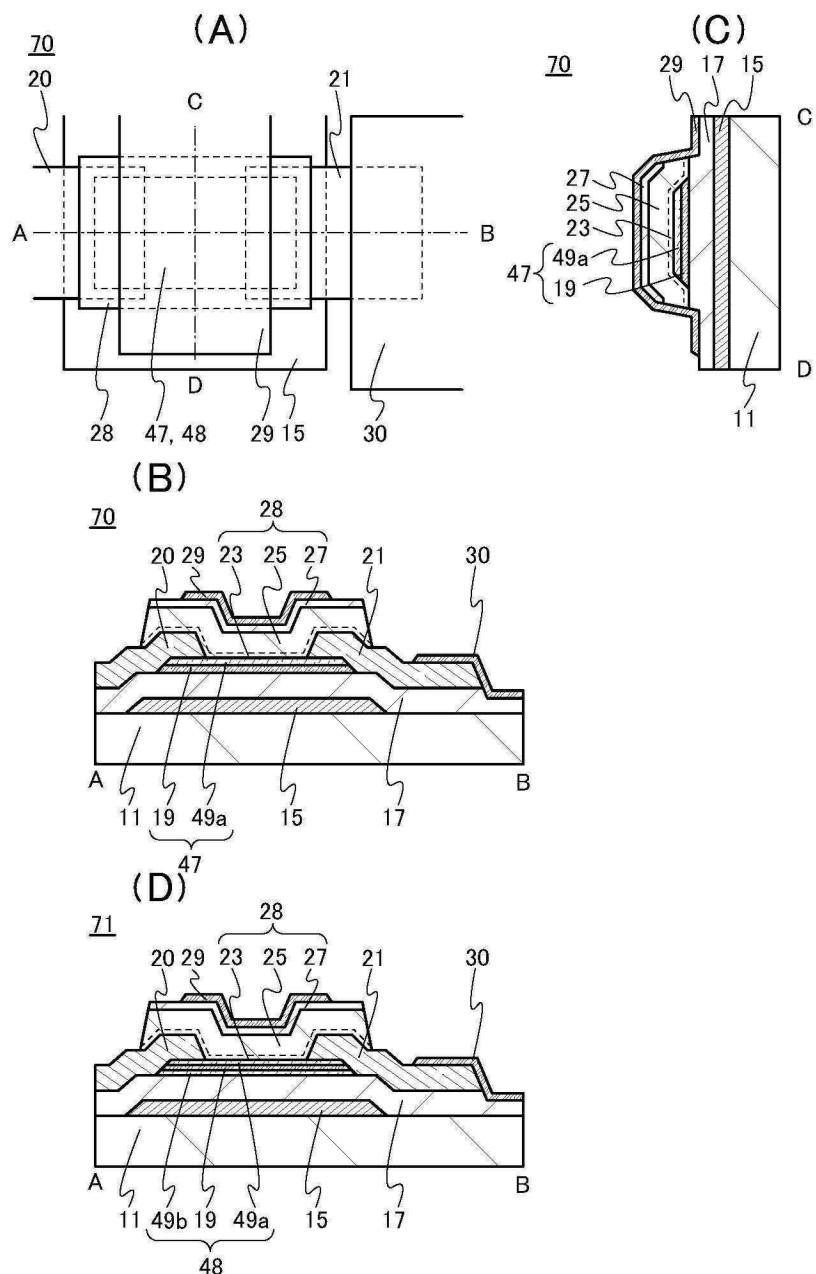
(C)



도면14

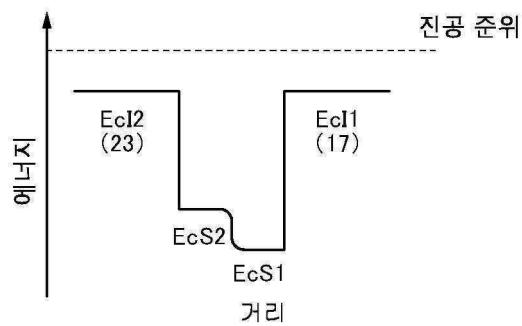


도면15

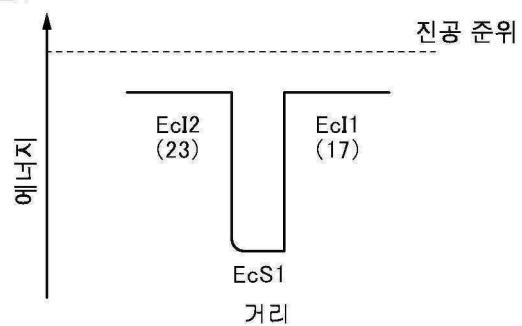


도면16

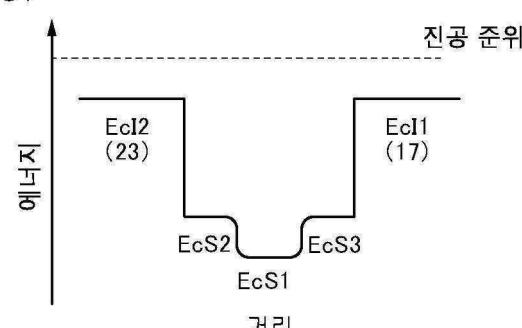
(A)



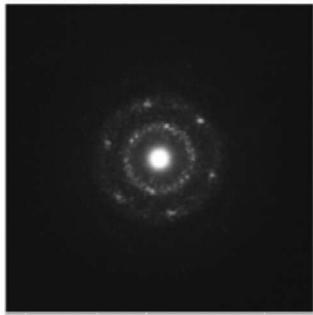
(B)



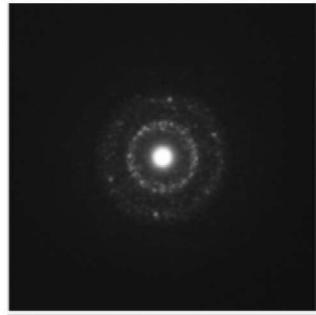
(C)



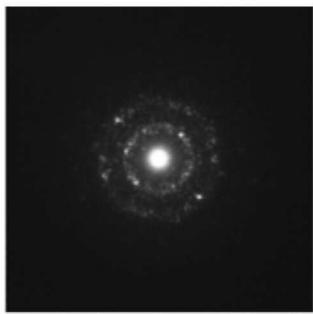
도면17



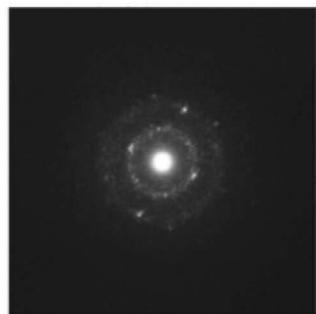
ns-OS 측정 개소 1



ns-OS 측정 개소 3



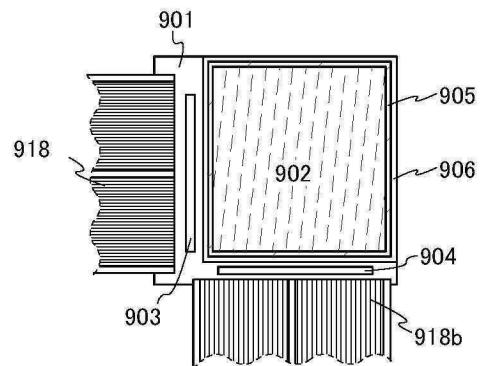
ns-OS 측정 개소 2



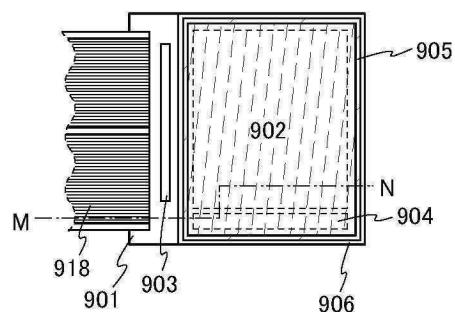
ns-OS 측정 개소 4

도면18

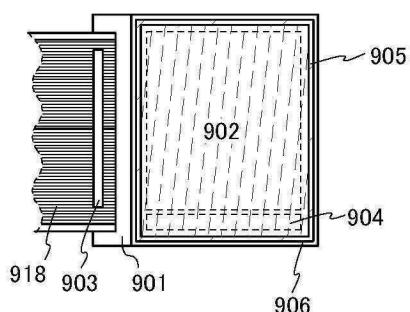
(A)



(B)



(C)



도면19

