



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월28일
(11) 등록번호 10-1011339
(24) 등록일자 2011년01월20일

(51) Int. Cl.

H05K 3/46 (2006.01) H01L 21/60 (2006.01)

(21) 출원번호 10-2005-7004986
(22) 출원일자(국제출원일자) 2004년04월05일
심사청구일자 2008년05월20일
(85) 번역문제출일자 2005년03월23일
(65) 공개번호 10-2005-0120747
(43) 공개일자 2005년12월23일
(86) 국제출원번호 PCT/JP2004/004908
(87) 국제공개번호 WO 2004/090970
국제공개일자 2004년10월21일

(30) 우선권주장

JP-P-2003-00105794 2003년04월09일 일본(JP)

(56) 선행기술조사문헌

KR1020010083214 A*
US20010040290 A1*
KR1020010025069 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

다이니폰 인사츠 가부시키가이샤

일본 도쿄도 신주쿠구 이치가야카가정 1정목 1-1

(72) 발명자

미우라 요이치

일본 도쿄도 신주쿠구 이치가야카가정 1정목 1-1
다이니폰 인사츠가부시키가이샤내

(74) 대리인

김윤배, 이범일

전체 청구항 수 : 총 8 항

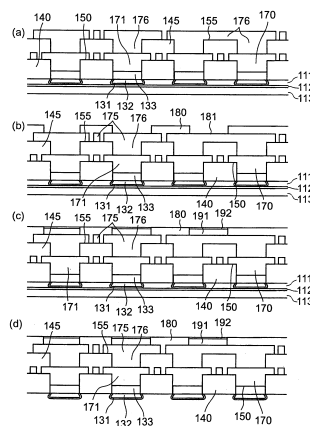
심사관 : 신재경

(54) 배선기판 제조방법

(57) 요약

본 발명에 따른 배선기판은, 1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 돌출해서 형성된 제1단자부 및, 상기 배선부의 다른쪽 편에 형성된 제2단자부를 갖도록 되어 있다. 다층의 금속층으로 이루어진 복합재의 표면에 제1단자부용 개구를 가진 레지스트를 형성하고, 제1단자부용 개구에서 복합재의 제1금속층만 에칭해서 구멍부를 형성한다. 레지스트의 개구로부터 구멍부 내에 전해도금을 실시해서, 구멍부 내를 전해도금층으로 매립하여 제1단자부를 형성한다. 레지스트를 제거하고서 복합재에 배선층을 설치하고, 이 배선층 상에 제2단자부용 개구를 가진 솔더 레지스트를 형성시킨다. 이 솔더 레지스트의 제2단자부용 개구에 전기도금을 실시하여 제2단자부를 형성한다. 복합재의 잔부를 제거해서 배선기판을 제작한다.

대표도 - 도3



특허청구의 범위

청구항 1

1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 돌출해서 형성된 제1단자부, 상기 배선부의 다른쪽 편에 형성된 제2단자부를 가진 배선기판을 제조하는 방법에 있어서,

다층의 금속층으로 이루어진 복합재의 표면에 제1단자부용 개구를 가진 레지스트를 형성하는 레지스트 형성공정과,

상기 레지스트의 제1단자부용 개구에서 복합재의 제1금속층만을 에칭하여 구멍부를 형성하는 에칭공정,

상기 레지스트의 제1단자부용 개구에서 구멍부를 매립하도록 제1단자부를 전해도금으로 형성하는 제1전해도금공정,

상기 레지스트를 박리한 후 제1단자부에 수지재층을 형성시켜 배선층을 형성하는 배선층 형성공정,

상기 배선층 상에 제2단자부용 개구를 가진 솔더 레지스트를 형성시키는 솔더 레지스트 형성공정,

상기 솔더 레지스트의 제2단자부용 개구에 전해도금을 실시하여 제2단자부를 형성하는 제2전해도금공정 및,

상기 복합재의 잔부를 에칭제거하는 에칭제거공정을 구비한 것을 특징으로 하는 배선기판 제조방법.

청구항 2

제1항에 있어서, 상기 복합재가, 제1Cu층, Ni층 또는 Ti층 및 제2Cu층이 적층되어 구성된 것임을 특징으로 하는 배선기판 제조방법.

청구항 3

제1항에 있어서, 제1전해도금공정이, 순차로 Au도금, Cu도금, 또는 순차로 Au도금, Ni도금, 또는 순차로 Au도금, Ni도금, Cu도금, 또는 순차로 Pd도금, Cu도금, 또는 순차로 Pd도금, Ni도금, 또는 순차로 Pd도금, Ni도금, Cu도금, 또는 순차로 Pd계 합금도금, Cu도금, 또는 순차로 Pd계 합금도금, Ni도금, 또는 순차로 Pd계 합금도금, Ni도금, Cu도금, 또는 Sn도금, 또는 순차로 Sn도금, Cu도금, 또는 Sn계 합금도금, 또는 순차로 Sn계 합금도금, Cu도금을 실시하는 것으로 이루어진 것을 특징으로 하는 배선기판 제조방법.

청구항 4

1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 돌출해서 형성된 제1단자부, 상기 배선부의 다른쪽 편에 형성된 제2단자부를 가진 배선기판을 제조하는 방법에 있어서,

제1Cu층, Ni층 및 제2Cu층으로 이루어진 복합재의 표면에 제1단자부용 개구를 가진 레지스트를 형성하는 레지스트 형성공정과,

상기 레지스트의 제1단자부용 개구를 매립하도록 제1단자부용 전해도금 형성부를 전해도금으로 형성하는 제1전해도금공정,

상기 레지스트를 박리한 후 전해도금 형성부에 수지층을 형성시켜 배선층을 형성하는 배선층 형성공정,

상기 배선층 상에 제2단자부용 개구를 가진 솔더 레지스트를 형성하는 솔더 레지스트 형성공정,

상기 솔더 레지스트의 상기 제2단자부용 개구에 전해도금을 실시해서 제2단자부를 형성하는 제2전해도금공정,

상기 복합재의 Ni층을 에칭 스톱퍼로 해서 상기 제2Cu층을 에칭제거하는 에칭제거공정,

상기 Ni층 상에 제1단자부 영역만을 덮도록 해서 추가 레지스트를 형성하고, 이 추가 레지스트를 내에칭 레지스트로 해서 Ni층, 제1Cu층을 에칭해서 관통시켜 전해도금 형성부와, 제1Cu층 및 Ni층으로 이루어진 제1단자부를 형성하는 에칭공정 및,

상기 추가 레지스트를 제거한 후, 상기 전해도금 형성부, 상기 제1Cu층 및 Ni층 상에 다시 무전해 Au도금층 또는 순차로 무전해 Ni도금층 및 무전해 Au도금층을 실시하는 무전해도금공정을 구비한 것을 특징으로 하는 배선기판 제조방법.

청구항 5

제1항 또는 제4항에 있어서, 상기 복합재가 클래드재로 이루어진 것을 특징으로 하는 배선기판 제조방법.

청구항 6

제1항 또는 제4항에 있어서, 상기 배선층 형성공정에서, 세미에디티브 방법으로 배선층이 형성되도록 한 것을 특징으로 하는 배선기판 제조방법.

청구항 7

제6항에 있어서, 상기 배선층 형성공정이,

- (A) 절연성 수지로 이루어진 수지재층을 라미네이트하는 라미네이트 공정과,
- (B) 상기 라미네이트 공정에서 라미네이트된 수지재층을 레이저로 비아형성용 구멍을 형성하는 구멍형성공정 및,
- (C) 형성된 구멍부의 표면을 포함해서 수지재층 표면에 Cu무전해도금을 실시하고, 형성된 Cu층 상에 회로형성부를 개구시켜 레지스트를 형성한 후, 레지스트 개구에서 노출된 Cu층 상에 당해 Cu층을 도전층으로 해서 전해 Cu도금을 실시하며, 다시 상기 레지스트를 박리하고, 노출된 무전해도금에 의해 형성된 Cu층을 에칭제거해서 비아를 형성하는 동시에 회로부를 형성하는 회로부 형성공정을 구비한 것을 특징으로 하는 배선기판 제조방법.

청구항 8

제1항 또는 제4항에 있어서, 상기 배선층 형성공정에서, 풀에디티브 방법과 서브트랙티브 방법, 또는 풀에디티브 방법과 세미에디티브 방법 양쪽을 이용해서 배선층이 형성되도록 하는 것을 특징으로 하는 배선기판 제조방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

명세서

기술분야

[0001] 본 발명은, 배선층을 1층 이상 적층한 배선기판 및 그 제조방법에 관한 것이다. 배선층의 한쪽에 반도체소자와 플립칩 접속하기 위한 돌기형상의 플립칩 접속용 범프가 제1단자부로서 형성되어 있다. 다른쪽에는 배선층을 덮는 솔더 레지스트(solder resist)의 개구에 이것을 매립하도록 제2단자부가 도금 형성되어 있다.

배경기술

[0002] 근래, 반도체장치에 있어서, 반도체소자(반도체칩 내지 단지 칩이라고도 함)의 외부 단자수가 많아지고 있다. 고속으로 동작하는 반도체소자는, 전기특성의 향상을 위해, 에어리어 어레이형(area array type)의 플립칩 접합(flip-chip bonding)으로 인터포저(interposer)인 반도체 패키징용 기판과 접합시키도록 되어 있다.

[0003] 종래, C4타입(뿔납접합에 의한 플립칩 접속형)의 플립칩 접합에서는, 반도체소자측의 뿔납범프와 안정적인 접합 상태를 얻기 위해 기판측 단자에도 뿔납범프를 형성해 둘 필요가 있다.

[0004] 이 경우, 기판측의 뿔납범프는, 통상 뿔납 페이스트를 금속마스크를 이용한 스크린인쇄로 뿔납을 공급한 후, 리플로우 공정(reflow process), 플럭스제거공정(flux removal process), 평탄화 공정을 거쳐 형성된다.

- [0005] 그러나, 기관측의 뱀납 페이스트 스크린인쇄는, 금속마스크의 제조비용이 높고, 또 피치의 축소화에 한계가 있어 일반적으로는 150 μ m 정도의 피치가 한계로 되고 있다.
- [0006] 이 때문에, 향후 반도체소자측의 배선이 더 미세화되어 90nm 정도로 된 경우에는, 더욱 단자 피치가 축소되는 것도 생각할 수 있어, 스크린인쇄와는 다른 방법으로 한층 더 미세화로의 대응이 필요해지게 되었다.
- [0007] 스크린인쇄와는 다른 방법으로서, 기관에 대해 금속과 금속염의 치환반응으로 범프를 형성하고, 미세화 피치로의 대응하는 화학반응에 의한 범프형성방법도 들 수 있지만, 이 방법의 경우, 재료비와 제조비용은 높고, 범프 높이의 오차에도 문제가 남는다.
- [0008] 또한, 스크린인쇄를 이용해서 기관측에 뱀납범프를 형성시켜 반도체소자측 뱀납범프와 접합시키는 경우, 접촉시킨 후에 가열로 뱀납을 용해시켜 접합시킨다. 이 때, 기관측 뱀납범프의 높이오차에 따라, 반도체소자측 뱀납범프와의 접합이 충분치 못하게 될 위험성이 있게 된다.
- [0009] 또, 반도체소자측 뱀납범프는 용해시키지 않고 기관측 뱀납범프만을 용해시켜 플립칩 접합을 실행하는 경우, 기관측 뱀납범프의 표면의 산화가 반도체소자측 뱀납범프와의 젖어드는 성질(wetting property)을 저하시킨다고 하는 문제도 있었다.
- [0010] 또, 일반적으로 기관 표면에 솔더 레지스트를 배치해서 반도체소자측 뱀납범프와 접합시키기 위한 단자를 설치하게 되지만, 기관측 단자의 형상에 따라서는, NSMD(Non-Solder Mask defined)의 경우, 솔더 레지스트와의 어긋남이 생기게 된다. 또, 열에 의한 스트레스, 낙하 그 이외의 충격에 대해 고장이 발생하기가 쉬워 신뢰성이 저하되고, 결과적으로 단자형상에 기인하는 접합불량이 생기는 경우도 있다.
- [0011] 특히, 범프피치를 미세화하면 솔더 레지스트 개구의 직경이 작아져, 솔더 레지스트의 개구형상이 SMD(Solder Mask defined)의 경우에는, 뱀납을 공급하지않으면 접합이 불완전하게 된다.
- [0012] 여기에서, 도 7a에 나타낸 바와 같이 단자부(721)의 영역이 솔더 레지스트(722)에 의해 한정되지 않은 형태를 NSMD, 도 7b나 도 7c에 나타낸 바와 같이 단자부(721)의 영역이 솔더 레지스트(722)에 의해 한정되는 형태를 SMD라고 한다.
- [0013] SMD에서는, 뱀납을 공급한 경우에도, 솔더 레지스트의 벽의 각도가 수직에 가까운 경우는, 상면부(D1부)의 뱀납에 스트레스가 집중되어 열충격시의 수명저하의 위험이 있다.
- [0014] 한편, 솔더 레지스트의 단면형상의 벽면각도를 둔각으로 한 경우, 개구부 바닥부의 사이즈는, 레지스트의 두께, 레지스트 감도(感度)에 의해 오차가 생기게 되고, 표면 사이즈는 미세피치시에는 크게 할 수가 없다고 하는 결점이 있다.
- [0015] 일본국 특개평 2001-93929호 공보(공지문헌 1) 및 일본국 특원 2002-203868호 공보(공지문헌 2) 참조.
- [0016] 상기와 같이, C4타입(뱀납접합에 의한 플립칩 접속타입)의 플립칩 접합에서는, 범프피치의 미세화에 따라 기관측에 뱀납범프를 설치하는 경우, 종래의 뱀납 페이스트의 스크린인쇄에 의한 기관측 뱀납범프의 형성에는 피치의 미소화로의 한계가 있게 된다. 또, 금속과 금속염의 치환반응으로 기관측에 범프를 형성하는 경우, 재료비와 제조비용이 높고, 범프높이의 오차도 문제가 된다. 더욱이, 일반적으로 기관 표면에 솔더 레지스트를 배치하고, 반도체소자측 뱀납범프와 접합하기 위한 단자를 설치하게 되지만, 이러한 형태를 취하기 때문에 여러 가지 문제가 있게 되어 이들에 대한 대응이 요구되고 있었다.

발명의 상세한 설명

- [0017] 본 발명은 이것들에 대응하기 위해 발명된 것으로, 구체적으로는, 반도체소자의 뱀납범프와 직접 플립칩 접속될 수 있고, 반도체소자의 뱀납범프와 확실하게 플립칩 접속될 수가 있는 배선기관 및 그 제조방법을 제공하는 것을 목적으로 한다.
- [0018] 이상과 같은 목적을 달성하기 위한 본 발명에 따른 배선기관 제조방법은, 1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 돌출해서 형성된 제1단자부, 상기 배선부의 다른쪽 편에 형성된 제2단자부를 가진 배선기관의 제조방법에 있어서, 다층의 금속층으로 이루어진 복합재의 표면에 제1단자부용 개구를 가진 레지스트를 형성하는 레지스트 형성공정과, 레지스트의 제1단자부용 개구에서 복합재의 제1금속층만을 에칭해서 구멍부를 형성하는 에칭공정, 레지스트의 제1단자부용 개구에서 구멍부를 매립하도록 제1단자부를 전해도금으로 형성하는 제1전해도금공정, 레지스트를 박리한 후 제1단자부에 수지재층을 설치하여 배선층을 형성하는 배선층 형

성공정, 배선층 상에 제2단자부용 개구를 가진 솔더 레지스트를 설치하는 솔더 레지스트 형성공정, 솔더 레지스트의 제2단자부용 개구에 전해도금을 실시하여 제2단자부를 형성하는 제2전해도금공정 및, 복합재의 잔부를 에칭제거하는 에칭제거공정을 구비한 것을 특징으로 하는 배선기판 제조방법이다.

[0019] 또, 본 발명은, 복합재가, 제1Cu층, Ni층 또는 Ti층 및 제2Cu층을 적층시켜 구성하도록 된 것을 특징으로 하는 배선기판 제조방법이다.

[0020] 또, 본 발명은, 제1전해도금공정이, 순차로 Au도금, Cu도금, 또는 순차로 Au도금, Ni도금, 또는 순차로 Au도금, Ni도금, Cu도금, 또는 순차로 Pd도금, Cu도금, 또는 순차로 Pd도금, Ni도금, 또는 순차로 Pd도금, Ni도금, Cu도금, 또는 순차로 Pd계 합금도금, Cu도금, 또는 순차로 Pd계 합금도금, Ni도금, 또는 순차로 Pd계 합금도금, Ni도금, Cu도금, 또는 Sn도금, 또는 순차로 Sn도금, Cu도금, 또는 Sn계 합금도금, 또는 순차로 Sn계 합금도금, Cu도금을 실시하는 것으로 이루어진 것을 특징으로 하는 배선기판 제조방법이다.

[0021] 본 발명은, 1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 돌출해서 설치된 제1단자부 및, 상기 배선부의 다른쪽 편에 설치된 제2단자부를 가진 배선기판의 제조방법에 있어서, 제1Cu층, Ni층 및 제2Cu층으로 이루어진 복합재의 표면에 제1단자부용 개구를 가진 레지스트를 형성하는 레지스트 형성공정과, 레지스트의 제1단자부용 개구를 매립하도록 제1단자부용 전해도금 형성부를 전해도금으로 형성하는 제1전해도금공정, 레지스트를 박리한 후 전해도금 형성부에 수지층을 설치해서 배선층을 형성하는 배선층 형성공정, 배선층 상에 제2단자부용 개구를 가진 솔더 레지스트를 설치하는 솔더 레지스트 형성공정, 솔더 레지스트의 제2단자부용 개구에 전해도금을 실시하여 제2단자부를 형성하는 제2전해도금공정, 복합재의 Ni층을 에칭 스톱퍼(stopper)로 해서 제2Cu층을 에칭제거하는 에칭제거공정, Ni층 상에 제1단자부 영역만을 덮도록 하여 추가 레지스트를 형성시켜 이 추가 레지스트를 내(耐)에칭 레지스트로 해서 Ni층과 제1Cu층을 에칭하여 관통시켜, 전해도금 형성부와 제1Cu층 및 Ni층으로 이루어진 제1단자부를 형성하는 에칭공정 및, 추가 레지스트를 제거한 후 전해도금 형성부와 제1Cu층 및 Ni층 상에 다시 무전해 Au도금층, 또는 순차로 무전해 Ni도금층 및 무전해 Au도금층을 실시하는 무전해도금공정을 구비한 것을 특징으로 하는 배선기판 제조방법이다.

[0022] 본 발명은, 복합재가 클래드재(clad material)로 이루어진 것을 특징으로 하는 배선기판 제조방법이다.

[0023] 본 발명은, 배선층 형성공정에서, 세미에디티브 방법(semi-additive method)에 의해 배선층이 형성되도록 한 것을 특징으로 하는 배선기판 제조방법이다.

[0024] 본 발명은, 배선층 형성공정이, (A) 절연성 수지로 이루어진 수지재층을 라미네이트하는 라미네이트 공정과, (B) 상기 라미네이트 공정으로 라미네이트된 수지재층을 레이저로 비아(via)형성용 구멍부를 형성시키는 구멍형성공정, (C) 형성된 구멍부의 표면을 포함한 수지재층 표면에 Cu무전해도금을 실시하여, 형성된 Cu층 상에 회로형성부를 개구(開口)시켜 레지스트를 형성한 후, 레지스트 개구에서 노출된 Cu층 상에 그 Cu층을 도전층으로서 전해 Cu도금을 실시하고, 다시 상기 레지스트를 박리하며, 노출된 무전해도금에 의해 형성된 Cu층을 에칭제거해서 비아를 형성하는 동시에 회로부를 형성하는 회로부형성공정을 구비한 것을 특징으로 하는 배선기판 제조방법이다.

[0025] 본 발명은, 배선층 형성공정에서, 풀에디티브 방법(full-additive method)과 서브트랙티브(subtractive) 방법, 또는 풀에디티브 방법과 세미에디티브 방법 양쪽 모두를 이용해서 배선층이 형성되도록 하는 것을 특징으로 하는 배선기판 제조방법이다.

[0026] 여기에서, 서브트랙티브 방법이라 함은 동박 등의 배선층 형성용 도전성 박판을 선택에칭하여 배선부를 형성하는 방식을 말하고, 풀에디티브 방법이라 함은 배선부를 선택도금만으로 형성하는 방식을 말하며, 세미에디티브 방법이라 함은 도금형성된 도전성 층을 에칭제거해서 배선부를 형성하는 방식을 말한다. 또, 통전용의 얇은 도전층을 도금형성한 후, 이것을 통전층(通電層)으로서 선택적으로 전해도금하여 배선부를 두껍게 형성하고, 다시 플러쉬 에칭(flush etching)으로 통전용의 얇은 도전층을 제거하는 방식도 세미에디티브 방법이라고 한다.

[0027] 본 발명은, 1층 이상의 배선층으로 이루어진 배선부와, 이 배선부의 한쪽 편에 설치된 복수의 제1단자부, 상기 배선부의 다른쪽 편에 설치된 복수의 제2단자부를 갖추되, 상기 배선층이 제1단자부 쪽으로 향하는 수지재층을 갖고 있고, 상기 배선부의 제1단자부 쪽에는 솔더 레지스트를 설치하지 않아 수지재층이 노출되며, 각 제1단자부는 그 선단에 평면부를 갖고, 각 제1단자부의 평면부는 1평면 상에 가지런히 정렬되어 있으며, 각 제1단자부의 평면부 전체에는 전해도금층 또는 무전해도금층으로 이루어진 표면도금층이 형성되어 있는 것을 특징으로 하는 배선기판이다.

[0028] 또, 본 발명은, 상기 제1단자부의 전해도금층이, 표면층으로부터 순차로 Au도금층, Cu도금층, 또는 순차로 Au도

금층, Ni도금층, 또는 순차로 Au도금층, Ni도금층, Cu도금층, 또는 순차로 Pd도금층, Cu도금층, 또는 순차로 Pd도금층, Ni도금층, 또는 순차로 Pd도금층, Ni도금층, Cu도금층, 또는 순차로 Pd계 합금도금층, Cu도금층, 또는 순차로 Pd계 합금도금층, Ni도금층, 또는 순차로 Pd계 합금도금층, Ni도금층, Cu도금층, 또는 Sn도금층, 또는 순차로 Sn도금층, Cu도금층, 또는 Sn계 합금도금층, 또는 순차로 Sn계 합금도금층, Cu도금층을 형성한 것을 특징으로 하는 배선기판이다.

- [0029] 본 발명은, 제1단자의 무전해도금층이, 무전해 Au도금층, 또는 표면층에서 순차로 무전해 Ni도금층, 무전해 Au도금층인 것을 특징으로 하는 배선기판이다.
- [0030] 이상과 같이 구성된 본 발명에 따른 배선기판 제조방법에 의하면, 반도체소자의 뿔납범프와 직접 플립칩 접속될 수 있는 제1단자부를 갖고, 반도체소자의 뿔납범프와 직접 플립칩 접속을 확실히 실행할 수 있는 배선기판을 제공할 수가 있게 된다.
- [0031] 또, 본 발명에 따른 배선기판 제조방법에 의하면, 제1전해도금공정이, 순차로 Au도금, Cu도금, 또는 순차로 Au도금, Ni도금, 또는 순차로 Au도금, Ni도금, Cu도금, 또는 순차로 Pd도금, Cu도금, 또는 순차로 Pd도금, Ni도금, Cu도금, 또는 순차로 Pd계 합금도금, Cu도금, 또는 순차로 Pd계 합금도금, Ni도금, 또는 순차로 Pd계 합금도금, Ni도금, Cu도금, 또는 Sn도금, 또는 순차로 Sn도금, Cu도금, 또는 Sn계 합금도금, 또는 순차로 Sn계 합금도금, Cu도금을 실시하도록 되어, 제작되는 배선기판이, 제1단자부의 표면에서 직접 반도체소자의 뿔납범프와 플립칩 접속할 수 있게 된다. 이 때문에, 접속할 때 제1단자부가 표면이 산화되어도 실용레벨에서 문제가 되지 않는다.
- [0032] 특히, 제1전해도금공정에서, 순차로 Au도금, Cu도금, 또는 순차로 Au도금, Ni도금, 또는 순차로 Au도금, Ni도금, Cu도금을 실시하는 경우, 제1단자부의 표면산화 문제를 더욱 더 해소할 수 있게 된다.
- [0033] 또, 본 발명에 따른 배선기판 제조방법에서는, 제1Cu층의 두께에 가지런히 정렬되어 범프형성영역용 구멍부가 모두 형성되도록 한다. 또, Ni층 또는 Ti층의 면에, 제1단자부(범프부)의 표면위치를 가지런히 할 수가 있다.
- [0034] 즉, 제1단자부를 오차없이 그 돌출한 표면의 위치를 균일하게 가지런히 정렬할 수가 있게 된다. 또, 제1단자부(범프부)의 돌기의 높이, 즉 배선기판을 제조했을 때 수지재층에서 돌출한 높이를 제1Cu층의 두께에 가지런히 할 수가 있게 된다.
- [0035] 또, Ni층 또는 Ti층, 제2Cu층을 통전층으로서 전해도금으로 제1단자부(범프부)를 형성할 수가 있게 된다.
- [0036] 여기에서는, Ni층 또는 Ti층은, 제1Cu층을 에칭할 때의 에칭 스톱퍼층, 제1전해도금의 모재 및 통전층으로서의 역할을 맡는다.
- [0037] 제2Cu층은 지지기재로서 기능하고, 제1전해도금에서의 통전층으로 이루어진다.
- [0038] 또, 제1Cu층 에칭시의 레지스트를 내도금 레지스트로 함으로써 작업성이 좋도록 되어 있다.
- [0039] 본 발명에 따른 배선기판의 제조방법에서는, 제1단자부의 단자부 표면에, 무전해 Au도금, 또는 순차로 무전해 Ni도금, 무전해 Au도금을 실시한다. 이 때문에 제작되는 배선기판은, 제1단자부의 표면에서 직접, 반도체소자의 뿔납범프와 플립칩 접속할 수 있다. 또, 접속시 제1단자부의 표면 산화가 문제로 되는 경우는 없다.
- [0040] 또, 본 발명에 따른 배선기판 제조방법에서는, 제1Cu층, Ni층을 에칭하여 이 에칭 잔부를 수지재층에서 돌출한 부분으로 하고서, 그 표면에 무전해도금으로 도금층을 형성한다. 이 때문에, 제1Cu층의 두께와 Ni층의 두께의 합계의 두께를 정함으로써, 수지재층에서 돌출한 높이를 조정할 수가 있게 된다. 또, 제1단자부의 돌출한 표면의 위치가, Ni층 표면에 가지런해질 수 있기 때문에, 제1단자부(범프부)의 돌기의 높이, 즉 배선기판을 제조했을 때의 수지재층에서 돌출한 높이를 균일하게 가지런히 조정할 수가 있게 된다.
- [0041] 여기에서, 제2Cu층은 지지기재(支持基材)로서 기능할 뿐만 아니라, 전해도금할 때의 통전층으로서의 역할을 맡아 제1단자부의 일부로 되는 것으로, 그 두께에 의해 배선기판을 만들었을 때 수지재층에서 돌출한 높이를 제어한다.
- [0042] 또, Ni층은 제2Cu층을 에칭할 때의 에칭 스톱퍼층, 전해도금 할 때의 통전층으로서의 역할을 맡고, 제2Cu층은 지지기재로서 기능한다.
- [0043] 상기에 있어서, 순차로 제1Cu층, Ni층 또는 Ti층, 제2Cu층을 적층한 구조의 복합재로서는, 클래드재가 생산성면에서는 바람직하지만, 이에 한정되는 것은 아니다.

- [0044] 클래드재는, 예컨대 제1Cu층으로 되는 동박(銅箔)의 일면에 Ni도금층을 형성하고, 이것과 제2Cu층으로 되는 Cu박을 열을 가해 압착 형성하여 제작된다.
- [0045] 별도로, 제1 내지 제2Cu층으로 되는 Cu박의 일면 상에 Ni도금층을 형성하고, 다시 제2 내지 제1Cu층으로 되는 Cu도금층을 형성시켜 복합재로 할 수도 있다.
- [0046] 또, 배선층 형성공정으로서, 세미에디티브 방법이나, 플레디티브 방법과 서브트랙티브 방법, 또는 플레디티브 방법과 세미에디티브 방법 양쪽 모두를 이용하는 것도 들 수 있다.
- [0047] 본 발명에 따른 플립칩 접속용 범프를 가진 배선기관은, 이러한 구성으로 함으로써 반도체소자의 뿔납범프와 직접 플립칩 접속하는 제1단자부를 가져 반도체소자의 뿔납범프와 직접 플립칩 접속을 확실히 실행할 수가 있게 된다.
- [0048] 제1단자부 쪽에는 솔더 레지스트를 설치하지 않고 수지재층을 노출시키고 있기 때문에, 종래의 솔더 레지스트를 배치한 배선기관의 단자형상에 기인하는 여러 가지 문제가 생기는 경우는 없다.
- [0049] 또, 제1단자부의 전해도금층으로서, 표면층에서 순차로 Au도금층, Cu도금층, 또는 순차로 Au도금층, Ni도금층, 또는 순차로 Au도금층, Ni도금층, Cu도금층, 또는 순차로 Pd도금층, Cu도금층, 또는 순차로 Pd도금층, Ni도금층, Cu도금층, 또는 순차로 Pd계 합금도금층, Cu도금층, 또는 순차로 Pd계 합금도금층, Ni도금층, 또는 순차로 Pd계 합금도금층, Ni도금층, Cu도금층, 또는 Sn도금층, 또는 순차로 Sn도금층, Cu도금층, 또는 Sn계 합금도금층, 또는 순차로 Sn계 합금도금층, Cu도금층을 형성한 것을 들 수 있고, 무전해도금층으로서, 무전해 Au도금층, 또는 순차로 무전해 Ni도금층, 무전해 Au도금층임으로써, 제1단자부가 표면산화되더라도 실용레벨에서 문제로 되는 경우는 없다.
- [0050] 특히, 최표면에 Au층을 형성한 경우에는, 제1단자부의 표면산화를 확실히 제거할 수 있다.

실시예

- [0058] 이하, 본 발명의 실시예를 도면에 기초해서 설명한다.
- [0059] 도 1a~도 1g는 본 발명에 따른 배선기관 제조방법의 제1실시예의 일부공정 단면도이고, 도 2a~도 2d는 도 1a~도 1g에 계속되는 일부공정 단면도, 도 3은 도 2a~도 2d에 계속되는 일부공정 단면도이고, 도 4a~도 4h는 본 발명의 배선기관에 따른 제조방법의 제2실시예의 일부공정 단면도, 도 5a~도 5d는 도 4a~도 4h에 계속되는 일부공정 단면도이다. 이 중 도 3의 (d)는 본 발명의 플립칩 접속용 범프를 가진 배선기관의 제1실시예의 단면도이고, 도 5d는 본 발명의 플립칩 접속용 범프를 가진 배선기관의 제2실시예의 단면도이며, 도 6은 본 발명의 플립칩 접속용 범프를 가진 배선기관을 이용한 패키지의 단면도이고, 도 7a 내지 도 7c는 배선기관의 솔더 레지스트를 배설한 쪽에 플립접속부를 설치한 경우의 접합상태를 설명하기 위한 단면도이다.
- [0060] 도 1a~도 7c 중, 부호 110은 (판모양의) 복합재, 부호 111은 제1Cu층, 부호 111A는 구멍부, 부호 112는 Ni층, 부호 113은 제2Cu층, 부호 120은 레지스트, 부호 121은 레지스트의 개구, 부호 131은 Au도금층, 부호 132는 Ni도금층, 부호 133은 Cu도금층, 부호 140은 수지재층, 부호 141은 구멍부(비아형성용 구멍), 부호 145는 수지재층, 부호 150 및 155는 무전해 Cu도금층(단순히 Cu층이라고도 함), 부호 160은 레지스트, 부호 170은 Cu층, 부호 171은 비아부, 부호 175는 Cu층, 부호 176은 비아부, 부호 180은 솔더 레지스트, 부호 181은 개구, 부호 191은 Ni도금층, 부호 192는 금도금층, 부호 210은 (판모양의) 복합재, 부호 211은 제1Cu층, 부호 212는 Ni층, 부호 213은 제2Cu층, 부호 220은 레지스트, 부호 221은 레지스트 개구, 부호 230은 전해도금층(전해도금 형성부라고도 함), 부호 240은 수지재층, 부호 241은 구멍부(비아형성용 구멍), 부호 245는 수지재층, 부호 250 및 255는 무전해도금층, 부호 260은 레지스트, 부호 270은 Cu층, 부호 271은 비아부, 부호 275는 Cu층, 부호 276은 비아부, 부호 280은 솔더 레지스트, 부호 281은 개구, 부호 291은 Ni도금층, 부호 292는 금도금층, 부호 310은 (플립칩 접속용 범프를 가진) 배선기관, 부호 311은 배선층 적층형성부(배선부라고도 함), 부호 312는 플립칩 접속용 단자(제1단자부라고도 함), 부호 312S는 돌출한 평면부, 부호 313은 마더보드와의 접속용 단자(제2단자부라고도 함), 부호 315는 뿔납볼, 부호 320은 반도체소자, 부호 325는 뿔납범프, 부호 330은 언더필(fill), 부호 710은 반도체소자, 부호 715는 뿔납범프, 부호 720은 배선기관(인터포저라고도 함), 부호 721은 단자부, 부호 725는 뿔납범프, 부호 730은 접합부이다.
- [0061] 먼저, 본 발명에 따른 배선기관 제조방법의 제1실시예를 도 1a~도 3에 기초해서 설명한다.
- [0062] 배선기관은, 도 3의 (d)에 나타낸 바와 같이, 2층의 배선층(170, 175)으로 이루어진 배선부와, 배선층(170,

175)의 한쪽 편에 돌출해서 형성된 제1단자부(131, 132, 133) 및, 배선층(170, 175)의 다른쪽 편에 형성된 제2 단자부(191, 192)를 갖추고 있다.

- [0063] 배선부의 각 배선층(170, 175)은 제1단자부(131, 132, 133) 쪽에 수지재층(140, 145)을 갖고, 또 제1단자부(131, 132, 133)는 반도체소자의 뿔납범프와 직접 플립칩 접속하기 위한 돌기형상의 플립칩 접속용 범프를 구성하고 있다. 제2단자부(191, 192)는 배선부(170, 175)를 덮는 솔더 레지스트(180)의 개구(181)에 이것을 매립하도록 형성되어 있다.
- [0064] 각 배선층(170, 175)은, 그 수지재층(140, 145) 쪽이 제1단자부(131, 132, 133) 쪽을 향하도록 하고 있다.
- [0065] 제1단자부(131, 132, 133) 쪽에는 솔더 레지스트가 설치되지 않고 수지재층(140)이 노출되어 있는 바, 이 제1단자부(131, 132, 133)는 그 돌기형상 선단에 평면부(131)가 형성되고서 이들 각 단자부(131, 132, 133)의 평면부(131)가 1평면상에 가지런히 정렬되도록 되어 있다. 이러한 구성으로 이루어진 배선기판은 패키지용 인터포저로서 이용된다.
- [0066] 다음에는 배선기판의 제조방법에 대해 설명한다. 먼저, 순차로 제1Cu층(111), Ni층(112), 제2Cu층(113)이 적층되어 이루어진 판모양 복합재(110; 도 1a)를 준비한 다음, 제1Cu층(111)의 표면에 소정의 형상으로 레지스트(120)를 형성하고(도 1b), 레지스트의 개구(121)에서 노출된 제1Cu층(111)만을 에칭하여 그 소정영역을 관통시켜 제1단자부형성 영역용 구멍부(111A)를 형성한다(도 1c).
- [0067] 복합재(110)로서는, 클래드재가 생산성면에서는 바람직하지만, 이에 한정되는 것은 아니다.
- [0068] 통상적으로, 제1Cu층(111), Ni층(112), 제2Cu층(113)의 두께로는 각각 50 μ m~125 μ m, 1 μ m, 18 μ m~30 μ m인 것이 이용된다.
- [0069] 클래드재로서는, 제1Cu층(111) 또는 제2Cu층(113)으로 이루어진 동박의 일면에 Ni도금층(112)을 형성하고, 이것과 각각 제2Cu층(113), 제1Cu층(111)으로 이루어진 Cu박을 열을 가해 압착형성시켜 얻는다.
- [0070] 또 이와 달리, 제1 내지 제2Cu층(111, 113)으로 이루어진 Cu박의 일면 상에 Ni도금층(112)을 형성하고, 다시 이 Ni도금층(112)에 제2 내지 제1Cu층으로 이루어진 Cu도금층(111, 113)을 형성시켜 복합재(110)로 할 수도 있다.
- [0071] 레지스트(120)는 후에 계속되는 도금공정에도 견딜 수 있는 것을 사용한다.
- [0072] 레지스트(120)의 재질로는 통상적으로 아크릴계의 것이 이용된다.
- [0073] 또, 제1Cu층(111)의 에칭액으로는, Ni층(112)을 에칭 스토포층으로 하기 때문에, Ni층을 에칭하지 않는 알칼리 에칭이 이용된다.
- [0074] 그 다음, 레지스트(120)를 내도금 레지스트로서 에칭공정으로 형성된 구멍부(111A)를 매립하도록 플립칩 접속용 범프로 되는 제1단자부(131, 132, 133)를 전해도금에 의해 형성한다(도 1d).
- [0075] 본 예에서는, 순차로 Au도금, Ni도금, Cu도금을 실시하여 순차로 Au도금층(131), Ni도금층(132), Cu도금층(133)을 형성하고서, 구멍부(111A)를 매립한다.
- [0076] Au도금층(131), Ni도금층(132), Cu도금층(133)의 각 부를 합친 것이 제1단자부(131, 132, 133)로 된다.
- [0077] 이상과 같은 도금 대신, 순차로 Au도금, Cu도금, 또는 순차로 Au도금, Ni도금을 실시할 수도 있다.
- [0078] 그 다음, 복합재(110)로부터 레지스트(120)를 박리한(도 1e) 후, 복합재(110)의 제1단자부(131, 132, 133) 형성층 상에, 수지재층(140)을 매개로 배선이 설치된 1층짜 배선층(170)을 세미에디티브 방법으로 형성시키고서, 다음과 같은 방법으로 배선층(170)이 제1단자부에 접속될 수 있도록 한다.
- [0079] 먼저, 복합재(110)의 제1단자부 형성층 상에 절연성 수지로 이루어진 수지재층(140)을 라미네이트하고(도 1f), 이 라미네이트된 수지재층(140)에 레이저로 비아형성용 구멍부(141)를 형성한다(도 1g).
- [0080] 수지재층(140)으로는, 바람직하게는 예컨대 아라미드 섬유(aramid fiber)나 유리섬유에 에폭시계 수지를 함침시킨 것이 이용되지만, 이에 한정되는 것은 아니다.
- [0081] 수지재층(140)의 라미네이트 방법으로는, 예컨대 동박의 일면 상에 수지재층(140)을 형성시켜 놓고서, 이를 당해 수지재층(140)을 매개로 복합재(110) 상에 적층한 후, 동박을 제거해서 라미네이트하는 방법이 채택된다.
- [0082] 구멍부(141)을 형성하는 레이저로서는 CO₂ 레이저나 UV-YAG 레이저가 이용된다.

- [0083] 그 다음, 형성된 구멍부(141)의 표면을 포함해서 수지재층(140) 표면에 무전해 Cu도금을 실시한다(도 2a). 다음, 형성된 무전해 Cu도금층(150) 상에 회로형성부를 개구시켜 레지스트(160)를 형성한(도 2b) 후, 레지스트(160)의 개구에서 노출된 Cu층(150) 상에 당해 Cu층(150)을 도전층으로 해서 전해 Cu도금(170)을 실시한다(도 2c). 다시, 상기 레지스트(160)를 박리해서 노출된 무전해도금에 의해 형성된 Cu층(150)을 에칭제거해서 회로부를 형성한다(도 2d).
- [0084] 이에 따라, 1층째의 배선층이 형성된다.
- [0085] 그리고, 마찬가지로 해서 1층째의 배선층(170) 상에 2층째의 배선층(175)을 형성한다(도 3의 (a)).
- [0086] 그 다음, 2층째의 배선층(175) 상에 제2단자부(191, 192) 형성영역을 노출시키는 개구(181)를 형성시키고, 배선층(175) 전체를 덮도록 솔더 레지스트(180)를 형성한다(도 3의 (b)).
- [0087] 다음, 솔더 레지스트(180)의 개구(181)에 전해도금을 실시하여 제2단자부(191, 192)를 형성한다(도 3의 (c)).
- [0088] 이 전해도금공정에서, 순차로 전해 Ni도금 및 전해 Au도금을, Ni층(111) 및 제2Cu층(113)을 도전층으로 해서 실행한다.
- [0089] 이렇게 해서 형성되는 Ni도금층(191), Cu층(192)의 두께의 총합계가 솔더 레지스트(180)의 두께에 상당한다.
- [0090] 다음에는 복합재(110)의 잔부를 에칭제거한다(도 3의 (d)).
- [0091] 이 경우, 순차로 제2Cu층(113)의 에칭과, Ni층(112)의 에칭, 제1Cu층(111)의 에칭 순으로 실행한다.
- [0092] 이 에칭제거공정에서, 예컨대 제2Cu층(113) 및 제1Cu층(111)의 에칭에는 알칼리계 용액이 사용되고, Ni층(112)의 에칭에는 과산화수(peroxide water), 황산계 용액을 에칭액으로 사용한다.
- [0093] 이에 따라, 목적으로 하는 배선기판이 만들어지게 된다(도 3의 (d)).
- [0094] 다음에는, 본 발명에 따른 배선기판 제조방법의 제2실시예를 도 4a~도 5d에 기초해서 설명한다.
- [0095] 배선기판은 2층의 배선층(270, 275)으로 이루어진 배선부와, 배선층(270, 275)의 한쪽 편에 돌출해서 형성된 제1단자부(230, 211, 212, 295) 및, 배선층(270, 275)의 다른쪽 편에 형성된 제2단자부(291, 292)를 갖도록 되어 있다(도 5d).
- [0096] 배선부의 각 배선층(270, 275)은 제1단자부(230, 211, 212, 295) 쪽에 수지재층(240, 245)을 갖고, 또 상기 제1단자부(230, 211, 212, 295)는 반도체소자의 땀납범프와 직접 플립칩 접속하기 위한 돌기형상의 플립칩 접속용 범프를 구성하도록 되어 있다.
- [0097] 제2단자부(291, 292)는 배선층(270, 275)을 덮는 솔더 레지스트(280)의 개구(281)에 이것을 매립하도록 형성되어 있다.
- [0098] 각 배선층(270, 275)은, 그 수지재층(240, 245)측이 제1단자부(211, 212, 295) 쪽을 향하도록 되어 있다. 제1단자부(230, 211, 212, 295) 쪽에는 솔더 레지스트를 형성시키지 않고 수지재층(240)을 노출시키고 있다. 제1단자부(211, 212, 295)는 그 돌기형상의 선단에 평면부(295)를 형성시키고, 또 각 단자부(211, 212, 295)의 평면부(295)를 1평면 상에 가지런히 정렬되도록 배치되어 있다.
- [0099] 이러한 구성으로 이루어진 배선기판은, 패키지용 인터포저로 이용된다.
- [0100] 다음에는 배선기판을 제조하는 방법에 대해 설명한다. 먼저, 순차로 제1Cu층(211), Ni층(212), 제2Cu층(213)이 적층되어 이루어진 판모양의 복합재(210; 도 4a)를 준비한 다음, 제1Cu층(211)의 표면에 소정 형상으로 레지스트(220)를 형성하고(도 4b), 레지스트(220)를 내도금 레지스트로서 레지스트의 개구(221)에서 노출된 제1Cu층(211) 상에 개구(221)를 매립하도록 전해도금에 의해 제1단자부의 일부로 되는 전해도금부(전해도금 형성부; 230)를 형성한다(도 4c).
- [0101] 전해도금부(230)는 일반적으로 Cu도금으로 되어 있다.
- [0102] 그 다음, 레지스트(220)를 박리한(도 4d) 후, 전해도금부(230)측 상에 상기 제1단자부의 일부로 되는 전해도금부(230)에 접속하도록 해서, 수지재층(240)을 매개로 형성된 1층째의 배선층(270)과, 수지재층(245)을 매개로 형성된 2층째의 배선층(275)을 각각 형성한다(도 4e~도 5a). 다시, 제2단자부(291, 292)의 형성영역을 노출시키는 개구(281)를 형성시켜 배선층(275) 전체를 덮도록 솔더 레지스트(280)를 형성한다(도 5b).

- [0103] 다음, 솔더 레지스트(280)의 개구(281)에 전해도금을 실시해서 Ni도금층(291)과 Au도금층(292)으로 이루어진 제2단자부를 형성한다.
- [0104] 다음에는, Ni층(212)을 에칭 스토퍼층으로 해서 제2Cu층(213)을 에칭제거하고, 다시 Ni층(212) 상에 제1단자부 영역만을 덮도록 추가 레지스트(212a)를 형성한다. 다음에는 이 추가 레지스트(212a)를 내에칭 레지스트로 해서 Ni층(212) 및 제1Cu층(211)을 에칭하여 관통시키고, 전해도금 형성부(230), 제1Cu층(211)의 잔부, Ni층(212)의 잔부를 합쳐 제2단자부로 형성되도록 하고서 추가 레지스트(212a)를 제거한다(도 5c).
- [0105] 다시, 노출된 Ni층(212) 표면에 무전해 Au도금을 실시해서 무전해 Au도금층(295)을 형성한다(도 5d).
- [0106] 이에 따라 목적으로 하는 배선기판이 만들어지게 된다.
- [0107] 또한, 각 부재도 제1예와 마찬가지로의 것이 적용될 수 있기 때문에 여기에서는 설명을 생략한다.
- [0108] 다음에는 본 발명의 변형예에 대해 설명한다. Cu층(111), Ni층(112), 제2Cu층(113)을 적층시켜 이루어진 판모양 복합재(110; 도 1a) 대신, 제1Cu층, Ti층, 제2Cu층을 적층시켜 이루어진 판모양 복합재를 이용해도 좋다.
- [0109] 또, 도 1a 내지 도 3 및 도 4a 내지 도 5d에서, 배선층의 수를 1층 또는 3층 이상으로 해도 좋다.
- [0110] 또, 배선층의 형성방법도, 세미에디티브 방법에 한정되는 것은 아니다.
- [0111] 플레디티브 방법과 서브트랙티브 방법 또는 플레디티브 방법과 세미에디티브 방법 양쪽 모두를 이용할 수도 있다.
- [0112] 본 발명의 플립칩 접속용 범프를 가진 배선기판의 실시예로는, 도 3의 (d)에 도시된 배선기판 제조방법의 제1실시예에 따라 제작된 것, 도 5d에 도시된 배선기판 제조방법의 제2실시예에 따라 제작된 것을 들 수 있지만, 이것들에 한정되는 것은 아니다.
- [0113] 도 3의 (d) 및 도 5d에 도시된 것은, 모두 배선층을 2층으로 배치한 배선기판의 한쪽 편에, 반도체소자의 뿔납 범프와 직접 플립칩 접속하기 위한 돌기형상의 플립칩 접속용 범프를 제1단자부로서 형성하고, 다른쪽 편에는 배선부를 덮는 솔더 레지스트의 개구에 이것을 매립하도록 제2단자부를 도금형성하고 있다. 수지재층 상에 배선을 형성한 각 배선층은, 그 수지재층측이 제1단자부 쪽을, 그 배선이 제2단자부 쪽을 향하도록 되어 있다. 제1단자부 쪽에는 솔더 레지스트를 형성하지 않고 수지재층을 노출시키고 있으며, 제1단자부는 그 돌기 선단에 평면부를 형성하고 있다. 각 단자부의 평면부는 1평면 상에 가지런히 정렬되어 있고, 그 측면부를 포함해서 노출된 표면 전체에 전해도금층 또는 무전해도금층으로 이루어진 표면도금층이 형성되어 있다.
- [0114] 또한, 각 부의 재질 등에 대해서는 상기 제조방법 설명으로 대신하고 여기에서는 설명을 생략한다.
- [0115] 본 발명의 도 3의 (d)에 도시된 배선기판과, 도 5d에 도시된 배선기판의 인터포서로서의 패키지용 기판(310)은, 예컨대 도 6에 나타낸 바와 같이, 그 제1단자부(312)가 반도체소자(310)의 뿔납범프(325)와 직접 플립칩 접속된다.
- [0116] 이 경우, 제1단자부(312)의 돌출한 평면부(312S)는 1평면에 가지런히 정렬되어 있기 때문에 균일하게 접합될 수 있다.
- [0117] 또, 제1단자부(312)의 표면부가 금속층이기 때문에 화학적으로 안정되어 있고 산화가 일어나지 않아 플럭스처리도 불필요하게 된다.

산업상 이용 가능성

- [0118] 이상 설명한 바와 같이 본 발명에 따른 배선기판은, 반도체소자의 뿔납범프와 직접 플립칩 접속될 수 있는 도금 범프 또는 표면이 도금형성된 범프를 갖추고 있다. 이 배선기판은 반도체소자의 뿔납범프와의 직접 플립칩 접속을 신뢰성 좋게 할 수 있다.
- [0119] 보다 상세하게는, 이에 따라 고가의 재료와 복잡한 프로세스를 이용한 뿔납범프 형성이 불필요하게 되어, 보다 염가의 방법으로 보다 미세한 피치에 대응한 범프형성이 실현가능하게 되었다.
- [0120] 또, 특히 도 1a 내지 도 3에 도시된 배선기판 제조방법의 경우, 무전해 Ni도금이나 무전해 Au도금 대신, 접합신뢰성이 높은 전해도금으로 범프를 형성할 수 있게 되었다.
- [0121] 또, 인쇄방법으로 형성된 뿔납범프와 비교해서 범프의 높이불균형을 줄일 수 있기 때문에 반도체소자와의 접합

도 양호해져 실장시의 제품수율이 향상될 수 있게 되었다.

[0122] 또, Pb 프리(free) 땀납 적용시에 기판의 가열이 필요하지 않게 되어 기판으로의 대미지가 줄어들어 제품수율이 향상될 수 있게 되었다.

도면의 간단한 설명

[0051] 도 1a~도 1g는, 본 발명에 따른 배선기판 제조방법의 제1실시예의 일부공정 단면도이고,

[0052] 도 2a~도 2d는, 도 1a~도 1g에 계속되는 일부공정 단면도,

[0053] 도 3은, 도 2a~도 2d에 계속되는 일부공정 단면도,

[0054] 도 4a~도 4h는, 본 발명에 따른 배선기판 제조방법의 제2실시예의 일부공정 단면도,

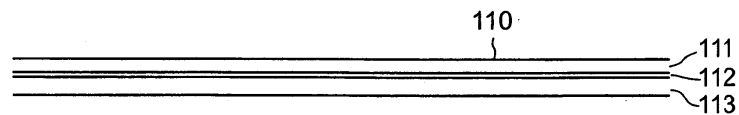
[0055] 도 5a~도 5d는, 도 4a~도 4h에 계속되는 일부공정 단면도,

[0056] 도 6은, 본 발명의 플립칩 접속용 범프를 가진 배선기판을 이용한 패키지의 단면도,

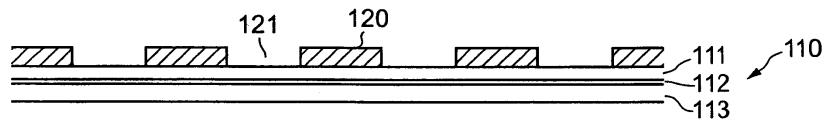
[0057] 도 7a~도 7c는, 배선기판의 솔더 레지스트를 배설한 쪽에 플립접속부를 설치한 경우의 형태와 집합상태를 설명하기 위한 단면도이다.

도면

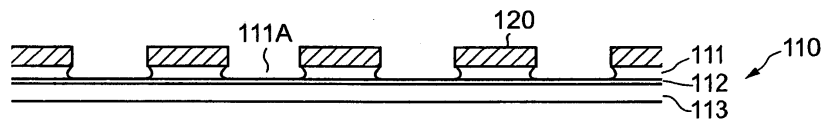
도면1a



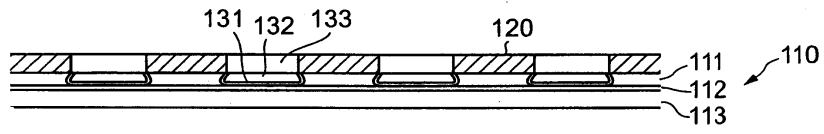
도면1b



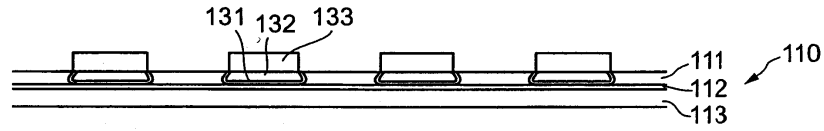
도면1c



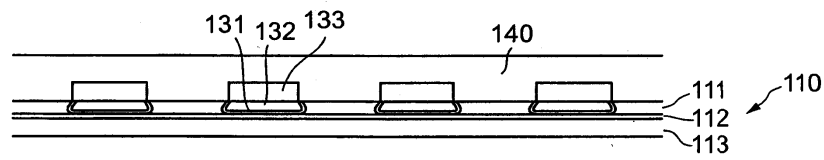
도면1d



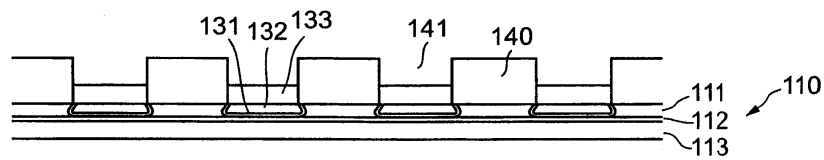
도면1e



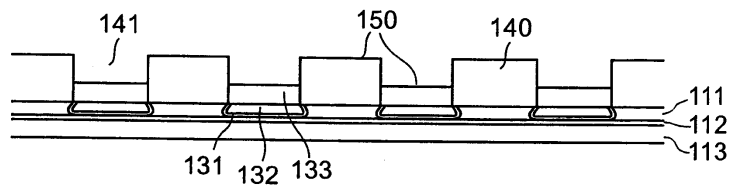
도면1f



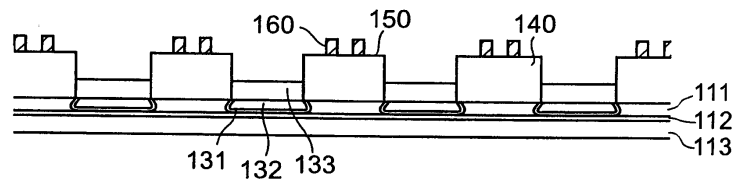
도면1g



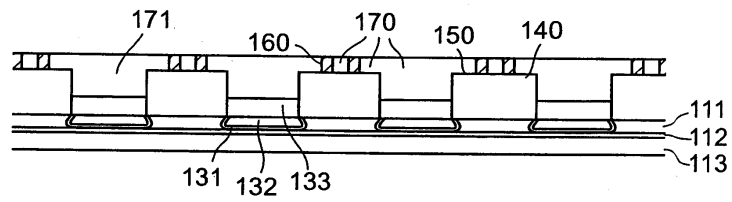
도면2a



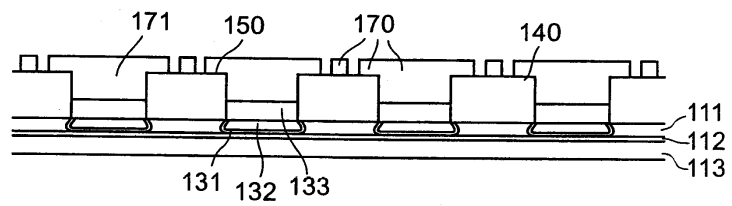
도면2b



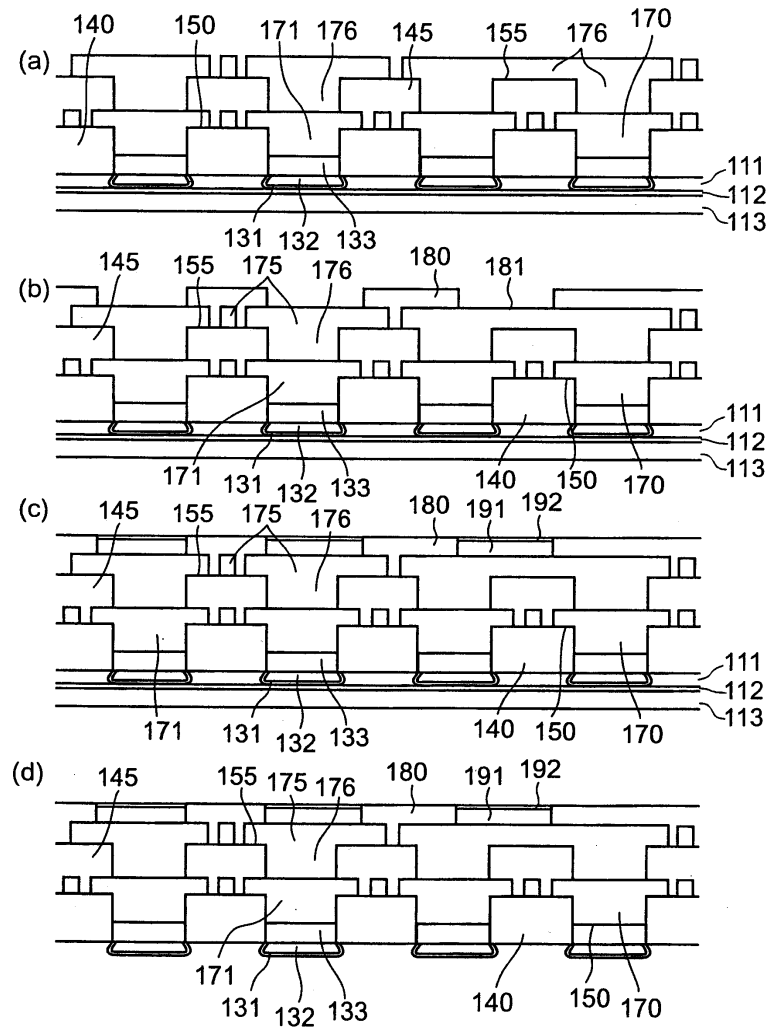
도면2c



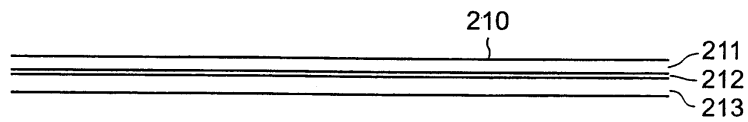
도면2d



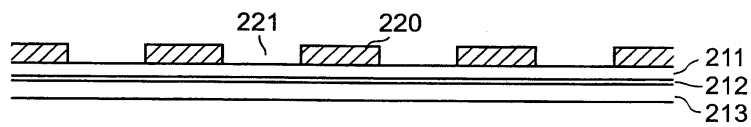
도면3



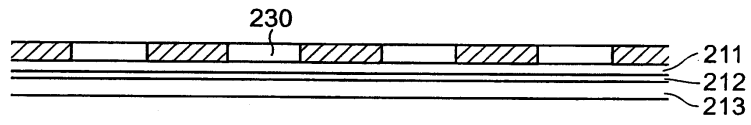
도면4a



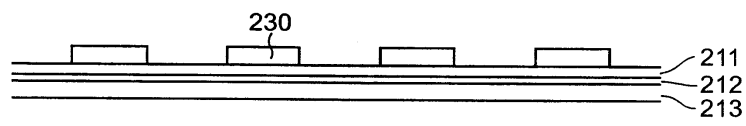
도면4b



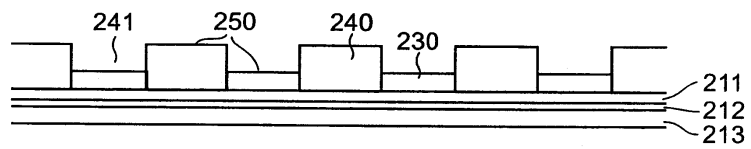
도면4c



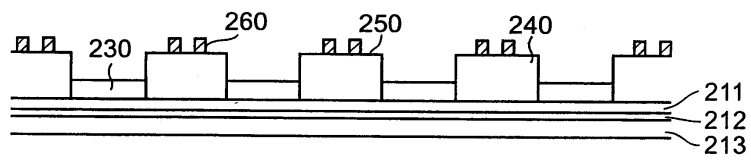
도면4d



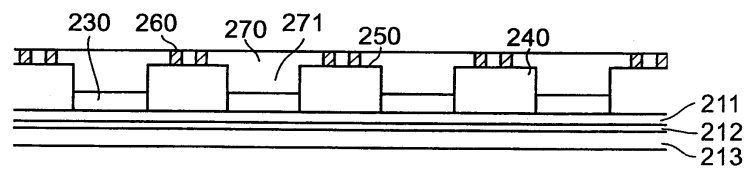
도면4e



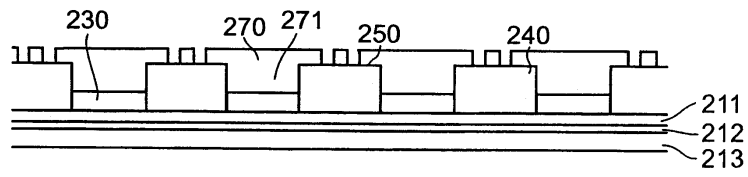
도면4f



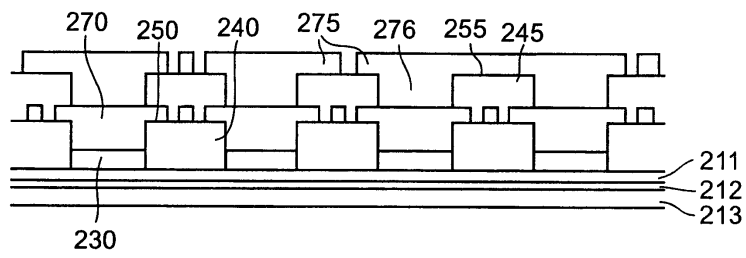
도면4g



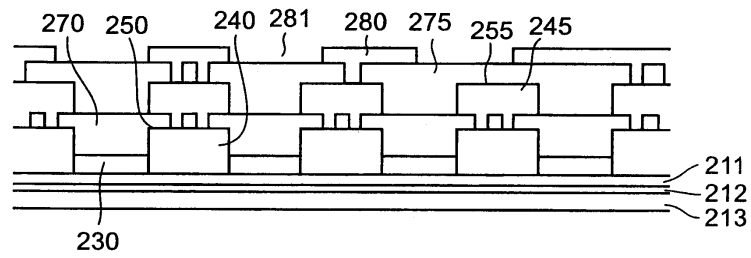
도면4h



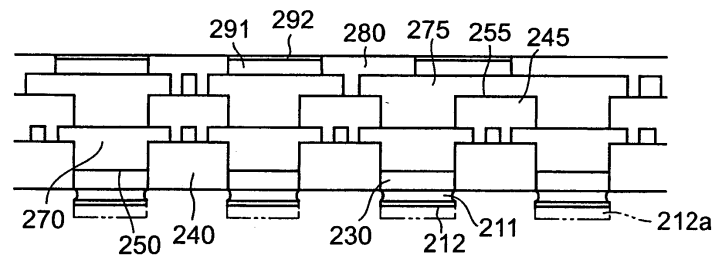
도면5a



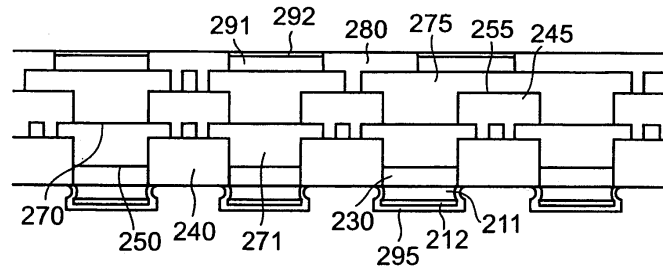
도면5b



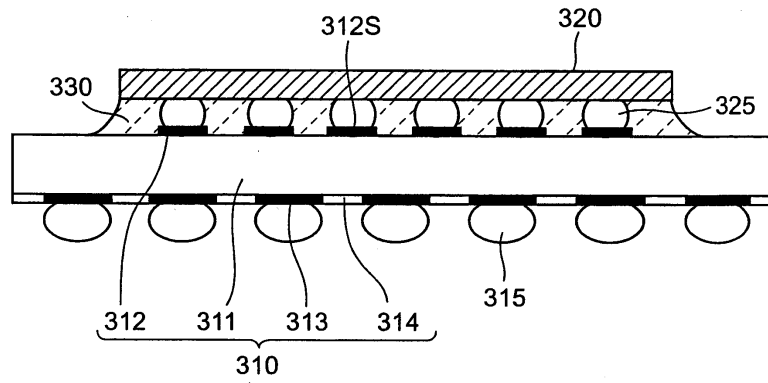
도면5c



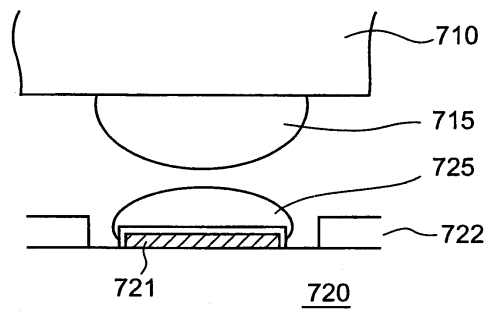
도면5d



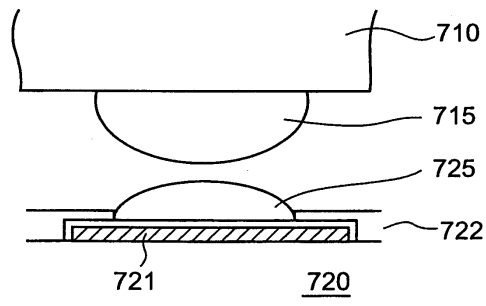
도면6



도면7a



도면7b



도면7c

