



등록특허 10-2788584



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월31일
(11) 등록번호 10-2788584
(24) 등록일자 2025년03월26일

- (51) 국제특허분류(Int. Cl.)
H10F 39/12 (2025.01)
- (52) CPC특허분류
H10F 39/18 (2025.01)
H10F 39/199 (2025.01)
- (21) 출원번호 10-2023-7033726(분할)
- (22) 출원일자(국제) 2013년07월08일
심사청구일자 2023년10월27일
- (85) 번역문제출일자 2023년10월02일
- (65) 공개번호 10-2023-0145237
- (43) 공개일자 2023년10월17일
- (62) 원출원 특허 10-2023-7001153
원출원일자(국제) 2013년07월08일
심사청구일자 2023년02월09일
- (86) 국제출원번호 PCT/JP2013/004216
- (87) 국제공개번호 WO 2014/013696
국제공개일자 2014년01월23일
- (30) 우선권주장
JP-P-2012-159789 2012년07월18일 일본(JP)
- (56) 선행기술조사문헌
JP2011114323 A
KR1020100084124 A
KR1020110060804 A
US20110156197 A1

(73) 특허권자
소니그룹주식회사
일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자
야나기타 타케시
일본국 도쿄도 미나토구 코난 1-7-1 소니그룹주식
회사 내
마부치 케이지
일본국 도쿄도 미나토구 코난 1-7-1 소니그룹주식
회사 내

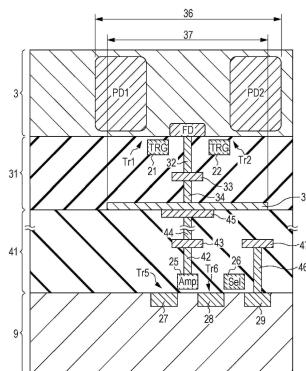
(74) 대리인
최달용

전체 청구항 수 : 총 19 항

심사관 : 심병로

(54) 발명의 명칭 **수광 장치 및 수광 장치의 제조 방법, 전자 기기****(57) 요 약**

고체 활상장치 및 이 고체 활상장치를 제조하는 방법이 이하에서 설명될 것이다. 예시로서, 고체 활상장치는, 회로 기판상에 형성된 제2 배선층 및 센서 기판상에 형성된 제1 배선층을 포함한다. 센서 기판은 회로 기판에 결합되고, 제1 배선층 및 제2 배선층은 센서 기판과 회로 기판 사이에 위치한다. 제1 전극은 제1 배선층의 표면상에 형성되고, 제2 전극은 제2 배선층의 표면상에 형성된다. 제1 전극은 제2 전극과 전기적으로 접속한다.

대 표 도 - 도3

(52) CPC특허분류

H10F 39/8037 (2025.01)

H10F 39/809 (2025.01)

H10F 39/811 (2025.01)

명세서

청구범위

청구항 1

촬상 장치에 있어서,

소자 분리부,

플로팅 디퓨전,

제1 포토 다이오드,

제2 포토 다이오드,

제3 포토 다이오드,

제4 포토 다이오드,

제1 전송 게이트 전극,

제2 전송 게이트 전극,

제3 전송 게이트 전극 및

제4 전송 게이트 전극을 포함하며,

상기 촬상 장치의 단면도에서,

제1 배선층은 센서 기판과 제2 배선층 사이에 있고, 상기 제1 포토 다이오드 및 상기 제2 포토 다이오드는 센서 기판에 있으며,

상기 제1 포토 다이오드와 상기 제2 포토 다이오드는 증폭 트랜지스터를 공유하며,

상기 제2 배선층은 회로 기판과 상기 제1 배선층 사이에 있고, 상기 제1 전송 게이트 전극 및 상기 제2 전송 게이트 전극은 상기 제1 배선층 내에 있으며,

상기 촬상 장치의 평면도에서,

상기 플로팅 디퓨전은 상기 센서 기판에서,

상기 플로팅 디퓨전의 제1 영역,

상기 플로팅 디퓨전의 제2 영역,

상기 플로팅 디퓨전의 제3 영역 및

상기 플로팅 디퓨전의 제4 영역을 포함하며,

상기 제1 전송 게이트 전극은 상기 제1 영역과 상기 제1 포토 다이오드 사이에 있고, 상기 소자 분리부는 상기 제1 포토 다이오드 및 상기 제1 영역을 상기 제2 포토 다이오드로부터 분리하고,

상기 제2 전송 게이트 전극은 상기 제2 영역과 상기 제2 포토 다이오드 사이에 있고, 상기 소자 분리부는 상기 제2 포토 다이오드 및 상기 제2 영역을 상기 제4포토 다이오드로부터 분리하고,

상기 제3 전송 게이트 전극은 상기 제3 영역과 상기 제3 포토 다이오드 사이에 있고, 상기 소자 분리부는 상기 제3 포토 다이오드 및 상기 제3 영역을 상기 제1 포토 다이오드로부터 분리하고,

제4 전송 게이트 전극은 상기 제4 영역과 상기 제4 포토 다이오드 사이에 있고, 상기 소자 분리부는 상기 제4 포토 다이오드와 제4 영역을 제3 포토 다이오드로부터 분리하는 것을 특징으로 하는 촬상 장치.

청구항 2

제1항에 있어서,

상기 회로 기판에 리셋 트랜지스터를 더 포함하는 것을 특징으로 하는 촐상 장치.

청구항 3

제1항에 있어서,

상기 회로 기판에 선택 트랜지스터를 더 포함하는 것을 특징으로 하는 촐상 장치.

청구항 4

제1항에 있어서,

상기 회로 기판에 증폭 트랜지스터를 더 포함하는 것을 특징으로 하는 촐상 장치.

청구항 5

제4항에 있어서,

상기 제1 배선층 및 상기 제2 배선층의 배선은 플로팅 디퓨전을 상기 증폭 트랜지스터의 게이트 전극에 직접 전기적으로 접속하고, 상기 증폭 트랜지스터의 게이트 전극은 상기 제2 배선층에 있는 것을 특징으로 하는 촐상 장치.

청구항 6

제1항에 있어서,

상기 제1 전송 게이트 전극은 상기 제1 포토 다이오드의 제1 모서리에 있는 것을 특징으로 하는 촐상 장치.

청구항 7

제6항에 있어서,

상기 제2 전송 게이트 전극은 상기 제2 포토 다이오드의 제1 모서리에 있는 것을 특징으로 하는 촐상 장치.

청구항 8

제7항에 있어서,

상기 제1 포토 다이오드의 제2 모서리에 있는 제1 웨를 더 포함하고, 상기 제1 포토 다이오드의 상기 제2 모서리는 상기 제1 포토 다이오드의 상기 제1 모서리에 대각선인 것을 특징으로 하는 촐상 장치.

청구항 9

제8항에 있어서,

상기 제2 포토 다이오드의 제2 모서리에 있는 제2 웨를 더 포함하고, 상기 제2 포토 다이오드의 상기 제2 모서리는 상기 제2 포토 다이오드의 상기 제1 모서리에 대해 대각선인 것을 특징으로 하는 촐상 장치.

청구항 10

제9항에 있어서,

상기 제1 웨에 형성된 제1 접지 단자를 더 포함하는 것을 특징으로 하는 촐상 장치.

청구항 11

제10항에 있어서,

상기 제2 웨에 형성된 제2 접지 단자를 더 포함하는 것을 특징으로 하는 촐상 장치.

청구항 12

제2항에 있어서,

상기 제1 포토 다이오드와 상기 제2 포토 다이오드는 상기 리셋 트랜지스터를 공유하는 것을 특징으로 하는 촬상 장치.

청구항 13

제3항에 있어서,

상기 제1 포토 다이오드와 상기 제2 포토 다이오드는 상기 선택 트랜지스터를 공유하는 것을 특징으로 하는 촬상 장치.

청구항 14

제1항에 있어서,

상기 제3 포토 다이오드와 상기 제4 포토 다이오드는 상기 증폭 트랜지스터를 공유하는 것을 특징으로 하는 촬상 장치.

청구항 15

제2항에 있어서,

상기 제3 포토 다이오드와 상기 제4 포토 다이오드는 상기 리셋 트랜지스터를 공유하는 것을 특징으로 하는 촬상 장치.

청구항 16

제3항에 있어서,

상기 제3 포토 다이오드와 상기 제4 포토 다이오드는 상기 선택 트랜지스터를 공유하는 것을 특징으로 하는 촬상 장치.

청구항 17

제10항에 있어서,

상기 제1 접지 단자는 제1의 전원선에 접속되는 것을 특징으로 하는 촬상 장치.

청구항 18

제11항에 있어서,

상기 제2 접지 단자는 제2의 전원선에 접속되는 것을 특징으로 하는 촬상 장치.

청구항 19

제11항에 있어서,

상기 제1 접지 단자와 상기 제2 접지 단자는 제1의 전원선에 접속되는 것을 특징으로 하는 촬상 장치.

발명의 설명

기술 분야

[0001] 본 기술은, 이면 조사형의 고체 촬상장치 및 이 고체 촬상장치를 구비하는 전자기기에 관한 것이다.

배경 기술

[0003] 고체 촬상장치에서는, 입사광에 대한 광전 변환 효율이나 감도의 향상을 도모하는 것을 목적으로 하여, 반도체 기판의 표면측에 구동 회로를 형성하고 이면측을 수광면으로 하는, 이른바 이면 조사형의 구조가 제안되어 있다. 또한, 광전 변환 소자가 형성된 반도체 기판과는 별개로, 구동 회로를 형성한 회로 기판을 준비하고, 반도체 기판에서의 수광면과 반대측의 면에, 회로 기판을 접합한 3차원 구조도 제안되어 있다. 예를 들면, 포토 다이오드(PD), 플로팅 디퓨전(FD) 및 전송 게이트와, 전송 트랜지스터 이외의 화소 트랜지스터를, 각각 다른 기

판에 형성하고, 이들의 기판을 맞붙이는 구성이 제안되어 있다(예를 들면, 특허 문헌 1 참조).

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 특허 문헌 1 : 일본 특표2011-517506호 공보

발명의 내용

해결하려는 과제

- [0005] 상술한 기판이 맞붙여진 구성의 이면 조사형의 고체 촬상장치에서는, 기판끼리의 접합 신뢰성의 향상에 의한, 고체 촬상장치의 신뢰성의 향상이 요구되고 있다.

- [0006] 본 기술에서는, 신뢰성의 향상이 가능한 고체 촬상장치 및 전자기기를 제공하는 것이다.

과제의 해결 수단

- [0008] 고체 촬상장치 및 이 고체 촬상장치를 제조하는 방법이 이하에서 설명될 것이다. 예시로서, 고체 촬상장치는, 회로 기판상에 형성된 제2 배선층 및 센서 기판상에 형성된 제1 배선층을 포함한다. 센서 기판은 회로 기판에 결합되고, 제1 배선층 및 제2 배선층은 센서 기판과 회로 기판 사이에 위치한다. 제1 전극은 제1 배선층의 표면상에 형성되고, 제2 전극은 제2 배선층의 표면상에 형성된다. 제1 전극은 제2 전극과 전기적으로 접속한다.

- [0009] 다른 예시로서, 고체 촬상장치를 제조하는 방법은, 센서 기판상에 제1 배선층을 형성하고, 회로 기판상에 제2 배선층을 형성하고, 제1 배선층의 표면상에 제1 전극을 형성하고, 제2 배선층의 표면상에 제2 전극을 형성하고, 센서 기판과 회로 기판 사이에 제1 배선층과 제2 배선층이 존재하는 상태로 센서 기판을 회로 기판에 결합한다.

- [0010] 상술한 고체 촬상장치에 의하면, 제1 반도체 기판상에 포토 다이오드 및 플로팅 디퓨전이 형성되고, 제2 반도체 기판상에 제2 트랜지스터가 형성되어 있다. 플로팅 디퓨전으로부터 제2 트랜지스터를 접속하는 플로팅 디퓨전 배선이, 제1 전극 및 제2 전극에 의해 접속되어 있다. 이와 같이, 플로팅 디퓨전 배선에서, 제1 반도체 기판과 제2 반도체 기판과의 접속면이 제1 전극과 제2 전극에 의해 접합되어 있기 때문에, 배선의 접합 신뢰성 및 기판 사이의 접합 신뢰성이 향상된다. 이 때문에, 고체 촬상장치 및 이 고체 촬상장치를 구비하는 전자기기의 신뢰성이 향상된다.

발명의 효과

- [0012] 본 기술에 의하면, 고체 촬상장치 및 전자기기의 신뢰성을 향상하는 것이 가능해진다.

도면의 간단한 설명

- [0014] 도 1은 본 기술이 적용되는 고체 촬상장치의 한 예를 도시하는 개략 구성도.

도 2는 제1 실시 형태의 고체 촬상장치의 4화소 공유 단위로 이루어지는 화소부의 평면 배치를 도시하는 도면.

도 3은 도 2에 도시하는 화소부의 III-III선 단면의 구성을 도시하는 도면.

도 4A는 제1 전극 및 제2 전극의 구성을 도시하는 도면.

도 4B는 제1 전극 및 제2 전극의 구성을 도시하는 도면.

도 4C는 제1 전극 및 제2 전극의 구성을 도시하는 도면.

도 4D는 제1 전극 및 제2 전극의 구성을 도시하는 도면.

도 4E는 제1 전극 및 제2 전극의 구성을 도시하는 도면.

도 5는 4화소 공유 단위에서의 GND 배선 및 TRG 배선의 평면 배치를 도시하는 도면.

도 6A는 GND/TRG 배선을 형성하는 화소 영역의 평면도.

도 6B는 도 6A에 도시하는 VIB부의 확대도.

도 6C는 도 6A에 도시하는 화소 영역 주변의 GND/TRG 배선의 단면도.

도 7은 제1 실시 형태의 고체 촬상장치의 제1 변형례의 구성을 도시하는 단면도.

도 8은 제1 실시 형태의 고체 촬상장치의 제2 변형례의 구성을 도시하는 단면도.

도 9는 도 8에 도시하는 화소부의 IX-IX선 단면의 구성을 도시하는 도면.

도 10은 제1 실시 형태의 고체 촬상장치의 제3 변형례의 구성을 도시하는 단면도.

도 11은 제2 실시 형태의 고체 촬상장치의 8화소 공유 단위로 이루어지는 화소부의 평면 배치를 도시하는 도면.

도 12는 도 11에 도시하는 화소부의 XII-XII선 단면의 구성을 도시하는 도면.

도 13은 제3 실시 형태의 고체 촬상장치의 4화소 공유 단위로 이루어지는 화소부의 평면 배치를 도시하는 도면.

도 14는 제3 실시 형태의 고체 촬상장치의 단면 구성을 도시하는 도면.

도 15는 제3 실시 형태의 변형례의 고체 촬상장치의 단면 구성을 도시하는 도면.

도 16은 전자기기의 구성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 기술을 실시하기 위한 최선의 형태의 예를 설명하지만, 본 기술은 이하의 예로 한정되는 것이 아니다. 또한, 설명은 이하의 순서로 행한다.
- [0016] 1. 제1 실시 형태(고체 촬상장치)
- [0017] 2. 제2 실시 형태(고체 촬상장치)
- [0018] 3. 제3 실시 형태(고체 촬상장치)
- [0019] 4. 제4 실시 형태(전자기기)
- [0020] <1. 제1 실시 형태>
- [0021] <고체 촬상장치의 개략 구성례>
- [0022] 도 1에, 본 기술이 적용되는 이면 조사형의 고체 촬상장치의 개략 구성을 도시한다. 본 실시 형태의 고체 촬상장치(10)는, 도 1에 도시하는 바와 같이, 제1의 반도체 칩부(11)에 화소 영역(12)을 탑재한다. 그리고, 제2의 반도체 칩부(13)에, 제어 회로(14), 신호 처리 회로를 포함하는 로직 회로(15)를 탑재한다. 이 제1의 반도체 칩부(11)와 제2의 반도체 칩부(13)를 서로 전기적으로 접속하여 하나의 반도체 칩으로서 MOS형 고체 촬상장치(10)가 구성된다.
- [0023] <화소부 구조 : 평면 배치>
- [0024] 다음에, 본 예의 고체 촬상장치의 화소부의 구성에 관해 설명한다. 도 2에, 본 예에 적용하는 4화소 공유 단위로 이루어지는 화소부의 평면 배치를 도시한다. 도 2에 도시하는 바와 같이, 4화소의 포토 다이오드(PD)(PD1 내지 PD4)를 배열한 4화소 공유 단위가, 2차원 어레이현상으로 배열되어 화소부가 구성된다.
- [0025] 4화소 공유 단위는, 가로 2×세로 2의 합계 4개의 포토 다이오드(PD1 내지 PD4)에 대해 하나의 플로팅 디퓨전(FD)을 공유하는 구성이다. 그리고, 4개의 포토 다이오드(PD1 내지 PD4)와, 이 4개의 포토 다이오드(PD1 내지 PD4)에 대해 4개의 전송 게이트 전극(21 내지 24)과, 하나의 플로팅 디퓨전(FD)을 갖고서 구성된다.
- [0026] 각 포토 다이오드(PD1 내지 PD4)와, 플로팅 디퓨전(FD)과, 각 전송 게이트 전극(21 내지 24)에 의해, 전송 트랜지스터(Tr1 내지 Tr4)가 구성된다. 플로팅 디퓨전(FD)은, 4개의 포토 다이오드(PD1 내지 PD4)에 둘러싸여진 중앙부에 배치되고, 각 전송 게이트 전극(21 내지 24)은, 각 포토 다이오드(PD1 내지 PD4)의 중앙부측의 모서리부에 대응하는 위치에 배치된다.
- [0027] <화소부 구조 : 단면 구성>
- [0028] 다음에, 도 3에, 도 2에 도시하는 화소부의 III-III선 단면의 구성을 도시한다. 도 3에 도시하는 바와 같이, 고

체 촬상장치는, 센서 기판(3)(제1 반도체 기판)과 회로 기판(9)(제2 반도체 기판)과, 각각 제1 배선층(31)과 제2 배선층(41)을 대향시켜서 맞붙여져 있다. 또한, 센서 기판(3)과 회로 기판(9)과의 맞붙임면에서, 센서 기판(3)의 제1 배선층(31)의 표면에 형성된 제1 전극(35)과, 회로 기판(9)의 제2 배선층(41)의 표면에 형성된 제2 전극(45)이 접합되어 있다.

[0029] 센서 기판(3)에는, 상술한 도 2에 도시하는 포토 다이오드(PD1, PD2)와, 플로팅 디퓨전(FD)과, 전송 게이트 전극(21, 22)이 형성되어 있다. 센서 기판(3)은, 도면의 상방이 광의 입사면이고, 하방이 회로 형성면이다. 플로팅 디퓨전(FD)과 전송 게이트 전극(21, 22)은, 센서 기판(3)의 회로 형성면측에 형성되어 있다.

[0030] 센서 기판(3)의 회로 형성면상에는, 제1 배선층(31)이 형성되어 있다. 제1 배선층(31)은, 적어도 1층 이상의 배선과, 절연층이 적층된 구성을 갖는다. 도 3에서는, 1층의 배선(33)을 갖는 구성이다. 제1 배선층(31)에는, 플로팅 디퓨전(FD)에 접속되는 플러그(32)가 형성되어 있다. 그리고, 플러그(32)와 배선(33)이 접속하고, 또한 배선(33)과 플러그(34)가 접속되어 있다.

[0031] 또한, 배선(33)과 같은 층에, 도시하지 않은 다른 배선을 갖고 있다. 이 배선(33)과 같은 층의 배선은, 예를 들면, 전송 게이트 전극(21, 22)과 접속되는 전원 배선이나 그라운드 배선 등이다.

[0032] 제1 배선층(31)의 표면에는, 접속용의 제1 전극(35)이 형성되어 있다. 제1 전극(35)은, 플러그(32, 34) 및 배선(33)을 통하여 플로팅 디퓨전(FD)에 접속되어 있다.

[0033] 회로 기판(9)에는, 도시하지 않은 화소부의 제어 회로나, 신호 처리 회로를 포함하는 로직 회로가 탑재되어 있다. 또한, 회로 기판(9)에는, 전송 트랜지스터(Tr1) 이외의 화소 트랜지스터가 형성된다. 도 3에서는, 증폭 트랜지스터(Tr5)와 선택 트랜지스터(Tr6)를 도시하고 있다. 회로 기판(9)의 표면에는, 증폭 트랜지스터(Tr5)와 선택 트랜지스터(Tr6)의 소스/드레인이 되는 확산 영역(27, 28, 29)이 형성되어 있다. 또한, 회로 기판(9)상에 증폭 게이트 전극(25)과, 선택 게이트 전극(26)을 구비한다.

[0034] 회로 기판(9)상에는, 제2 배선층(41)이 형성되어 있다. 제2 배선층(41)은, 복수층의 배선과 절연층이 적층된 구성을 갖는다. 도 3에서는, 제2 배선층(41)에 형성되는 복수의 배선 중, 1층의 배선(43, 47)을 도시하고 있다. 배선(43)은, 플러그(42, 44)에 의해, 증폭 게이트 전극(25)과, 제2 배선층(41)의 표면의 제2 전극(45)에 접속되어 있다. 이 때문에, 제2 전극(45)은, 플러그(42, 44) 및 배선(43)을 통하여 증폭 게이트 전극(25)에 접속되어 있다. 또한, 선택 트랜지스터(Tr6)의 확산 영역(29)에는, 플러그(46)와 배선(47)이 접속되어 있다.

[0035] 상술한 구성에서는, 센서 기판(3)의 표면에 마련된 플로팅 디퓨전(FD)과, 회로 기판(9)상에 마련된 증폭 게이트 전극(25)이, 제1 전극(35)과 제2 전극(45)을 통하여 도체에 의해 직접 접속되어 있다. 즉, 플로팅 디퓨전(FD)과 증폭 게이트 전극(25)이, 제1 전극(35), 제2 전극(45), 플러그(32, 34, 42, 44) 및 배선(33, 43)으로 이루어지는 플로팅 디퓨전 배선(이하, FD 배선)에 의해 접속되어 있다. 이와 같이, 센서 기판(3)의 플로팅 디퓨전(FD)에 축적된 신호를 처리하기 위한 화소 트랜지스터가 회로 기판(9)에 형성되어 있다.

[0036] 제1 배선층(31)에서, FD 배선을 구성하는 제1 전극(35), 플러그(32, 34) 및 배선(33)은, 변환 효율을 올리기 위해, 최소 디자인 률 배선폭으로 형성되는 것이 바람직하다. 또한, 플로팅 디퓨전(FD)으로부터 제1 전극(35)까지는, 마찬가지로 변환 효율을 올리기 위해, 최단으로 결선되어 있는 것이 바람직하다. 또한, 이 플러그(32, 34) 및 배선(33)은, 제1 배선층(31)에 형성되는 다른 배선과 용량 결합하지 않도록, 가능한 한 다른 배선과의 거리를 떼어서 형성하는 것이 바람직하다.

[0037] 마찬가지로, 제2 배선층(41)에서, FD 배선을 구성하는, 제2 전극(45), 플러그(44, 42) 및 배선(43)은, 변환 효율을 올리기 위해, 최소 디자인 률 배선폭으로 형성되는 것이 바람직하다. 또한, 증폭 게이트 전극(25)으로부터 제2 전극(45)까지는, 변환 효율을 올리기 위해, 최단으로 결선되어 있는 것이 바람직하다. 또한, 이 플러그(44, 42) 및 배선(43)은, 제2 배선층(41)에 형성되는 다른 배선과 용량 결합하지 않도록, 가능한 한 다른 배선과의 거리를 떼어서 형성하는 것이 바람직하다.

[0038] 또한, 도시하지 않은 리셋 트랜지스터는, 센서 기판(3)측에서, 화소 공유 단위 사이에 형성되어 있어도 좋고, 회로 기판(9)측의 다른 부분에 형성되어 있어도 좋다. 센서 기판(3)의 포토 다이오드(PD)의 면적을 크게 하기 위해서는, 전송 트랜지스터 이외의 각 트랜지스터는, 전부 회로 기판(9)측에 형성되어 있는 것이 바람직하다.

[0039] 제1 전극(35) 및 제2 전극(45)을 형성하는 영역(37)은, 증폭 트랜지스터(Tr5)를 공유하는 복수의 포토 다이오드(PD1 내지 PD4)가 형성되어 있는 영역(36)의 면적보다도 작은 구성으로 한다. 인접하는 다른 영역의 전극과의 접촉을 피하기 위해, 제1 전극(35) 및 제2 전극(45)을 포토 다이오드(PD1 내지 PD4)가 형성되어 있는 영역(36)

보다도, 작게 할 필요가 있다.

[0040] 또한, 제1 전극(35) 및 제2 전극(45)의 적어도 한쪽은, 플로팅 디퓨전(FD)이 형성되어 있는 면적보다도 크게 형성되는 것이 바람직하다. 또한, 상술한 도 2에서, 제1 전극(35) 및 제2 전극(45)을 형성하는 영역(37)의 평면 배치를 과선으로 도시하고 있다.

[0041] 제1 전극(35) 및 제2 전극(45)은, 화소 공유 단위의 중심에 마련되어 있는 것이 바람직하다. 또한, 제1 전극(35) 및 제2 전극(45)은, 점대칭 또는 선대칭이 되는 형상으로 형성되어 있는 것이 바람직하다. 예를 들면, 상술한 도 2에 도시하는 4화소 공유 단위에서, 4화소 공유 단위의 중심과, 제1 전극(35) 및 제2 전극(45)의 중심이, 같은 평면 위치에 형성되어 있는 것이 바람직하다. 그리고, 제1 전극(35) 및 제2 전극(45)을, 화소 공유 단위의 중심에서 점대칭, 또는, 선대칭이 되는 형상으로 형성하는 것이 바람직하다.

[0042] 이와 같은 구성으로 제1 전극(35) 및 제2 전극(45)을 형성함에 의해, 복수의 화소 공유 단위에서, FD 배선을 등간격으로 형성할 수 있고, FD 배선의 커플링을 방지할 수 있다.

[0043] 본 예와 같이 복수의 기판이 맞붙여진 구성의 반도체장치에서는, 기판의 접합면의 위치맞춤 정밀도에 문제가 있다. 이 때문에, 기판을 맞붙일 때에, 기판의 위치맞춤 정밀도에 준하여 전극의 접합 위치에 어긋남이 발생한다. 이와 같은, 접합 전극의 위치에 어긋남에 의한 접속 불량이나 도통 불량에 의해, 반도체장치의 신뢰성이 저하되어 버린다.

[0044] 이에 대해, 도 3에 도시하는 바와 같이, 제1 전극(35) 및 제2 전극(45)의 형상을 상술한 범위로 함에 의해, 기판 맞붙임의 정밀도에 관계없이, 접합 전극의 접속 신뢰성을 확보할 수 있다. 따라서, 반도체장치의 신뢰성이 향상된다.

[0045] 그러나, 전극의 면적이 커지면, 필연적으로 FD 배선의 체적이 커진다. 이 때문에, 신호 전하의 변환 효율의 악화에 연결된다. 따라서, 변환 효율의 악화를 막으려면, 전극의 면적을 가능한 한 최소로 하는 것이 바람직하다. 이와 같이, 제1 전극(35) 및 제2 전극(45)의 면적은, 변환 효율과 접합 신뢰성에 상반된 영향을 준다. 이 때문에, 기판 접합의 위치 정밀도와, 신호의 변환 효율 등을 고려하여, 제1 전극(35) 및 제2 전극(45)의 형상을 설계할 필요가 있다.

[0046] 접속 신뢰성은, 일방의 전극의 면적이 크면, 타방의 전극의 면적이 작아도 확보할 수 있다. 이 때문에, 예를 들면, 일방의 전극을, 플로팅 디퓨전(FD)이 형성되어 있는 면적보다도 크게 형성하고, 타방의 전극의 면적을 더욱 작은 면적으로 하는 것도 가능하다. 이 경우에는, 전극의 접속 신뢰성과, 신호의 변환 효율의 양쪽에 대해 특성의 향상이 기대할 수 있다.

[전극 형상]

[0048] 상술한 바와 같이, 신호의 변환 효율과, 접합 신뢰성과의 양립이 가능한 제1 전극(35) 및 제2 전극(45)의 구성례에 관해 설명한다. 도 4A 내지 도 4E에, 제1 전극(35) 및 제2 전극(45)의 구성을 도시한다.

[0049] 도 4A 내지 도 4E는, 각각, 제1 전극(35) 및 제2 전극(45)의 구성을 도시하는 평면도이다. 이 도면에서는, 센서 기판(3)측에서 제1 전극(35) 및 제2 전극(45)을 본 배치를 도시하고, 제1 전극(35)과 제2 전극(45)과의 중심 위치를 어긋내어 나타내고 있다.

[0050] 도 4A에 도시하는 제1 전극(35) 및 제2 전극(45)은, 각각 다른 방향으로 연재된, 평면이 사각형상(rectangular)의 도체층에 의해 형성되어 있다. 그리고, 제1 전극(35)과 제2 전극(45)이, 서로의 연재 방향과 직교하는 방향으로 배치되고, 서로 교차하는 위치에 배치되어 있다.

[0051] 이와 같이, 제1 전극(35)과 제2 전극(45)이 교차하기 때문에, 접합시에 센서 기판과 회로 기판에 위치에 어긋남이 발생한 경우에도, 제1 전극(35)과 제2 전극(45)이 교차 위치에서 접촉한다. 이 결과, 접합 전극의 위치에 어긋남에 의한 접속 불량이나 도통 불량을 방지할 수 있고, 반도체장치의 신뢰성의 저하를 억제할 수 있다.

[0052] 또한, 제1 전극(35) 및 제2 전극(45)을, 예를 들면 최소 디자인 률 배선폭의 사각형상으로 형성함에 의해, FD 배선의 체적의 증가를 억제할 수 있다. 이 때문에, 변환 효율의 악화를 억제할 수 있다.

[0053] 따라서, 도 4A에 도시하는 구성의 제1 전극(35) 및 제2 전극(45)을 적용함에 의해, 고체 콜상 소자의 변환 효율과 접합 신뢰성과의 양립이 가능해진다.

[0054] 도 4B에 도시하는 구성은, 제1 전극(35) 및 제2 전극(45)이, 직교하는 2개의 사각형상의 도체층으로 형성되어

있다. 그리고, 제1 전극(35)과 제2 전극(45)은, 각각 연재 방향과 직교하는 방향으로 배치되는 사각형상의 도체 층끼리가, 교차함으로써 접합되어 있다.

[0055] 도 4B에 도시하는 구성은, 상술한 도 4A에 도시하는 구성보다도 접촉면적이 증가한다. 이 때문에, 접속 신뢰성이 향상한다. 또한, 접촉면적이 증가하기 때문에, 사각형상의 도체층의 폭을 도 4A에 도시하는 것보다 작게 한 경우에도, 접합면적을 확보할 수 있다. 따라서, 제1 전극(35) 및 제2 전극(45)에 의한 FD 배선의 체적의 증가를 억제하고, 변환 효율과 접합 신뢰성과의 양립이 가능해진다.

[0056] 또한, 도 4C 내지 도 4E에 도시하는 구성에서는, 사각형상의 도체층을 조합시킴에 의해, 제1 전극(35) 및 제2 전극(45)이, 격자형상으로 배치되어 있다. 도 4C에 도시하는 구성에서는, 방형(square)으로 배치된 4개의 사각형상의 도체층과, 이 방형 내에 배치되는 1개의 도체층으로, 제1 전극(35) 및 제2 전극(45)이 형성되어 있다. 또한, 도 4D에 도시하는 구성에서는, 방형으로 배치된 4개의 사각형상의 도체층과, 이 방형 내에 격자형상으로 2개의 사각형상의 도체층으로, 제1 전극(35) 및 제2 전극(45)이 형성되어 있다.

[0057] 도 4E에 도시하는 구성에서는, 복수의 사각형상의 도체층이 조합된 메시형상으로 제1 전극(35) 및 제2 전극(45)이 형성되어 있다.

[0058] 제1 전극(35)과 제2 전극(45)을 구성하는 사각형상의 도체층의 개수가 많아질수록, 제1 전극(35)과 제2 전극(45)과의 접촉면적이 커지고, 접속 신뢰성이 향상한다. 또한, 제1 전극(35)과 제2 전극(45)을 구성하는 사각형상의 도체층의 개수가 많아질수록, FD 배선의 체적이 증가하지만, 사각형상의 도체층의 체적 자체를 충분히 작게 함에 의해, 변환 효율의 저하를 억제할 수 있다. 따라서, 고체 활상 소자의 변환 효율과 접합 신뢰성과의 양립이 가능해진다.

[0059] 또한, 상술한 구성례에서는 제1 전극(35) 및 제2 전극(45)을, 사각형상의 구성으로 하고 있지만, 전극을 구성하는 도체층의 형상은, 사각형상으로 한하지 않고 다른 형상으로 하여도 좋다. 최소 디자인 를 배선 폭이고, 제1 전극(35) 및 제2 전극(45)에서 다른 방향으로 연재되는 구성이라면, 본 기술의 고체 활상 소자에 적용할 수 있다.

[0060] 또한, 상술한 구성례에서는 제1 전극(35) 및 제2 전극(45)이 같은 형상으로 형성된 예에 관해 설명하고 있지만, 제1 전극(35) 및 제2 전극(45)은, 다른 형상으로 하여도 좋다. 또한, 제1 전극(35) 및 제2 전극(45)을 구성하는 도체층의 사이즈(예를 들면 연재 길이, 폭, 두께 등) 및 도체층의 배치 간격(피치)은, 디자인 를, 접합 정밀도 등의 조건을 고려하고 적절히 설정된다.

[0061] <전송 게이트 전극 배선, 그라운드 배선>

[0062] 다음에, 센서 기판의 제1 배선층에 형성하는 전송 게이트 전극(TRG) 배선과 그라운드(GND) 배선에 관해 설명한다. 도 5에, 4화소 공유 단위에서의 GND 배선 및 TRG 배선의 평면 배치를 도시한다. 또한, 도 6A에, 센서 기판의 화소 영역의 주변 영역에서의 GND/TRG 배선의 평면 배치도를 도시한다. 도 6B에, 도 6A에 도시하는 VIB부의 확대도를 도시한다. 도 6C에, 도 6A에 도시하는 화소 영역의 주변 영역의 GND/TRG 배선의 단면도를 도시한다.

[0063] 도 5에 도시하는 바와 같이, 4화소 공유 단위에서는, TRG 배선(38)과 GND 배선(55)은, 화소 내에 있어서 도면 횡방향으로 평행하게 배치되어 있다. TRG 배선(38)은, 각 4화소 공유 단위상에서, 전송 게이트 전극(21, 22, 23, 24)상을 통과하도록 배치되어 있다. 그리고, TRG 배선(38)은, 각각 대응하는 전송 게이트 전극(21, 22, 23, 24)의 어느 하나에 접속되어 있다. 또한, TRG 배선(38)은, 상술한 FD 배선과의 커플링이, 가능한 한 균일하게 되도록 배치한다. 이에 의해, 전송 게이트 전극(21)의 ON 시에, FD 커플링에 의한 각 화소의 승압 능력을 정돈 할 수 있다.

[0064] TRG 배선(38) 및 GND 배선(55)은, 포토 다이오드(PD), 플로팅 디퓨전(FD) 및 전송 트랜지스터(Tr)가 형성되는 화소 영역의 외측에서, 회로 기판(9)측의 배선 및 전극과 접합된다. 도 6A에, 제1의 반도체 칩부(11)의 센서 기판(3)에서의 화소 영역(12)과, TRG 배선(38) 및 GND 배선(55)이 회로 기판(9)측의 배선에 접속된 전극(39)을 도시한다. 도 6A에 도시하는 바와 같이, TRG 배선(38) 및 GND 배선(55)은, 도면 횡방향으로 화소 영역(12)을 횡단하여, 화소 영역(12)의 주변 영역에 마련된 전극(39)에 접속되어 있다.

[0065] 전극(39)에는, 도 6B에 도시하는 바와 같이 화소 공유 단위의 TRG 배선(38)과, GND 배선(55)에 접속된 복수의 전극(39A 내지 39E)이 마련되어 있다. 각 전극(39A 내지 39E)은, 각각, 화소 공유 단위상을 횡단하는 TRG 배선(38) 또는 GND 배선(55)에 접속되어 있다. 2×2의 4화소 공유 단위에서는, 4개의 TRG 배선(38)과 1개의 GRD 배선(55)에 의한, 합계 5개의 배선을 마련할 필요가 있다. 그리고, 이 5개의 배선에 대응하여, 5개의 전극(39A 내

지 39E)이 필요해진다.

[0066] 맞붙임 정밀도를 고려하여, 전극(39)의 면적을 크게 할 필요가 있다. 이 때, 전극(39)의 크기를, 화소 내의 FD 배선의 제1, 제2 전극과 같은 면적으로 구성하는 경우에는, 도 6B에 도시하는 바와 같이, 공유 단위에 해당하는 5개의 전극(39A 내지 39E)을, TRG 배선(38) 및 GND 배선(55)과 평행한 방향(도면 횡방향)으로 배열할 필요가 있다. 또한, 예를 들면, 2×4의 8화소 공유 단위에서는, 8개의 TRG 배선(38)과 2개의 GND 배선(55)에 의한, 합계 10개의 배선이 필요해진다. 이 때문에, 도 6B와 마찬가지로, 공유 단위에 해당하는 10개의 전극(39)을, TRG 배선(38) 및 GND 배선(55)과 평행한 방향(도면 횡방향)으로 배열할 필요가 있다.

[0067] 또한, 도 6B는 평면 배치를 도시하고 있기 때문에, 전극(39A 내지 39D)에는 복수의 배선이 접속되어 있는 것처럼 보이지만, 전극과의 접촉부분 이외는 충간 절연층 중에 마련되어 있기 때문에, 각 전극(39A 내지 39E)은, 각각 하나의 배선과만 접속되어 있다.

[0068] 도 6C에, 전극(39) 및 그 주위의 단면 구성을 도시한다. 도 6C에 도시하는 바와 같이, TRG 배선(38) 및 GND 배선(55)은, 플러그(34)를 통하여 센서 기판(3)의 제1 배선층(31)의 표면에 형성된 제3 전극(39)에 접속되어 있다. 또한, 제3 전극(39)은, 회로 기판(9)의 제2 배선층(41)의 표면에 형성된 제4 전극(49)에 접속되어 있다.

[0069] 제4 전극(49)은, 플러그(42, 44) 및 배선(48)을 통하여 회로 기판(9)에 형성된 회로 소자 등에 접속되어 있다.

[0070] TRG 배선(38) 및 GND 배선(55)은, 도 3에 도시하는 배선(33)과 같은 충에 형성된다. 그리고, 화소 영역(12)의 외주부에서, 제3 전극(39) 및 제4 전극(49)을 통하여 회로 기판(9)의 회로 소자와 접속된다. 제3 전극(39) 및 제4 전극(49)은, 화소 영역(12)의 주위에서, 복수의 전극이 행렬형상으로 배치되어 있다. 제3 전극(39) 및 제4 전극(49)은, 예를 들면 1 내지 20 μ m 정도의 크기로 형성되고, 그에 따라 인접하는 전극과 1 μ m 정도의 간격을 두고 등간격으로 형성되어 있다.

[0071] 화소 영역(12) 내에, TRG 배선(38) 및 GND 배선(55)의 접속용의 제3 전극(39) 및 제4 전극(49)을 형성하지 않음에 의해, 플로팅 디퓨전(FD)으로부터 중폭 트랜지스터(Tr5)에 접속하는 제1 전극(35)과 제2 전극(45)의 설계 자유도가 향상한다. 이 때문에, 도 3에 도시하는 제1 전극(35) 및 제2 전극(45)의 면적을 크게 하는 것이 가능해지고, 접속 신뢰성을 향상시킬 수 있다.

[0072] <제1 변형례 : 리셋 트랜지스터>

[0073] 다음에, 상술한 제1 실시 형태의 고체 활상장치의 변형례에 관해 설명한다. 제1 변형례로서, 회로 기판에 리셋 트랜지스터가 마련되는 구성례에 관해 설명한다. 또한, 제1 변형례에서는, 회로 기판의 리셋 트랜지스터의 구성 및 이 리셋 트랜지스터에의 배선의 구성만이 제1 실시 형태와 다르다. 이 때문에, 이하의 설명에서는, 상술한 제1 실시 형태와 동일한 구성은 설명을 생략한다.

[0074] 도 7에 제1 변형례의 고체 활상장치의 단면도를 도시한다. 이 단면도는, 상술한 제1 실시 형태의 설명에서 도 3에 도시하는 구성과 대응한다. 도 7에 도시하는 바와 같이, 회로 기판(9)에는, 중폭 트랜지스터(Tr5), 선택 트랜지스터(Tr6) 및 리셋 트랜지스터(Tr7)를 구비한다. 회로 기판(9)의 표면에는, 중폭 트랜지스터(Tr5), 선택 트랜지스터(Tr6) 및 리셋 트랜지스터(Tr7)의 소스/드레인인 되는 확산 영역(27, 28, 29, 52)이 형성되어 있다. 그리고, 회로 기판(9)상에 중폭 게이트 전극(25), 선택 게이트 전극(26) 및 리셋 게이트 전극(51)을 구비한다.

[0075] 회로 기판(9)상에는, 제2 배선층(41)이 형성되어 있다. 제2 배선층(41)의 표면에는 제2 전극(45)이 형성되어 있다. 그리고, 제2 전극(45)에 접속되는 플러그(44)가 배선(53)에 접속되어 있다. 또한, 배선(53)은, 플러그(42) 및 플러그(54)에 접속되어 있다. 플러그(42)는, 배선(53)과 중폭 게이트 전극(42)에 접속되어 있다. 또한, 플러그(54)는, 배선(53)과 리셋 트랜지스터(Tr7)의 확산 영역(52)에 접속되어 있다.

[0076] 이 때문에, 제2 전극(45)은, 플러그(42, 44, 54) 및 배선(53)을 통하여 중폭 게이트 전극(25)과, 리셋 트랜지스터(Tr7)의 확산 영역(52)에 접속되어 있다. 또한, 플로팅 디퓨전(FD)과 중폭 게이트 전극(25)이, 제1 전극(35), 제2 전극(45), 플러그(32, 34, 42, 44) 및 배선(33, 53)으로 이루어지는 FD 배선에 의해 접속되어 있다.

[0077] 상술한 구성에서는, 센서 기판(3)의 표면에 마련된 플로팅 디퓨전(FD)과, 회로 기판(9)에 마련된 리셋 트랜지스터(Tr7)의 확산 영역(52)이, 제1 전극(35)과 제2 전극(45)을 통한 FD 배선으로부터 분기된 플러그(54)에 의해 접속되어 있다. 즉, 센서 기판(3)의 포토 다이오드(PD) 및 플로팅 디퓨전(FD)의 전위를, 회로 기판(9)에 형성되어 있는 리셋 트랜지스터(Tr7)로 리셋하는 구성이 된다.

[0078] 리셋 트랜지스터(Tr7)를 회로 기판(9)측에 형성함에 의해, 센서 기판(3)에 리셋 트랜지스터(Tr7)의 확산 영역을

형성할 필요가 없다. 이 때문에, 화소 영역에서, 포토 다이오드(PD)를 형성하는 영역의 비율을 크게 할 수 있다. 따라서 이 구조에 의해, 감도나 포화 신호량(Qs)의 향상 등의 고체 활상장치의 화소 특성의 향상이 가능해진다.

[0079] <제2 변형례 : GND 배선 실드>

[0080] 다음에, 상술한 제1 실시 형태의 고체 활상장치의 제2 변형례에 관해 설명한다. 제2 변형례는, 회로 기판에 그라운드 배선에 의한 실드가 마련되는 구성례이다. 또한, 이하의 설명에서는, 상술한 제1 실시 형태와 동일한 구성은 생략한다.

[0081] 도 8에, 제2 변형례의 고체 활상장치의 평면도를 도시한다. 또한, 도 9에, 도 8의 IX-IX선 단면도를 도시한다.

[0082] 도 9에 도시하는 바와 같이, 본 예의 고체 활상장치는, 센서 기판(3)에 플로팅 디퓨전(FD)을 형성하고, FD 배선을 통하여 플로팅 디퓨전(FD)의 신호를 회로 기판(9)에 전송하는 구성이다. 이와 같은 구성의 고체 활상장치에서는, 플로팅 디퓨전(FD)으로부터 증폭 게이트 전극(25) 및 리셋 트랜지스터(Tr7)의 소스까지의 FD 배선의 커플링을 막기 위해, FD 배선에 실드를 구비하는 것이 바람직하다.

[0083] 본 예의 고체 활상장치에서는, 센서 기판(3)측에 형성된 그라운드(GND) 배선(55)으로, FD 배선의 실드가 형성된다. 도 8에 도시하는 바와 같이, GND 배선(55)을, 플로팅 디퓨전(FD)을 공유하는 4화소 공유 단위의 주위를 둘러싸는 격자형상으로 배치한다. GND 배선(55)으로 4화소 공유 단위를 둘러쌈에 의해, 4화소 공유 단위의 중앙에 마련되어 있는 FD 배선에의 실드로서 GND 배선(55)이 기능한다. GND 배선(55)은, 도시하지 않은 그라운드 단자 등에 접속되고, 접지 전위가 된다.

[0084] 또한, 도 9에서는, 센서 기판(3)의 제1 배선층(31)에 2층의 배선이 형성되어 있는 예를 도시한다. 이 구조에서는, GND 배선(55)으로 4화소 공유 단위를 둘러싸기 때문에, TRG 배선 등의 다른 배선을 GND 배선(55)과 같은 층에 형성할 수가 없다. 즉, 본 예에서는, 제1 배선층(31)에, 적어도 2층 이상의 배선이 필요해진다. 도 9에서는, GND 배선(55)을 형성하기 위한 층과, TRG 배선 등의 다른 배선을 형성하기 위한 층과의 2층을 도시하고 있다. 예를 들면, FD 배선의 배선(33)과 같은 층에, TRG 배선 등의 다른 배선을 형성한다. 그리고, FD 배선의 배선(56)과 같은 층에, GND 배선(55)을 형성한다.

[0085] <제3 변형례 : VDD 배선 실드>

[0086] 다음에, 상술한 제1 실시 형태의 고체 활상장치의 제3 변형례에 관해 설명한다. 제3 변형례는, 회로 기판에 VDD 배선에 의한 실드가 마련된 구성례이다. 또한, 이하의 설명에서는, 상술한 제1 실시 형태와 동일한 구성은 생략한다.

[0087] 상술한 제2 변형례에서는, 센서 기판(3)측의 FD 배선을 GND 배선으로 실드하는 방법에 관해 설명하였지만, 회로 기판(9)상의 제2 배선층(41)에서 FD 배선을 실드하는 것도 가능하다.

[0088] 도 10에, 제3 변형례의 고체 활상장치의 단면 구조를 도시한다. 또한, 제3 변형례의 평면 배치는, 상술한 도 8에 도시하는 제2 변형례와 마찬가지이다. 이 때문에, 도 10은, 도 8에 도시하는 X-X선 단면에 상당한다.

[0089] 제3 변형례에서는, FD 배선의 실드로서, 회로 기판(9)측에 형성된 VDD 배선(57)으로, FD 배선의 실드가 형성된다. 도 10에서는, 회로 기판(9)상의 제2 배선층(41)에 형성되어 있는 복수층의 배선 중, 2층의 배선을 도시하고 있다. VDD 배선(57)은 전원 전위에 접속된 배선이다.

[0090] VDD 배선(57)은, 4화소 공유 단위를 둘러싸는 구조이기 때문에, 다른 배선과 같은 층에 형성하는 것이 어렵다. 이 때문에, 증폭 게이트 전극(25)과 리셋 트랜지스터(Tr7)의 확산 영역(52)을 접속하는 배선(53)이나, 선택 트랜지스터(Tr6)에 접속하는 배선(47)과, 다른 층에 VDD 배선(57)이 형성되어 있다.

[0091] 이처럼, VDD 배선(57)으로 4화소 공유 단위를 둘러쌈에 의해, VDD 배선(57)이 4화소 공유 단위의 중앙에 마련되어 있는 FD 배선에의 실드로서 기능한다.

[0092] 또한, 제3 변형례의 VDD 배선에 의해 FD 배선을 실드하는 구성과, 상술한 제2 변형례의 GND 배선에 의해 FD 배선을 실드하는 구성은 병용하여도 좋다. 또한, FD 배선을 실드하는 구성으로 하고, 상술한 GND 배선이나 VDD 배선 이외의 다른 배선을 조합시켜서 이용하여도 좋다.

[0093] <제2 실시 형태>

[0094] <8화소 공유 구조>

- [0095] 다음에, 고체 촬상장치의 제2 실시 형태에 관해 설명한다. 상술한 제1 실시 형태에서는, 전송 트랜지스터(Tr) 이외의 트랜지스터를 4개의 포토 다이오드(PD)에서 공유하는 4화소 공유 단위의 구성에 관해 설명하고 있다. 제2 실시 형태에서는, 전송 트랜지스터(Tr) 이외의 트랜지스터를 8개의 포토 다이오드(PD)에서 공유하는 8화소 공유 단위의 구성에 관해 설명한다. 또한, 제2 실시 형태에서는, 화소의 공유 구조만이 제1 실시 형태와 다르다. 이 때문에, 이하의 설명에서는, 상술한 제1 실시 형태와 동일한 구성은 설명을 생략한다.
- [0096] <평면 배치>
- [0097] 도 11에, 본 예에 적용하는 8화소 공유 단위로 이루어지는 화소부의 평면 배치를 도시한다. 도 11에 도시하는 바와 같이, 8화소의 포토 다이오드(PD)[PD1 내지 PD8]를 배열한 8화소 공유 단위가, 2차원 어레이현상으로 배열되어 화소부가 구성된다.
- [0098] 8화소 공유 단위는, 가로 2×세로 4의 합계 8개의 포토 다이오드(PD1 내지 PD8)을 하나의 단위로 한다. 가로 2×세로 2의 합계 4개의 포토 다이오드(PD1 내지 PD4)에 대해 하나의 플로팅 디퓨전(FD1)을 공유하는 구성이다. 가로 2×세로 2의 합계 4개의 포토 다이오드(PD5 내지 PD8)에 대해 하나의 플로팅 디퓨전(FD2)을 공유하는 구성이다. 그리고, 8개의 포토 다이오드(PD1 내지 PD8)에 대응하는 8개의 전송 게이트 전극(21 내지 24, 61 내지 64)과, 2개의 플로팅 디퓨전(FD1, FD2)을 갖고서 구성된다.
- [0099] 각 포토 다이오드(PD1 내지 PD8)와, 플로팅 디퓨전(FD1, FD2)과, 각 전송 게이트 전극(21 내지 24, 61 내지 64)에 의해, 전송 트랜지스터(Tr1 내지 Tr4, Tr8 내지 Tr11)가 구성된다. 플로팅 디퓨전(FD1, FD2)은, 각각 8개의 포토 다이오드(PD1 내지 PD8)에 둘러싸여진 중앙부에 배치되고, 각 전송 게이트 전극(21 내지 24, 61 내지 64)은, 각 포토 다이오드(PD1 내지 PD8)의 중앙부측의 모서리부가 대응하는 위치에 배치된다.
- [0100] <단면 구조>
- [0101] 도 12에, 도 11에 도시하는 화소부의 XII-XII선 단면의 구성을 도시한다. 도 12에 도시하는 바와 같이, 고체 촬상장치는, 센서 기판(3)와 회로 기판(9)가, 각각 제1 배선층(31)과 제2 배선층(41)을 대향시켜서 맞붙여져 있다. 또한, 센서 기판(3)와 회로 기판(9)와의 맞붙임면에서, 센서 기판(3)의 제1 배선층(31)의 표면에 형성된 제1 전극(35)과, 회로 기판(9)의 제2 배선층(41)의 표면에 형성된 제2 전극(45)이 접합되어 있다. 또한, 회로 기판(9)측의 구성은, 상술한 제1 실시 형태의 제1 변형례와 같은 구성이다. 이 때문에, 회로 기판(9)측의 구성은 설명을 생략한다.
- [0102] 센서 기판(3)에는, 상술한 도 11에 도시하는 포토 다이오드(PD2, 4, 6, 8)와, 플로팅 디퓨전(FD1, FD2)과, 전송 게이트 전극(22, 24, 62, 64)이 형성되어 있다. 센서 기판(3)은, 도면의 상방이 광의 입사면이고, 하방이 회로 형성면이다. 플로팅 디퓨전(FD1, FD2)과 전송 게이트 전극(22, 24, 62, 64)은, 센서 기판(3)의 회로 형성면측에 형성되어 있다.
- [0103] 센서 기판(3)의 회로 형성면상에는, 제1 배선층(31)이 형성되어 있다. 제1 배선층(31)은, 적어도 1층 이상의 배선과, 절연층이 적층된 구성을 갖는다. 도 12에서는, 1층의 배선(33, 66)을 도시하고 있다.
- [0104] 또한, 제1 배선층(31)에는, 플로팅 디퓨전(FD1)에 접속되는 플러그(32)가 형성되어 있다. 그리고, 플러그(32)와 배선(33)이 접속되고, 배선(33)과 플러그(34)가 접속되어 있다. 또한, 플로팅 디퓨전(FD2)에 접속되는 플러그(65)가 형성되어 있다. 그리고, 플러그(65)와 배선(66)이 접속되고, 배선(66)과 플러그(67)가 접속되어 있다.
- [0105] 제1 배선층(31)의 표면에는, 접속용의 제1 전극(35)이 형성되어 있다. 제1 전극(35)은, 플로팅 디퓨전(FD1)과 플러그(32, 34) 및 배선(33)을 통하여 접속되어 있다. 또한, 제1 전극(35)은, 플로팅 디퓨전(FD2)과 플러그(65, 67) 및 배선(66)을 통하여 접속되어 있다. 이 전극(35)은, 회로 기판(9)의 전극(45)을 통하여, 센서 기판(3)에 형성된 증폭 게이트 전극(25) 등의 트랜지스터에 접속되어 있다.
- [0106] 이와 같이, 본 예의 고체 촬상장치는, 8개의 포토 다이오드(PD1 내지 PD8)가 플로팅 디퓨전(FD1, FD2) 및 하나의 전극(35)을 통하여, 회로 기판(9)에 형성된 트랜지스터를 공유하는 구조를 갖고 있다.
- [0107] 제1 전극(35) 및 제2 전극(45)을 형성하는 영역(37)은, 증폭 트랜지스터(Tr5)를 공유하는 복수의 포토 다이오드(PD1 내지 PD8)가 형성되어 있는 영역(36)의 면적보다도 작은 구조으로 한다. 제1 전극(35) 및 제2 전극(45)은, 인접하는 영역의 전극과의 접촉을 피하기 위해, 포토 다이오드(PD1 내지 PD8)가 형성되어 있는 영역(36)보다도, 작게 형성할 필요가 있다. 상술한 도 11에서, 제1 전극(35)을 형성하는 영역(37)의 평면 배치와, 제2 전극(45)을 형성하는 영역(45)를 파선으로 도시하고 있다.

- [0108] 또한, 제1 전극(35) 및 제2 전극(45)의 적어도 한쪽이, 플로팅 디퓨전(FD)이 형성되어 있는 면적보다도 큰 면적으로 형성되어 있는 것이 바람직하다. 제1 전극(35) 및 제2 전극(45)은, 상술한 제1 실시 형태와 마찬가지로, 변환 효율과 접합 신뢰성과의 양립이 가능해지는 구성으로 하는 것이 바람직하다. 예를 들면, 상술한 도 4에 도시하는 바와 같은 사각형상의 도체층을 조합시킨 구성으로 할 수 있다.
- [0109] 상술한 바와 같이, 8화소 공유 단위의 고체 활상장치에서도 본 기술을 적용할 수 있다. 이 경우에도, 상술한 제1 실시 형태와 같은 효과를 얻을 수 있다. 또한, 제2 실시 형태에서도, 전송 게이트 전극 배선 및 그라운드 배선은, 상술한 제1 실시 형태와 같은 구성으로 할 수 있다. 또한, 제2 실시 형태의 구성에서도, 제1 실시 형태의 변형례의 구성을 적용할 수 있다.
- [0110] <제3 실시 형태>
- [0111] <소자 분리>
- [0112] 다음에, 고체 활상장치의 제3 실시 형태에 관해 설명한다. 제3 실시 형태에서는, 포토 다이오드(PD)마다 절연 분리한 구성의 고체 활상장치에 관해 설명한다. 또한, 제3 실시 형태에서는, 상술한 제1, 2 실시 형태와 동일한 구성은 설명을 생략한다.
- [0113] <화소부 구성 : 평면 배치>
- [0114] 도 13에, 본 예에 적용하는 4화소의 화소부의 평면 배치를 도시한다. 도 13에 도시하는 바와 같이, 4포토 다이오드(PD)가 2차원 어레이형상으로 복수 배열되어 화소부가 구성된다. 각각의 포토 다이오드(PD)에 대해, 전송 게이트 전극(68)과 플로팅 디퓨전(FD)이 형성되어 있다. 전송 게이트 전극(68)과 플로팅 디퓨전(FD)은, 포토 다이오드(PD)의 모서리부에 마련되어 있다. 그리고, 전송 게이트 전극(68)에는, TRG 배선(38)이 접속되어 있다.
- [0115] 또한, 포토 다이오드(PD)에서, 전송 게이트 전극(68)과 플로팅 디퓨전(FD)이 마련된 모서리부와 대각의 모서리부에는, 웨일(Weil)(81)이 마련되어 있다. 그리고, 이 웨일(81)에, GND 배선(55)과 접속된 GND 단자(82)가 마련되어 있다. 웨일(81)과 GND 단자(82)는, 각 포토 다이오드(PD)에 마련되어 있다.
- [0116] 포토 다이오드(PD) 사이에는 소자 분리부(69)가 마련되어 있다. 포토 다이오드(PD)의 주위가 소자 분리부(69)에 둘러싸이고, 각 포토 다이오드(PD)가 소자 분리부(69)에 의해 분리되어 있다. 포토 다이오드(PD)가 소자 분리부(69)에 의해, 각각 분리된 구성으로 함에 의해, 화소 사이에서의 혼색을 막을 수 있다.
- [0117] (화소부 구조 : 단면 구성)
- [0118] 도 14에, 도 13에 도시하는 고체 활상장치의 단면 구성을 도시한다. 본 예의 고체 활상장치는, 센서 기판(3)과 회로 기판이, 각각 제1 배선층(31)과 제2 배선층(41)을 대향시켜서 맞붙여져 있다. 또한, 도 14에 도시하는 바와 같이, 센서 기판(3)과 회로 기판과의 맞붙임면은, 센서 기판(3)의 제1 배선층(31)의 표면에 형성된 제1 전극(35)과, 회로 기판(9)의 제2 배선층(41)의 표면에 형성된 제2 전극(45)이 접합되어 있다. 또한, 도 14에서는, 제2 배선층(41)의 구성만을 도시하고, 센서 기판(9)의 구성은 생략한다. 또한, 도 13에, 제1 전극(35)의 배치 위치를 도시하고 있다. 센서 기판(9)는, 상술한 제1, 2 실시 형태와 같은 구성으로 할 수 있다.
- [0119] 각 화소의 포토 다이오드(PD) 및 플로팅 디퓨전(FD)은, 소자 분리부(69)에 의해, 인접하는 화소의 포토 다이오드(PD) 및 플로팅 디퓨전(FD)과 분리되어 있다. 그리고, 플로팅 디퓨전(FD)부터, 도시하지 않은 회로 기판의 전송 트랜지스터 이외의 화소 트랜지스터까지, 각 플러그(32, 34, 44, 42) 및 배선(33, 43)에 의한 FD 배선이 구성된다.
- [0120] 전송 게이트 전극(68)에는 플러그(83)를 통하여 TRG 배선(38)이 접속되어 있다. TRG 배선은, 상술한 도 6A 내지도 6C에 도시하는 바와 같이 화소 영역의 외측에서, 회로 기판측에 접속된다. 또한, 본 예에서는, 상술한 제1 실시 형태나 제2 실시 형태와 같이 전송 트랜지스터 이외의 화소 트랜지스터를 복수의 포토 다이오드(PD)에서 공유하는 구성으로 한다. 예를 들면, 상술한 도 12에 도시하는 구성과 같이, 복수의 FD 배선을 배선 또는 전극으로 접속함에 의해, 전송 트랜지스터 이외의 화소 트랜지스터를 복수의 포토 다이오드(PD) 및 플로팅 디퓨전(FD)에서 공유할 수 있다.
- [0121] <변형례 : 평면 배치>
- [0122] 다음에, 상술한 제3 실시 형태의 고체 활상장치의 변형례에 관해 설명한다. 본 변형례에서는, 2×2의 화소 공유 구조를 적용한 경우에 관해 설명한다. 또한, 이하의 설명에서는, 상술한 제1 내지 제3 실시 형태와 동일한 구성

은 설명을 생략한다. 또한, 단면 구성은 상술한 도 12나 도 14와 동일한 구성이 되기 때문에 설명을 생략한다.

[0123] 도 15에 본 예의 고체 활상장치의 평면 배치도를 도시한다. 도 15에 도시하는 바와 같이, 가로 $2 \times$ 세로 2의 4화소의 포토 다이오드(PD)(PD1 내지 PD4)를 배열한 4화소 공유 단위가, 2차원 어레이형상으로 배열되어 화소부가 구성된다. 포토 다이오드(PD) 사이에는 소자 분리부(69)가 마련되어 있다. 포토 다이오드(PD)의 주위가 소자 분리부(69)에 둘러싸이고, 각 포토 다이오드(PD)가 소자 분리부(69)에 의해 분리되어 있다. 포토 다이오드(PD)가 소자 분리부(69)에 의해, 각각 분리된 구성으로 함에 의해, 화소 사이에서의 혼색을 막을 수 있다.

[0124] 또한, 포토 다이오드(PD)에서, 전송 게이트 전극(21 내지 24)과 플로팅 디퓨전(FD)이 마련된 모서리부와 대각의 모서리부에는, 웨(81)이 마련되어 있다. 그리고, 이 웨(81)에, 도시하지 않은 GND 배선과 접속된 GND 단자(82)가 마련되어 있다. 웨(81)과 GND 단자(82)는, 각 포토 다이오드(PD)에 마련되어 있다.

[0125] 포토 다이오드(PD1 내지 PD4)에 대해 각각 플로팅 디퓨전(FD)이 마련되어 있다. 그리고, 플로팅 디퓨전(FD) 및 전송 게이트 전극(21 내지 24)은, 각 포토 다이오드(PD1 내지 PD4)의 중앙부측의 모서리부에 대응하는 위치에 배치된다.

[0126] 포토 다이오드(PD)는, 센서 기판상의 제1 배선층의 표면에 마련된 제1 전극(35)에 의해 서로 접속되어 있다. 이 때문에, 배선을 통하여 접속된 플로팅 디퓨전(FD)을, 4화소의 포토 다이오드(PD)(PD1 내지 PD4)에서 공유하는 구조이다. 예를 들면, 상술한 도 12에 도시하는 바와 같이, 복수의 FD 배선을 제1 전극(35)에 접속함에 의해, 2×2 의 4개의 포토 다이오드(PD)로, 배선 접속된 플로팅 디퓨전(FD)을 공유하는 구성으로 할 수 있다. 또한, 도 15에서는, 제1 전극(35)의 배치 위치만을 도시하고 있다.

[0127] <제4 실시 형태>

[0128] <전자기기>

[0129] 다음에, 상술한 고체 활상장치를 구비하는 전자기기의 실시 형태에 관해 설명한다. 상술한 고체 활상장치는, 예를 들면, 디지털 카메라나 비디오 카메라 등의 카메라 시스템, 활상 기능을 갖는 휴대전화, 또는, 활상 기능을 구비한 다른 기기 등의 전자기기에 적용할 수 있다. 이하, 전자기기의 한 구성례로서, 카메라를 예에 들어 설명한다.

[0130] 도 16에, 정지화상 또는 동화를 촬영할 수 있는 비디오 카메라의 구성례를 도시한다. 이 예의 카메라(70)는, 고체 활상장치(71)와, 고체 활상장치(71)의 수광 센서부에 입사광을 유도하는 광학계(72)와, 고체 활상장치(71) 및 광학계(72) 사이에 마련된 셔터 장치(73)와, 고체 활상장치(71)를 구동하는 구동 회로(74)를 구비한다. 또한, 카메라(70)는, 고체 활상장치(71)의 출력 신호를 처리하는 신호 처리 회로(75)를 구비한다.

[0131] 고체 활상장치(71)는, 상술한 각 실시 형태 및 변형례의 고체 활상장치를 적용할 수 있다. 그 밖의 각 부분의 구성 및 기능은 다음과 같다.

[0132] 광학계(광학렌즈)(72)는, 피사체로부터의 상광(입사광)을 고체 활상장치(71)의 활상면(부도시)상에 결상시킨다. 이에 의해, 고체 활상장치(71) 내에, 일정기간, 신호 전하가 축적된다. 또한, 광학계(72)는, 복수의 광학렌즈를 포함하는 광학렌즈 군으로 구성하여도 좋다. 또한, 셔터 장치(73)는, 입사광의 고체 활상장치(71)에의 광조사기간 및 차광 기간을 제어한다.

[0133] 구동 회로(74)는, 고체 활상장치(71) 및 셔터 장치(73)에 구동 신호를 공급한다. 그리고, 구동 회로(74)는, 공급한 구동 신호에 의해, 고체 활상장치(71)의 신호 처리 회로(75)에의 신호 출력 동작 및 셔터 장치(73)의 셔터 동작을 제어한다. 즉, 이 예에서는, 구동 회로(74)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 활상장치(71)로부터 신호 처리 회로(75)에의 신호 전송 동작을 행한다.

[0134] 신호 처리 회로(75)는, 고체 활상장치(71)로부터 전송된 신호에 대해, 각종의 신호 처리를 시행한다. 그리고, 각종 신호 처리가 시행된 신호(영상 신호)는, 메모리 등의 기억 매체(부도시)에 기억된다, 또는, 모니터(부도시)에 출력된다.

[0135] 또한, 본 개시는 이하와 같은 구성도 취할 수 있다.

[0136] (1) 고체 활상장치에 있어서, 센서 기판상에 형성된 제1 배선층과, 회로 기판상에 형성된 제2 배선층을 포함하고, 상기 센서 기판은 상기 회로 기판에 결합되고, 상기 제1 배선층 및 상기 제2 배선층은 상기 센서 기판과 상기 회로 기판 사이에 위치하고, 제1 전극은 상기 제1 배선층의 표면상에 형성되고, 제2 전극은 상기 제2 배선층의 표면상에 형성되고, 상기 제1 전극은 상기 제2 전극과 전기적으로 접속하는 것을 특징으로 하는 고체 활상장

치.

[0137] (2) (1)에 있어서, 플로팅 디퓨전 영역이 상기 센서 기판에 형성되고, 제1 전기 도체가 상기 플로팅 디퓨전 영역을 상기 제1 전극에 접속하는 것을 특징으로 하는 고체 활상장치.

[0138] (3) (1) 또는 (2)에 있어서, 제2 전기 도체가 상기 제2 전극을 증폭 트랜지스터의 게이트 전극에 접속하는 것을 특징으로 하는 고체 활상장치.

[0139] (4) (1) 내지 (3)에 있어서, 제1 포토 다이오드 및 제2 포토 다이오드는 상기 센서 기판에 형성되고, 상기 제1 포토 다이오드와 상기 제2 포토 다이오드는 증폭 트랜지스터를 공유하는 것을 특징으로 하는 고체 활상장치.

[0140] (5) (1) 내지 (4)에 있어서, 상기 제1 전극 및 상기 제2 전극이 형성되어 있는 영역의 폭은, 상기 제1 포토 다이오드 및 상기 제2 포토 다이오드가 형성되어 있는 영역의 폭보다 상기 제1 배선층의 표면에 평행한 방향으로 더 작은 것을 특징으로 하는 고체 활상장치.

[0141] (6)(1) 내지 (5)에 있어서, 상기 제1 전극의 단면적은 상기 제1 배선층의 표면에 평행한 평면에서 상기 제1 전기 도체의 단면적보다 더 큰 것을 특징으로 하는 고체 활상장치.

[0142] (7) (1) 내지 (6)에 있어서, 상기 제2 전극의 단면적은 상기 제1 배선층의 표면에 평행한 평면에서 상기 제2 전기 도체의 단면적보다 더 큰 것을 특징으로 하는 고체 활상장치.

[0143] (8) (1) 내지 (7)에 있어서, 상기 제1 전극 또는 상기 제2 전극의 적어도 한쪽의 단면적이, 상기 플로팅 디퓨전의 단면적보다, 상기 제1 배선층의 표면에 평행한 평면에서 더 큰 것을 특징으로 하는 고체 활상장치.

[0144] (9) (1) 내지 (8)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 연재되는 제1 도체층을 포함하고, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제2 방향으로 연재되는 제2 도체층을 포함하는 것을 특징으로 하는 고체 활상장치.

[0145] (10) (1) 내지 (9)에 있어서, 상기 제1 전극은 사각형상이고, 상기 제2 전극은 사각형상인 것을 특징으로 하는 고체 활상장치.

[0146] (11) (1) 내지 (10)에 있어서, 상기 제1 방향은 상기 제2 방향에 대해 수직인 것을 특징으로 하는 고체 활상장치.

[0147] (12) (1) 내지 (11)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 형성된 제1 도체층부, 및 상기 제1 배선층의 표면에 평행한 제2 방향으로 형성된 제2 도체층부를 포함하는 것을 특징으로 하는 고체 활상장치.

[0148] (13) (1) 내지 (12)에 있어서, 상기 제1 도체층부는 상기 제2 도체층부와 교차하고, 상기 제1 배선층의 표면에 평행한 제1 방향은 상기 제1 배선층의 표면에 평행한 제2 방향에 수직인 것을 특징으로 하는 고체 활상장치.

[0149] (14) (1) 내지 (13)에 있어서, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제1 방향으로 형성된 제3 도체층부, 및 상기 제2 배선층의 표면에 평행한 제2 방향으로 형성된 제4 도체층부를 포함하는 것을 특징으로 하는 고체 활상장치.

[0150] (15) (1) 내지 (14)에 있어서, 상기 제3 도체층부는 상기 제4 도체층부와 교차하고, 상기 제2 배선층의 표면에 평행한 제1 방향은 상기 제2 배선층의 표면에 평행한 제2 방향에 수직인 것을 특징으로 하는 고체 활상장치.

[0151] (16) (1) 내지 (15)에 있어서, 상기 제1 도체층부는 상기 제3 도체층부에 평행하고, 제2 도체층부는 상기 제4 도체층부와 평행인 것을 특징으로 하는 고체 활상장치.

[0152] (17) (1) 내지 (16)에 있어서, 상기 제1 전극은 제1 격자 형상으로 형성되고, 상기 제2 전극은 제2 격자 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나는 것을 특징으로 하는 고체 활상장치.

[0153] (18) (1) 내지 (17)에 있어서, 상기 제1 전극은 제1 메시 형상으로 형성되고, 상기 제2 전극은 제2 메시 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나는 것을 특징으로 하는 고체 활상장치.

[0154] (19) 고체 활상장치에 있어서, 센서 기판은 회로 기판에 접합되고, 제1 배선층은 상기 센서 기판의 표면상에 형성되고, 제2 배선층은 상기 회로 기판의 표면상에 형성되고, 상기 제1 배선층 및 상기 제2 배선층은 상기 센서

기판과 상기 회로 기판 사이에 위치하고, 상기 제1 전극은 상기 센서 기판과 반대측의 상기 제1 배선층의 표면상에 형성되고, 상기 제2 전극은 상기 회로 기판과 반대측의 상기 제2 배선층의 표면상에 형성되고, 상기 제1 전극은 상기 제2 전극과 전기적으로 접속하는 것을 특징으로 하는 고체 활상장치.

[0155] (20) (19)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 연재되는 제1 도체층을 포함하는 것을 특징으로 하는 고체 활상장치.

[0156] (21) (19) 또는 (20)에 있어서, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제2 방향으로 연재되는 제2 도체층을 포함하는 것을 특징으로 하는 고체 활상장치.

[0157] (22) (19) 내지 (21)에 있어서, 상기 제1 전극은 형상이 사각형이고, 상기 제2 전극은 형상이 사각형이고, 상기 제1 방향은 상기 제2 방향에 대해 수직인 것을 특징으로 하는 고체 활상장치.

[0158] (23) (19) 내지 (22)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 형성된 제1 도체층부, 및 상기 제1 배선층의 표면에 평행한 제2 방향으로 형성된 제2 도체층부를 포함하고, 상기 제1 도체층부는 상기 제2 도체층부와 교차하고, 상기 제1 배선층의 표면에 평행한 제1 방향은 상기 제1 배선층의 표면에 평행한 제2 방향에 수직인 것을 특징으로 하는 고체 활상장치.

[0159] (24) (19) 내지 (23)에 있어서, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제1 방향으로 형성된 제3 도체층부, 및 상기 제2 배선층의 표면에 평행한 제2 방향으로 형성된 제4 도체층부를 포함하는 것을 특징으로 하는 고체 활상장치.

[0160] (25) (19) 내지 (24)에 있어서, 상기 제3 도체층부는 상기 제4 도체층부와 교차하고, 상기 제2 배선층의 표면에 평행한 제1 방향은 상기 제2 배선층의 표면에 평행한 제2 방향에 수직인 것을 특징으로 하는 고체 활상장치.

[0161] (26) (19) 내지 (25)에 있어서, 상기 제1 도체층부는 상기 제3 도체층부에 평행하고, 제2 도체층부는 상기 제4 도체층부와 평행인 것을 특징으로 하는 고체 활상장치.

[0162] (27) (19) 내지 (26)에 있어서, 상기 제1 전극은 제1 격자 형상으로 형성되고, 상기 제2 전극은 제2 격자 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나는 것을 특징으로 하는 고체 활상장치.

[0163] (28) (19) 내지 (27)에 있어서, 상기 제1 전극은 제1 메시 형상으로 형성되고, 상기 제2 전극은 제2 메시 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나는 것을 특징으로 하는 고체 활상장치.

[0164] (29) 고체 활상장치의 제조 방법에 있어서, 센서 기판상에 제1 배선층을 형성하는 스텝파, 회로 기판상에 제2 배선층을 형성하는 스텝파, 제1 전극을 상기 제1 배선층의 표면상에 형성하는 스텝파, 제2 전극을 상기 제2 배선층의 표면상에 형성하는 스텝파, 상기 센서 기판과 상기 회로 기판을 결합하여, 상기 제1 배선층 및 상기 제2 배선층이 상기 센서 기판과 상기 회로 기판 사이에 위치하게 하는 스텝을 포함하는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0165] (30) (29)에 있어서, 플로팅 디퓨전 영역이 상기 센서 기판에 형성되고, 제1 전기 도체가 상기 플로팅 디퓨전 영역을 상기 제1 전극에 접속하는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0166] (31) (29) 또는 (30)에 있어서, 제2 전기 도체가 상기 제2 전극을 증폭 트랜지스터의 게이트 전극에 접속하도록 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0167] (32) (29) 내지 (31)에 있어서, 제1 포토 다이오드 및 제2 포토 다이오드는 상기 센서 기판에 형성되고, 상기 제1 포토 다이오드와 상기 제2 포토 다이오드는 증폭 트랜지스터를 공유하는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0168] (33) (29) 내지 (32)에 있어서, 상기 제1 전극 및 상기 제2 전극이 형성되어 있는 영역의 폭은, 상기 제1 포토 다이오드 및 상기 제2 포토 다이오드가 형성되어 있는 영역의 폭보다 상기 제1 배선층의 표면에 평행한 방향으로 더 작게 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0169] (34) (29) 내지 (33)에 있어서, 상기 제1 전극의 단면적은 상기 제1 배선층의 표면에 평행한 평면에서 상기 제1 전기 도체의 단면적보다 더 크게 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0170] (35) (29) 내지 (34)에 있어서, 상기 제2 전극의 단면적은 상기 제1 배선층의 표면에 평행한 평면에서 상기 제2

전기 도체의 단면적보다 더 크게 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0171] (36) (29) 내지 (34)에 있어서, 상기 제1 전극 또는 상기 제2 전극의 적어도 한쪽의 단면적이, 상기 플로팅 디퓨전의 단면적보다, 상기 제1 배선층의 표면에 평행한 평면에서 더 크게 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0172] (37) (29) 내지 (36)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 연재되는 제1 도체층을 포함하도록 형성되고, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제2 방향으로 연재되는 제2 도체층을 포함하도록 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0173] (38) (29) 내지 (37)에 있어서, 상기 제1 전극은 형상이 사각형이고, 상기 제2 전극은 형상이 사각형이고, 상기 제1 방향은 상기 제2 방향에 대해 수직인 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0174] (39) (29) 내지 (38)에 있어서, 상기 제1 전극은 상기 제1 배선층의 표면에 평행한 제1 방향으로 형성된 제1 도체층부, 및 상기 제1 배선층의 표면에 평행한 제2 방향으로 형성된 제2 도체층부를 포함하도록 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0175] (40) (29) 내지 (39)에 있어서, 상기 제1 도체층부는 상기 제2 도체층부와 교차하고, 상기 제1 배선층의 표면에 평행한 제1 방향은 상기 제1 배선층의 표면에 평행한 제2 방향에 수직인 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0176] (41) (29) 내지 (40)에 있어서, 상기 제2 전극은 상기 제2 배선층의 표면에 평행한 제1 방향으로 형성된 제3 도체층부, 및 상기 제2 배선층의 표면에 평행한 제2 방향으로 형성된 제4 도체층부를 포함하도록 형성되고, 상기 제3 도체층부는 상기 제4 도체층부와 교차하고, 상기 제2 배선층의 표면에 평행한 제1 방향은 상기 제2 배선층의 표면에 평행한 제2 방향에 수직이고, 상기 제1 도체층부는 상기 제3 도체층부에 평행하도록 형성되고, 제2 도체층부는 상기 제4 도체층부와 평행하도록 형성되는 것을 특징으로 하는 고체 활상장치의 제조 방법.

[0177] (42) (29) 내지 (41)에 있어서, 상기 제1 전극은 제1 격자 형상으로 형성되고, 상기 제2 전극은 제2 격자 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나도록 형성되는 것을 특징으로 하는 고체 활상장치.

[0178] (43) (29) 내지 (42)에 있어서, 상기 제1 전극은 제1 메시 형상으로 형성되고, 상기 제2 전극은 제2 메시 형상으로 형성되고, 상기 제1 전극의 중심은 상기 제1 배선층의 표면에 평행한 방향으로 상기 제2 전극의 중심으로부터 어긋나도록 형성되는 것을 특징으로 하는 고체 활상장치.

[0179] (44) 고체 활상장치에 있어서, 제1 반도체 기판과, 제2 반도체 기판과, 상기 제1 반도체 기판에 형성된, 상기 제1 반도체 기판의 제2 주면(primary surface)측을 수광면으로 하는 포토 다이오드와, 제1 반도체 기판의 제1 주면의 표면에 형성된 플로팅 디퓨전과, 상기 제1 반도체 기판의 제1 주면상에 형성된 제1 트랜ジ스터와, 상기 제1 반도체 기판의 제1 주면상에 형성된 제1 배선층과, 상기 제1 배선층의 표면에 노출하는 제1 전극과, 상기 제2 반도체 기판의 제1 주면상에 형성된 제2 트랜ジ스터와, 상기 제2 반도체 기판의 제1 주면상에 형성된 제2 배선층과, 상기 제2 배선층의 표면에 노출하는 제2 전극과, 상기 제1 전극 및 상기 제2 전극을 통하여, 상기 플로팅 디퓨전과 상기 제2 트랜ジ스터의 게이트 전극을 접속하는 플로팅 디퓨전 배선을 구비하고, 상기 제2 트랜ジ스터가 복수의 상기 포토 다이오드에 공유되고, 상기 제1 전극과 상기 제2 전극이 접합되어, 상기 제1 반도체 기판과 상기 제2 반도체 기판이 맞붙여져 있는 것을 특징으로 하는 고체 활상장치.

[0180] (45) (44)에 있어서, 상기 제1 전극 및 상기 제2 전극은, 상기 제2 트랜ジ스터를 공유하는 복수의 상기 포토 다이오드가 형성되어 있는 영역의 면적보다도 작은 것을 특징으로 하는 고체 활상장치.

[0181] (46) (44) 또는 (45)에 있어서, 상기 제1 전극 및 상기 제2 전극의 적어도 한쪽이, 상기 플로팅 디퓨전의 형성 면적보다도 큰 것을 특징으로 하는 고체 활상장치.

[0182] (47) (44) 내지 (46)에 있어서, 상기 제1 전극 및 상기 제2 전극이, 각각 다른 방향으로 연재된 도체층에 의해 형성되어 있는 것을 특징으로 하는 고체 활상장치.

[0183] (48) (44) 내지 (47)에 있어서, 상기 제1 전극 및 상기 제2 전극은, 다른 방향으로 연재된 복수의 도체층이 조합된 격자형상으로 형성되어 있는 것을 특징으로 하는 고체 활상장치.

[0184] (49) (44) 내지 (48)에 있어서, 상기 포토 다이오드와 상기 플로팅 디퓨전이 형성되어 있는 화소 영역의 주위의 상기 제1 배선층의 표면에, 상기 제1 트랜ジ스터의 게이트 전극에 접속된 제1 게이트 전극 배선과 상기 제2 반

도체 기판을 접속하기 위한 제3 전극이 형성되어 있는 것을 특징으로 하는 고체 활상장치.

[0185] (50) (49)에 있어서, 상기 제3 전극이 상기 제1 게이트 전극 배선과 평행한 방향으로 복수 배열되어 있는 것을 특징으로 하는 고체 활상장치.

[0186] (51) (44) 내지 (49)에 있어서, 상기 플로팅 디퓨전 배선이, 상기 제1 배선층 내에서 그라운드 배선에 의해 둘러싸여 있는 것을 특징으로 하는 고체 활상장치.

[0187] (52) (44) 내지 (51)에 있어서, 상기 플로팅 디퓨전 배선이, 상기 제2 배선층 내에서 VDD 배선에 의해 둘러싸여 있는 것을 특징으로 하는 고체 활상장치.

[0188] (53) (44) 내지 (52)에 있어서, 복수의 상기 플로팅 디퓨전에서 제1 전극을 공유하는 것을 특징으로 하는 고체 활상장치.

[0189] (54) (44) 내지 (53)에 있어서, 상기 포토 다이오드의 주위에 소자 분리부가 형성되어 있는 것을 특징으로 하는 고체 활상장치.

[0190] (55) (44) 내지 (54)에 있어서, 상기 포토 다이오드에 그라운드 배선에 접속되는 단자가 배치되는 것을 특징으로 하는 고체 활상장치.

[0191] (56) 전자기기에 있어서, (44) 내지 (55)에 기재된 고체 활상장치를 포함하고, 상기 고체 활상장치의 출력 신호를 처리하는 신호 처리 회로를 구비하는 것을 특징으로 하는 전자기기.

[0192] 본 출원은, 2012년 7월 18일자로 출원된 JP2012-159789호의 우선권 주장을 수반하는 것이고, 그 개시 내용은, 그대로 본원의 일부를 구성하는 것이다.

[0193] 여기서 사용된 용어 및 설명은, 본 발명에 관한 실시 형태를 설명하기 위해 사용된 것이고, 본 발명은 이것으로 한정되는 것은 아니다. 본 발명은, 청구의 범위 내라면, 그 정신을 일탈하는 것이 아닌 한 어떠한 설계적 변경도 허용하는 것이다.

부호의 설명

[0195] 3 : 센서 기판 9 : 회로 기판

10, 71 : 고체 활상장치 11 : 제1의 반도체 칩부

12 : 화소 영역 13 : 제2의 반도체 칩부

14 : 제어 회로 15 : 로직 회로

21, 22, 23, 24, 61, 62, 63, 64, 68 : 전송 게이트 전극

25, 42 : 중폭 게이트 전극 26 : 선택 게이트 전극

27, 29, 52 : 확산 영역 31, 41 : 배선층

32, 34, 42, 44, 46, 54, 65, 67 : 플러그

33, 43, 47, 48, 53, 56, 66 : 배선 35 : 제1 전극

36, 37 : 영역 38 : TRG 배선

39 : 제3 전극 45 : 제2 전극

49 : 제4 전극 51 : 리셋 게이트 전극

55 : GND 배선 57 : VDD 배선

69 : 소자 분리부 70 : 카메라

72 : 광학계 73 : 셔터 장치

74 : 구동 회로 75 : 신호 처리 회로

81 : 웨 82 : GND 단자

FD1, FD2 : 플로팅 디퓨전

PD1, PD2, PD3, PD4, PD5, PD6, PD7, PD8 : 포토 다이오드

Tr1, Tr2, Tr3, Tr4, Tr8, Tr9, Tr10, Tr11 : 전송 트랜지스터

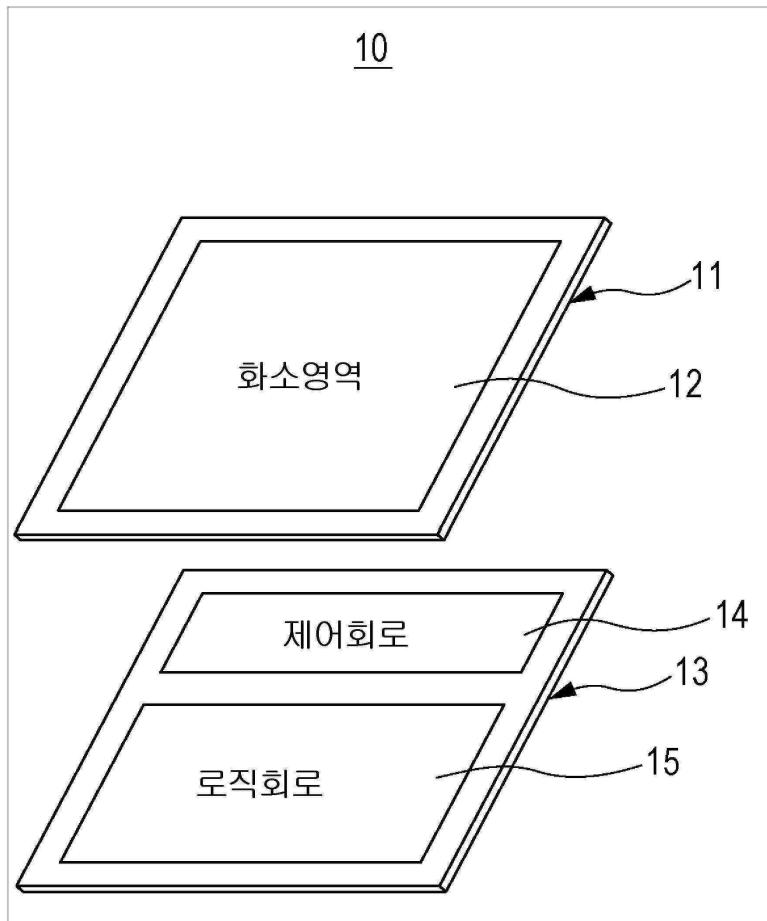
Tr5 : 증폭 트랜지스터

Tr6 : 선택 트랜지스터

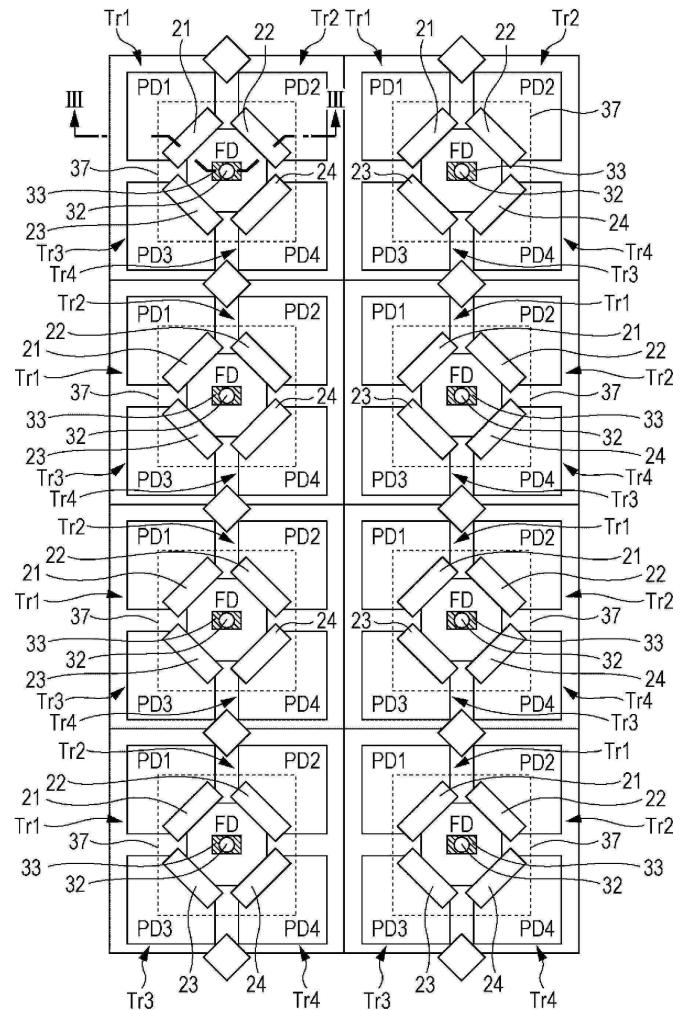
Tr7 : 리셋 트랜지스터

도면

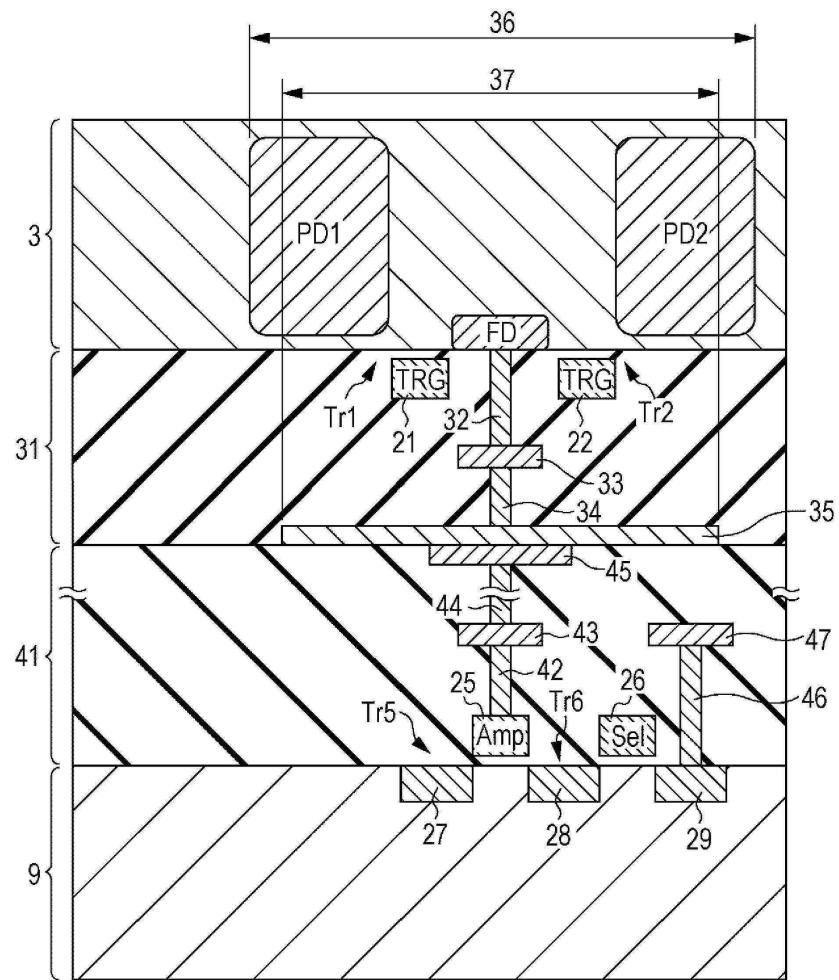
도면1



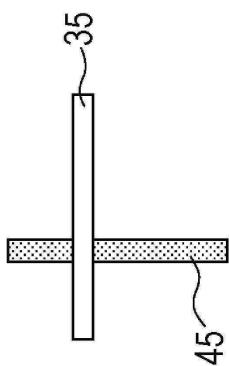
도면2



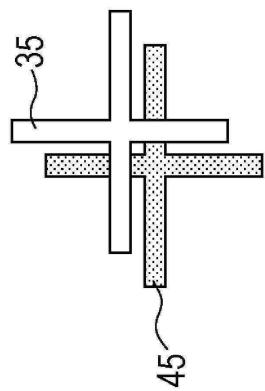
도면3



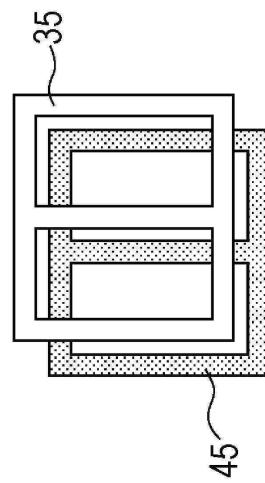
도면4a



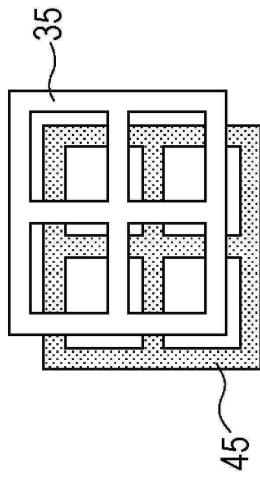
도면4b



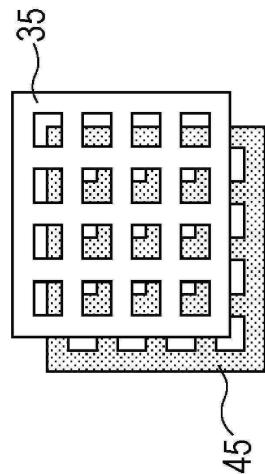
도면4c



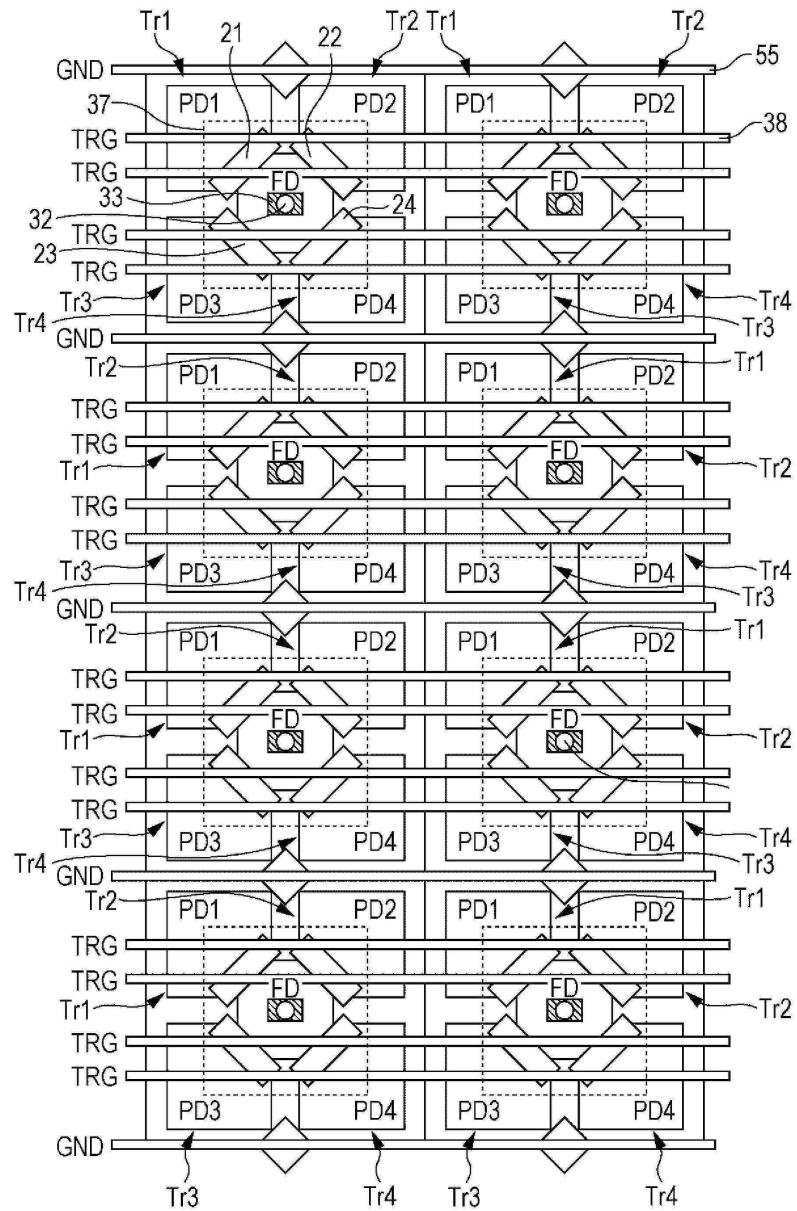
도면4d



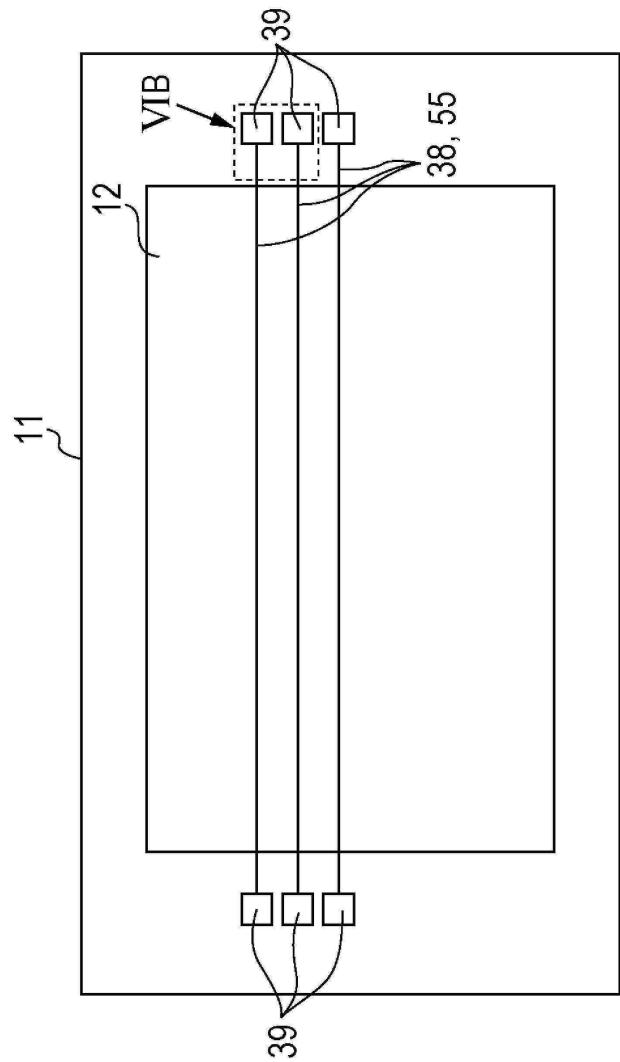
도면4e



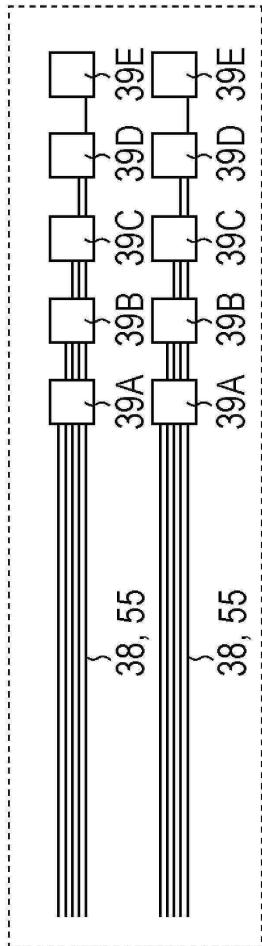
도면5



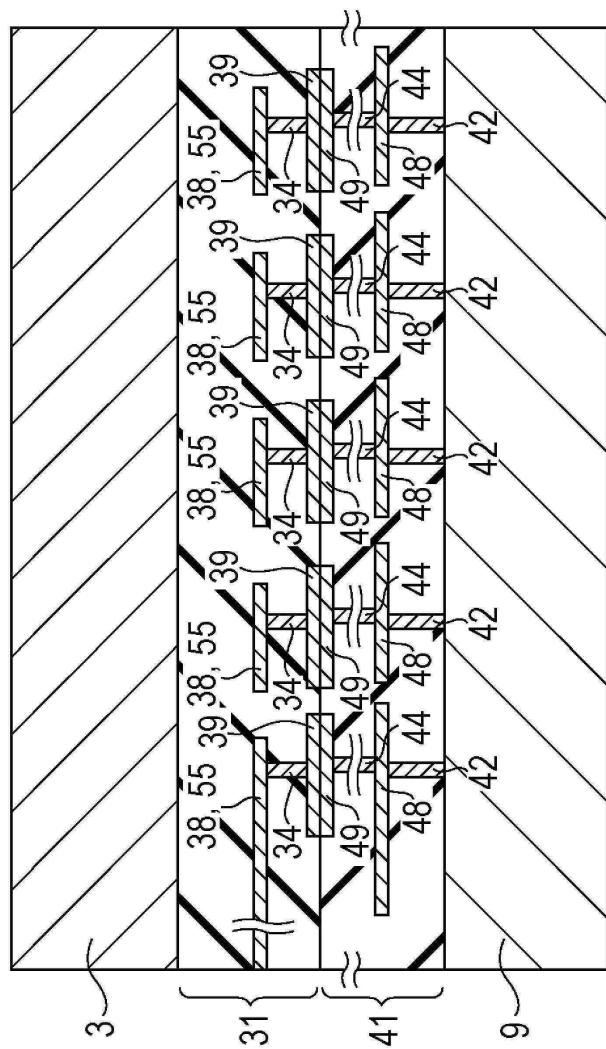
도면 6a



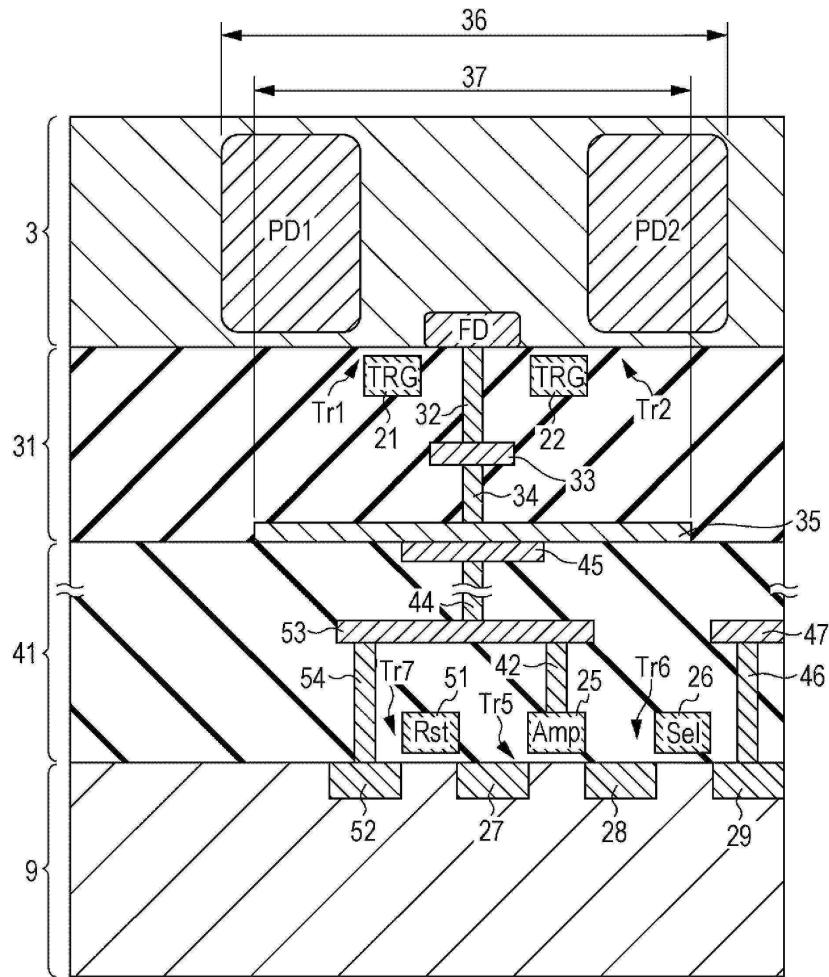
도면 6b



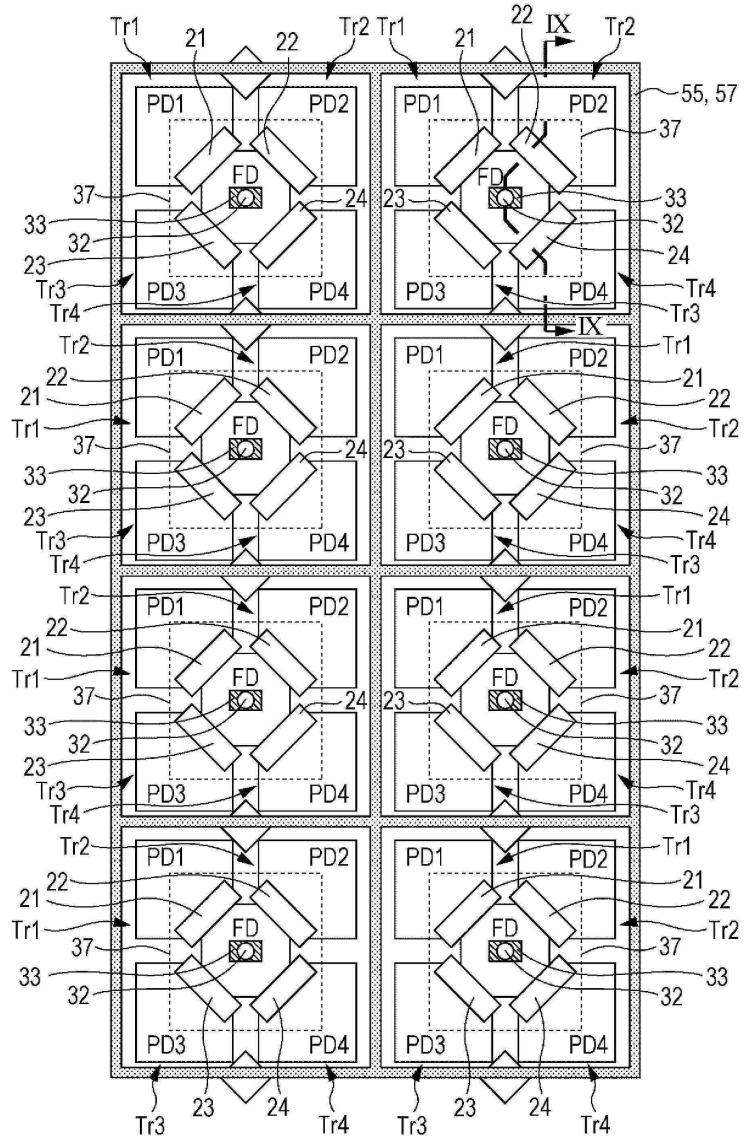
도면 6c



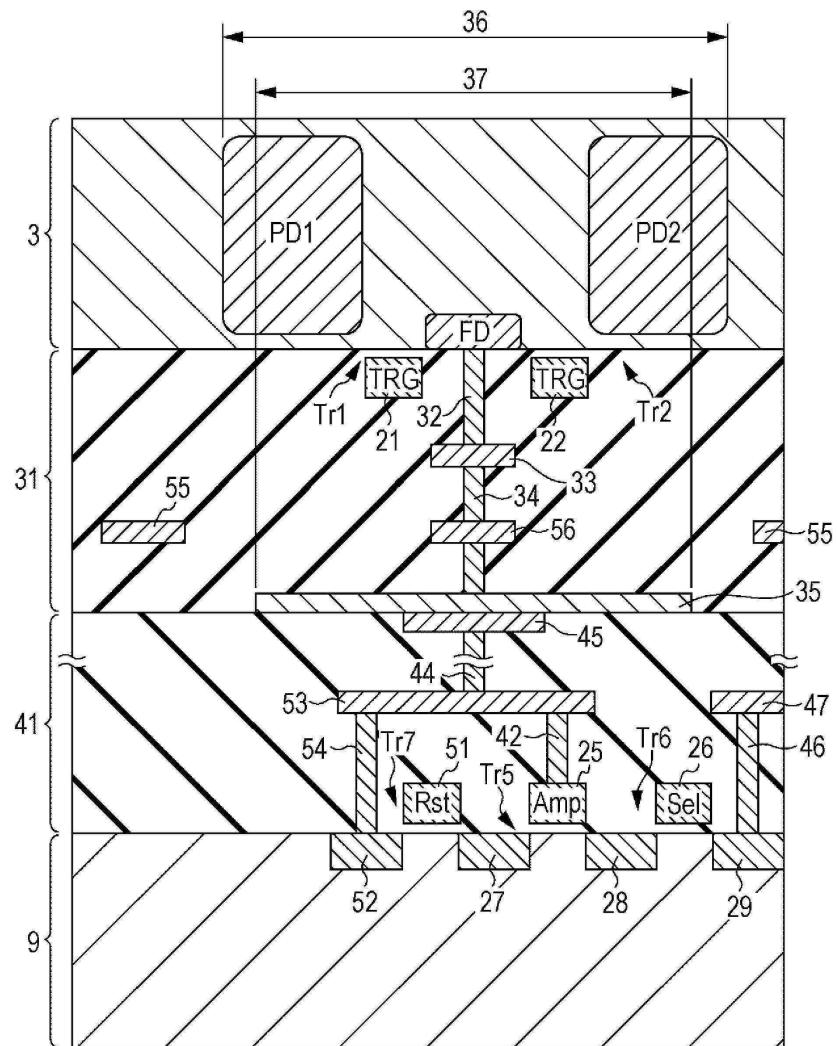
도면7



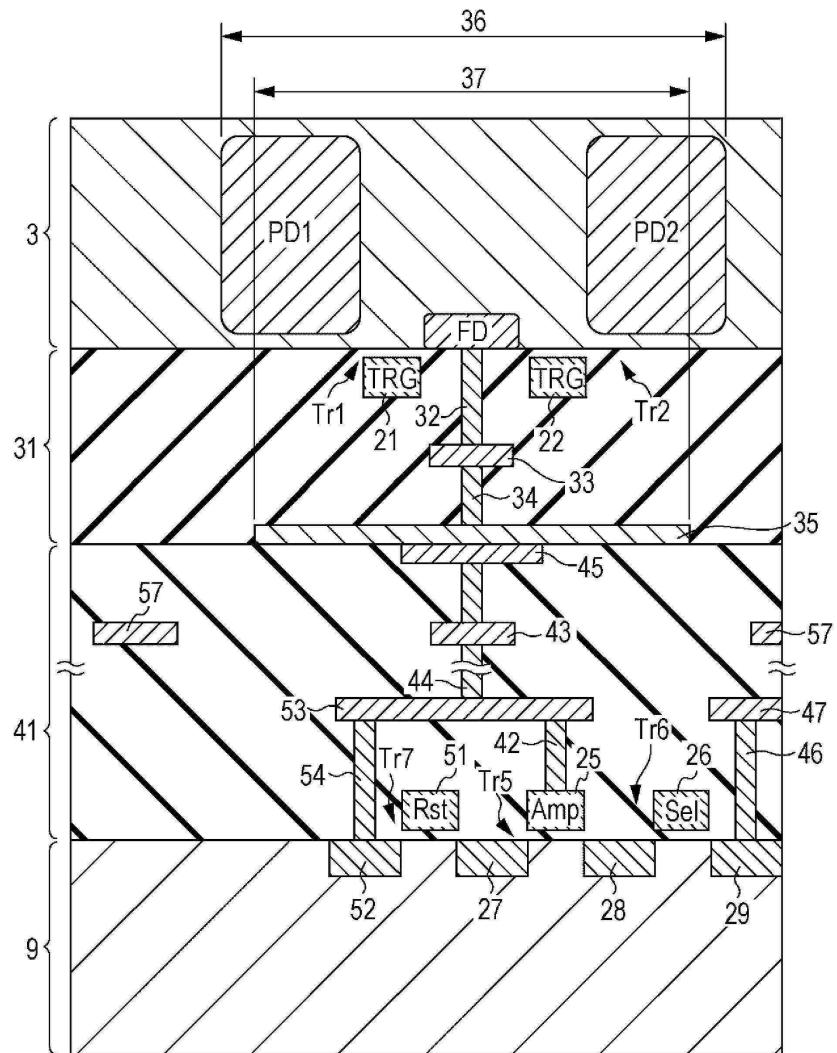
도면8



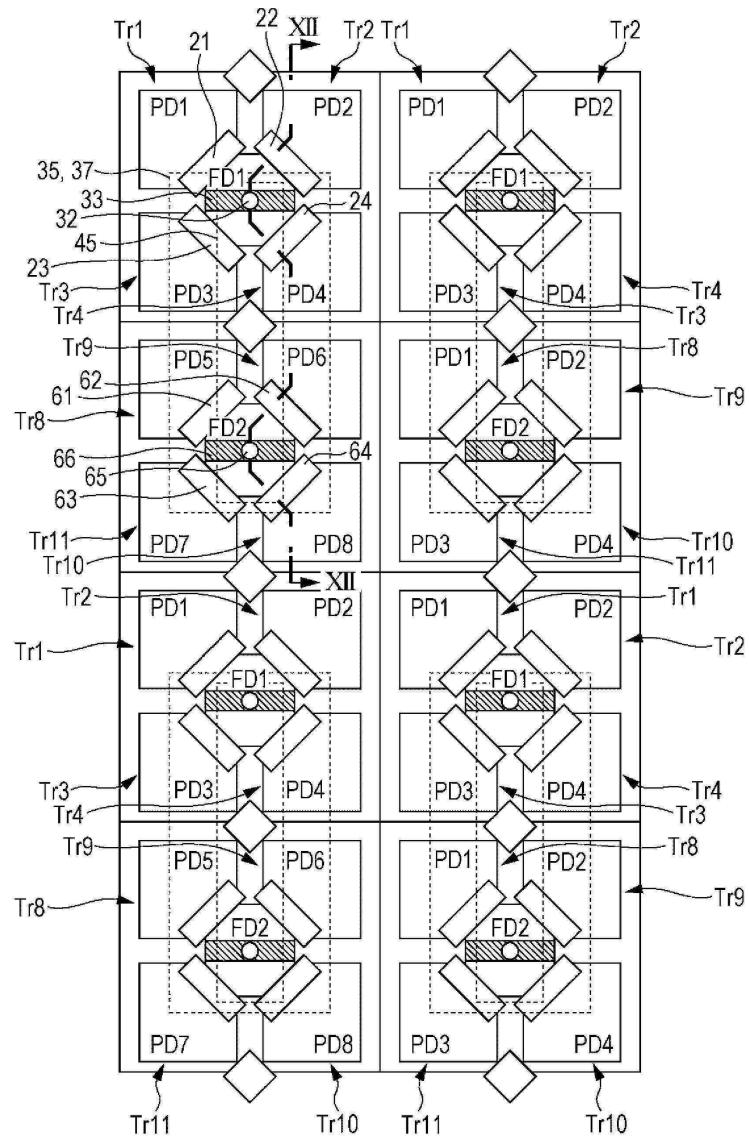
도면9



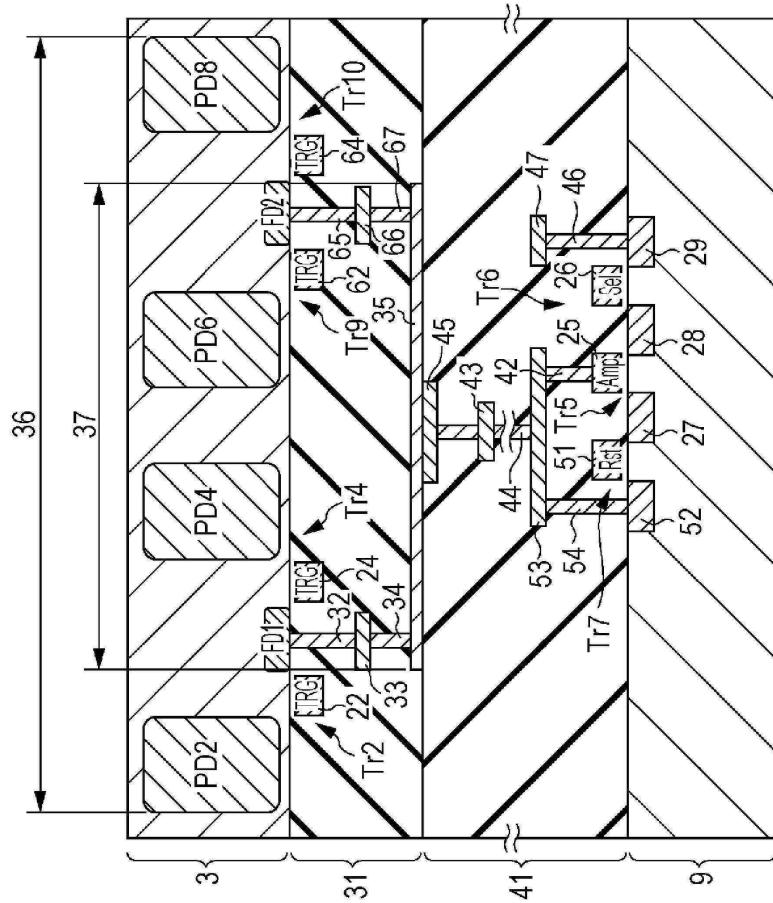
도면10



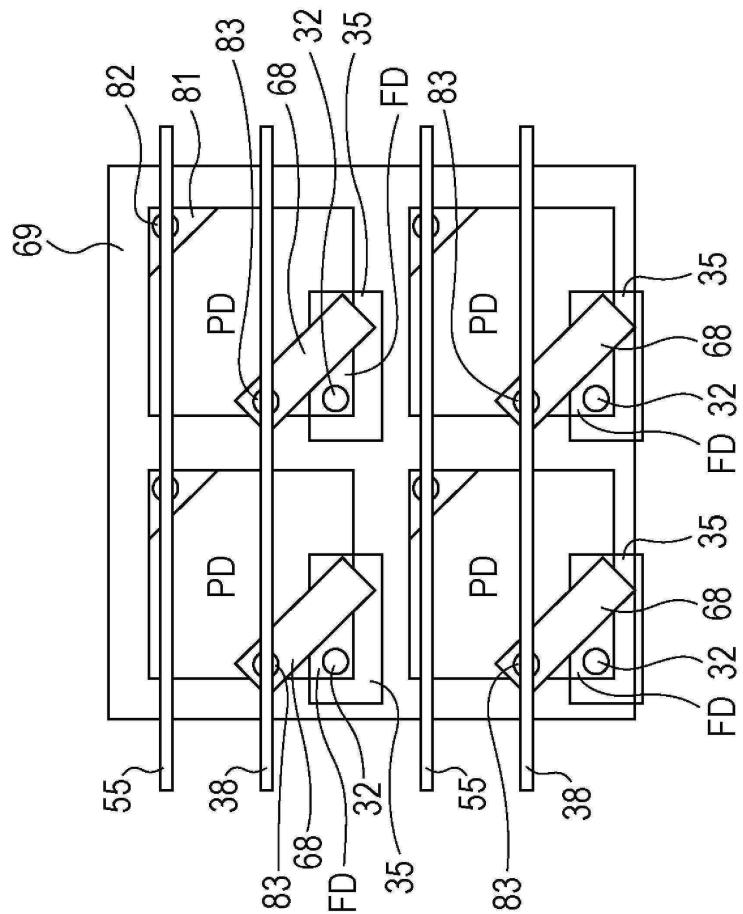
도면11



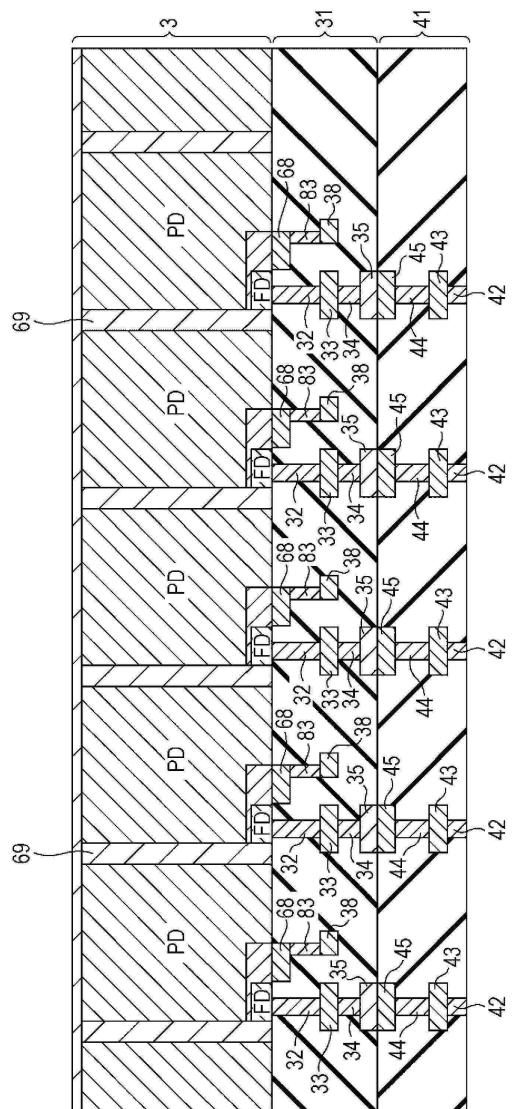
도면12



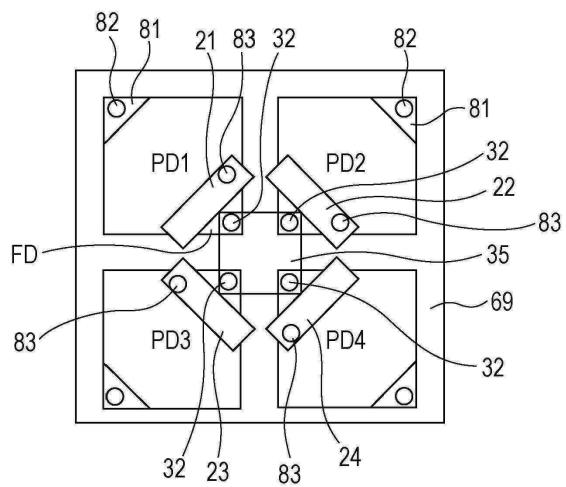
도면13



도면14



도면15



도면 16

