



[12] 发明专利说明书

专利号 ZL 200480016336.1

[45] 授权公告日 2010 年 3 月 3 日

[11] 授权公告号 CN 100593235C

[22] 申请日 2004.6.10

审查员 李晓明

[21] 申请号 200480016336.1

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

[30] 优先权

代理人 赵飞

[32] 2003.6.13 [33] US [31] 60/478,663

[86] 国际申请 PCT/US2004/020008 2004.6.10

[87] 国际公布 WO2004/114398 英 2004.12.29

[85] 进入国家阶段日期 2005.12.12

[73] 专利权人 应用材料公司

地址 美国加利福尼亚州

[72] 发明人 钟华 尼尔玛蕾·麦提吉克·余
洛德里克·克莱格·莫斯理 张镁

[56] 参考文献

US20020060363A1 2002.5.23

权利要求书 5 页 说明书 17 页 附图 13 页

US6498091B1 2002.12.24

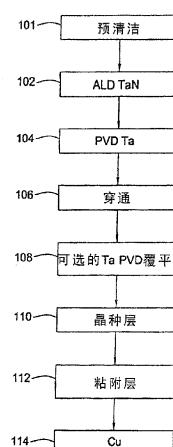
US20030082301A1 2003.5.1

[54] 发明名称

用于铜金属化的 ALD 氮化钽的集成

[57] 摘要

本发明提供一种在集成处理装置中使用的方法和设备，用于沉积氮化钽钽阻挡层。在通过远程产生的等离子体进行的清洁步骤之后，通过原子层沉积来沉积氮化钽，并且通过 PVD 来沉积钽。将氮化钽钽从电介质层中的特征的底部被去除，以露出所沉积的氮化钽下方的导电材料。可选地，在去除步骤之后，可以通过物理气相沉积来沉积附加的钽层。可选地，氮化钽沉积和钽沉积可以发生在同一处理室中。最后沉积晶种层。



1. 一种在半导体衬底上形成金属互连的方法，包括：

在阻挡层沉积之前，通过在远程等离子体源中产生等离子体、将来自所述等离子体的自由基输送到包含所述衬底的第一处理室、以及使形成在电介质层中的特征与所述自由基接触，来清洁形成在所述电介质层中的所述特征并暴露所述电介质层下方的导电材料；

在第二处理室中，在 1 和 10 Torr 之间的压力以及 200 和 300°C 之间的温度下，通过原子层沉积在所述特征内沉积氮化钽层；

在第三处理室中通过物理气相沉积在所述氮化钽层上沉积钽层；

在第四处理室中等离子体刻蚀所述钽层和所述氮化钽层，以去除在所述特征的底部处的所述钽层和所述氮化钽层的至少一部分，来露出所述导电材料；

通过物理气相沉积在所述钽层上可选地沉积附加的钽或铜；以及

在第五处理室中，在所述导电材料和所述钽层上沉积晶种层，

其中，所述第一处理室、所述第二处理室、所述第三处理室、所述第四处理室、以及所述第五处理室位于集成装置中。

2. 如权利要求 1 所述的方法，其中，所述清洁操作在 40 到 200 mTorr 下进行 30 到 120 秒。

3. 如权利要求 1 所述的方法，其中，所述清洁操作由包括 1 到 600W 的 RF 功率的等离子体执行，晶片偏压为 10 到 100W，并且频率为 1 到 4 MHz。

4. 如权利要求 1 所述的方法，其中，所述清洁操作由 0% 到 10% 的氢和 90% 到 100% 的氦组成的供入气体执行。

5. 如权利要求 1 所述的方法，其中，所述氮化钽沉积在 100 到 300°C 的加热器温度和在 1 到 5 Torr 下进行。

6. 如权利要求 1 所述的方法，其中，所述氮化钽沉积进行 1 分钟或者更短的时间。

7. 如权利要求 1 所述的方法，其中，所述氮化钽沉积利用选自包括叔

丁基亚氨基三（二乙氨基）钽、五（甲基乙基氨基）钽；五（二甲氨基）钽；五（二乙氨基）钽、叔丁基亚氨基三（二乙基甲基氨基）、叔丁基亚氨基三（二甲氨基）钽、三氢化双（环戊二烯基）钽和三氢化双（甲基环戊二烯基）钽的组中的含钽前驱体来进行。

8. 如权利要求 1 所述的方法，其中，所述氮化钽沉积利用选自包括氨；肼；甲基肼；二甲基肼；叔丁基肼；苯肼以及偶氮异丁烷乙基叠氮的组中的含氮前驱体来进行。

9. 如权利要求 7 所述的方法，其中，所述氮化钽沉积利用以 100 到 3000 sccm 持续 2.0 秒或者更短的脉冲输入到所述室中的所述含钽前驱体来进行。

10. 如权利要求 8 所述的方法，其中，所述氮化钽沉积利用以 100 到 3000 sccm 持续 2.0 秒或者更短的脉冲输入到所述室中的所述含氮前驱体来进行。

11. 如权利要求 1 所述的方法，其中，所述氮化钽沉积利用以 1000 到 10000 sccm 连续地流入到所述室中的氩来进行。

12. 如权利要求 1 所述的方法，其中，所述钽层沉积在 10 到 50℃下进行，并且晶片偏压为 100 到 1000W。

13. 如权利要求 1 所述的方法，其中，所述等离子体刻蚀利用选自包括氩、氮或者氢的组中的气体来进行。

14. 如权利要求 1 所述的方法，其中，所述等离子体刻蚀利用 100 到 1000W 的 RF 功率进行 1 到 20 秒。

15. 如权利要求 1 所述的方法，其中，所述等离子体刻蚀利用定向氩等离子体来进行。

16. 如权利要求 1 所述的方法，还包括通过物理气相沉积在所述钽层上沉积附加的金属。

17. 如权利要求 16 所述的方法，还包括沉积块金属层。

18. 如权利要求 1 所述的方法，其中，所述第四处理室和所述第五处理室是同一室。

19. 如权利要求 16 所述的方法，其中，所述金属选自包括铜、铜铝、

铜锡、钽、钨、铌、钴、钛和铝的组。

20. 如权利要求 16 所述的方法，其中，所述沉积在 10 到 50℃ 和 100 到 1000W 的晶片偏压下进行。

21. 如权利要求 1 所述的方法，其中，所述晶种层通过选自包括化学气相沉积、物理气相沉积、电镀和无电镀的组的方法来沉积。

22. 如权利要求 1 所述的方法，其中，所述晶种层包括选自包括铜、铜铝、铜锡、钽、钨、铌、钴、钛和铝的组的金属。

23. 如权利要求 1 所述的方法，还包括在所述在阻挡层沉积之前，通过在远程等离子体源中产生等离子体、将来自所述等离子体的自由基输送到包含所述衬底的第一处理室、以及使形成在所述电介质层中的所述特征与所述自由基接触，来清洁形成在电介质层中的特征并暴露所述电介质层下方的导电材料之前，用氮清洁初始衬底表面。

24. 如权利要求 1 所述的方法，其中，所述等离子体刻蚀利用惰性气体来进行。

25. 一种在半导体衬底上形成金属互连的方法，包括：

在阻挡层沉积之前，通过在远程等离子体源中产生等离子体、将来自所述等离子体的自由基输送到包含所述衬底的第一处理室、以及使形成在电介质层中的特征与所述自由基接触，来清洁形成在所述电介质层中的所述特征并暴露所述电介质层下方的导电材料；

在第二处理室中，在 1 和 10 Torr 之间的压力以及 200 和 300℃ 之间的温度下，通过原子层沉积在所述特征内沉积氮化钽层；

在第三处理室中通过物理气相沉积在所述氮化钽层上沉积钽层；

在所述第三处理室中等离子体刻蚀所述钽层和所述氮化钽层，以去除在所述特征的底部处的所述钽层和所述氮化钽层的至少一部分，来露出所述导电材料；

通过物理气相沉积在所述钽层上可选地沉积附加的钽或铜；以及

在第四处理室中，在所述导电材料和所述钽层上沉积晶种层，

其中，所述第一处理室、所述第二处理室、所述第三处理室以及所述第四处理室位于集成装置中。

26. 如权利要求 25 所述的方法，其中，所述清洁操作在 40 到 200 mTorr 下进行 30 到 120 秒。

27. 如权利要求 25 所述的方法，其中，所述清洁操作由包括 1 到 600W 的 RF 功率的等离子体执行，晶片偏压为 10 到 100W，并且频率为 1 到 4 MHz。

28. 如权利要求 25 所述的方法，其中，所述清洁操作由 0% 到 10% 的氢和 90% 到 100% 的氦组成的供入气体执行。

29. 如权利要求 25 所述的方法，其中，所述氮化钽沉积在 100 到 300 °C 的加热器温度和在 1 到 5 Torr 下进行。

30. 如权利要求 25 所述的方法，其中，所述氮化钽沉积进行 1 分钟或者更短的时间。

31. 如权利要求 25 所述的方法，其中，所述氮化钽沉积利用以 100 到 3000 sccm 持续 2.0 秒或者更短的脉冲输入到所述室中的含钽前驱体来进行。

32. 如权利要求 25 所述的方法，其中，所述氮化钽沉积利用以 100 到 3000 sccm 持续 2.0 秒或者更短的脉冲输入到所述室中的含氮前驱体来进行。

33. 如权利要求 25 所述的方法，其中，所述氮化钽沉积利用以 1000 到 10000 sccm 连续地流入到所述室中的氩来进行。

34. 如权利要求 25 所述的方法，其中，所述钽层沉积在 10 到 50 °C 下进行，并且晶片偏压为 100 到 1000W。

35. 如权利要求 25 所述的方法，其中，所述等离子体刻蚀利用 100 到 1000W 的 RF 功率进行 1 到 20 秒。

36. 如权利要求 25 所述的方法，其中，所述等离子体刻蚀利用定向氩等离子体来进行。

37. 如权利要求 25 所述的方法，还包括通过物理气相沉积在所述钽层上沉积附加的金属。

38. 如权利要求 25 所述的方法，其中，所述第二处理室和所述第三处理室是同一室。

39. 如权利要求 25 所述的方法，其中，所述第三处理室和所述第四处理室是同一室。

40. 如权利要求 25 所述的方法，其中，所述晶种层通过选自包括化学气相沉积、物理气相沉积、电镀和无电镀的组的方法来沉积。

41. 如权利要求 25 所述的方法，还包括沉积块金属层。

用于铜金属化的 ALD 氮化钽的集成

技术领域

本发明的实施例涉及用于制造集成电路器件的方法。更具体地，本发明的实施例涉及在金属互连结构的形成中使用 ALD 氮化钽层的系统和方法。

背景技术

随着集成电路 (IC) 器件的结构尺寸被减小到亚 1/4 微米的尺度，电阻和电路密度成为认为关心和待改进的领域。多层互连技术提供了遍及 IC 器件导电路径，并且被形成为高宽高比的特征，包括接触、插塞、过孔、线、引线和其他特征。用于在衬底上形成互连的典型方法包括：沉积一层或者多层；刻蚀这些层中的至少一层以形成一个或者多个特征；在特征中沉积阻挡层；以及沉积一层或者多层以填充该特征。一般来说，特征形成于布置在下导电层和上导电层之间的电介质材料内。互连被形成在特征内，以连接上下导电层。可靠地形成这些互连特征对于电路的生产以及增大电路密度的不断努力以及单个衬底的质量而言是重要的。

铜是用于填充亚微米高宽高比互连特征的选用金属，因为铜及其合金具有比铝低的电阻率。但是，铜更容易扩散到周围材料中，并且可能改变邻近层的电子器件特性。扩散的铜可能在层之间形成导电路径，由此降低了整个电路的可靠性，并且甚至可以导致器件失效。因此，阻挡层在铜金属化之前被沉积，以防止或者阻止铜原子的扩散。阻挡层通常是难熔金属，诸如钨、钛、钽及其氮化物，这些都具有比铜大的电阻率。

为了在特征内沉积阻挡层，阻挡层通常被沉积在特征的底部以及其侧壁上。阻挡层在侧壁上的适当沉积通常导致在底部上过量沉积。阻挡层在特征底部上的过量的量不仅增大了特征的总电阻，而且还形成了多层互连结构的较上金属互连和较下金属互连之间的障碍。

因此，存在对于用于形成使互连的电阻最小化的金属互连结构的改进方法的需要。

发明内容

本发明的一个实施例提供了一种在半导体衬底上形成金属互连的方法，包括：在阻挡层沉积之前，通过在远程等离子体源中产生等离子体、将来自所述等离子体的自由基输送到包含所述衬底的第一处理室、以及使形成在电介质层中的特征与所述自由基接触，来清洁形成在所述电介质层中的所述特征并暴露所述电介质层下方的导电材料；在第二处理室中，在 1 和 10 Torr 之间的压力以及 200 和 300°C 之间的温度下，通过原子层沉积在所述特征内沉积氮化钽层；在第三处理室中通过物理气相沉积在所述氮化钽层上沉积钽层；在第四处理室中等离子体刻蚀所述钽层和所述氮化钽层，以去除在所述特征的底部处的所述钽层和所述氮化钽层的至少一部分，来露出所述导电材料；通过物理气相沉积在所述钽层上可选地沉积附加的钽或铜；以及在第五处理室中，在所述导电材料和所述钽层上沉积晶种层，其中，所述第一处理室、所述第二处理室、所述第三处理室、所述第四处理室、以及所述第五处理室位于集成装置中。

一种用于在半导体衬底上形成金属互连的设备，包括：第一处理室，用于在阻挡层沉积之前，通过在远程等离子体源中产生等离子体、将来自所述等离子体的自由基输送到包含所述衬底的第一处理室、以及使形成在电介质层中的特征与所述自由基接触，来清洁形成在所述电介质层中的所述特征并暴露所述电介质层下方的导电材料；第二处理室，用于在 1 和 10 Torr 之间的压力以及 200 和 300°C 之间的温度下，通过原子层沉积在所述特征内沉积氮化钽层；第三处理室，用于通过物理气相沉积在所述氮化钽层上沉积钽层；第四处理室，用于等离子体刻蚀所述钽层和所述氮化钽层，以去除在所述特征的底部处的所述钽层和所述氮化钽层的至少一部分，来露出所述导电材料，并且通过物理气相沉积在所述钽层上可选地沉积附加的钽或铜；以及第五处理室，用于在所述导电材料和所述钽层上沉积晶种层，其中，所述第一处理室、所述第二处理室、所述第三处理室、

所述第四处理室、以及所述第五处理室位于集成装置中。

附图说明

可以参考本发明的实施例对上面所简要概述的本发明进行更具体的描述，由此可以详细理解实现本发明的所述特征的方式，其中，本发明的实施例被示于附图中。但是应该注意，所述描述和附图仅仅示出了本发明的典型实施例，并且因此不应被认为是对其范围的限制，因为本发明可以允许其他等效的实施例。

图 1 示出了在金属互连结构的形成中的一个阶段中使用 ALD 氮化钽层的方法的一个实施例。

图 2 示出了在金属互连结构的形成中的一个阶段中使用 ALD 氮化钽层的方法的另一个实施例。

图 3A 示出了在金属互连结构的形成中的一个阶段中使用 ALD 氮化钽层的方法的另一个实施例。

图 3B 示出了在金属互连结构的形成中使用两个 ALD 氮化钽沉积步骤的方法的实施例。

图 4 示出了适用于执行本文所述的互连制造工序的示例性集成组群装置的示意性平面图。

图 5 示出了典型的预清洁室。

图 6 示出了用于根据循环沉积技术形成薄阻挡层的示例性处理室的示意性局部横截面。

图 7 示出了用于根据物理气相沉积技术形成薄金属层的示例性处理室的示意性局部横截面。

图 8 示出了用于形成薄晶种层或者粘附层的示例性处理室的示意性局部横截面。

图 9A-9F 是在图 1 的方法中的各个阶段的示例性衬底结构的示意性表示。

图 10 是在图 2 的方法中的一个阶段的示例性衬底结构的示意性表示。

图 11 是在图 3A 的方法中的一个阶段的示例性衬底结构的示意性表示。

图 12 比较了对于具有铜-铝晶种的 ALD 氮化钽和具有铜晶种的 PVD 阻挡的作为无故障工作时间的函数的累积概率。

图 13 比较了对于具有穿通和 ALD 氮化钽层的 ALD 氮化钽；具有新穿通的 ALD 氮化钽层经过氩处理的 ALD 氮化钽；以及具有氮化钽、钽和钽覆平的基线的作为无故障工作时间的函数的累积概率。

具体实施方式

图 1 示出了在金属互连结构的形成中使用 ALD 氮化钽沉积的方法的一个实施例。在步骤 101，进行预处理以制备用于进一步修饰的表面。预处理选项包括氮等离子体、水等离子体、氢和氦等离子体、低能等离子体、用钛或者铝预覆平或者其他预清洁工艺。在步骤 102，通过原子层沉积在衬底结构上沉积氮化钽。在步骤 104，通过物理气相沉积在步骤 102 中所形成的氮化钽上沉积钽层。在步骤 106，进行穿通步骤，以去除在步骤 102 中所沉积的氮化钽中的一部分，并且去除在步骤 104 中所沉积的钽中的一部分。在步骤 108，可以进行可选的钛覆平步骤，以通过物理气相沉积在步骤 106 的所得衬底结构上沉积钽。在步骤 110，在步骤 106 或步骤 108 的所得衬底结构上形成晶种层。在步骤 110 后，可以进行可选的粘附层沉积步骤 112 或者铜或者其他沉积步骤 114。

沉积装置

图 4 是可以适用于进行在本文中所述的方法的示例性多室处理系统 600 的示意性俯视图。这样的处理系统 600 可以是可从 Santa Clara, California 的 Applied Materials, Inc. 商购的 EnduraTM 系统。类似的多室处理系统公开于 1993 年 2 月 16 日授权的题目为“Stage Vacuum Wafer Processing System and Method”的美国专利 No. 5,186,718 中，该专利通过应用被包含在本文中。

系统 400 一般包括用于将衬底转移到和转移出系统 400 的加载锁定室

402 和 404。通常，因为系统 400 处于真空，加载锁定室 402 和 404 可以“抽空”被引入到系统 400 中的衬底。第一机械手 410 可以在加载锁定室 402 和 404 与第一组的一个或者多个衬底处理室 412、414、416 和 418（示出了四个）之间转移衬底。每一个处理室 412、414、416 和 418 可以被装配来进行多种衬底处理操作，诸如包括原子层沉积（ALD）、化学气相沉积（CVD）、物理气相沉积（PVD）、刻蚀、预清洁、除气、取向或者其他衬底处理的循环层沉积。第一机械手 410 还将衬底转移到或者转移出一个或者多个转移室 422 和 424。

转移室 422 和 424 用于维持超高真空条件，同时允许在系统 400 内转移衬底。第二机械手 430 可以在转移室 422 和 424 和第二组的一个或者多个处理室 432、434、436 和 438 之间转移衬底。类似于处理室 412、414、416 和 418，处理室 432、434、436 和 438 可以被装配来进行各种衬底处理操作，诸如包括原子层沉积（ALD）、化学气相沉积（CVD）、物理气相沉积（PVD）、刻蚀、预清洁、除气和取向的循环层沉积。衬底处理室 412、414、416、418、432、434、436、和 418 中的任一个可以被从系统 400 去除，如果系统 400 不需要进行某一特定处理的话。

参考图 4，处理系统包括：一个或者多个原子层沉积（ALD）室，其被配置来沉积阻挡层，以及一个或者多个 PVD 室，其被配置来沉积晶种层。为了提高系统的效率和产量，处理系统的一种配置包括被布置连接到后端中心转移室的两个配置来沉积阻挡层的 ALD 室和两个配置来沉积晶种层的 PVD 室。在一种配置中，处理室 434 和 436 可以是氮化钽 ALD 室，处理室 432 和 438 可以是铜或者钽 PVD 室。

在用于执行图 1 的方法的另一配置中，处理室 434 可以是用于执行步骤 102 的氮化钽原子层沉积室；处理室 432 可以是用于执行步骤 104、106 和 108 的钽物理气相沉积室；并且处理室 412 可以是用于执行步骤 110 和可能的刻蚀步骤的铜物理气相沉积室。在另一个示例中，室 436、438 和 414 可以分别镜像室 434、432 和 412，于是可以在集成的系统中处理两组衬底。这些系统 400 的具体布置被提供来说明本发明，而不应被用来限制本发明的范围，除非在权利要求中进行了明确阐明。

预清洁处理

本发明提供一种用于在金属化之前预清洁半导体衬底上的特征以去除污染物的方法。该方法包括从接触的底部去除二氧化硅而不损伤硅、从过孔的底部去除氧化铝或者氧化铜而不在侧壁上再沉积金属、从接触孔的底部去除薄层硅、以及从特征的侧壁去除污染物。

本发明提供一种合适的方法，该方法用于预清洁刻蚀在诸如二氧化硅层的电介质层中的过孔、接触和其他特征，所述电介质层被沉积在诸如 Ge、Si、Al、Cu 或者 TiN 下层的导电或者半导电下层上。特征通常暴露出下层，因此特征可以填充以导电或半导电材料，所述导电或半导电材料连接下层和将被沉积在电介质层上的后续金属互连层。在电介质中刻蚀特征常常留下污染物，所述污染物应该被去除，以改善特征的填充并最终改善所形成器件的完整性和可靠性。

在刻蚀电介质层之后，特征可能具有处在特征内的从电介质层的过刻蚀得到的受损硅或者金属残余物。特征可能还包含处在特征表面上的从光刻胶剥离或者灰化工艺得到的残余光刻胶或者从电介质刻蚀步骤得到的残余聚合物。特征可能还包含在进行溅射刻蚀预清洁工艺后的处在特征表面上的再沉积材料。这些污染物可以迁移到电介质层中或者可以通过促进沉积金属的非均匀分布来干扰金属化的选择性。污染物的存在还可以通过实质上缩窄特征的宽度、在形成过孔、接触、线或者其他导电特征的金属中产生缩窄部分来增大所沉积的金属的电阻。

本发明的预清洁方法对于清洁在特征的底部具有铜下层的亚微米特征尤其有用，因为在常规 ICP 或者基于溅射刻蚀的预清洁室中铜容易被溅射到侧壁上。被溅射的铜扩散到电介质材料中，导致器件失效。本发明清洁过孔，而不溅射过孔的底部。

参考图 5，用于在预清洁室 510 中预清洁衬底 526 的工艺可以包括使用衬底 526 作为溅射靶的溅射刻蚀工艺或者反应工艺。一般来说，可以通过将氦或者包含氢（小于约 10%）和氦的预清洁气体混合物引入到室中并且将 RF 功率（在约 1 到 4MHz 下约 300W 和约 600W 之间）提供到等离

子体产生线圈，在衬底上进行反应预清洁工艺（步骤 101）。衬底支撑件可以加约 10 和 100W 之间的偏压。在预清洁工艺过程中，室压力可以被维持在约 40 mTorr 和 200 mTorr 之间。反应预清洁工艺可以持续进行约 30 秒和 120 秒之间。在预清洁工艺之后，衬底被转移到用于在衬底表面上沉积阻挡层和晶种层的室。

在本发明的一个实施例中，通过将包含 5% 的氢和 95% 的氦的预清洁气体混合物引入到室中并且将 RF 功率以约 450W 和约 2.0MHz 提供到线圈，在衬底上进行反应预清洁工艺（步骤 101）。衬底支撑件加约 1 和 200W 的偏压。在预清洁工艺过程中，室压力被维持在约 80 mTorr。反应预清洁工艺进行约 60 秒。在预清洁工艺之后，衬底被转移到用于在衬底表面上沉积阻挡层和晶种层的高密度等离子体物理气相沉积室。

优选预清洁装置

本发明的预清洁工艺优选在诸如可从 Santa Clara, Calif. 的 Applied Materials, Inc. 得到的 Etch RPS 室的远程等离子体源 (RPS) 室进行。在 RPS 室中，反应性 H 基由远程等离子体源形成，并且作为基本中性物质（即，不带电荷）被引入到处理区，由此防止了由离子产生自偏压和对晶片表面的轰击。利用 RPS 室的实验表明 2.45GHz 的微波源是有更高效率的，并且可以比低频 RF 源生成更多的氨基。

阻挡层沉积

本文中所使用的“原子层沉积”是指将两种或者更多种混合物依次引入，以在衬底表面上沉积薄层。两种或者更多种混合物被依次引入到处理室的反应区。每一种化合物之间隔开一定的时间延迟或者停顿，以允许各化合物粘附到衬底表面或者在衬底表面上反应。在一个方面，第一化合物，化合物 A 被计量/脉冲输入到反应区中，之后是第一时间的延迟或者停顿。接着，第二化合物或者化合物 B 被计量/脉冲输入到反应区中，之后是第二时间的延迟。这些反应化合物的脉冲输入之后是一定时间的延迟的依次串联可以被相同地重复，直到在衬底表面上形成所期望的膜或者膜厚

度。

图 9A-9F 是在图 1 的方法中的各个阶段的示例性衬底结构的示意性表示。图 9A 示出了形成在一个或者多个下层 902 上的电介质层 904。电介质层 904 可以是任何电介质材料，包括低 k 电介质材料 ($k < 4.0$)，不管是现在已知的还是有待发现的。例如，电介质层 904 可以是氧化硅或者掺碳氧化硅材料。电介质层已经使用常规和公知的技术被图案化和刻蚀，以形成孔隙 905。孔隙 905 可以用于形成插塞、过孔、接触、线、引线或者任何其他互连部件。如图 2A 所示，孔隙 905 可以用于形成双镶嵌结构中的互连部件。本文所公开的方法可以特别有利地用于具有约 $0.22\mu\text{m}$ 或更小的下开口尺寸 905A 和具有约 4: 1 或者更大（诸如约 6: 1）的下宽高比 905B 的孔隙 905。

孔隙 905 至少暴露诸如插塞、过孔、接触、线、引线、金属栅电极等之类的下面金属互连特征的一部分中的导电部分 902A。导电部分 902A 可以包含任何导电材料，诸如铝、铜、钨或者其组合。本文所公开的方法可以有利地用于包含铜的导电部分 902A，这将在本文中进行更详细讨论。

图 9B 示出了诸如在步骤 102 之后通过原子层沉积共形沉积的氮化钽层 912。氮化钽层被沉积到约 50 埃或者更小的厚度，优选在约 5 埃和约 20 埃之间。氮化钽层的原子层沉积较诸如物理气相沉积和化学气相沉积之类的其他常规沉积技术的优点之一在于，能够在形成互连结构时，在小开口、高宽高比和具有各种拓扑的孔隙（诸如孔隙 905）上沉积氮化钽共形层。衬底支撑件的加热器温度被维持在约 100°C 和 300°C 之间的低温。在一个方面，低沉积温度被认为有助于提供更共形的氮化钽层。在电介质层 904 上形成 ALD 氮化钽层 912 的另一个优点是 ALD 氮化钽在电介质材料上的良好粘附。

根据本文中所述的原子层沉积方法沉积的氮化钽层表明了外延生长现象的迹象。换句话说，阻挡层呈现与下层相同或者基本相同的结晶特性。结果，基本是单晶被生长，使得在氮化钽层和下层之间的界面上没有形成空洞。类似地，在钽层上所沉积的附加钽层表现出相同或者基本相同的外延生长特性，外延生长特性继续形成单晶。因此，在此界面上不产生空洞

的形式。与单晶相似的所得结构消除了空洞的形成，由此明显增大了器件的可靠性。单晶结构还减小了互连特征的总电阻，同时提供了优异的阻挡性能。此外，单晶生长被认为由于在整个互连材料界面上的共形和均一的晶体取向而减小了电迁移和应力迁移的敏感性。

可以通过向其中布置有衬底的反应区以约 100 sccm 和约 3000 sccm 之间的流率持续约 1.0 秒或者更短时间提供一个或者多个脉冲的含钽化合物以及以约 100 sccm 和约 3000 sccm 之间的流率持续约 1.0 秒或者更短时间提供一个或者多个脉冲的含氮化合物，由原子层沉积来沉积氮化钽。

示例性的含钽化合物包括：叔丁基亚氨基三（二乙氨基）钽（TBTDET）；五（甲基乙基氨基）钽（PEMAT）；五（二甲氨基）钽（PDMAT）；五（二乙氨基）钽（PDEAT）；叔丁基亚氨基三（二乙基甲基氨基）钽（TBTMET）；叔丁基亚氨基三（二甲氨基）钽（TBTDMDT）；三氢化双（环戊二烯基）钽 $((Cp)_2TaH_3)$ ；三氢化双（甲基环戊二烯基）钽 $((CpMe)_2TaH_3)$ ；它们的衍生物；以及它们的组合。优选地，含钽化合物包括 PDMAT。示例性的含氮化合物包括：氨；肼；甲基肼；二甲基肼；叔丁基肼；苯肼；偶氮异丁烷；乙基叠氮；它们的衍生物；以及它们的组合。优选地，含氮化合物包括氨。

应该理解，这些化合物或者任何其他没有在上面列出的化合物在室温下可以是固体、液体或者气体。例如，PDMAT 在室温下是固体，TBTDET 在室温下是液体。因此，在将非气相前驱体引入到处理室之前，对非气相前驱体进行升华或者汽化步骤，这两种步骤在本领域中都是公知的。如本领域中所公知的，还可以使用诸如氩气、氦气、氮气、氢气或者其混合物的载气，以帮助将化合物输送到处理室中。

在特定实施例中，通过将 PDMAT 和氨循环地引入到衬底表面，由原子层沉积形成厚度在 10 和 30 埃之间的氮化钽层。为了引发氮化钽层的沉积，载气/惰性气体被引入到处理室 600，以稳定其中的应力和温度。在沉积过程中，诸如氩的流率为 6000 到 10000 sccm 之间的载气被允许持续地流入，使得在各个化合物的脉冲之间只有氩流入。在室温度已经被稳定在约 200°C 到约 300°C 并且室压力被稳定在约 1 Torr 到约 5 Torr 之后，从气

体源 613 以约 400 sccm 和约 1000 sccm 之间的流率提供 PDMAT 第一脉冲，脉冲时间为约 2.0 秒或者更短。然后以约 1000sccm 和约 2000sccm 之间的流率提供氨脉冲，脉冲时间为约 2.0 秒或者更短。

PDMAT 和氨脉冲之间的停顿为约 1.0 秒或者更短，优选约 0.5 秒或者更短，更优选约 0.1 秒或者更短。在不同的方面中，脉冲之间的时间的缩短至少提供了更高的产量。结果，在氨脉冲之后的停顿也为约 1.0 秒或者更短，优选 0.5 秒或者更短，或者约 0.1 秒或者更短。持续地提供约 1000 sccm 和约 10000 sccm 之间（诸如约 3000 sccm 和约 6000 sccm 之间）的氩气流。在一个方面，当氨脉冲进入时，PDMAT 脉冲可以仍然处在室中。一般来说，载气和抽空的持续时间应该足够的长，以防止 PDMAT 和氨的脉冲在反应区混合在一起。

加热器温度被维持在约 100°C 和约 300°C 之间，室压力处在约 1.0 和约 5.0 Torr 之间。由 PDMAT 脉冲、停顿、氨脉冲和停顿组成的每一循环提供每一循环厚度为约 0.3 埃和约 1.0 埃之间的氮化钽层。交替的次序可以被重复，直到获得所期望的厚度。

本文中所使用的“脉冲/计量”意指间歇地或者非连续地引入到处理室的反应区中的特定化合物量。在每一脉冲内的特定化合物的量可以根据脉冲持续时间，随时间变化。特定化合物可以包括单一化合物或者两种或者更多种化合物的组合。每一脉冲或者计量的持续时间是可变的，并且可以被调节以适应例如处理室的体积容量以及耦合到其的真空系统的能力。此外，化合物的计量时间可以根据化合物的流率、化合物的压力、化合物的温度、计量阀的类型、所用控制系统的类型以及化合物到衬底表面上的吸附能力而变化。计量时间还可以根据所形成的层的类型以及所形成的器件的几何形状而变化。通常，每一脉冲/计量的持续时间，或者“计量时间”一般为约 1.0 秒或者更短。但是，计量时间可以是从数微秒到数毫秒到数秒以及甚至到数分钟的范围。一般来说，计量时间应该足够长，以提供足以吸附或者化学吸附到衬底的整个表面上并且在其上形成一层化合物的化合物量。

优选的原子层沉积装置

图 6 示出了用于根据本发明的实施例形成阻挡层的示例性处理室 600 的示意性局部横截面。这样的处理室 600 可从位于 Santa Clara, California 的 Applied Materials, Inc. 得到，并且对其简要的描述如下。更详细的描述可以在 2001 年 12 月 21 日递交的标题为“Gas Delivery Apparatus and Method For Atomic Layer Deposition”的共同转让的美国专利申请 No. 10/032,284 中找到，所述美国专利申请通过引用被包含在本文中，只要其与本文的权利要求和公开内容不相一致。

处理室 600 可以被集成到诸如也可从 Applied Materials, Inc. 得到的 EnduraTM 平台之类的集成处理平台中。EnduraTM 平台的细节在 1999 年 11 月 30 日递交的标题为“Integrated Modular Processing Platform”的共同转让的美国专利申请 No. 09/451,628 中有描述，所述美国专利申请通过引用被包含在本文中，只要其与本文的权利要求和公开内容不相一致。

图 6 是衬底处理室 610 的一个实施例的示意性横截面图，衬底处理室 610 包括安装在衬底处理室 610 的室主体 620 下方的一个或者多个阀组件 600。阀组件 600 耦合到垂直穿过室主体 620 的气体管线 655。反过来，气体管线 655 耦合到气体导管 650，以将一种或多种气体提供到室主体 620 中。阀组件还可以被安装到其他的衬底处理室，并且可以安装到其他的室部件上。

参考图 6，每一个阀组件 600 包括阀体 610 和隔板组件 630。阀体 610 包括与三个端口流体连通的阀室 611，所述三个端口包括反应物入口 612、清洗入口 614 和出口 616。反应物入口 612 与反应物源 613 流体连通，以供应反应物通过阀室 611、通过出口 616、通过气体管线 655、通过气体导管 650，并且进入室主体 620。清洗入口 614 与清洗气体源 615 流体连通，并且适用于供应清洗气体通过阀室 611、通过出口 616、通过气体管线 655、通过气体导管 650，并且进入室主体 620。如果衬底处理室 610 包括两个或者更多个阀组件 600，则每一阀组件 600 的清洗入口 614 优选被耦合到单独的清洗气体源 615。在其他实施例中，每一阀组件 600 的清洗入口 614 可以耦合到同一清洗气体源。

参考图 6，诸如电磁阀的电子控制阀 625 可以被安装到隔板组件 630，以选择性地从诸如空气或者其他气体的受压气体源 650 提供受压气体，所述受压气体源 650 通过气体管线 651 耦合到电子控制阀 652。可编程逻辑控制器（PLC）被耦合到电子控制阀 652，以控制到电子控制阀 652 的电子信号。反过来，可编程逻辑控制器被耦合到主控制器，所述主控制器控制可编程逻辑控制器。虽然电子控制阀将受压气体提供到隔板组件 630，但是阀组件 600 是气动阀。

在一个实施例中，流率为 500 sccm 的氩被用作载气，氮以 1500 sccm 的流率进入室，并且氩清洗流为 8000 sccm 的流率。

后沉积处理选项

在电介质沉积之后，在块金属沉积步骤之前可以通过等离子体、晶种层沉积或者粘附层沉积处理衬底。等离子体处理可以包括氩、氮、或者氢等离子体。晶种层沉积可以包括铜、铜铝、铜锡、钽、钨、铼、钴、钛、铝、其他金属或者金属组合。沉积方法包括 ALD、CVD、PVD、电镀或者无电镀。粘附层可以包括铷、钽、钛、铝或者钨。

可选的钽层

图 9C 示出了诸如在步骤 104 之后沉积在氮化钽层 912 上的钽层 922。钽层 922 和氮化钽层 912 一起构成了阻挡层 924。在一个方面，钽层 922 提供了与晶种层 942（图 9F）的良好粘附。另一个方面，氮化钽层 912 和钽层 922 具有良好的彼此粘附性。在一个实施例中，衬底支撑件的温度为未加热（即，室温）。在钽层沉积的一个实施例中，12 和 36 sccm 之间的氩被提供到 PVD 沉积室。在钽层 922 的沉积过程中，约 100 瓦和约 1000 瓦之间的 RF 衬底偏压可以被提供到衬底支撑件。供应到 PVD 沉积的 DC 功率可以是 40 kW，同时提供 2 kW 的可选 RF 功率。钽层被沉积到约 75 埃或者更小的厚度，优选约 40 埃和约 60 埃之间。

不希望被理论约束除非在权利要求中明确地阐明的是，共形的 ALD 氮化钽层 912 被认为有助于导致在物理气相沉积过程中至少在其上方的部

分上（诸如在孔隙底部上）或者在基底区域（field area）上的低电阻率的 α 相钽的生长。在物理气相沉积过程中的晶片偏压也被认为有助于形成低电阻率的 α 相钽。

穿通

图 9D 示出了穿通步骤，该穿通步骤被进行来去除在孔隙 905 的底部上的氮化钽和钽的至少一部分。优选地，进行刻蚀部分，来去除孔隙 905 的底部上的氮化钽和钽，以露出下层 902 的导电部分 902A。在一个方面，保留在侧壁上的氮化钽和钽防止了从诸如铜导电部分的导电部分 902A 到电介质层 904 中的诸如铜的溅射导电材料的铜扩散。穿通步骤还去除可能已经形成在导电部分 902A 上的氧化形成物、残余物（例如图案化残余物）和其他污染物。

刻蚀优选包括氩等离子体刻蚀。定向氩等离子体刻蚀被用于确保等离子体刻蚀将到达孔隙 905 的底部。用于刻蚀的条件依赖于室和衬底支撑件的设计参数。取决于待去除的氮化钽和钽的所期望的厚度，RF 晶片偏压在约 100 瓦和约 1000 瓦之间，并且进行约 1 秒到约 20 秒之间的时间。

在氩等离子体刻蚀的一个实施例中，氩以 12 sccm 的流率被提供。供应到系统的 DC 功率为 0W。RF 功率为 2000W，DC 线圈的功率为 800W，并且晶片偏压为 600W。

可选的钽覆平

图 9E 示出了可选的钽物理气相沉积覆平步骤。钽物理气相沉积覆平步骤意在在斜角 932 处沉积钽，以帮助增建在斜角 932 处的可能在穿通步骤过程中已经被刻蚀的钽。钽覆平步骤优选以低晶片偏压进行，以减少在孔隙 905 底部的钽沉积。

可选的晶种层

图 9F 示出了沉积在图 9D 或者图 9E 的衬底结构上的晶种层 942。晶种层 942 可以包括铜晶种层、铜合金晶种层、其他金属晶种层或者其组

合。优选地，晶种层 942 包括铜晶种层、铜合金晶种层或者其组合。

因为穿通步骤减小或者去除了在孔隙 905 底部处的氮化钽层 912 和钽层 922 的厚度，所以互连结构的电阻被减小。在一个实施例中，在包括铜的晶种层 942 和包括铜的导电部分 902A 之间可以提供铜-铜界面。此外，因为穿通步骤减小或者去除了在孔隙 905 底部处的氮化钽层 912 和钽层 922，所以可以一开始沉积更厚的氮化钽层 912。由于这些原因和本文中所讨论的其他原因，器件性能和可靠性被提高了。

参考图 1，在诸如离子化金属等离子体 (IMP) PVD 室的 PVD 室中进行钽的物理气相沉积步骤 104。IMP PVD 室的示例包括可从 Santa Clara, California 的 Applied Materials, Inc. 得到的 Self-Ionized Plasma 51pTM 室或者 EnCoReTM Ta 室。穿通步骤 106 可以在合适的等离子体处理室中进行。钽物理气相沉积步骤 108 可以在合适的 PVD 室中进行。对于产量和粒子生成的考虑，步骤 104-108 优选在同一处理室中进行。

继续参考图 1，晶种层被至少部分地沉积在阻挡层上，如在步骤 110 所示的。晶种层可以利用诸如化学气相沉积 (CVD)、物理气相沉积 (PVD)、电镀或者无电镀之类的任何常规的沉积技术来沉积。例如，可以在 IMP PVD 室中沉积晶种层。在一个方面，晶种层是常规的铜晶种层。在另一个方面，晶种层是铜合金晶种层。在另一个方面，晶种层是由相同或者不同的金属和合金形成的多层晶种层。

替换实施例

图 2 示出了在金属互连结构的形成中的一个阶段中使用 ALD 钽层的方法的另一个实施例。在步骤 202，通过原子层沉积在衬底结构上沉积氮化钽。在步骤 204，进行穿通步骤，以去除在步骤 202 中所沉积的氮化钽中的一部分。在步骤 206，诸如钽层或者合适金属的粘附层被沉积在步骤 204 的所得衬底结构上。在步骤 208，晶种层被形成在粘附层上。步骤 202 到步骤 208 中的全部或者一部分可以在诸如图 4 的系统之类的集成处理系统中进行。

图 10 是在图 2 的步骤 208 之后所得衬底结构的示例的示意性表示。在

一个方面，在步骤 202 中氮化钽层 1001 被沉积到约 50 埃或者更小，优选在约 5 埃和约 30 埃之间的厚度。氮化钽层 1001 保护电介质层 1002 的侧壁免受来自电介质层 1002 下方的下层 1003 的导电部分的诸如铜的溅射导电材料 1004 的影响。穿通步骤优选进行约 10 秒或者更短。本方法的一个优点是穿通步骤仅仅需要去除氮化钽中的一部分，以暴露出下层的导电部分。

其他替换实施例

图 3A 示出了在金属互连结构的形成中的一个阶段中使用 ALD 氮化钽层的方法的另一个实施例。在步骤 302，通过原子层沉积在衬底结构上沉积氮化钽。在步骤 304，氮化钽层被暴露于非氮等离子体。优选地，非氮等离子体包括惰性气体，诸如氩。非氮等离子体可以还包括氢或者其他非氮气体。可选地，步骤 302 和 304 可以被重复。例如，非氮等离子体处理可以在若干循环之后，例如在每 20 个循环之后进行，直到已经沉积了所期望的氮化钽量。多次非氮等离子体处理有助于处理在孔隙底部的氮化钽。在步骤 306，可选的钽层可以被沉积到经等离子体处理的氮化钽层上。在步骤 308，晶种层被形成在步骤 304 或者 306 的所得衬底结构上。步骤 302 到步骤 308 中的全部或者一部分可以在诸如图 4 的系统之类的集成处理系统中进行。

图 11 是在图 3A 的步骤 308 之后得到的衬底结构的示例的示意性表示。在一个方面，非氮等离子体处理被认为减小了 ALD 氮化钽层 1101 的氮含量。因为 ALD 氮化钽层 1101 的氮含量被减小，所以其电阻率被减小，由此接触电阻被减小。

多次 ALD TaN 沉积步骤

图 3B 示出了在金属互连结构的形成中的一个阶段中使用 ALD 氮化钽层的方法的另一个实施例。在步骤 302，通过原子层沉积在衬底结构上沉积氮化钽。在步骤 305，氮化钽层暴露于穿通步骤。在步骤 305A 中沉积附加的氮化钽层。在步骤 306，可选的钽层可以被沉积到经等离子体处理

的氮化钽层上。在步骤 308，晶种层被形成在步骤 304 或者 306 的所得衬底结构上。步骤 302 到步骤 308 中的全部或者一部分可以在诸如图 4 的系统之类的集成处理系统中进行。

实验结果

图 12 示出了对于具有铜铝晶种的 ALD 氮化钽阻挡和具有铜晶种的 PVD 阻挡的作为无故障工作时间的函数的累积概率。由于与 ALD 氮化钽阻挡一起使作的铜铝合金晶种，寿命分布得到改善。

图 13 比较了对于经过穿通和具有 ALD 氮化钽层的 ALD 氮化钽；具有新穿通的 ALD 氮化钽层经过氩处理的 ALD 氮化钽；以及具有氮化钽、钽和钽覆平的基线的作为无故障工作时间的函数的累积概率。温度为 350 °C。连线电流密度为 1.5 mA/cm²。具有上游方向电流。流量正比于过孔/连线尺寸 (μm)。旧的穿通具有小于 150W 的 DC 功率以及 600W 的晶片偏压。新的穿通具有 3000W 的 DC 功率，并且 800W 的晶片偏压。此无故障工作时间的显著增大示出了令人满意的性能提高。

最终步骤

参考图 1、2、3A 或者 3B，在步骤 410、步骤 708 或者步骤 808 中的晶种层形成之后，块金属层被至少部分地沉积在晶种层上。金属层也可以使用诸如电镀、无电镀、化学气相沉积（CVD）或者物理气相沉积（PVD）之类的任何常规沉积技术来沉积。金属层优选包括任何导电材料，诸如铜、铝、钨或其组合。金属层优选包括块铜层。

在一个实施例中，优选地，在诸如可从 Santa Clara, California 的 Applied Materials, Inc. 得到的 ElectraTM Cu ECP 系统的电镀池内形成块铜层。铜电解溶液和铜电镀技术在标题为“Electro-deposition Chemistry”的共同转让的美国专利 No. 6,113,771 中有描述，所述美国专利申请通过引用被包含在本文中。通常，电镀浴具有大于约 0.7 M 的铜浓度，约 0.85 的硫酸铜浓度，以及约 1.75 的 pH 值。如在本领域中所公知的，电镀浴还可以包含各种添加剂。电镀浴的温度为约 15°C 和约 250°C 之间。偏压为约 -15V

到约 15V 之间。在一个方面，正偏压的为约 0.1V 到约 10V 的范围，负偏压为约-0.1 到约-10V 的范围。

可选地，在金属层沉积之后可以进行退火处理。例如，晶片可以经受约 100°C 和约 400°C 之间的温度约 1 分钟到约 1 小时之间。诸如氦、氢、氮或其混合物的载气/清洗气体以约 100 sccm 到约 10000 sccm 的速率被引入。室压力被维持在约 2 Torr 和约 10 Torr 之间。

在沉积之后，所得结构的顶部可以被平坦化。可以使用化学机械抛光 (CMP) 装置，诸如可从 Santa Clara, California 的 Applied Materials, Inc. 得到的 MirraTM 系统。可选地，在上述的相继层的沉积之间可以平坦化结构的中间表面。

虽然前面的描述涉及本发明的实施例，但是可以设计本发明的其他和进一步的实施例，而不偏离本发明的基本范围，并且本发明的范围由所附权利要求确定。

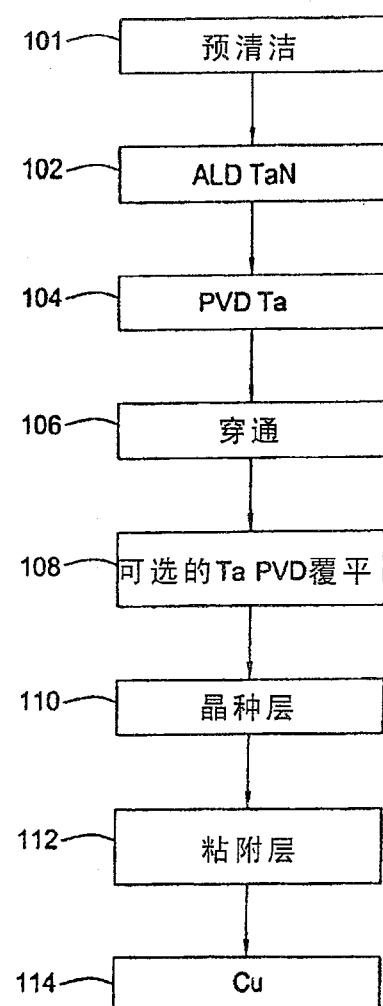


图1

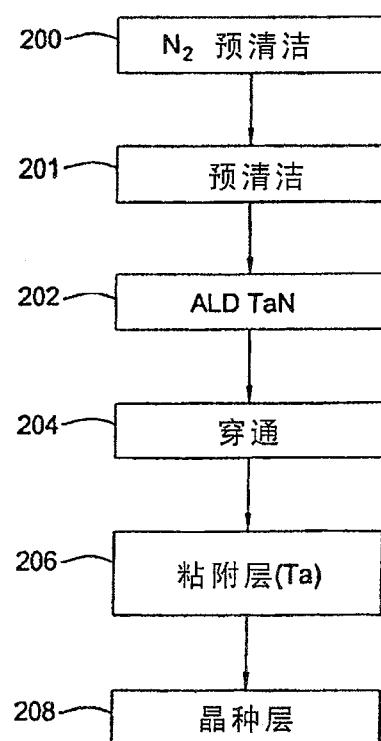


图2

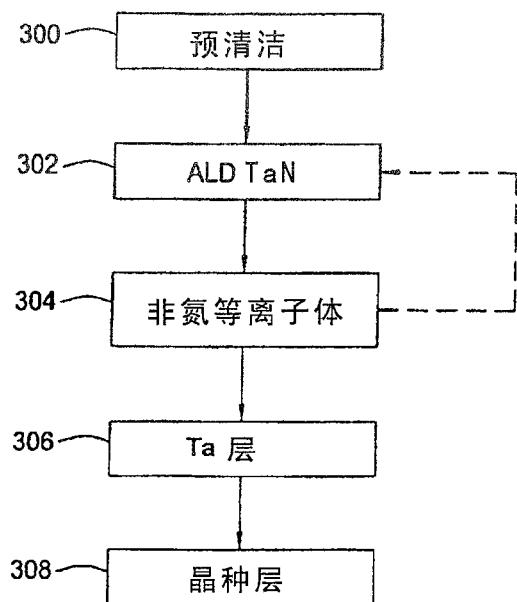


图3A

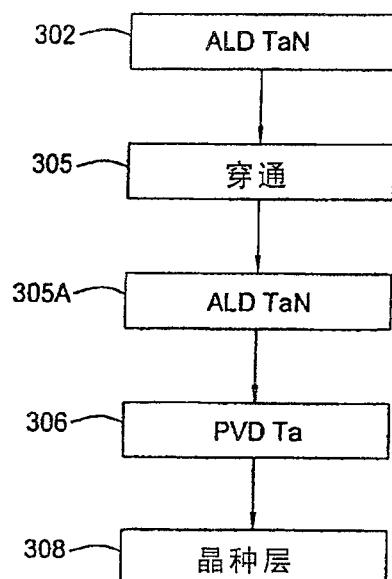


图3B

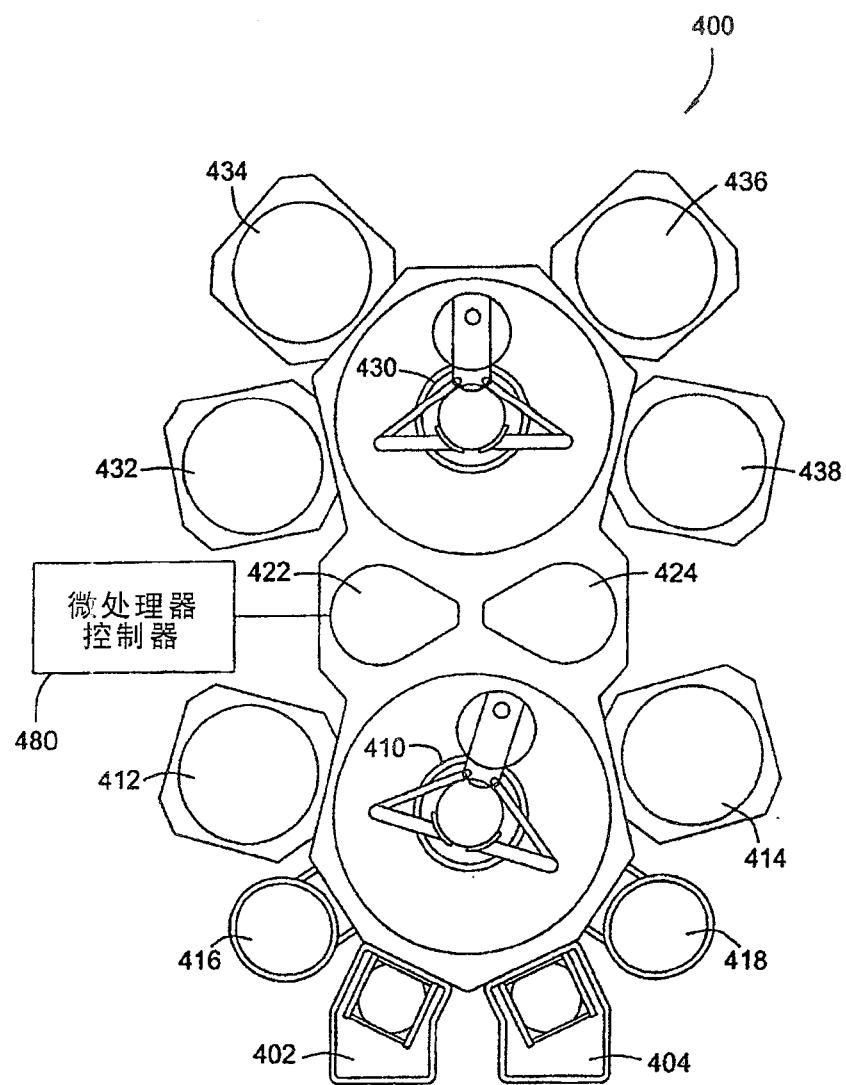


图 4

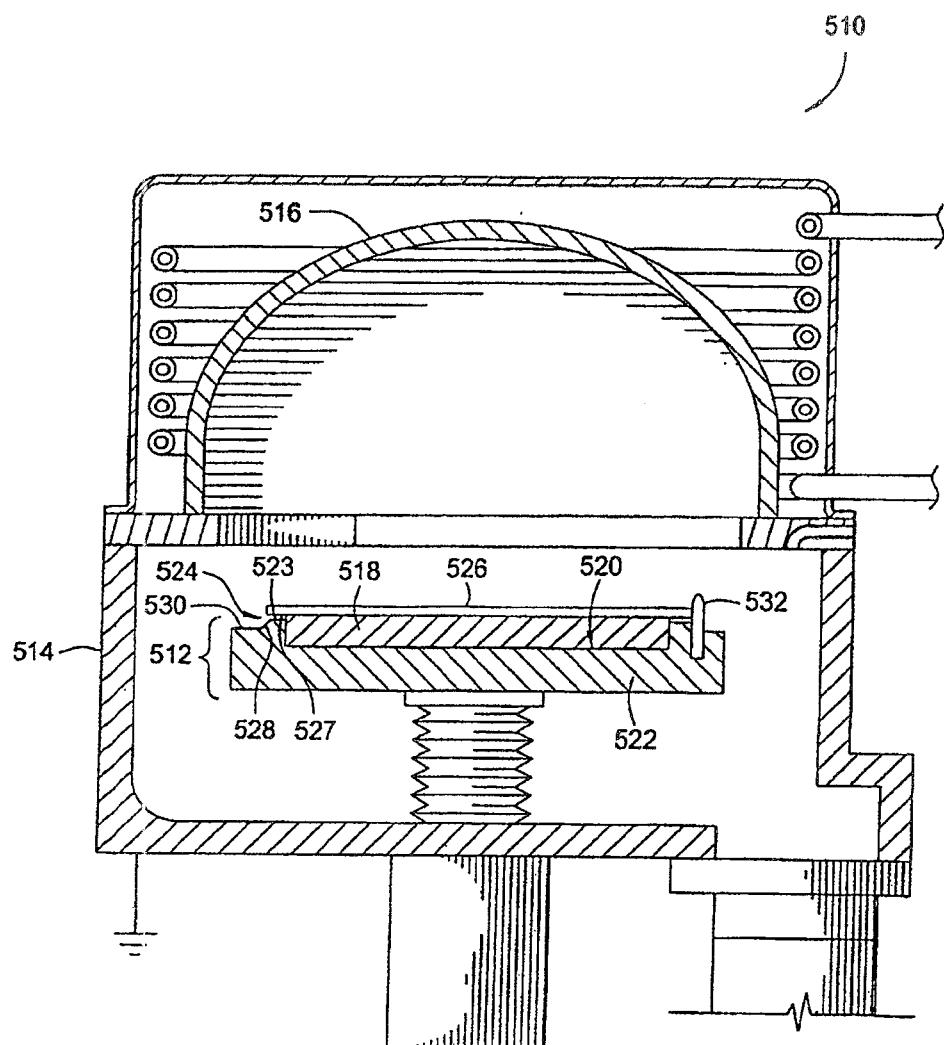


图5

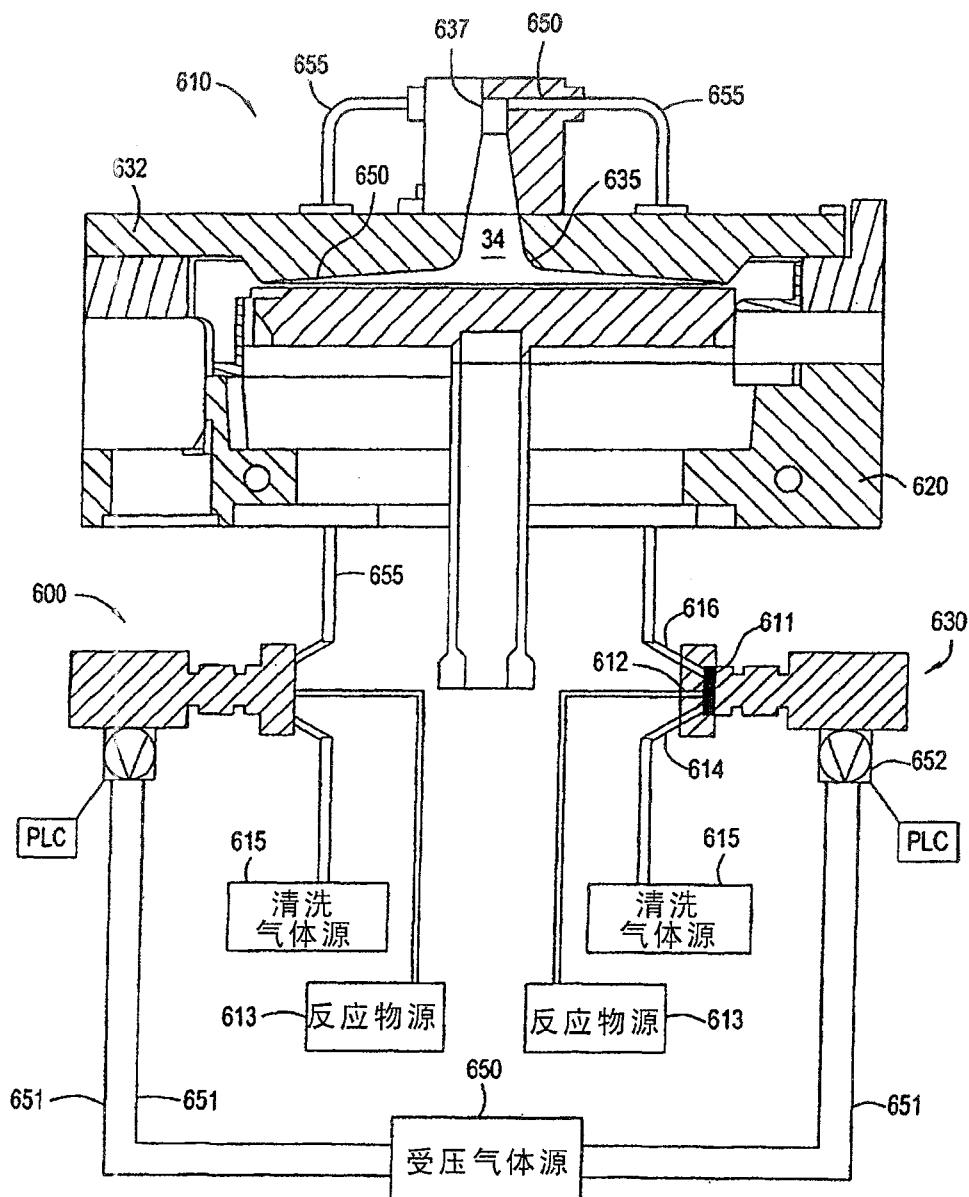


图6

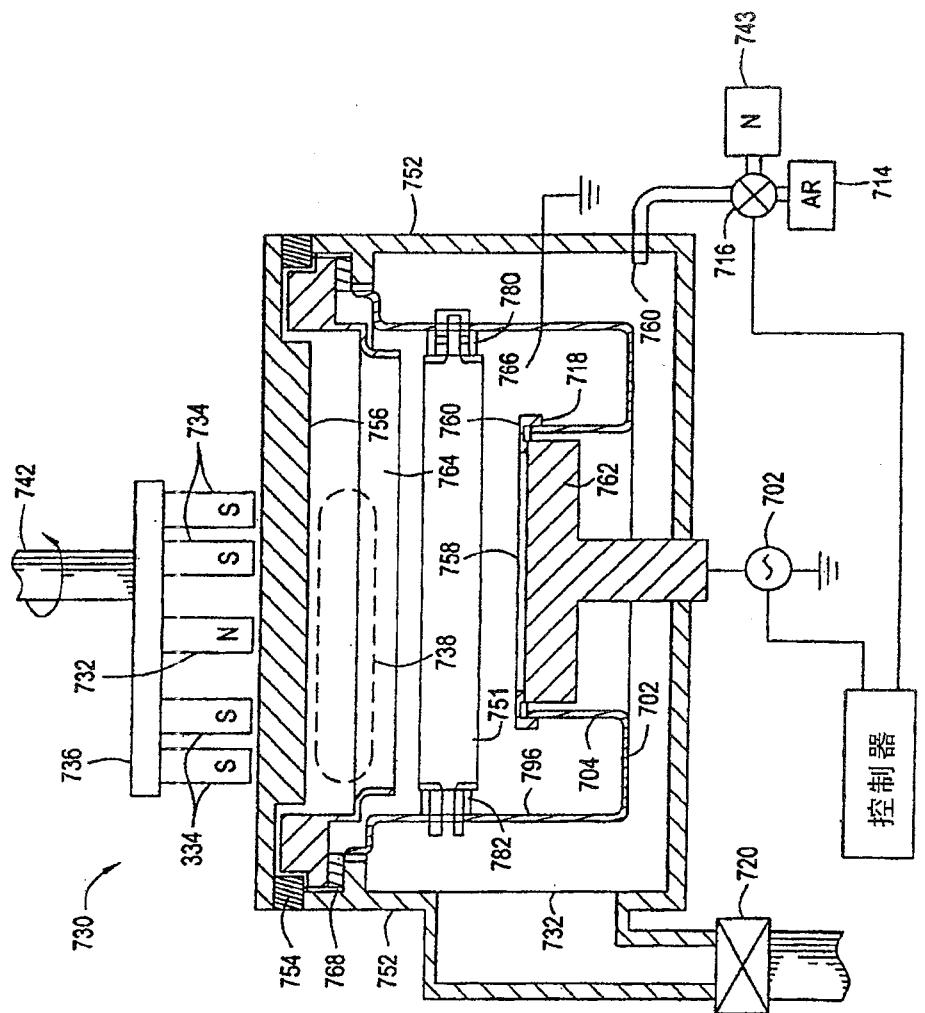


图7

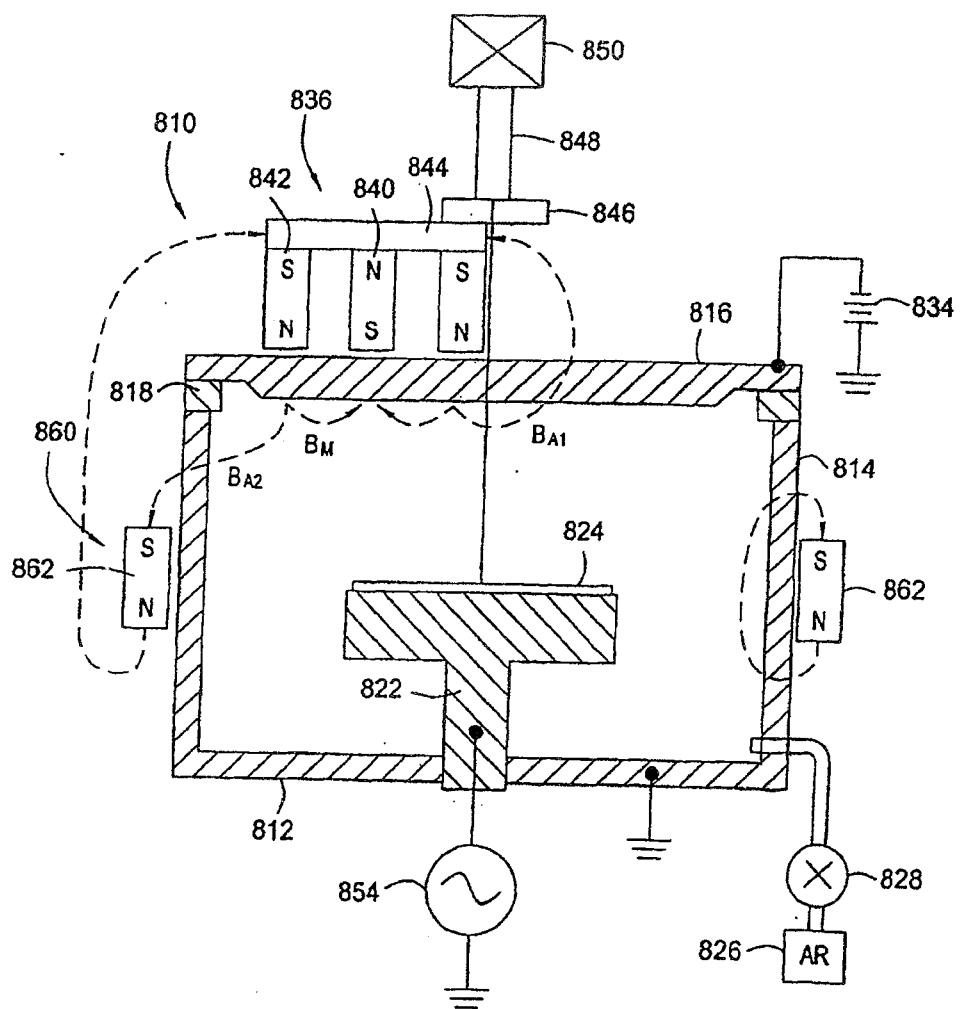


图8

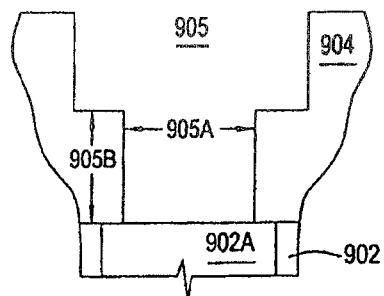


图9A

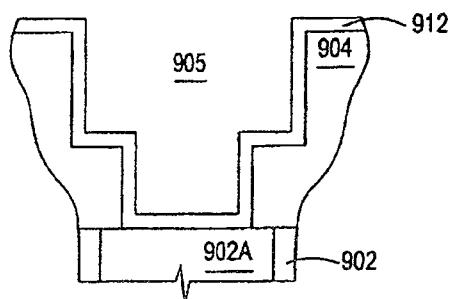


图9B

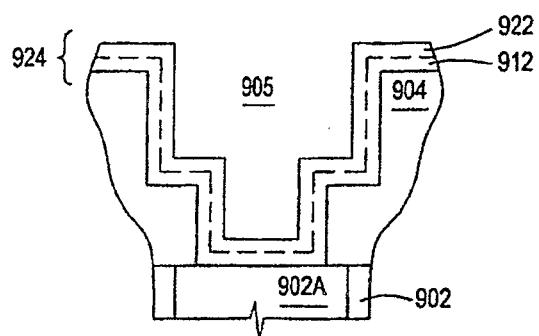


图9C

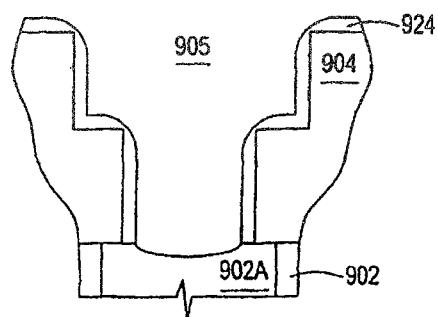


图9D

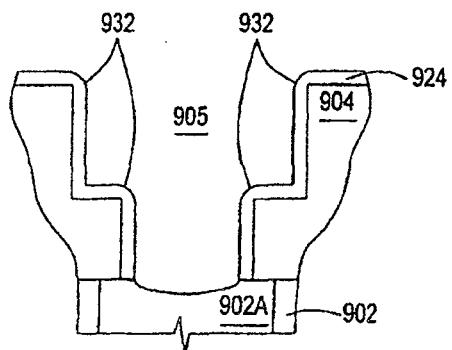


图9E

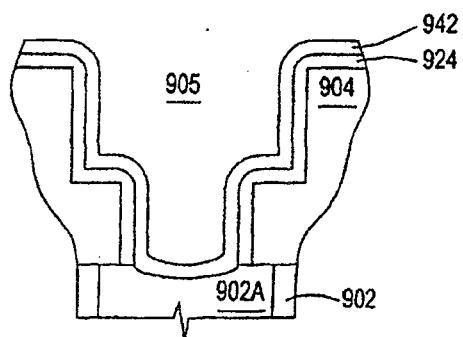


图9F

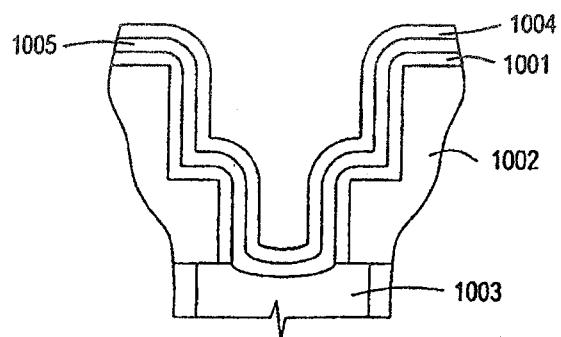


图10

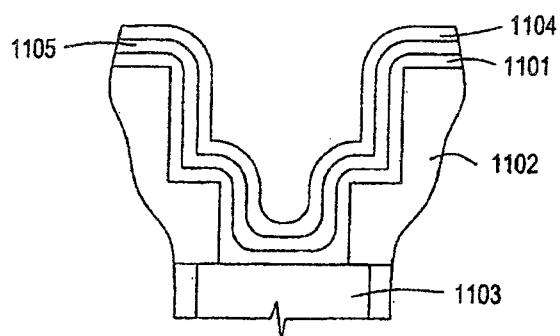


图11

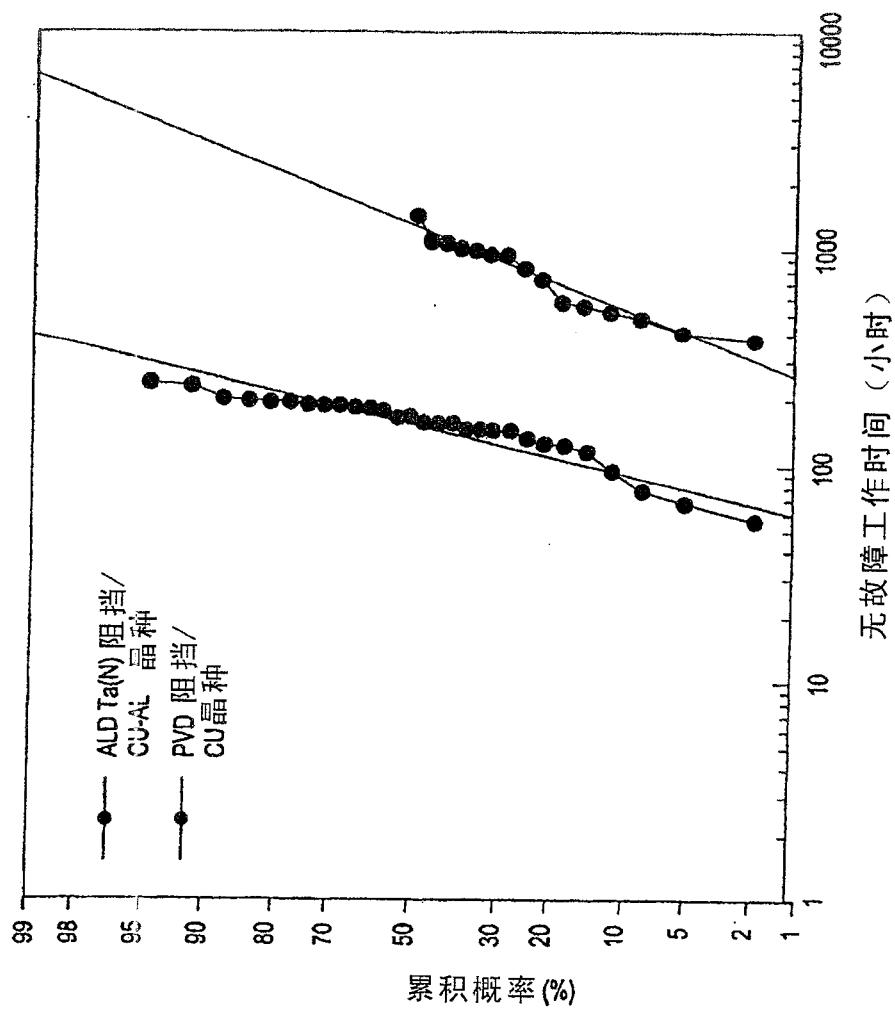


图 12

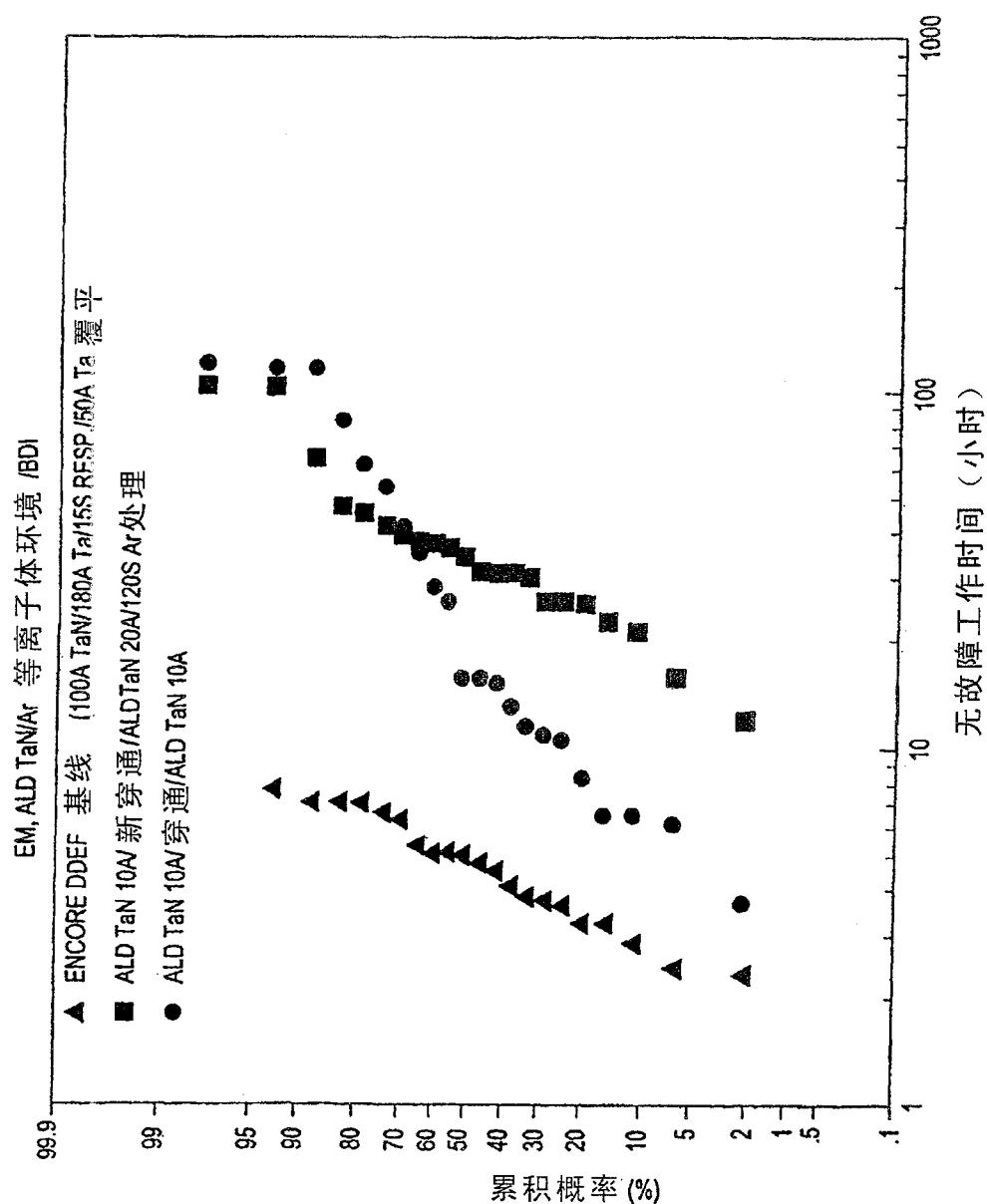


图 13