(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-114131
(P2012-114131A)
(43)公開日　平成24年6月14日(2012.6.14)

| (51)Int.Cl. | | F I | | | テーマコード（参考） |
|---|---|---|---|---|---|
| H01L 21/336 | (2006.01) | H01L | 29/78 | 627G | 5F110 |
| H01L 29/786 | (2006.01) | H01L | 29/78 | 618E | 5F152 |
| H01L 21/20 | (2006.01) | H01L | 21/20 | | |

審査請求 未請求　請求項の数 6　ＯＬ　（全 28 頁）

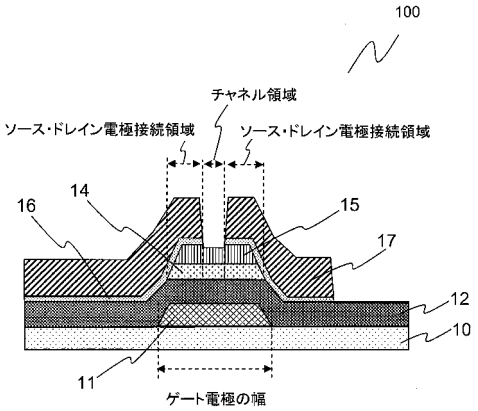
(21)出願番号　特願2010-259747 (P2010-259747)
(22)出願日　平成22年11月22日 (2010.11.22)

(71)出願人　000005821
パナソニック株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100109667
弁理士　内藤　浩樹
(74)代理人　100109151
弁理士　永野　大介
(74)代理人　100120156
弁理士　藤井　兼太郎
(72)発明者　森本　廉
大阪府門真市大字門真１００６番地　パナソニック株式会社内
(72)発明者　鈴木　信靖
大阪府門真市大字門真１００６番地　パナソニック株式会社内

最終頁に続く

(54)【発明の名称】薄膜トランジスタ、その製造方法、および表示装置

(57)【要約】
【課題】高性能な電気特性を実現しうるｐｏｌｙ－Ｓｉ膜の結晶性分布を有した薄膜トランジスタおよびその製造方法を提供する。
【解決手段】本発明の薄膜トランジスタは、絶縁性の基板と、前記絶縁性基板の上に形成されたゲート電極と、前記ゲート電極を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成された結晶シリコン膜と、前記結晶シリコン膜の端部の上方に形成されたソース電極と、前記結晶シリコン膜における前記ソース電極が形成された端部と対向する端部の上方に形成され、前記ソース電極と離間しているドレイン電極とを具備する薄膜トランジスタにおいて、前記結晶シリコン膜におけるソース電極又はドレイン電極が形成されている前記結晶シリコン膜の端部から、前記結晶シリコン膜におけるソース電極又はドレイン電極が形成されていない前記結晶シリコン膜の中央部に向かって、前記結晶シリコン膜の結晶化率が小さくなっている。
【選択図】図１



【特許請求の範囲】
【請求項１】
絶縁性の基板と、
前記絶縁性基板の上に形成されたゲート電極と、
前記ゲート電極を覆うように形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に形成された結晶シリコン膜と、
前記結晶シリコン膜の端部の上方に形成されたソース電極と、
前記結晶シリコン膜における前記ソース電極が形成された端部と対向する端部の上方に形成され、前記ソース電極と離間しているドレイン電極と
を具備する薄膜トランジスタにおいて、
前記結晶シリコン膜におけるソース電極又はドレイン電極が形成されている前記結晶シリコン膜の端部から、前記結晶シリコン膜におけるソース電極又はドレイン電極が形成されていない前記結晶シリコン膜の中央部に向かって、前記結晶シリコン膜の結晶化率が小さくなっている
薄膜トランジスタ。
【請求項２】
前記結晶シリコン膜のラマンスペクトルにおいて、約４８０ｃｍ$^{-1}$にピークを有する非晶質シリコンの第１のラマンスペクトルの面積をＰａ、約５０９ｃｍ$^{-1}$にピークを有する微結晶シリコンの第２のラマンスペクトルの面積をＰｍ、約５１７ｃｍ$^{-1}$にピークを有する多結晶シリコンの第３のラマンスペクトルの面積をＰｃとしたとき、
前記結晶化率Ｃは、Ｃ＝（Ｐｃ＋Ｐｍ）／（Ｐａ＋Ｐｃ＋Ｐｍ）×１００で定義される、
請求項１に記載の薄膜トランジスタ。
【請求項３】
前記結晶シリコン膜の中央部から前記結晶シリコン膜の端部に向かって、前記結晶シリコン膜の結晶化率Ｃが４％以上大きくなる請求項１に記載の薄膜トランジスタ。
【請求項４】
絶縁性の基板上に、ゲート電極に用いる金属膜を形成する第１の工程と、
前記金属膜を覆うように、絶縁膜を形成する第２の工程と、
前記絶縁膜上に第１の非晶質シリコン膜を形成する第３の工程と、
前記第１の非晶質シリコン膜に、レーザ光を照射し、前記第１の非晶質シリコン膜を結晶シリコン膜に変化させる第４の工程と、
前記結晶シリコン膜上に第２の非晶質シリコン膜を形成し、前記結晶シリコン膜と前記第２の非晶質シリコンとで構成されるチャネル層を形成する第５の工程と、
前記チャネル層の上方に、ソース電極及びドレイン電極に用いる金属膜を形成する第６の工程とを含み、
前記ゲート電極直上の前記第１の非晶質シリコン膜に対する前記レーザ光の吸収率をＡ１とし、前記絶縁膜直上の前記第１の非晶質シリコン膜に対する前記レーザ光の吸収率をＡ２とした場合、前記Ａ１が前記Ａ２より小さい
薄膜トランジスタの製造方法。
【請求項５】
前記絶縁膜は、シリコン酸化膜であり、前記第４の工程において、前記レーザ光は４０５ｎｍの波長を有し、ビーム形状が長尺状でビーム短軸方向にレーザ走査を行い、前記チャネル層でのキャリアの流れる方向が前記レーザ走査方向と平行に設定され、前記ゲート電極の有無による第１の非晶質シリコン膜のレーザ光の吸収率の差（Ａ２－Ａ１）／Ａ１×１００が７％以上である
請求項４に記載の薄膜トランジスタの製造方法。
【請求項６】
液晶パネルまたは有機ＥＬパネルを含む表示装置であって、
請求項１又は２に記載の薄膜トランジスタを備え、
前記トランジスタは、前記液晶パネルまたは有機ＥＬパネルを駆動させる、

表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は薄膜トランジスタ、その製造方法、および表示装置に関する。
【背景技術】
【０００２】
液晶ディスプレイパネル又は有機材料のエレクトロルミネッセンス（ＥＬ：ｅｌｅｃｔｒｏｌｕｍｉｎｅｓｃｅｎｓｅ）を利用した有機ＥＬディスプレイパネルにおいて、その画素を駆動するために、薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）が用いられる。例えば、非晶質シリコン（ａ－Ｓｉ：ａｍｏｒｐｈｏｕｓ　ｓｉｌｉｃｏｎ）をチャネル材料に用いたａ－Ｓｉ　ＴＦＴ、又は多結晶シリコン（Ｐｏｌｙ－Ｓｉ：ｐｏｌｙ－ｃｒｙｓｔａｌｌｉｎｅ　ｓｉｌｉｃｏｎ）をチャネル材料に用いたＰｏｌｙ－Ｓｉ　ＴＦＴが用いられる。
【０００３】
ａ－Ｓｉ　ＴＦＴは、大きな面積の基板上に、均一な膜を生産できる。また、ａ－Ｓｉ　ＴＦＴは、低コストで生産することができる。しかし、ａ－Ｓｉ　ＴＦＴの電界効果移動度（ｆｉｅｌｄ　ｅｆｆｅｃｔ　ｍｏｂｉｌｉｔｙ）μは、１ｃｍ２／Ｖｓ以下と小さい。電界効果移動度とは、素子の高速動作に関する指標の一つである。また、ａ－Ｓｉ膜は、構造が不安定であるため、電気的ストレス印加に対する電気特性の時間変動が大きい。
【０００４】
一方、Ｐｏｌｙ－Ｓｉ　ＴＦＴは、１ｃｍ２／Ｖｓより大きく６００ｃｍ２／Ｖｓ以下の大きな電界効果移動度μを有する。また、Ｐｏｌｙ－Ｓｉ　ＴＦＴは、高速動作が可能であり、電気特性の安定性にも優れている。しかし、低コストで、かつ、大きな面積の基板上に、均一な膜を生産することが困難である。
【０００５】
ＴＦＴには、チャネル層に対してゲート電極が上側に形成されているトップゲート構造と、チャネル層に対してゲート電極が下側に形成されているボトムゲート構造とが存在する。
【０００６】
ａ－Ｓｉ　ＴＦＴは、ボトムゲート構造で主に用いられる。ｐｏｌｙ－Ｓｉ　ＴＦＴは、トップゲート構造で主に用いられる。
【０００７】
近年、ａ－Ｓｉ　ＴＦＴ及びｐｏｌｙ－Ｓｉ　ＴＦＴの両方の長所を有するデバイスの研究が行われている。生産性に優れたボトムゲート型構造のａ－Ｓｉ　ＴＦＴの製造工程に、ａ－Ｓｉをｐｏｌｙ－Ｓｉに結晶化するレーザアニール等の工程を追加し、ボトムゲート型構造のｐｏｌｙ－Ｓｉ　ＴＦＴを形成する試みが行われている。
【０００８】
非特許文献１には、３０８ｎｍのエキシマ紫外光パルスレーザと５１５ｎｍの可視光（緑）パルスレーザを用いる例が開示されている。図２０Ａは、非特許文献１に開示されているボトムゲート構造を有するＴＦＴの断面模式図である。
【０００９】
図２０Ａに示すＴＦＴは、ガラス基板２０と、ゲート電極２１と、ゲート絶縁膜２２と、微結晶シリコン膜２３と、上部ａ－Ｓｉ膜２４と、高濃度ｎ型ａ－Ｓｉ膜２５と、ソースドレイン電極２６と、保護膜２７とを有する。
【００１０】
ここで微結晶シリコン膜とはＰｏｌｙ－Ｓｉ膜の一種であり、粒径が約１００ｎｍ以下と小さいものを指す。ゲート絶縁膜２２上にａ－Ｓｉ膜（不図示）を堆積した後、レーザ照射を行いａ－Ｓｉ膜を結晶化し、微結晶シリコン膜２３を形成する。レーザ光源波長や

プロセス条件を最適化し、図２０ＢのＴＦＴ電気特性を得ている。

【００１１】

また、特許文献１においては、紫～青色波長領域の半導体レーザを用いてａ－Ｓｉ膜を結晶化するアニール装置、及びボトムゲート型ＴＦＴ形成プロセスへの適用例が開示されている。

【先行技術文献】

【特許文献】

【００１２】

【特許文献１】特開２００４－３４２７８５号公報

【非特許文献】

【００１３】

【非特許文献１】T. Okabe et al., The 16th International Display Workshops (IDW'09), 2009, AMD2-2, pp.257-260, Microcrystalline Silicon Thin Film Transistors by Excimer Laser Annealing for Large-sized TFT-LCDs

【非特許文献２】S. Higashi et al., Japanese Journal of Applied Physics, Vol.45, No.5B, 2006, pp. 4313-4320, Crystallization of Si in Millisecond Time Domain Induced by Thermal Plasma Jet Irradiation

【発明の概要】

【発明が解決しようとする課題】

【００１４】

非特許文献１では、前記２種類のレーザ光源を用いたａ－Ｓｉ結晶化を検討している。、ａ－Ｓｉ膜は、５１５ｎｍの波長を有するレーザ光の光吸収度が低い。よって、ａ－Ｓｉ膜に５１５ｎｍの波長を有するレーザ照射した場合、ａ－Ｓｉ膜を透過したレーザ光が、ａ－Ｓｉ膜の下層に配置されたゲート絶縁膜やゲート電極に熱損傷を与える。

【００１５】

従って、ａ－Ｓｉ膜の光吸収が高い３０８ｎｍの波長を有するエキシマレーザが最適であるとしている。そして、３０８ｎｍの波長を有するエキシマレーザを用いたプロセス最適化を図っている。以下、３０８ｎｍの波長を有するエキシマレーザを、３０８ｎｍエキシマレーザとも呼ぶ。

【００１６】

しかしながら、３０８ｎｍエキシマレーザを照射するためのレーザ光源は、、励起ガスチャンバーや発振管が必要なため装置サイズが大きく、更に装置価格及びメンテナンスコストも非常に高い。具体的には、出力するレーザの波長が紫外領域であるため光学部品が短寿命であるため、ＸｅＣｌ等の励起ガス交換が頻繁に必要である。さらに、数ヶ月に一度、高価な発振管を交換する必要がある。

【００１７】

また、励起ガス劣化に伴う光出力低下や、パルス毎の光強度がばらつく出力安定性に課題があり、結晶化されたＳｉ膜の結晶性にばらつきを生じさせてしまう。ＴＦＴチャネル領域のＳｉ膜の結晶性は、電界効果移動度を含むＴＦＴパラメータに大きな影響を与える。その結果、ディスプレイパネルにおいて、表示ムラなどの不具合が生じてしまう。

一方、特許文献１では、エキシマレーザに比べ小型、安価、超寿命であり、かつａ－Ｓｉ膜の光吸収度が高い紫～青色波長の半導体レーザ光源を用いたレーザアニール装置が開示されている。しかしながら、ボトムゲート型ＴＦＴの一般的構成と、前記レーザアニール装置がａ－Ｓｉ結晶化工程に適用可能との記載があるのみで、エキシマレーザに対するＴＦＴ性能面での具体的優位性等については一切開示されていない。

本願発明者らは、可視光レーザを用いてボトムゲート型ｐｏｌｙ－Ｓｉ　ＴＦＴ形成プロセスの鋭意検討を行った結果、次の効果を見出した。すなわち可視光レーザをスキャンしてａ－Ｓｉ膜を結晶化する際、レーザ光のａ－Ｓｉ膜侵入深さが膜厚と同等、もしくは

大きくなった場合、一部の光がａ－Ｓｉ膜を透過し、ａ－Ｓｉ結晶化プロセスに影響を及ぼす。より詳細には、レーザ照射時にａ－Ｓｉ膜を透過した光は、その一部の光がゲート電極に吸収され、一部の光がａ－Ｓｉ膜に反射して干渉し、残りの一部のみがａ－Ｓｉ膜に吸収されると考えられる。このａ－Ｓｉ膜に吸収された光により、ａ－Ｓｉ膜の温度が上昇し、ｐｏｌｙ－Ｓｉに結晶化する。本願発明者らは、この光干渉効果がゲート電極上の結晶性分布に影響を及ぼすこと、更に結晶性分布とＴＦＴ電気特性の相関関係を詳細に調べた結果、優れたＴＦＴ特性を実現しうる結晶性分布を初めて明らかにした。

【００１８】

本発明は、前記従来の課題を解決するもので、高性能な電気特性を実現しうるｐｏｌｙ－Ｓｉ膜の結晶性分布を有した薄膜トランジスタおよびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【００１９】

前記従来の課題を解決するために、本発明の薄膜トランジスタは、絶縁性の基板と、ゲート電極と、ゲート絶縁膜と、結晶シリコン膜と、ソースドレイン電極と、を少なくとも備えた薄膜トランジスタ構造において、前記結晶シリコン膜のラマンスペクトルを、約４８０ｃｍ$^{-1}$にピークを有する非晶質シリコンの第１のラマンスペクトルと、約５０９ｃｍ$^{-1}$にピークを有する微結晶シリコンの第２のラマンスペクトルと、約５１７ｃｍ$^{-1}$にピークを有する多結晶シリコンの第３のラマンスペクトルにスペクトル分離し、前記結晶シリコン膜の結晶化率Ｃが、前記第１、第２、第３のそれぞれのスペクトル面積Ｐａ、Ｐｍ、ＰｃからＣ＝（Ｐｃ＋Ｐｍ）／（Ｐａ＋Ｐｃ＋Ｐｍ）×１００にて定義され、前記ゲート電極直上の前記結晶シリコン膜の前記結晶化率Ｃが、前記ゲート中央部から端部に向かって高くなる結晶性分布を有している。

【００２０】

また本発明の薄膜トランジスタの製造方法は、絶縁性の基板上に、ゲート電極に用いる金属膜を形成する第１の工程と、前記金属膜を覆うように、絶縁膜を形成する第２の工程と、前記絶縁膜上に第１の非晶質シリコン膜を形成する第３の工程と、前記第１の非晶質シリコン膜に、レーザ光を照射し、前記第１の非晶質シリコン膜を結晶シリコン膜に変化させる第４の工程と、前記結晶シリコン膜上に第２の非晶質シリコン膜を形成し、前記結晶シリコン膜と前記第２の非晶質シリコンとで構成されるチャネル層を形成する第５の工程と、前記チャネル層の上方に、ソース電極及びドレイン電極に用いる金属膜を形成する第６の工程とを含み、前記ゲート電極直上の前記第１の非晶質シリコン膜に対する前記レーザ光の吸収率をＡ１とし、前記ゲート電極領域以外の前記第１の非晶質シリコン膜に対する前記レーザ光の吸収率をＡ２とし、Ａ１＜Ａ２であることを含む。

【００２１】

以上により、エキシマレーザに比べ、プロセスコスト優位性の高い可視光波長領域の固体レーザもしくは半導体レーザを用いて、良好な電気特性を得るために最適な結晶シリコン膜の結晶化率分布が高精度に制御でき、高性能な薄膜トランジスタを低コストで実現することができる。

【００２２】

また従属項に記載された発明は、本発明に係る薄膜トランジスタおよび製造方法の具体的なものを規定する。

【００２３】

可視光波長領域でも、例えば５３２ｎｍの緑色波長ではａ－Ｓｉ膜の光吸収係数が低いので、ボトムゲート構造ＴＦＴで主に用いられるａ－Ｓｉ膜厚領域（５０ｎｍ以下）では光吸収度が低く、エネルギー効率の良好なａ－Ｓｉ膜結晶化が容易ではない。更に５３２ｎｍ固体レーザ光源の電力・光変換効率は約１５％程度であり、投入電力の約８５％が熱などのエネルギーロスとなってしまう。しかし、従属項で規定した半導体発光素子の発振波長４０５ｎｍを用いてａ－Ｓｉ膜結晶化を行えば、ａ－Ｓｉ膜厚５０ｎｍ以下でも十分な光吸収度が得られる。また光源のエネルギーロスも５３２ｎｍ固体レーザの半分以下に

抑制できるため、非常に効率的なプロセスにて結晶シリコン膜の結晶化率分布制御ができる。加えて半導体発光素子の小型、安価、超寿命という特長より、高性能な薄膜トランジスタを一層低コストにて実現することができる。

【発明の効果】

【００２４】

本発明の薄膜トランジスタ、およびその製造方法によれば、結晶シリコン膜の結晶性分布の高精度制御を行い、優れた電気特性の薄膜トランジスタを低コストにて実現することができる。

【図面の簡単な説明】

【００２５】

【図１】実施の形態１における有機ＥＬ表示装置を構成する薄膜トランジスタの構造を示す断面図

【図２】実施の形態１における有機ＥＬ表示装置を構成する薄膜トランジスタの構造を示す断面図において、結晶シリコン膜の結晶性分布を示した図

【図３】結晶シリコン膜のラマンスペクトル例と結晶化率導出式を示した図

【図４】実施の形態１における有機ＥＬ表示装置の等価回路を示す図

【図５】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を示すフローチャート

【図６Ａ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｂ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｃ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｄ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｅ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｆ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｇ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図６Ｈ】実施の形態１における有機ＥＬ表示装置の薄膜トランジスタの製造工程を説明するための断面模式図

【図７】図３のＳ４におけるレーザ結晶化工程を模式的に示した図

【図８Ａ】振幅透過率および振幅透過率の計算方法を説明するための図

【図８Ｂ】振幅透過率および振幅透過率の計算方法を説明するための図

【図８Ｃ】振幅透過率および振幅透過率の計算方法を説明するための図

【図８Ｄ】振幅透過率および振幅透過率の計算方法を説明するための図

【図９Ａ】本実施例での計算に用いたモデル構造およびそのパラメータを示す図

【図９Ｂ】本実施例での計算に用いたモデル構造およびそのパラメータを示す図

【図１０】ａ－Ｓｉ膜の膜厚が３５ｎｍの場合におけるＳｉＯ２膜厚を変化させたときの、Ｍｏゲート上でのａ－Ｓｉ膜における４０５ｎｍ光の反射率、透過率、吸収率を計算した結果を示す図

【図１１】ａ－Ｓｉ膜の膜厚が３５ｎｍの場合におけるＳｉＯ２膜厚を変化させたときの、ＳｉＯ２直上でのａ－Ｓｉ膜における４０５ｎｍ光の反射率、透過率、吸収率を計算した結果を示す図

【図１２】ａ－Ｓｉ膜の膜厚が３５ｎｍの場合におけるＳｉＯ２膜厚を変化させたときの、Ｍｏゲート上でのａ－Ｓｉ膜における５３２ｎｍ光の反射率、透過率、吸収率を計算した結果を示す図

【図１３】ａ－Ｓｉ膜の膜厚が３５ｎｍの場合におけるＳｉＯ２膜厚を変化させたときの、ＳｉＯ２直上でのａ－Ｓｉ膜における５３２ｎｍ光の反射率、透過率、吸収率を計算した結果を示す図
【図１４Ａ】レーザ照射によるａ－Ｓｉ膜の最高到達温度分布を求める際に用いたシミュレーション条件を示す図
【図１４Ｂ】レーザ照射によるａ－Ｓｉ膜の最高到達温度分布を求める際に用いたシミュレーション条件を示す図
【図１４Ｃ】レーザ照射によるａ－Ｓｉ膜の最高到達温度分布を求める際に用いたシミュレーション条件を示す図
【図１５】４０５ｎｍおよび５３２ｎｍ波長レーザ光を照射したときのａ－Ｓｉ膜の最高到達温度分布シミュレーション結果を示す図
【図１６】５３２ｎｍ波長レーザ光でａ－Ｓｉ結晶化した際の、結晶シリコン膜の結晶化率分布を示した図
【図１７】４０５ｎｍ波長レーザ光でａ－Ｓｉ結晶化した際の、結晶シリコン膜の結晶化率分布を示した図
【図１８】４０５ｎｍ波長レーザ光で、図１７で用いた基板走査速度よりも遅い走査速度にてａ－Ｓｉ結晶化した際の、結晶シリコン膜の結晶化率分布を示した図
【図１９Ａ】実施の形態１における製造方法にて形成した薄膜トランジスタのゲート電圧－ドレイン電流特性を示す図
【図１９Ｂ】実施の形態１における製造方法にて形成した薄膜トランジスタの電気特性パラメータを示す図
【図２０Ａ】従来の薄膜トランジスタの構造を示す断面図
【図２０Ｂ】従来の薄膜トランジスタの電気特性パラメータを示す図
【発明を実施するための形態】
【００２６】
以下、本発明の実施の形態について、図面を参照しながら説明する。
【００２７】
（実施の形態１）
図１は、実施の形態１における薄膜トランジスタの構造を示す断面図である。図１では、例えば、駆動トランジスタ２を構成する薄膜トランジスタ１００の断面図を示している。
【００２８】
（薄膜トランジスタ１００の構成）
図１に示す薄膜トランジスタ１００は、ボトムゲート構造である。薄膜トランジスタ１００は、絶縁性基板１０と、絶縁性基板１０上に形成されているゲート電極１１と、ゲート電極１１を覆うように形成されているゲート絶縁膜１２と、ゲート絶縁膜１２上に形成されている結晶シリコン膜１４と、結晶シリコン膜１４上に形成されている非晶質シリコン膜１５と、ゲート絶縁膜１２と結晶シリコン膜１４と非晶質シリコン膜１５上に形成されているｎ＋シリコン膜１６と、ｎ＋シリコン膜上に形成されているソース・ドレイン電極１７とを備える。
【００２９】
絶縁性基板１０は、透明なガラスまたは石英である。
【００３０】
ゲート電極１１は、絶縁性基板１０上に形成される。ゲート電極１１は、典型的には、Ｍｏ（モリブデン）、Ｔａ（タンタル）、チタン（Ｔｉ）等の高融点金属から構成される。
また、ゲート電極１１は、ＭｏＷ、ＴｉＷ、ＴａＣ、ＴｉＮなど、高融点金属と他の金属との合金で形成されていてもよい。
【００３１】
また、ゲート電極１１は、Ａｌ、ＣｕまたはＷのうちのいずれかで形成されていてもよ

い。また、ゲート電極１１は、Ａｌ合金またはＣｕ合金などで形成されていてもよい。

【００３２】

ゲート絶縁膜１２は、ゲート電極１１を覆うように形成される。ゲート絶縁膜１２は、典型的には酸化珪素（ＳｉＯ２）から構成される。また、ゲート絶縁膜１２は、好ましくは６０ｎｍ以上２００ｎｍ以下の膜厚を有する。より好ましくは１２０ｎｍである。ゲート絶縁膜１２が６０ｎｍ未満の膜厚を有する場合、初期耐圧不良やリーク電流増大により素子信頼性が低くなる懸念がある。ゲート絶縁膜１２が２００ｎｍより大きい膜厚を有する場合、ゲート電界がＴＦＴチャネル部に十分かからず、電流駆動力不足や電流立ち上がり特性の劣化を引き起こす可能性がある。

【００３３】

なお、ゲート絶縁膜１２は、シリコン酸化膜（ＳｉＯｘ）とシリコン窒化膜（ＳｉＮｘ）とを積層した膜でも良い。

【００３４】

結晶シリコン膜１４は、ゲート絶縁膜１２上に形成される。結晶シリコン膜１４は、多結晶のシリコン（Ｐｏｌｙ－Ｓｉ）から構成される。

【００３５】

図１に、結晶シリコン膜１４の部位名を示している。ソース・ドレイン電極１７の直下の部位がソース・ドレイン電極接続領域であり、両ソース・ドレイン電極１７の間を電流が流れる領域をチャネル領域とした。

【００３６】

図２に、図１に示す結晶シリコン膜１４の各部位における結晶化率を示している。ここで、結晶化率について、図３を用いて説明する。図３は、結晶シリコン膜のラマンスペクトルの一例を示す。

【００３７】

結晶シリコン膜１４は、完全な単結晶で構成された膜でなくも良い。例えば、結晶シリコン膜１４は、非晶質シリコン成分、微結晶シリコン成分、多結晶シリコン成分などを含む。したがって、ラマン分光法により、結晶シリコン膜１４を分析した場合、それぞれの成分に対応したラマンスペクトルが重畳されたスペクトルが観測される。

【００３８】

具体的には、非晶質シリコン成分のラマンスペクトルはピーク位置が約４８０ｃｍ$^{-1}$で半値幅約４０ｃｍ$^{-1}$以上５０ｃｍ$^{-1}$以下のローレンツ型分布を有する。微結晶シリコン成分のラマンスペクトルはピーク位置が約５０９ｃｍ$^{-1}$で半値幅約２０ｃｍ$^{-1}$以上～３０ｃｍ$^{-1}$以下のローレンツ型分布を有する。多晶質シリコン成分のラマンスペクトルはピーク位置が約５１７ｃｍ$^{-1}$で半値幅約５ｃｍ$^{-1}$以上１５ｃｍ$^{-1}$以下のローレンツ型分布を有する。

【００３９】

ここで、非晶質シリコン成分のラマンスペクトルのピークの位置が約４８０ｃｍ$^{-1}$とは、
４７７ｃｍ$^{-1}$以上４８３ｃｍ$^{-1}$以下の範囲に、ラマンスペクトルのピークの位置があることを含む。ラマンスペクトルのピークの位置は、３ｃｍ$^{-1}$程度ずれても、膜内の応力や測定精度等の理由により、同じピークであるとみなせるからである。

【００４０】

よって、微結晶シリコン成分のラマンスペクトルはピーク位置が約５０９ｃｍ$^{-1}$とは、５０６ｃｍ$^{-1}$以上５１２ｃｍ$^{-1}$以下の範囲に、ラマンスペクトルのピークの位置があることを含む。また、ポリシリコン成分のラマンスペクトルはピーク位置が約５１７ｃｍ$^{-1}$とは、５１４ｃｍ$^{-1}$以上５２０ｃｍ$^{-1}$以下の範囲に、ラマンスペクトルのピークの位置があることを含む。

【００４１】

図３に示すように、結晶シリコン膜１４のラマンスペクトルは、３つのラマンスペクトルに分離できる。ラマンスペクトルの分離は、前記３つの成分のラマンスペクトルを合成

したスペクトルと、測定された実際のラマンスペクトルの値の差が４６０ｃｍ$^{-1}$から５３０ｃｍ$^{-1}$の波数範囲において最小になるようにカーブフィッテイングを行うことにより実施可能である。フィッティングに用いる非晶質成分のラマンスペクトルのピーク位置は４７７ｃｍ$^{-1}$以上４８３ｃｍ$^{-1}$であり、スペクトル形状はローレンツ型で半値幅は４０ｃｍ$^{-1}$以上５０ｃｍ$^{-1}$以下である。また、微結晶成分のラマンスペクトルのピーク位置は５０６ｃｍ$^{-1}$以上５１２ｃｍ$^{-1}$であり、スペクトル形状はローレンツ型で半値幅は２０ｃｍ$^{-1}$以上３０ｃｍ$^{-1}$以下である。さらにポリシリコン成分のラマンスペクトルのピーク位置は５１４ｃｍ$^{-1}$以上５２０ｃｍ$^{-1}$であり、スペクトル形状はローレンツ型で半値幅は５ｃｍ$^{-1}$以上１５ｃｍ$^{-1}$以下である。

【００４２】

非晶質シリコン成分のラマンスペクトルの面積をＰａ、微結晶シリコン成分のラマンスペクトルの面積をＰｍ、多結晶シリコン成分のラマンスペクトルの面積をＰｃとする。結晶化率Ｃを（Ｐｍ＋Ｐｃ）／（Ｐａ＋Ｐｍ＋Ｐｃ）×１００とする。結晶化率の単位はパーセント（％）である。

【００４３】

結晶シリコン膜１４の結晶化率が高くなってくると、Ｐｍが極めて小さな値となる。その結果、結晶化率は近似的にＣ＝Ｐｃ／（Ｐａ＋Ｐｃ）×１００として求められる。

【００４４】

ここで、図２を用いて、結晶シリコン膜１４の結晶化率Ｃの分布について説明する。図２に示すように、結晶化率Ｃはチャネル領域でほぼ一定値Ｃ１である。ソース・ドレイン電極接続領域の外側（端部）に向かうほど結晶化率が高くなる。つまり、チャネル領域からの距離が遠くなるほど、結晶化率が高くなっている。言い換えると、結晶シリコン膜１４の外側（端部）から中央に向かって、結晶化率が小さくなっている。
チャネル領域と接する部分と反対の端において、結晶化率Ｃ２となっている。

【００４５】

実験結果では、Ｃ１は、約５５％以上６６％以下であった。また、Ｃ２はＣ１に比べて約４％以上大きい。

【００４６】

結晶シリコン膜１４の形成方法を説明する。まず、ゲート絶縁膜１２上にａ－Ｓｉからなる非晶質シリコン膜１３（不図示）を形成する（Ｓ２）。形成した非晶質シリコン膜１３に対して、レーザを照射する。その結果非晶質シリコン膜１３を多結晶質化し、結晶シリコン膜１４に変化させる（Ｓ３）。図２に示す結晶シリコン膜１４の結晶化率の分布を形成する方法は、あとで詳細に説明する。

【００４７】

本明細書において、「多結晶」とは、多数の微小な結晶から構成されていることを示す。なお、多結晶は、狭義の意味での多結晶である５０ｎｍ以上の結晶だけでなく、５０ｎｍ以下の結晶を含んだ広義の意味とする。

【００４８】

レーザ照射に用いられるレーザはエキシマレーザよりプロセスコストの低い固体レーザもしくは半導体レーザであり、ａ－Ｓｉ膜の光吸収度が良好な紫色から緑色領域の波長を有する。ここで、「紫色から緑色の光領域」とは、３８０ｎｍ以上５７０ｎｍ以下の範囲の波長を意味する。

【００４９】

好ましくはａ－Ｓｉ膜の光吸収度が高く、かつ半導体レーザである、発振波長４０５ｎｍの青紫色半導体レーザを用いる。ここで、半導体レーザの製造工程がばらつくことにより、発振波長４０５ｎｍは、概ね±５ｎｍ程度の幅を有する。したがって、青紫色半導体レーザは、４００ｎｍ以上４１０ｎｍ以下の波長の光を意味する。

【００５０】

非晶質シリコン膜１３は、ゲート絶縁膜１２上に形成される。非晶質シリコン膜１３は、非晶質のシリコン（ａ－Ｓｉ）から構成される。非晶質シリコン膜１３は、好ましくは

２０ｎｍ以上５５ｎｍ以下の膜厚を有する。より好ましくは３５ｎｍである。

【００５１】

ａ－Ｓｉ膜は、成膜できる膜厚の最小値付近が２０ｎｍである。

【００５２】

上限の５５ｎｍは、一般的に、ボトムゲート構造の結晶化シリコン膜の膜厚が約５０ｎｍ以下であるためである。

【００５３】

約５０ｎｍ以上の領域では、オフ電流増大、電流立ち上がり特性劣化など、良好なＴＦＴ性能が得られ難くなってしまう。また、非晶質シリコン膜厚が２０ｎｍ以下の場合、前述したように、プロセスバラツキにより安定的に大面積基板上に形成困難である点と、結晶化させ難くなってしまう可能性がある。

【００５４】

非晶質シリコン膜１５は、パターニングで残された結晶シリコン膜１４上に形成されている。

【００５５】

このように、駆動トランジスタ２を構成する薄膜トランジスタ１００は、結晶シリコン膜１４に非晶質シリコン膜１５が積層された構造のチャネル層を有する。実施の形態１においては、電流が流れる半導体の役割を果たす「チャネル層」は、結晶シリコン膜１４と非晶質シリコン膜１５との積層膜を意味する。この「チャネル層」は、図１で説明した「チャネル領域」とは定義が異なる。

【００５６】

ｎ＋シリコン膜１６は、ゲート絶縁膜１２上に形成される。また、ｎ＋シリコン膜１６は、非晶質シリコン膜１５の側面と結晶シリコン膜１４の側面とを覆うように形成されている。

【００５７】

ソース・ドレイン電極１７は、互いに離間して形成されるソース電極及びドレイン電極である。チャネルとなる半導体を介して、ソース電極からドレイン電極に電流が流れる。

【００５８】

実施の形態１においては、ソース・ドレイン電極１７は、ｎ＋シリコン膜１６上に形成される。ソース・ドレイン電極１７は、例えば、モリブデン（Ｍｏ）、ＭｏＷ等のＭｏを含む合金、チタニウム（Ｔｉ）、アルミニウム（Ａｌ）、Ａｌを含む合金、銅（Ｃｕ）、Ｃｕを含む合金、銀（Ａｇ）、クロム（Ｃｒ）、タンタル（Ｔａ）、タングステン（Ｗ）等の金属膜から構成される。

【００５９】

実施の形態１の薄膜トランジスタ１００は、液晶表示装置又は有機ＥＬ表示装置に用いられる。以下、有機ＥＬ表示装置に薄膜トランジスタ１００を適用した例を説明する。

【００６０】

図４は、実施の形態１の有機ＥＬ表示装置１０００の等価回路を示す。

【００６１】

（有機ＥＬ表示装置１０００の構成）

有機ＥＬ表示装置１０００は、スイッチングトランジスタ１と、図１に示す駆動トランジスタ２と、データ線３と、走査線４と、電流供給線５と、キャパシタンス６と、有機ＥＬ素子７とを備える。

【００６２】

スイッチングトランジスタ１は、データ線３と走査線４とキャパシタンス６とに接続されている。駆動トランジスタ２は、電流供給線５とキャパシタンス６と有機ＥＬ素子７とに接続されている。

【００６３】

データ線３は、有機ＥＬ素子７の画素の明暗を決めるデータ（電圧値の大小）が、有機ＥＬ素子７の画素に伝達される配線である。走査線４は、有機ＥＬ素子７の画素のスイッ

チ（ＯＮ／ＯＦＦ）を決めるデータが有機ＥＬ素子７の画素に伝達される配線である。電流供給線５は、駆動トランジスタ２に大きな電流を供給するための配線である。キャパシタンス６は、電圧値（電荷）を一定時間保持する。

【００６４】

以上のように、本実施の形態１における有機ＥＬ表示装置１０００は構成されている。

【００６５】

（製造方法）

次に、製造方法について説明する。まず基本的な製造方法を述べた後、結晶シリコン膜１４の結晶化率分布をいかに制御可能するかについて詳細を説明する。

【００６６】

図５に、実施の形態１に係る有機ＥＬ表示装置１０００の薄膜トランジスタ１００の製造工程のフローチャートを示す。図６Ａから図６Ｈは、薄膜トランジスタ１００、実施の形態１に係る有機ＥＬ表示装置１０００の薄膜トランジスタ１００の製造工程を示す。図７は、図５のＳ４におけるレーザアニールを模式的に示す。

【００６７】

（Ｓ１）

まず、ゲート電極１１の形成、パターニングを行う。

【００６８】

絶縁基板１０を準備する。絶縁基板１０上に、スパッタ法によりゲート電極１１を構成する金属を形成する。形成した金属をフォトリソグラフィーおよびエッチングすることより、ゲート電極１１を形成する（図６Ａ）。

【００６９】

例えば、絶縁基板１０を覆うように、スパッタ法によりゲート電極１１を構成する金属を形成する。フォトリソグラフィーおよびエッチングを用いて、形成した金属のうちゲート電極１１を形成する部分以外を除去することで、ゲート電極１１を形成する。

【００７０】

ゲート電極１１は、Ｍｏ（モリブデン）、Ｔａ（タンタル）、チタン（Ｔｉ）、Ａｌ（アルミニウム）、Ｃｕ（銅）、Ｗ（タングステン）である。または、ゲート電極１１は、ＭｏＷ等のＭｏを含む合金、ＴａＣ等のＴａを含む合金、ＴｉＷ及びＴｉＮ等のＴｉを含む合金、Ａｌ合金、またはＣｕ合金などでもよい。

【００７１】

（Ｓ２）

絶縁基板１０及びゲート電極１１上にゲート絶縁膜１２を形成（成膜）する。ここで、ゲート絶縁膜１２は、例えば、シリコン酸化膜（ＳｉＯ２）から構成されている。好ましくは、６０ｎｍ以上２００ｎｍ以下の膜厚を有するゲート絶縁膜１２を成膜する。より好ましくは１２０ｎｍの膜厚を有するゲート絶縁膜１２を成膜する。

【００７２】

（Ｓ３）

ゲート絶縁膜１２上に非晶質シリコン膜１３を形成（成膜）する。例えば、プラズマＣＶＤ法により、絶縁基板１０とゲート電極１１とを覆うように、ゲート絶縁膜１２を成膜する（図６Ｂ）。成膜したゲート絶縁膜１２上に非晶質シリコン膜１３を連続的に成膜することにより、ゲート絶縁膜１２表面の空気暴露、不純物汚染を抑制することができ、良好なゲート絶縁膜／非晶質シリコン膜界面を形成することができる（図６Ｃ）。好ましくは、２０ｎｍ以上５５ｎｍ以下の範囲の膜厚、より好ましくは３５ｎｍの膜厚を有する非晶質シリコン膜１３を、ゲート絶縁膜１２上に成膜する。

【００７３】

（Ｓ４）

レーザアニール法により、非晶質シリコン膜１３を結晶シリコン膜１４にする。具体的には、成膜された非晶質シリコン膜１３に対して脱水素処理をする。その後、非晶質シリコン膜１３をレーザアニール法により、多結晶（微結晶を含む）にすることにより結晶シ

リコン膜１４を形成する（図６Ｄ）。

【００７４】

ここで、このレーザアニール法において、レーザ光源は、紫から緑色の光領域の波長のレーザを照射する。紫から緑色の光領域の波長とは、３８０ｎｍ以上５８０ｎｍ以下を意味する。半導体レーザの製造工程がばらつくことにより、±５ｎｍ程度の幅を有する。したがって、本明細書における３８０ｎｍ以上５８０ｎｍ以下の波長を有するレーザは、３７５ｎｍ以上５８５ｎｍ以下の波長を有するレーザも含む。

【００７５】

好ましくはａ－Ｓｉ膜の光吸収度が高い、発振波長４０５ｎｍの青紫色半導体レーザである可視光領域の波長のレーザを用いる。

【００７６】

Ｓ４の工程（図６Ｃから図６Ｄ）では、図７に示すように、線状に集光された例えば４０５ｎｍ光波長の半導体レーザが、非晶質シリコン膜１３に照射されることで結晶シリコン膜１４が形成される。

【００７７】

以下、具体的に説明する。非晶質シリコン膜１３が形成された絶縁性基板１０をステージ上に載せる。線状に集光された波長４０５ｎｍの光の照射位置は固定しておく。ステージを移動させることにより、波長４０５ｎｍの光が、非晶質シリコン膜１３に照射される。波長４０５ｎｍの光を照射された非晶質シリコン膜１３は、波長４０５ｎｍの光のエネルギーを吸収することで、温度上昇する。非晶質シリコン膜１３は、温度の上昇により加熱融解し、再結晶化することで、結晶シリコン膜１４になる。

【００７８】

（Ｓ５）

結晶シリコン膜１４上に、２層目の非晶質シリコン膜１５を形成（成膜）する。

【００７９】

薄膜トランジスタ１００のチャネル領域のシリコン膜層をパターニングする。プラズマＣＶＤ法により、ゲート絶縁膜１２上に、２層目の非晶質シリコン膜１５を成膜する（図６Ｅ）。

【００８０】

（Ｓ６）

そして、薄膜トランジスタ１００のシリコン膜層（結晶シリコン膜１４および非晶質シリコン膜１５の層）をパターニングし、除去すべき非晶質シリコン膜１５と結晶シリコン膜１４とをエッチングにより除去する（図６Ｆ）。それにより、薄膜トランジスタ１００において所望のチャネル層を形成することができる。

【００８１】

（Ｓ７）

ｎ＋シリコン膜１６とソース・ドレイン電極１７とを形成（成膜）する。

【００８２】

プラズマＣＶＤ法により、非晶質シリコン膜１５と結晶シリコン膜１４の側面とゲート絶縁膜１２とを覆うようにｎ＋シリコン膜１６を成膜する（図６Ｇ）。そして、成膜したｎ＋シリコン膜１６上に、スパッタ法によりソース・ドレイン電極１７となる金属が堆積される（図６Ｇ）。

【００８３】

（Ｓ８）

ソース・ドレイン電極１７のパターニングを行う。そして、ｎ＋シリコン膜１７をエッチングし、また、２層目の非晶質シリコン膜１５を一部エッチングする。

【００８４】

ソース・ドレイン電極１７をフォトリソグラフィーおよびエッチングにより形成する（図６Ｈ）。また、ｎ＋シリコン膜１７をエッチングし、薄膜トランジスタ１００のチャネル領域の非晶質シリコン膜１５を一部エッチングする。言い換えると、非晶質シリコン膜

１５は、薄膜トランジスタ１００のチャネル領域の非晶質シリコン膜１５を一部残すようにチャネルエッチングされる。以上のような製造方法を用いて、有機ＥＬ表示装置１０００の薄膜トランジスタ１００は製造される。

【００８５】

本願発明者らは、可視光レーザを用いてボトムゲート型ｐｏｌｙ－Ｓｉ　ＴＦＴ形成プロセスの鋭意検討を行った結果、次の効果を見出した。可視光レーザをスキャンしてａ－Ｓｉ結晶化する際、レーザ光のａ－Ｓｉ膜侵入深さが膜厚と同等、もしくは大きくなった場合、一部の光がａ－Ｓｉ膜を透過し、ａ－Ｓｉ結晶化プロセスに影響を及ぼす。より詳細には、レーザ照射時にａ－Ｓｉ膜を透過した光は、その一部の光がゲート電極に吸収され、一部の光がａ－Ｓｉ膜に反射して干渉し、残りの一部のみがａ－Ｓｉ膜に吸収されると考えられる。このａ－Ｓｉ膜に吸収された光により、ａ－Ｓｉ膜の温度が上昇し、ｐｏｌｙ－Ｓｉに結晶化する。本願発明者らは、この光干渉効果がゲート電極上の結晶性分布に影響を及ぼすこと、更に結晶性分布とＴＦＴ電気特性の相関関係を詳細に調べた結果、優れたＴＦＴ特性を実現しうる結晶性分布を初めて明らかにした。

【００８６】

以下、ゲート電極上の結晶シリコン膜の結晶性分布に光干渉効果が与える影響を説明する。

【００８７】

図８Ａ～図８Ｄは、振幅反射率および振幅透過率の計算方法を説明するための図である。図８Ａは、５つの層からなる多層膜構造の膜構造モデルを示す。

【００８８】

この膜構造モデルは、屈折率ｎ１からなる膜８０１と、屈折率ｎ２からなる膜８０２と、屈折率ｎ３からなる膜８０３と、屈折率ｎ４からなる膜８０４と、屈折率ｎ５からなる膜８０５とを備える。この膜構造モデルは、膜８０５、膜８０４、膜８０３、膜８０２および膜８０１がこの順に積層されている。

【００８９】

図８の膜８０１の上部に示す屈折率ｎｉｎの領域は、膜構造モデルの外部である。屈折率ｎｉｎの領域は、光が膜構造モデルに入射される側を示している。同様に屈折率ｎｏｕｔの領域は、膜構造モデルの外部であり、光が膜構造モデルから出射される側を示している。

【００９０】

図８Ｂに示すように、この膜構造モデルの最下層すなわち膜８０５の反射率は、式１により計算される。なお、図８Ｂにおいて、Ｅ０は、膜８０５に入射された光エネルギーの振幅を示している。

【００９１】

【数１】

$$r_5 = \frac{r_{45} + r_{5out} e^{i\Delta_5}}{1 + r_{5out} r_{45} e^{i\Delta_5}} \quad \text{（式1）}$$

【００９２】

ここで、$r_5$は、膜８０５の振幅反射率を示し、$r_{45}$は、膜８０４から膜８０５への振幅反射率を示す。$r_{5out}$は、膜８０５から外部への振幅反射率を示す。また、$\Delta_5$は、膜８０５の光路長を示す。

【００９３】
そして、図８Ｃに示すように、膜８０５および膜８０４の２層における振幅反射率は、式２により計算される。
【００９４】
【数２】

$$r_{4+5} = \frac{r_{34} + r_5 e^{i\Delta_4}}{1 + r_5 r_{34} e^{i\Delta 4}} \quad \text{（式2）}$$

【００９５】
ここで、$r_{4+5}$は、膜８０５および膜８０４を１層とみなしたときの振幅反射率を示し、$r_{34}$は膜８０３から膜８０４への振幅反射率を示す。$r_5$は、膜８０５の振幅反射率を示す。また、$\Delta_4$は、膜８０４の行路長を示す。このような計算を繰り返すことにより、５つの層からなる多層膜構造の膜構造モデルの振幅反射率は、式３のように計算することができる。
【００９６】
【数３】

$$r_{1+2+3+4+5}\Gamma_{1+2+3+4+5} = \frac{r_{inl} + r_{2+3+4+5} e^{i\Delta_l}}{1 + r_{2+3+4+5} r_{inl} e^{i\Delta_l}} \quad \text{（式3）}$$

【００９７】
また、同様の計算により振幅透過率を計算することができる。具体的には、図８Dに示す膜８０２および膜８０３の２層での振幅透過率は、式４により計算される。
【００９８】
【数４】

$$r_{1\to 3} = t_{12} t_{23} e^{i\Delta/2} \frac{1}{1 - r_{23} r_{21} e^{i\Delta}} \quad \text{（式4）}$$

【００９９】
ここで、$t_{1\to 3}$は、膜８０２および膜８０３を１層とみなしたときの振幅透過率を示す。$t_{12}$は、膜８０１から膜８０２への振幅透過率を示し、$t_{23}$は、膜８０２から膜８０３への振幅透過率を示す。また、$r_{23}$は、膜８０２から膜８０３への振幅反射率を示し、$r_{21}$は、膜８０２から膜８０１への振幅反射率を示す。Δは、行路長を示している。
【０１００】

続いて、次の層すなわち膜８０３を考慮した場合、$t_{1\to3}$を用いて、これら３層の振幅透過率は、式５により計算される。

【０１０１】

【数５】

$$r_{1\to4} = t_{1\to3}t_{34}e^{i\Delta/2}\frac{1}{1-r_{34}r_{32}e^{i\Delta}} \qquad \text{（式5）}$$

【０１０２】

このような計算を繰り返すことにより、５つの層からなる多層膜構造の膜構造モデルの振幅透過率を計算することができる。なお、このような計算は、すべて複素数の屈折率を使って計算されているため、結果は複素数となる。

【０１０３】

また、パワー反射率Ｒおよびパワー透過率Ｔは、式６および式７に示す複素共役との積をとる。

【０１０４】

Ｒ＝ｒ×ｒ＊　（式６）

Ｔ＝ｔ×ｔ＊　（式７）

上記のパワー反射率Ｒおよびパワー透過率Ｔを用いると、膜８０１における光の吸収率は、以下の式８で計算される。

【０１０５】

Ａ（膜８０１）＝１－Ｔ－Ｒ　　（式８）

図９Ａおよび図９Ｂは、本実施例での計算に用いたパラメータおよびそのモデル構造を示す図である。ここで、ｋは消衰係数であり、吸収係数につながる係数である。

【０１０６】

図９Ｂに示すモデル構造では、基板としてガラス基板９０１（計算結果には全く影響を及ぼさない）を準備し、その上にＭｏからなる金属膜９０２（膜厚未設定）を配置した。その上にＳｉＯ２膜９０３（膜厚可変）、ａ－Ｓｉ膜９０４（膜厚可変）を配置し、その上部は空気層（屈折率１）とした。

【０１０７】

このモデル構造は、図１に示すボトムゲート構造のＴＦＴをモデル化したものである。ガラス基板９０１は、図１に示す絶縁基板１０に対応し、金属膜９０２は、ゲート電極１１に対応する。ＳｉＯ２膜９０３は、ゲート絶縁膜１２に対応し、ａ－Ｓｉ膜９０４は、非晶質シリコン膜１３に対応する。

【０１０８】

上述した計算方法を用いて、図９Ｂに示すモデル構造におけるａ－Ｓｉ膜９０４の表面と垂直な方向から、波長４０５ｎｍや５３２ｎｍの光を入射した場合の多重干渉によって計算されるａ－Ｓｉ膜への光吸収率（式８より記号Ａとする）を算出した。ここで、図９Ａは、波長４０５ｎｍおよび５３２ｎｍにおける屈折率を示している。図９Ａ中に示した屈折率の値を用いて、ａ－Ｓｉ膜９０４への光の吸収率Ａを算出した。

【０１０９】

最初に、４０５ｎｍ光を用いた場合の計算結果について説明する。

図１０に、ａ－Ｓｉ膜の膜厚が３５ｎｍの場合における$SiO_2$の膜厚を変化させたときの計算した結果を示す。波長４０５ｎｍの光に対して、Ｍｏで構成したゲート電極上のａ－Ｓｉ膜の反射率Ｒ、透過率Ｔ、吸収率Ａを計算した結果を示す。

【０１１０】

図１０では、ａ－Ｓｉ膜９０４の膜厚を３５ｎｍに固定して、ａ－Ｓｉ膜９０４への吸収率Ａ、系全体の透過率Ｔおよび反射率Ｒを計算した。このとき、計算上、吸収項（屈折率の虚数項）を持っている。しかし、ａ－ＳｉとＭｏとを用いているため、それぞれの材料の特性から考えて、透過する部分はＭｏに吸収され、透過および反射を除いた部分がａ－Ｓｉ膜９０４に吸収されると計算している。

【０１１１】

図１０に示すように、ａ－Ｓｉ膜９０４への吸収率Ａは、$SiO_2$膜９０３の膜厚を変化させると、光干渉効果により約１０％変動する。

【０１１２】

$SiO_2$の膜厚が約１２５ｎｍと約２６０ｎｍにおいて、反射率Ｒがやや増大している。反射率Ｒが増大するのに対応して、吸収率Ａもそれらの波長で数％下がっていることがわかる。

【０１１３】

また、Ｍｏからなる金属膜９０２に吸収される光エネルギーは、$SiO_2$膜９０３を透過する透過率Ｔ（パワー透過率）として計算される。この透過率Ｔは、$SiO_2$膜９０３の膜厚が約１２０ｎｍと約２６０ｎｍ付近で約５％程度の極大値を持っている。しかし、ａ－Ｓｉ膜での吸収率Ａに比べると１／１０以下であり、ａ－Ｓｉ膜を結晶させるための熱エネルギーとして、ゲート電極１１の発熱分が貢献する割合は小さい。

【０１１４】

図１１も同様に、ａ－Ｓｉ膜の膜厚が３５ｎｍの場合における、$SiO_2$直上のａ－Ｓｉ膜の反射率Ｒ、透過率Ｔ、吸収率Ａを計算した結果を示す。図１０のＭｏゲート上の計算結果に比べて、吸収率Ａは高くなっており、$SiO_2$膜厚変動に対する吸収率変動も少ない。

【０１１５】

次に、５３２ｎｍ光を用いた場合の計算結果について説明する。

【０１１６】

図１２では、ａ－Ｓｉ膜９０４の膜厚を３５ｎｍに固定して、ａ－Ｓｉ膜９０４への吸収率（Ａ＝１－Ｔ－Ｒ）、系全体の透過率Ｔおよび反射率Ｒを計算した。このとき、計算上、吸収項（屈折率の虚数項）を持っている。しかし、ａ－ＳｉとＭｏとを用いているため、それぞれの材料の特性から考えて、透過する部分はＭｏに吸収され、透過および反射を除いた部分がａ－Ｓｉ膜９０４に吸収されると計算している。

【０１１７】

図１２に示すように、ａ－Ｓｉ膜９０４への吸収率Ａは、$SiO_2$膜９０３の膜厚を変化させると、光干渉効果により約１０％以上変動する。

【０１１８】

$SiO_2$の膜厚が約１６０ｎｍと約３４０ｎｍにおいて、反射率Ｒが急激に低下している。反射率Ｒが減少するに対応して吸収率Ａもそれらの波長で約１０％上がっていることがわかる。

【０１１９】

また、Ｍｏからなる金属膜９０２に吸収される光エネルギーは、$SiO_2$膜９０３を透過する透過率Ｔ（パワー透過率）として計算される。この透過率Ｔは、$SiO_2$膜９０３の膜厚が約１６０ｎｍと約３４０ｎｍ付近で約４５％程度の極大値を持っている。これはａ－Ｓｉ膜での吸収率に比べて約１．５倍であり、ａ－Ｓｉ膜を結晶させるための熱エネルギーとして、ゲート電極１１の発熱分が貢献する割合は極めて大きい。この反射率Ｒの極大値付近以外でも、５３２ｎｍ光のレーザ照射では、透過率Ｔ／吸収率Ａの比が約１／５程度あり、ゲート電極１１の発熱分が無視できないことがわかる。

【０１２０】

図１３も同様に、ａ－Ｓｉ膜の膜厚が３５ｎｍの場合における、$SiO_2$直上のａ－Ｓｉ膜の反射率Ｒ、透過率Ｔ、吸収率Ａを計算した結果を示す。図１２のＭｏゲート上の計算結果に比べて、吸収率Ａは低く、$SiO_2$膜厚変動に対する吸収率変動が少ない。

【０１２１】
３０８ｎｍの波長を有する光を用いた場合、ａ－Ｓｉ膜厚３５ｎｍでは、光がａ－Ｓｉ膜でほぼ完全に吸収され透過しないため光干渉効果の影響を受けない。図１０と同様な計算を行うと、透過率Ｔ、反射率Ｒ、吸収率ＡはＳｉ$O_2$膜厚によらず一定となり、光吸収率Ａは約４５％となる。光がａ－Ｓｉ膜でほぼ完全に吸収されても吸収率Ａが１００％にならいのはａ－Ｓｉ膜表面で５５％が光反射されてしまうことによる。
【０１２２】
図１０において、４０５ｎｍ光照射時の光吸収率ＡはＳｉ$O_2$膜厚により約１０％程度変動するものの、約４２％以上あり、３０８ｎｍ紫外光と同等な吸収率を有することがわかる。従って、エネルギー効率の良好な結晶化プロセスを実現することができる。
【０１２３】
以上のような計算方法で求めたａ－Ｓｉ膜の光吸収率Ａが、どの程度均一なレーザ結晶化プロセスを実現できるか定量的に調べるため、２次元熱シミュレーションを行った。図１４Ａ、Ｂ、Ｃは、それぞれレーザ照射によるａ－Ｓｉ膜の最高到達温度分布を求める際に用いた熱シミュレーションのおける、素子断面図、ビーム形状、シミュレーション条件である。半値幅３０μｍのガウシアン形状を持った波長４０５ｎｍもしくは５３２ｎｍ波長のレーザビームを図１４Ａの－７０μｍから＋７０μｍの領域まで、走査速度５００ｍｍ／ｓでスキャンして、ゲート電極１１近辺のａ－Ｓｉ膜１３の最高到達温度分布を調べた。熱シミュレーションは以下の式９に基づき有限要素法による数値計算を行った。
【０１２４】
【数６】

$$\frac{\partial T(x,y)}{\partial t}=\frac{\kappa}{\rho c}\left(\frac{\partial^2 T(x,y)}{\partial x^2}+\frac{\partial^2 T(x,y)}{\partial y^2}\right)+\frac{S}{\rho c} \qquad \text{（式9）}$$

【０１２５】
式９でｘはビームの挿引方向に沿った位置座標で、ｙは基板と垂直方向の座標軸を有し、ａ－Ｓｉ膜１３表面からの位置座標を示す。式９においてＴ、(、(、ｃはそれぞれ、温度、熱伝導率、密度、比熱である。Ｓはレーザ照射により生成された単位面積当たりの熱エネルギーである。これまでに説明してきた多重干渉効果を考慮した計算方法により求めた光吸収率がＳに関係する。レーザエネルギー密度は最高到達温度が約１３００Ｋになるよう設定した。１３００Ｋではａ－Ｓｉが０．１ｍｓ程度で固相結晶化することが期待できる（非特許文献２の４３１７頁Ｆｉｇ．７）。
【０１２６】
シミュレーションに用いたデバイス構造は、ａ－Ｓｉ膜厚を３５ｎｍ、ＳｉＯ２膜厚を１２０ｎｍとする。４０５ｎｍ光に対するゲート電極上とＳｉ$O_2$膜直上のａ－Ｓｉ膜の光吸収率ＡをそれぞれＡ１、Ａ２と定義すると、図１０と図１１より、Ａ１＝４５．３％、Ａ２＝４８．５％となる。同様に５３２ｎｍ光に対するゲート電極上とＳｉ$O_2$膜直上のａ－Ｓｉ膜の光吸収率Ａ１、Ａ２は、図１２と図１３より、Ａ１＝１９．０％、Ａ２＝１７．５％となる。
【０１２７】
図１５に、４０５ｎｍおよび５３２ｎｍ波長レーザ光を照射したときのａ－Ｓｉ膜の最高到達温度分布シミュレーション結果を示す。図１５より、いずれの波長でも最高到達温度は約１３００℃になることがわかるが、４０５ｎｍの場合はゲート電極上が最高到達温度が最も低くなり（下に凸）、５３２ｎｍの場合はゲート電極上の最高到達温度が最も高い（上に凸）ことがわかる。熱シミュレーションの詳細解析により、この最高温度プロファイル形状（上に凸か下に凸）は、前述の光吸収率差（Ａ１－Ａ２）の符号でよく説明が

つくことがわかった。すなわち、（Ａ１－Ａ２）の符号が負の場合はプロファイル形状が下に凸となり、正の場合は上に凸となる。また（Ａ１－Ａ２）の絶対値が大きいほど、ゲート電極上での最高到達温度ムラが大きくなる。図１４の熱シミュレーションに用いたデバイス構造では、Ａ１とＡ２の相対比（Ａ１－Ａ２）／Ａ１×１００は、
４０５ｎｍの場合、
（４５．３－４８．５）／４５．３×１００　－７．１（％）
５３２ｎｍの場合、
（１９．０－１７．５）／１９．０×１００　＋７．９（％）
となり、（Ａ１－Ａ２）／Ａ１×１００の絶対値はほぼ同じであるが、５３２ｎｍの方が、ゲート電極上の最高到達温度ムラが大きいのは、図１２で説明したゲート電極自身の発熱分が寄与していると考えられる。

【０１２８】
以上の熱シミュレーション結果と、図５、６、７で説明した製造方法をもとに、ａ－Ｓｉ膜のレーザ結晶化を実際に行い、結晶シリコン膜の結晶性分布を調べた。４０５ｎｍと５３２ｎｍ光源と光学系（例えば４０５ｎｍ用にはコリメータレンズ、非球面レンズ、集光用レンズ）を組み合わせ２００μｍ×３０μｍの長尺状ビーム成形を行い、図１４Ａに示した構造を作製してａ－Ｓｉ膜のレーザ結晶化を行った。その後、結晶シリコン膜の結晶化率分布をラマンスペクトル測定により行った。

【０１２９】
図１６は５３２ｎｍ波長レーザ光でａ－Ｓｉ結晶化した（条件１とする）際の、結晶シリコン膜の結晶化率分布を示した図である。縦軸の結晶化率は図３で説明した手順にて導出した。また横軸の位置は、図２で定義した通りである。図１６と図２から、ゲート電極上の結晶シリコン膜の結晶化率Ｃ１は約５５％、ソース・ドレイン電極接続領域での結晶化率Ｃ２は約５１％である。図１６では位置１０μｍ以下と４０μｍ以上で結晶化率がプロットされていないが、その領域では非晶質シリコン成分のラマンスペクトルしか観測されず、殆ど結晶化されていなかったことによる。図１６の結晶化率のプロファイルは、図１５の５３２ｎｍ光照射時の最高到達温度シミュレーション結果に良く対応していることがわかる。

【０１３０】
図１７は４０５ｎｍ波長レーザ光でａ－Ｓｉ結晶化した（条件２とする）際の、結晶シリコン膜の結晶化率分布を示した図である。Ｃ１は約５４％、Ｃ２は約５８％であり、ゲート電極周辺部に向かうに従って結晶化率が約４％高くなっていることがわかる。この結晶化率のプロファイルも図１５の４０５ｎｍ光照射時の最高到達温度シミュレーション結果に良く対応している。

【０１３１】
図１８は同じく４０５ｎｍ波長レーザ光でａ－Ｓｉ結晶化した際の結晶シリコン膜の結晶化率分布を示した図である。図１７の条件２から基板走査速度は２０％遅くした（条件３とする）。レーザ照射時間が長くなったことに対応し、結晶化率は図１７に比べて全般に高くなり、Ｃ１は約６６％、Ｃ２は約７３％と、ゲート電極周辺部に向かうに従って結晶化率が約７％高くなっていることがわかる。

【０１３２】
以上のように、同じＴＦＴ構造に対して、レーザ照射条件を変化させることで結晶シリコン膜の結晶化率分布を制御することが出来ることがわかる。この事は当該技術であっても容易に類推することは極めて困難である。

【０１３３】
（薄膜トランジスタ特性）
図５、図６Ａ～図６Ｈ及び、図７で説明した製造方法を用いてボトムゲート構造の薄膜トランジスタを作製した。

【０１３４】
図１４Ａに、作製した薄膜トランジスタのゲート酸化膜及びａ－Ｓｉ膜の膜厚を示す。

また、図１６、１７、１８を用いて説明した３種類のレーザ結晶化条件により、薄膜トランジスタを作製した。図１９Ａに、実施の形態１における製造方法にて形成した薄膜トランジスタの典型的なゲート電圧－ドレイン電流特性を示す。図１９Ｂに、レーザ照射各条件と図１９Ａより抽出した薄膜トランジスタの電気特性パラメータの関係を示す。

【０１３５】

図１９Ｂより、条件１と条件２を比べると、チャネル領域の結晶化率が５５％と同じであっても、条件２の方が全てのパラメータで良好な結果が得られていることがわかる。この結果から下記の２つの知見を得ることができる。第１の知見は、ソース・ドレイン接続領域の結晶シリコンの結晶性がわずかチャネル領域の結晶化率よりも４％程度でも高いか低いかで電気特性に大きな差異が生じることである。第２の知見は、ソース・ドレイン接続領域の結晶化率がチャネル領域のそれよりも高い場合に、より電気特性が改善できることである。これらの知見は、可視光レーザを用いてボトムゲート型ｐｏｌｙ－Ｓｉ　ＴＦＴ形成プロセス及び電気特性評価の詳細検討を行って初めて明らかになったものである。

【０１３６】

図２０Ｂは、非特許文献１にて開示されたプロセス最適化後のボトムゲート型ＴＦＴの電気特性パラメータを示している。非特許文献１ではレーザ光源として、ａ－Ｓｉ膜の光吸収率が極めて高い３０８ｎｍのエキシマ紫外光パルスレーザを用いているため光干渉効果は殆ど発生せず、結晶シリコン膜の結晶化率は下地膜構成によらず、一定であると考えられる。図１９Ｂと図２０Ｂでレーザ照射していないＴＦＴ（ａ－Ｓｉ　ＴＦＴ）のＴＦＴ特性パラメータが殆ど変わらないことから、レーザ照射した場合についても特性比較が可能である。図１９Ｂの条件２のＴＦＴは、図２０Ｂのレーザ照射したＴＦＴより全てのパラメータで優位であることがわかる。このように、ソース・ドレイン接続領域の結晶シリコンの結晶化率をチャネル領域の結晶化率よりも高くすることにより、従来の装置コスト、製造コストの極めて高価なエキシマレーザ結晶化により製造したＴＦＴより、高性能なデバイス特性を実現することができる。また図１９Ｂの条件２によるＴＦＴパラメータから、ソース・ドレイン接続領域の結晶シリコンの結晶化率がチャネル領域の結晶化率よりも高いという結晶性分布を維持したまま、全体に結晶化率を１０％程度増加させれば、さらに良好な結果が得られることがわかった。

【０１３７】

以上のように、本発明の薄膜トランジスタによれば、結晶シリコン膜の結晶性分布をチャネル領域からソース・ドレイン電極接続部に向かって結晶性が高くなるよう制御することにより、良好な電気特性を得ることができる。

【０１３８】

また、本発明に係る製造方法を用いれば、エキシマレーザに比べ、プロセスコスト優位性の高い４０５ｎｍ光波長領域の半導体レーザを用いて、良好な電気特性を実現できる結晶シリコン膜の結晶化率分布を高精度に制御することができ、高性能な薄膜トランジスタを低コストで実現することができる。

【０１３９】

なお、本発明はａ－Ｓｉ膜を結晶化する手段としてレーザ結晶化を挙げているが、他の結晶化方法であっても、結晶シリコン膜の結晶性分布が、チャネル領域からソース・ドレイン電極接続部に向かって結晶性が高くなるよう制御できれば同様の効果を得ることが出来ることはいうまでもない。

【０１４０】

さらに、本発明はａ－Ｓｉ膜を結晶化する光源として半導体レーザを挙げているが、半導体レーザの代替として、例えば高出力のＬＥＤでも良く、上述の結晶化は可能である。つまり、これらの光源を用いても上述した本発明と同様の効果を実現できることはいうまでもない。従って、これら光源を用いた場合も本発明の範囲内に含まれる。

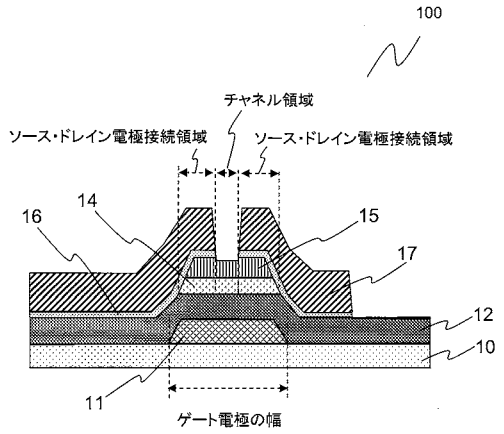
【符号の説明】

【０１４１】

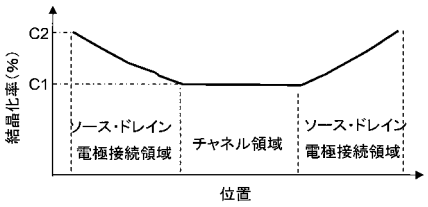
１　スイッチングトランジスタ

２　駆動トランジスタ
３　データ線
４　走査線
５　電流供給線
６　キャパシタンス
７　有機ＥＬ素子
１０　絶縁性基板
１１　ゲート電極
１２、２３　ゲート絶縁膜
１３、１５　非晶質シリコン膜
１４　結晶シリコン膜
１６　ｎ＋シリコン膜
１７　ソース・ドレイン電極
１８　長尺状に成形された可視光レーザ
２０　ガラス基板
２１　ゲート電極
２２　ゲート絶縁膜
２３　微結晶シリコン膜
２４　上部ａ－Ｓｉ膜
２５　高濃度ｎ型ａ－Ｓｉ膜
２６　ソースドレイン電極
２７　保護膜
１００、２００　薄膜トランジスタ
８０１、８０２、８０３、８０４、８０５　膜
９０１　ガラス基板
９０２　金属膜
９０３　ＳｉＯ２膜
９０４　ａ－Ｓｉ膜
１０００　有機ＥＬ表示装置

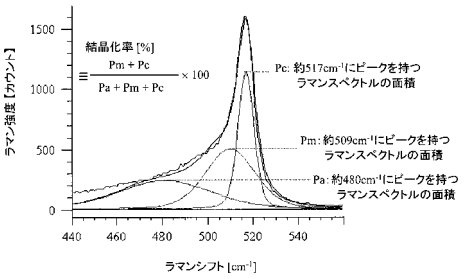
【図１】



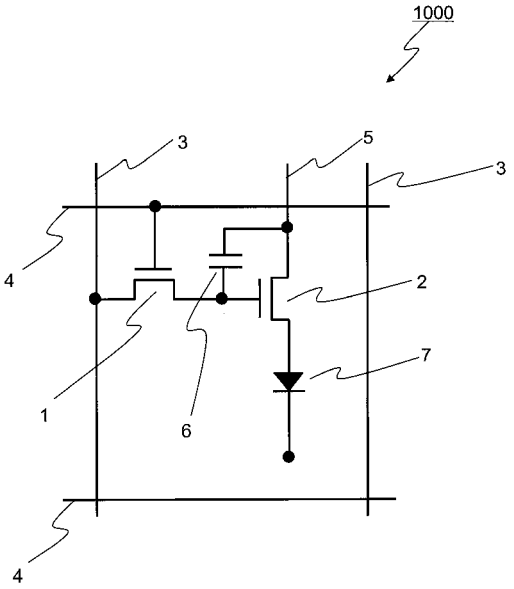

【図２】



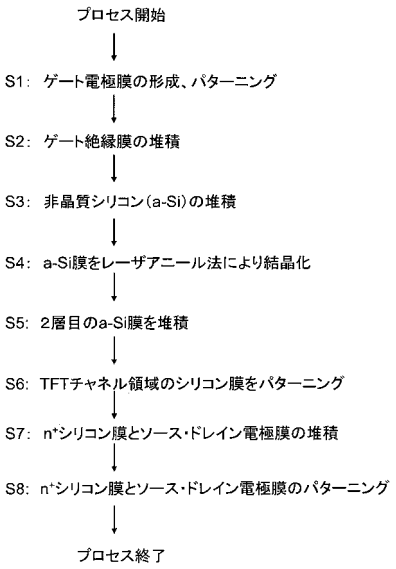

【図３】



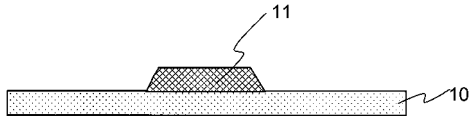

【図４】



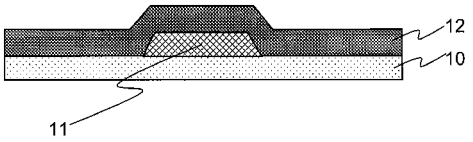

【図５】



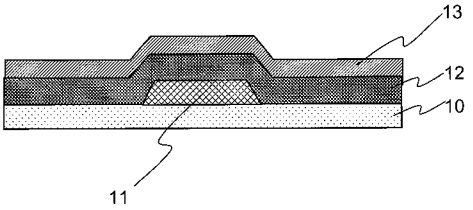

【図６Ａ】



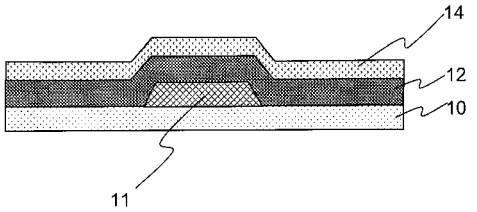
【図６Ｂ】



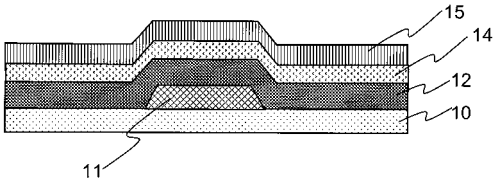

【図６Ｃ】



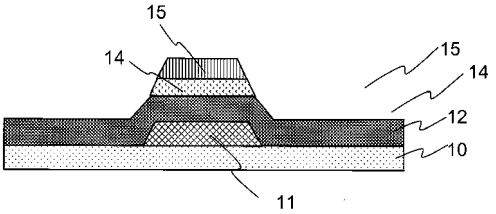

【図６Ｄ】



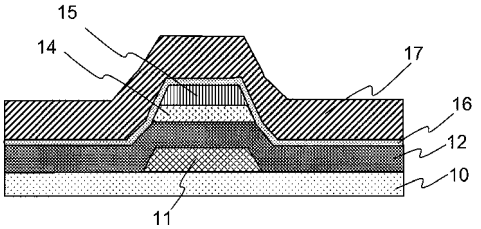

【図６Ｅ】



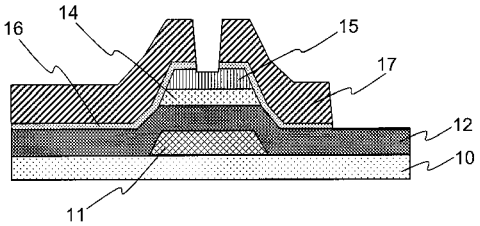

【図６Ｆ】



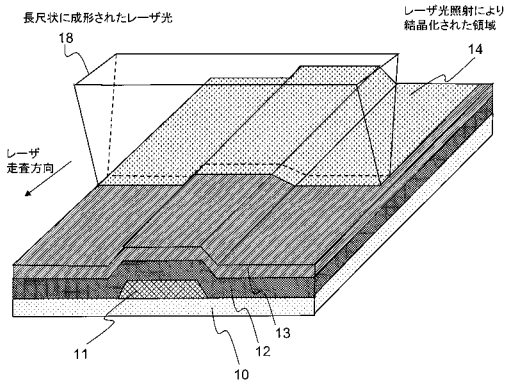

【図６Ｇ】



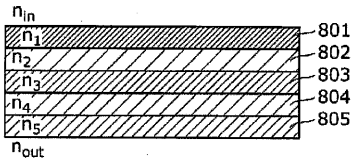

【図６Ｈ】



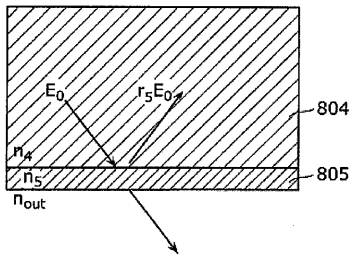

【図７】



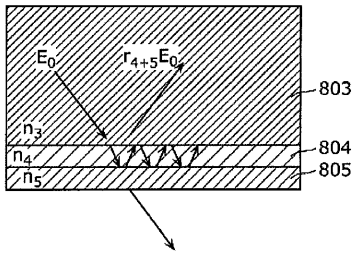

【図８Ａ】



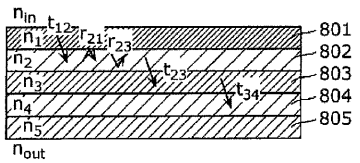

【図８Ｂ】



【図８Ｃ】



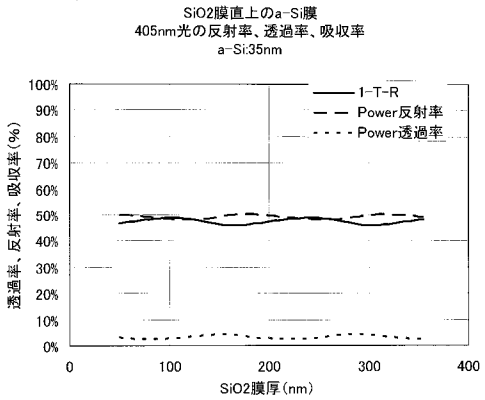

【図８Ｄ】



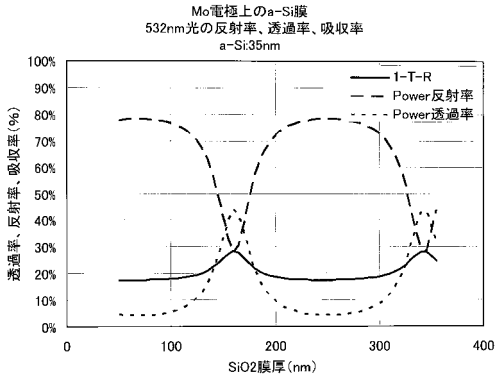

【図９Ａ】

| | 405 nm | | 532 nm | |
|---|---|---|---|---|
| | 膜厚 | 屈折率 n+ik | 膜厚 | 屈折率 n+ik |
| a-Si | 可変 | 5.31+2.19i | 可変 | 5.07+0.61i |
| $SiO_2$ | 可変 | 1.47+0i | 可変 | 1.46+0i |
| SiN | — | 2.1+0i | — | 1.9+0i |
| Mo | 未設定 | 2.88+3.45i | 未設定 | 3.47+3.78i |

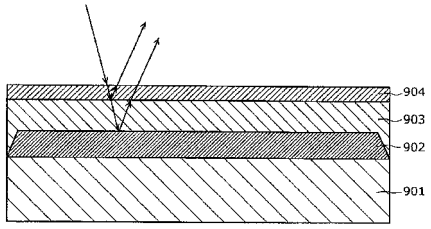
【図１１】



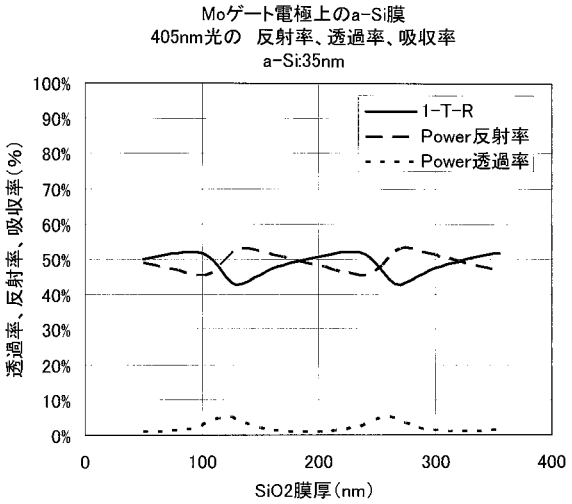

【図１２】



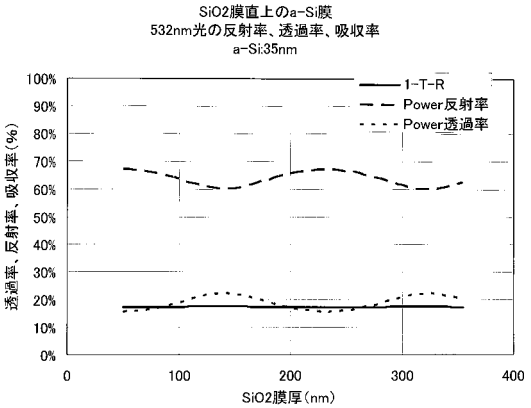

【図９Ｂ】



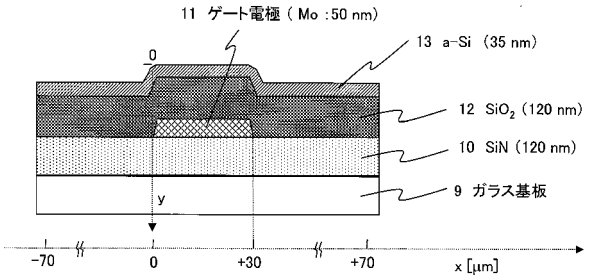

【図１０】



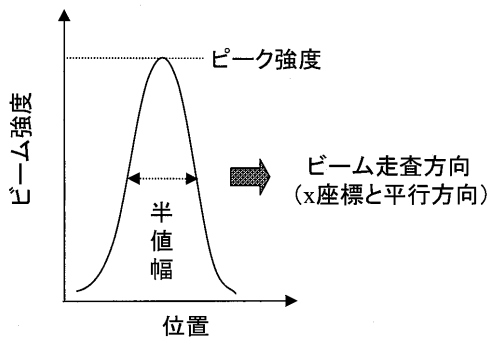

【図１３】




【図１４Ａ】



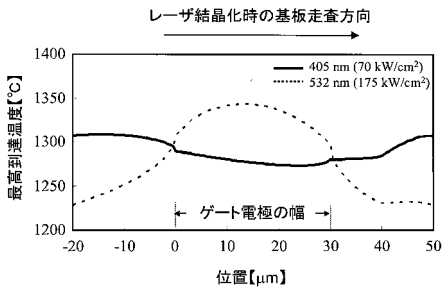
【図１４Ｂ】



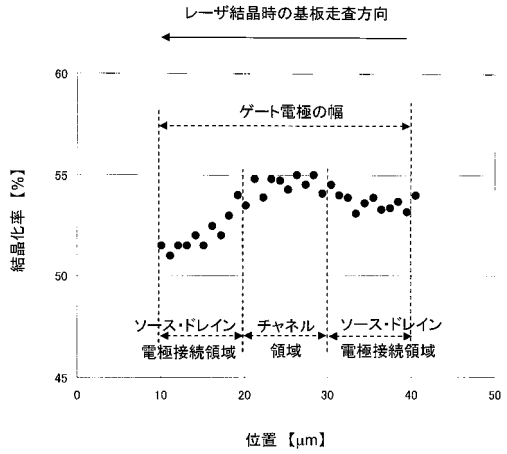

【図１４Ｃ】

| | 405 nm | 532 nm |
|---|---|---|
| ビームパワー密度 [kW/cm²] | 70 | 175 |
| ビーム走査速度 [mm/s] | 500 | 500 |
| ビーム半値幅 [μm] | 30 | 30 |
| ビーム走査範囲 [μm] | 140 | 140 |

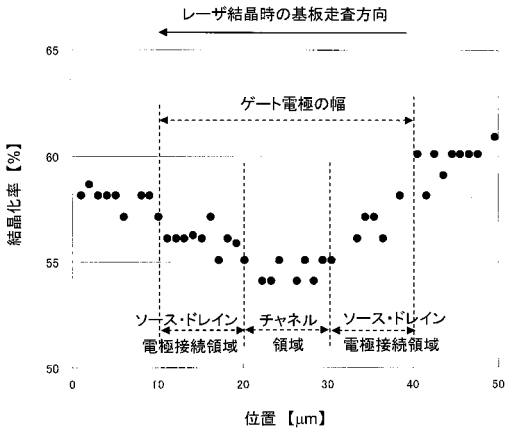
【図１５】



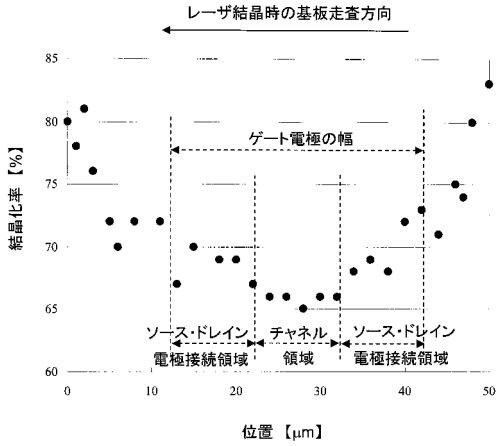

【図１６】



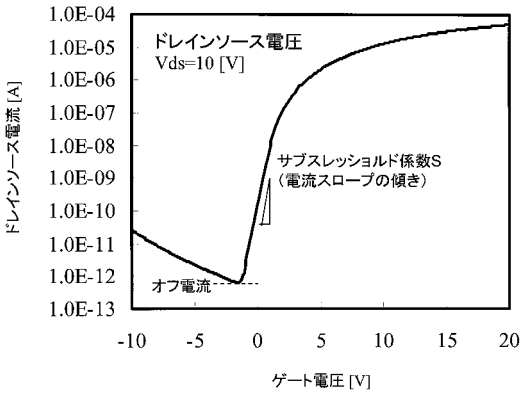

【図１７】




【図１８】



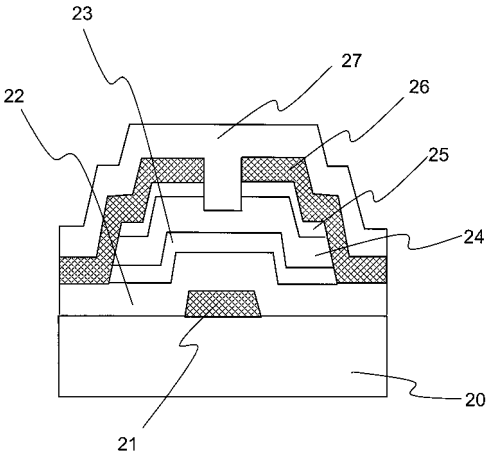
【図１９Ａ】




【図１９Ｂ】

| レーザ照射光波長 | 無し (a-Si TFT) | 532nm 条件1 | 405nm 条件2 | 405nm 条件3 |
|---|---|---|---|---|
| TFT素子寸法 チャネル幅W/長さL [μm] | 50/10 | | | |
| チャネル領域の結晶化率 C1 [%] | — | 55 (図16) | 55 (図17) | 65 (図18) |
| サブスレッショルド係数 S [V／桁] | 1.1 | 0.74 | 0.62 | 0.48 |
| しきい値電圧 Vt [V] | 4.4 | 2.44 | 2.12 | 1.79 |
| オフ電流 [pA] | 0.06 | 1.09 | 0.33 | 0.37 |
| 電界効果移動度μ [cm²／Vs] | 0.41 | 1.59 | 2.5 | 3.1 |

【図２０Ａ】




【図２０Ｂ】

| 照射レーザ光 | 無し (a-Si TFT) | 308nm パルス |
|---|---|---|
| TFT素子寸法 チャネル幅W/長さL [μm] | 40/3.8 | |
| サブスレッショルド係数 S [V／桁] | 1.45 | 0.93 |
| しきい値電圧 Vt [V] | 4.7 | 3.9 |
| オフ電流 [pA] | 0.03 | 0.38 |
| 電界効果移動度μ [cm²／Vs] | 0.4 | 2.2 |

【手続補正書】
【提出日】平成22年12月7日(2010.12.7)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００９１
【補正方法】変更
【補正の内容】
【００９１】
【数１】

$$r_5 = \frac{r_{45} + r_{5out}\, e^{i\Delta_5}}{1 + r_{5out} r_{45}\, e^{i\Delta_5}} \qquad (式1)$$

【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００９４
【補正方法】変更
【補正の内容】
【００９４】

【数２】

$$r_{4+5}=\frac{r_{34}+r_5\,e^{i\Delta_4}}{1+r_5 r_{34}\,e^{i\Delta_4}} \qquad (式2)$$

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００９６
【補正方法】変更
【補正の内容】
【００９６】
【数３】

$$r_{1+2+3+4+5}=\frac{r_{in1}+r_{2+3+4+5}\,e^{i\Delta_1}}{1+r_{2+3+4+5}r_{in1}\,e^{i\Delta_1}} \qquad (式3)$$

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００９８
【補正方法】変更
【補正の内容】
【００９８】
【数４】

$$t_{1\to 3}=t_{12}\,t_{23}\,e^{\frac{i\Delta_2}{2}}\,\frac{1}{1-r_{23}r_{21}\,e^{i\Delta_2}} \qquad (式4)$$

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】０１０１
【補正方法】変更
【補正の内容】
【０１０１】

【数５】

$$t_{1\to4} = t_{1\to3}\, t_{34}\, e^{\frac{i\Delta_3}{2}} \frac{1}{1 - r_{34} r_{32}\, e^{i\Delta_3}} \quad (式5)$$

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】０１２４
【補正方法】変更
【補正の内容】
【０１２４】
【数６】

$$\frac{\partial T(x,y)}{\partial t} = \frac{\kappa}{\rho c}\left(\frac{\partial^2 T(x,y)}{\partial x^2} + \frac{\partial^2 T(x,y)}{\partial y^2}\right) + \frac{S}{\rho c} \quad (式9)$$

フロントページの続き

| | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| Ｆターム(参考) | 5F110 | AA16 | BB01 | CC07 | DD02 | DD03 | EE02 | EE03 | EE04 | EE06 | EE44 |
| | | FF02 | FF03 | FF09 | GG02 | GG06 | GG13 | GG14 | GG15 | GG19 | GG22 |
| | | GG25 | GG45 | HK02 | HK03 | HK04 | HK09 | HK21 | HK33 | HK35 | NN71 |
| | | NN72 | NN73 | PP01 | PP03 | PP04 | PP06 | PP11 | PP35 | QQ09 | |
| | 5F152 | BB03 | CC02 | CC03 | CD13 | CD14 | CD17 | CD24 | CE05 | CE14 | CE24 |
| | | CE45 | CG10 | CG13 | FF05 | FF09 | FF28 | FF44 | FG23 | FH03 | |