

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月30日(30.06.2022)



(10) 国際公開番号

WO 2022/137022 A1

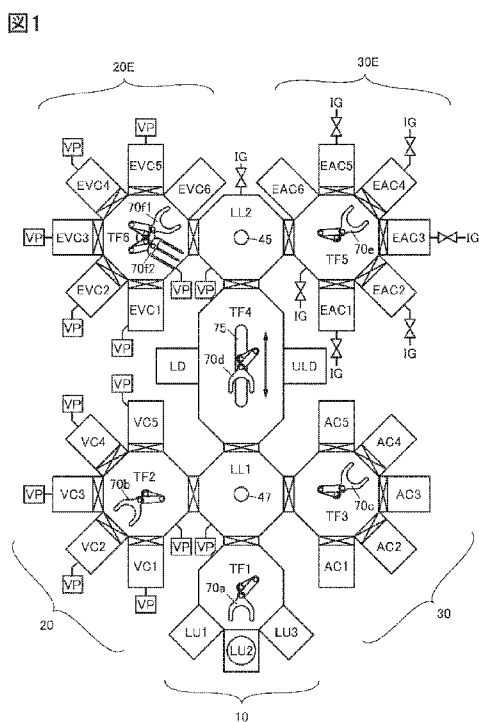
- (51) 国際特許分類:
G09F 9/30 (2006.01) H05B 33/10 (2006.01)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H05B 33/02 (2006.01)
- (21) 国際出願番号: PCT/IB2021/061730
- (22) 国際出願日: 2021年12月15日(15.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-216021 2020年12月25日(25.12.2020) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).
- (72) 発明者: 江口晋吾(EGUCHI, Shingo); 〒2430036
神奈川県厚木市長谷398株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 安達広樹
(ADACHI, Hiroki); 〒2430036 神奈川県厚木市

長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡崎健一(OKAZAKI, Kenichi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 山根靖正(YAMANE, Yasumasa); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠本直人(KUSUMOTO, Naoto); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 吉住健輔(YOSHIZUMI, Kensuke); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平(YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

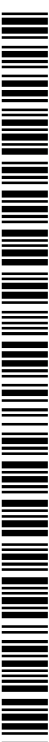
(54) Title: MANUFACTURING DEVICE FOR DISPLAY DEVICE

(54) 発明の名称: 表示装置の製造装置



(57) Abstract: Provided is a manufacturing device for a display device, the manufacturing device being capable of continuously processing steps from pixel circuit formation to light-emitting element formation. The present invention comprises: a light-emitting device manufacturing device that is capable of consecutively performing a film formation step for forming an organic EL element, a lithography step, an etching step, and a sealing step; and a manufacturing device for forming a pixel circuit that drives the organic EL element. The invention is capable of continuously carrying out formation, from pixel circuit formation to organic EL element formation, and is capable of forming a high-yield, highly reliable display device.

(57) 要約: 画素回路の形成から発光素子の形成までの工程を連続処理できる表示装置の製造装置を提供する。有機EL素子を形成するための成膜工程、リソグラフィ工程、エッチング工程、および封止工程を連続して行うことができる発光デバイスの製造装置と、有機EL素子を駆動する画素回路を形成するための製造装置とを有し、画素回路から有機EL素子までの形成を連続で行うことができ、高歩留まり、高信頼性の表示装置を形成することができる。



WO 2022/137022 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

明細書

発明の名称

表示装置の製造装置

技術分野

[0001]

本発明の一態様は、表示装置の製造装置および製造方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げるることができる。

背景技術

[0003]

近年、ディスプレイパネルの高精細化が求められている。高精細なディスプレイパネルが要求される機器としては、例えばスマートフォン、タブレット端末、ノート型コンピュータなどがある。また、テレビジョン装置、モニター装置などの据え置き型のディスプレイ装置においても、高解像度化に伴う高精細化が求められている。さらに、最も高精細度が要求される機器としては、例えば、仮想現実（VR：Virtual Reality）、または拡張現実（AR：Augmented Reality）向けの機器がある。

[0004]

また、ディスプレイパネルに適用可能な表示装置としては、代表的には液晶表示装置、有機EL（Electro Luminescence）素子または発光ダイオード（LED：Light Emitting Diode）等の発光素子を備える発光装置、電気泳動方式などにより表示を行う電子ペーパーなどが挙げられる。

[0005]

有機EL素子は、一対の電極間に発光性の有機化合物を含む層を挟持した構成を有する。この素子に電圧を印加することにより、発光性の有機化合物から発光を得ることができる。このような有機EL素子が適用された表示装置は、液晶表示装置等で必要であったバックライトが不要なため、薄型、軽量、高コントラストで且つ低消費電力な表示装置を実現できる。例えば、有機EL素子を用いた表示装置の一例が、特許文献1に記載されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2002-324673号公報

発明の概要

発明が解決しようとする課題

[0007]

フルカラー表示が可能な有機EL表示装置では、白色発光素子とカラーフィルタとを組み合わせた

構成と、RGBの発光素子をそれぞれ同一面上に形成する構成が知られている。

[0008]

消費電力の面では後者の構成が理想的であり、現状では中小型パネルの製造では、メタルマスクなどを用いて発光材料の塗分けが行われている。しかしながら、メタルマスクを用いたプロセスでは合わせ精度が低いため、画素内において発光素子の占有面積を小さくしなければならず、開口率を高めにくい。

[0009]

そのため、メタルマスクを用いたプロセスでは、画素の高密度化または発光強度を高めることに課題を有する。開口率を高めるには、リソグラフィ工程などを用いて発光素子の面積を拡大することが好ましい。しかしながら、発光素子を構成する材料は大気中の不純物（水、酸素、水素など）の侵入によって信頼性が悪化するため、複数の工程を雰囲気が制御された領域で行う必要がある。

[0010]

また、AR、VR用途として小型高精細のディスプレイが望まれている。AR、VR用途のディスプレイは、容積の小さい眼鏡型またはゴーグル型などの機器等に設置されるため、狭額縁であることが好ましい。したがって、画素回路のドライバなどは画素回路の下部に設けることが好ましい。また、これらの小型ディスプレイを作製するにあたり、画素回路から発光素子までの工程を連続処理できる製造装置が望まれている。

[0011]

したがって、本発明の一態様では、画素回路から発光素子の形成までの工程を大気開放することなく連続処理できる表示装置の製造装置を提供することを目的の一つとする。または、メタルマスクを用いずに発光素子を形成することができる表示装置の製造装置を提供することを目的の一つとする。または、表示装置の製造方法を提供することを目的の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、発光デバイスの製造装置に関する。

[0014]

本発明の一態様は、画素回路の製造装置と、発光デバイスの製造装置と、を有し、発光デバイスの製造装置は、第1のロードロック室と、第1のクラスタと、第2のクラスタと、を有し、第1のロードロック室は、第1のクラスタと第1のゲートバルブを介して接続され、第1のロードロック室は、第2のクラスタと第2のゲートバルブを介して接続され、第1のロードロック室は、減圧または不活性ガス雰囲気に制御され、第1のクラスタは、減圧に制御され、第2のクラスタは、不活性ガス雰囲気に制御され、第1のクラスタは、第1の搬送装置と、複数の成膜装置と、エッチング装置と、を有し、第2のクラスタは、第2の搬送装置と、リソグラフィ工程を行う複数の装置を有し、画素回路の製造装置は、第2のロードロック室を有し、第1のロードロック室は、トランスファー室を介して第2のロードロック室と接続され、画素回路の製造装置で基板上に形成した画素電極上

に、島状の有機化合物を有する発光デバイスを形成する機能を有する表示装置の製造装置である。

[0015]

成膜装置は、蒸着装置、スパッタリング装置、CVD装置、ALD装置から選ばれる一つ以上であり、エッチング装置は、ドライエッチング装置であることが好ましい。

[0016]

第1のクラスタは、真空ベーク装置を有することが好ましい。

[0017]

リソグラフィ工程を行う複数の装置として、塗布装置、露光装置、現像装置、ベーク装置を有することができる。または、リソグラフィ工程を行う複数の装置として、塗布装置、ナノインプリント装置を有することができる。

[0018]

第1のクラスタにおいて、基板は基板搬送治具に装着されて処置を行うことができる。基板搬送治具は、第1の治具および第2の治具を有し、第1の治具と第2の治具との間に基板を挟持することができる。

[0019]

または、基板搬送治具は、第1の治具および複数の第2の治具を有し、第1の治具上に離隔した複数の基板を配置し、第1の治具と第2の治具との間に基板を挟持することができる。

[0020]

第1のクラスタは、基板搬送治具の脱着装置を有することができる。

[0021]

第1のクラスタは、基板搬送治具が装着された基板の反転装置を有することができる。

[0022]

画素回路の製造装置は、第3のクラスタと、第4のクラスタと、を有し、第2のロードロック室は、第3のクラスタと第3のゲートバルブを介して接続され、第2のロードロック室は、第4のクラスタと第4のゲートバルブを介して接続され、第2のロードロック室は、減圧または常圧に制御され、第3のクラスタは、減圧に制御され、第4のクラスタは、常圧に制御され、第3のクラスタは、第3の搬送装置と、複数の成膜装置と、エッチング装置と、プラズマ処理装置と、を有し、第2のクラスタは、第4の搬送装置と、リソグラフィ工程を行う複数の装置と、研磨装置と、を有することができる。

[0023]

成膜装置は、スパッタリング装置、CVD装置、ALD装置から選ばれる一つ以上であり、エッチング装置は、ドライエッチング装置であり、研磨装置は、CMP装置であることが好ましい。

[0024]

リソグラフィ工程を行う複数の装置として、塗布装置、露光装置、現像装置、ベーク装置を有することができる。

[0025]

第1のロードロック室は、第5のゲートバルブおよびトランスファー室を介して第2のロードロック室と接続することができる。

[0026]

基板にはシリコンウエハを用いることができる。また、シリコンウエハには駆動回路が設けられ、

駆動回路と電氣的に接続する画素回路を形成することができる。

発明の効果

[0027]

本発明の一態様を用いることで、画素回路の形成から発光素子の形成までの工程を大気開放することなく連続処理できる表示装置の製造装置を提供することができる。または、メタルマスクを用いずに発光素子を形成することができる表示装置の製造装置を提供することができる。または、表示装置の製造方法を提供することができる。

[0028]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

[0029]

図1は、製造装置を説明する図である。

図2A、図2Bは、基板搬送治具を説明する図である。

図3A乃至図3Cは、基板1枚あたりの表示装置の取り数の一例を示す図である。

図4Aは、基板搬送治具の貫通孔と搬送装置のハンド部のサイズを説明する図である。図4Bおよび図4Cは、基板搬送治具と搬送装置を説明する図である。

図5Aは、基板反転装置を説明する図である。図5B乃至図5Dは、基板反転装置および基板搬送治具を説明する図である。

図6A乃至図6Cは、基板反転動作を説明する図である。

図7A乃至図7Cは、基板反転動作を説明する図である。

図8Aは、蒸着装置を説明する図である。図8Bは、ドライエッチング装置を説明する図である。

図9は、製造装置を説明する図である。

図10A乃至図10Dは、基板搬送治具に配置される基板を説明する図である。

図11A乃至図11Cは、基板搬送治具に基板を配置する方法を説明する図である。

図12は、表示装置を説明する図である。

図13A乃至図13Cは、表示装置を説明する図である。

図14A乃至図14Dは、表示装置の作製方法を説明する図である。

図15A乃至図15Dは、表示装置の作製方法を説明する図である。

図16A乃至図16Dは、表示装置の作製方法を説明する図である。

図17は、製造装置を説明する図である。

図18は、製造装置を説明する図である。

発明を実施するための形態

[0030]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略するこ

とがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

[0031]

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置の製造装置について、図面を参照して説明する。

[0032]

本発明の一態様は、主に有機EL素子などの発光素子（発光デバイスとも言う）を有する表示装置の形成に用いられる製造装置である。有機EL素子の微細化または画素における占有面積の増大を行うには、リソグラフィ工程を用いることが好ましい。しかしながら、有機EL素子に水、酸素、水素などの不純物が侵入すると信頼性を損なうため、製造段階から露点の低い雰囲気制御などの工夫が必要である。

[0033]

本発明の一態様の製造装置では、有機EL素子を形成するための成膜工程、リソグラフィ工程、エッチング工程、および封止工程を大気開放することなく連続して行うことができる。したがって、微細、高輝度、高信頼性の有機EL素子を形成することができる。

[0034]

また、本発明の一態様の製造装置は、有機EL素子を駆動する画素回路を形成するための製造装置を有する。したがって、画素回路から有機EL素子までの形成を連続で行うことができ、高歩留まり、高信頼性の表示装置を形成することができる。

[0035]

また、画素回路および有機EL素子を形成する支持基板として、シリコンウエハを用いることができる。予め駆動回路などを形成したシリコンウエハを支持基板として用いることで、当該駆動回路上に画素回路を形成することができる。したがって、ARまたはVRに適した狭額縁の表示装置を形成することができる。シリコンウエハは、 $\phi 8 \text{ inch}$ 以上（例えば $\phi 12 \text{ inch}$ ）であることが好ましい。

[0036]

図1は、本発明の一態様である表示装置の製造装置を説明する図である。製造装置は、発光デバイスの製造装置と、画素回路の製造装置を有する。

[0037]

<発光デバイスの製造装置>

発光デバイスの製造装置は、クラスタ20Eと、クラスタ30Eと、ロードロック室LL2を有する。なお、本明細書において、搬送装置などを共有する装置群をクラスタと呼ぶ。クラスタ20Eは、真空プロセス（減圧プロセス）を行うための装置群を有する。クラスタ30Eは、雰囲気制御下でプロセスを行うための装置群を有する。

[0038]

<クラスタ20E>

クラスタ20Eは、トランスファー室TF6と、真空プロセス装置EVCを有する。なお、図1では、真空プロセス装置EVCが6個ある例（真空プロセス装置EVC1乃至EVC6）を示しているが、目的に合わせて1つ以上であればよい。真空プロセス装置EVCには、真空ポンプVPが接続され、トランスファー室TF6との間にはそれぞれゲートバルブが設けられる。したがって、そ

それぞれの真空プロセス装置EVCで、成膜またはエッチングなどのプロセスを並行して行うことができる。

[0039]

なお、真空プロセスは、減圧下に制御された環境での処理を意味する。したがって、真空プロセスには、高真空下での処理のほか、プロセスガスを導入して圧力制御を行う処理も含まれる。

[0040]

トランスファー室TF6にも独立した真空ポンプVPが設けられ、真空プロセス装置EVCで行われるプロセスにおけるクロスコンタミネーションを防止することができる。なお、図1に示す真空プロセス装置EVC6のように、トランスファー室TF6との間にゲートバルブを設けない構成を有していてもよい。

[0041]

トランスファー室TF6は、ゲートバルブを介してロードロック室LL2と接続される。トランスファー室TF6には、搬送装置70f1、70f2が設けられる。搬送装置70f1は、ロードロック室LL2に設置された基板を真空プロセス装置EVCに搬送することができる。搬送装置70f2は、後述する基板搬送治具を用いて基板を搬送することができる。なお、搬送装置70f1、70f2のいずれか一方を有する構成であってもよい。

[0042]

真空プロセス装置EVCとしては、蒸着装置、スパッタリング装置、CVD (Chemical Vapor Deposition) 装置、ALD (Atomic Layer Deposition) 装置などの成膜装置を用いることができる。なお、CVD装置としては、熱を利用した熱CVD装置、またはプラズマを利用したPECVD装置 (Plasma Enhanced CVD装置) などを用いることができる。また、ALD装置としては、熱を利用した熱ALD装置、またはプラズマ励起されたリアクタントを利用したPEALD装置 (Plasma Enhanced ALD装置) などを用いることができる。また、エッチング装置としてはドライエッチング装置などを適用することができる。その他、基板搬送治具脱着装置、基板反転装置など補助的な機構を真空プロセス装置EVCとして適用してもよい。なお、これら補助的な機構は、トランスファー室TF6との間にゲートバルブを設けない真空プロセス装置EVC6などに適用することができる。

[0043]

<クラスタ30E>

クラスタ30Eは、トランスファー室TF5と、主に常圧下で工程を行う常圧プロセス装置EACを有する。なお、図1では、常圧プロセス装置EACが6個ある例 (常圧プロセス装置EAC1乃至EAC6) を示しているが、目的に合わせて1つ以上であればよい。なお、常圧プロセス装置EACは、常圧下での工程に限らず、常圧よりも若干の陰圧または陽圧に制御されていてもよい。また、常圧プロセス装置EACが複数設けられる場合、それぞれで気圧が異なってもよい。

[0044]

トランスファー室TF5および常圧プロセス装置EACには、不活性ガス (IG) を導入するバルブが接続され、不活性ガス雰囲気中に制御することができる。不活性ガスとしては、窒素、またはアルゴン、ヘリウムなどの貴ガスを用いることができる。また、不活性ガスは露点が高いこと (例えば、マイナス50°以下) が好ましい。露点が高い不活性ガス雰囲気中で工程を行うことで、不純物の混入を防止でき、信頼性の高い有機EL素子を形成することができる。

[0045]

図1では、常圧プロセス装置EAC1乃至EAC5のそれぞれが、トランスファー室TF5とゲートバルブを介して接続されている例を示している。ゲートバルブを設けることで、気圧制御、不活性ガス種の制御、クロスコンタミネーションの防止などを行うことができる。なお、これらの厳密な制御が不要な場合は、常圧プロセス装置EAC6のようにトランスファー室TF5とゲートバルブを介さずに接続してもよい。

[0046]

トランスファー室TF5は、ゲートバルブを介してロードロック室LL2と接続される。トランスファー室TF5には搬送装置70eが設けられ、ロードロック室LL2に設置された基板を常圧プロセス装置EACに搬送することができる。

[0047]

常圧プロセス装置EACとしては、リソグラフィ工程を行うための装置を適用することができる。例えば、フォトリソグラフィ工程を行う場合は、樹脂（フォトレジスト）塗布装置、露光装置、現像装置、ベーク装置などを適用すればよい、ナノインプリントによるリソグラフィ工程を行う場合は、樹脂（UV硬化樹脂など）塗布装置、ナノインプリント装置などを適用すればよい。その他、用途に応じて、洗浄装置、ウェットエッチング装置、塗布装置、レジスト剥離装置、対向基板貼り合わせ装置などを常圧プロセス装置EACに適用してもよい。

[0048]

ロードロック室LL2には、真空ポンプVPおよび不活性ガスを導入するバルブが設けられる。したがって、ロードロック室LL2は、減圧または不活性ガス雰囲気制御することができる。例えば、クラスタ20Eからクラスタ30Eに基板を搬送する場合、ロードロック室LL2を減圧として基板をクラスタ20Eから搬入し、ロードロック室LL2を不活性ガス雰囲気にした後にクラスタ30Eに基板を搬出する動作を行うことができる。

[0049]

また、ロードロック室LL2には搬送された基板をZ軸（基板上面の中心に垂直な軸）を中心に回転させる基板回転機構45が設けられる。基板回転機構45により、基板としてシリコンウエハを用いた場合に、搬出入時にノッチまたはオリフラの向きを揃えることができる。

[0050]

<画素回路の製造装置>

画素回路の製造装置は、ロードアンロード部10と、クラスタ20と、クラスタ30と、ロードロック室LL1を有する。クラスタ20は、真空プロセス（減圧プロセス）を行うための装置群を有する。クラスタ30は、常圧下でプロセスを行うための装置群を有する。なお、クラスタ20の説明において、クラスタ20Eと共通する部分の説明は省略する。またクラスタ30の説明において、クラスタ30Eと共通する部分説明は省略する。

[0051]

<ロードアンロード部>

ロードアンロード部10は、ロードアンロード室LU（ロードアンロード室LU1、LU2、LU3）およびトランスファー室TF1を有する。トランスファー室TF1は、ロードアンロード室LUと接続される。また、トランスファー室TF1は、ゲートバルブを介してロードロック室LL1と接続される。トランスファー室TF1には搬送装置70aが設けられ、ロードアンロード室LU

に設置された基板をロードロック室L L 1に搬送することができる。

[0052]

また、ロードアンロード室L Uとトランスファー室T F 1との間にゲートバルブがあってもよい。なお、図1では、ロードアンロード室L Uを例示しているが、ロード室とアンロード室をそれぞれ備えていてもよい。

[0053]

<クラスタ20>

クラスタ20は、トランスファー室T F 2と、真空プロセス装置V Cを有する。なお、図1では、真空プロセス装置V Cが6個ある例（真空プロセス装置V C 1乃至V C 6）を示しているが、目的に合わせて1つ以上であればよい。

[0054]

トランスファー室T F 2は、ゲートバルブを介してロードロック室L L 1と接続される。トランスファー室T F 2には搬送装置70bが設けられる。搬送装置70bは、ロードロック室L L 1に設置された基板を真空プロセス装置V Cに搬送することができる。

[0055]

真空プロセス装置V Cとしては、スパッタリング装置、CVD装置、ALD装置、などの成膜装置、およびプラズマ処理装置などを適用することができる。また、エッチング装置としては、ドライエッチング装置などを適用することができる。

[0056]

プラズマ処理装置としては、例えば、高密度プラズマを発生させることができるマイクロ波励起のプラズマ処理装置などを用いることができる。用途としては、例えば、画素回路に酸化半導体を用いたトランジスタを形成する場合に、トランジスタの構成要素に酸素を補う処理などがある。

[0057]

<クラスタ30>

クラスタ30は、トランスファー室T F 3と、主に常圧下で工程を行う常圧プロセス装置A Cを有する。なお、図1では、常圧プロセス装置A Cが6個ある例（常圧プロセス装置A C 1乃至A C 6）を示しているが、目的に合わせて1つ以上であればよい。また、図示はしていないが、クラスタ30Eと同様に不活性ガス（I G）を導入するバルブを設けて、不活性ガス雰囲気制御してもよい。

[0058]

トランスファー室T F 3は、ゲートバルブを介してロードロック室L L 1と接続される。トランスファー室T F 3には搬送装置70cが設けられ、ロードロック室L L 1に設置された基板を常圧プロセス装置A Cに搬送することができる。

[0059]

常圧プロセス装置A Cとしては、リソグラフィ工程を行うための装置を適用することができる。例えば、フォトリソグラフィ工程を行う場合は、樹脂（フォトレジスト）塗布装置、露光装置、現像装置、レジスト剥離装置、ベーク装置などを適用すればよい、また、研磨装置を設けることもできる。

[0060]

研磨装置としては、CMP（Chemical Mechanical Polishing）装置を用いることが好ましい。用途としては、画素回路の要素であるトランジスタ等の形成面の平坦

化、埋め込みプラグの形成、および埋め込み配線の形成などがある。その他、用途に応じて、洗浄装置、ウェットエッチング装置、などを常圧プロセス装置ACに適用してもよい。

[0061]

ロードロック室LL1は、ゲートバルブ、トランスファー室TF4、ゲートバルブを介してロードロック室LL2と接続される。また、トランスファー室TF4には、ロード室LDおよびアンロード室ULDを接続することができる。また、ロードロック室LL1には基板回転機構45と同様の基板回転機構47が設けられる。

[0062]

トランスファー室TF4にアンロード室ULDを設けることで、例えば、発光デバイスの形成処理が終了した基板をロードアンロード部10まで戻さずに取り出すことができ、発光デバイスの材料に起因するコンタミネーション等を防止することができる。また、ロード室を設けることで、例えば、発光デバイスの形成処理のみなどを行う場合に、ロードアンロード部10を介さずに基板を投入することができる。なお、ロードアンロード部10では、画素回路の形成処理のみなどを行った基板を取り出すこともできる。

[0063]

トランスファー室TF4には搬送装置70dが設けられ、ロードロック室LL1に設置された基板をロードロック室LL2に搬送することができる。または、ロード室LDからの基板の搬入、アンロード室ULDへの基板の搬出を行うことができる。搬送装置70dは自走式であり、レール75に沿って移動させることができる。なお、トランスファー室TF4および搬送装置70dの仕様によっては、自走式の構成が不要になる場合もある。

[0064]

なお、トランスファー室TF4とロード室LDおよびアンロード室ULDのそれぞれとの間にゲートバルブを設けてもよい。また、ロードロック室LL1およびトランスファー室TF4に不活性ガス(IG)を導入するバルブを設けて、不活性ガス雰囲気制御してもよい。また、トランスファー室TF4に真空ポンプVPを設けてもよい。

[0065]

以上の構成の製造装置を用いることで、以下の工程を行うことができる。まず、ロードアンロード室LUからクラスタ20に基板を搬入し、成膜工程を行う。なお、基板であるシリコンウエハには、画素の駆動回路などを必要に応じて設けておく。次に、クラスタ20からクラスタ30に基板を搬送し、リソグラフィ工程を行う。次に、クラスタ30からクラスタ20に基板を搬送し、エッチング工程を行う。これらの工程を必要に応じて数回繰り返し、構造物(酸化半導体を用いたトランジスタなどを有する画素回路)を形成する。次にクラスタ20で当該構造物を覆う保護膜を形成する成膜工程を行う。そして、クラスタ20Eからロードロック室LL1に基板を搬出する。

[0066]

次に、ロードロック室LL1からロードロック室LL2を介して、クラスタ20Eに基板を搬入し、成膜工程を行う。次に、クラスタ20Eからクラスタ30Eに基板を搬送し、リソグラフィ工程を行う。次に、クラスタ30Eからクラスタ20Eに基板を搬送し、エッチング工程を行う。これらの工程を必要に応じて数回繰り返し、画素回路上に構造物(有機EL素子などの発光素子)を形成する。次に、クラスタ20Eで当該構造物を覆う保護膜を形成する成膜工程を行う。そして、クラスタ20Eからアンロード室ULDまたはロードアンロード室LUに基板を搬出する。

[0067]

以上により、有機EL素子などの発光素子を大気に暴露することなく、保護膜で封止された状態で大気中に搬出することができる。すなわち、構造物として有機EL素子を形成した場合、大気中に含まれる不純物の侵入を抑えることができ、信頼性を高めることができる。また、画素回路の形成工程から連続して発光デバイスの形成工程を行うため、高歩留まり、高信頼性の表示装置を形成することができる。

[0068]

<基板搬送治具>

真空プロセス装置では、装置によって設置する基板の向き（フェイスアップ方式またはフェイスダウン方式）が異なる場合がある。例えば、スパッタリング装置、CVD装置、エッチング装置などは、対向する電極の一方に基板を設置するため、フェイスアップ方式またはフェイスダウン方式のどちらでも対応することができる。

[0069]

したがって、クラスタ20では全ての真空プロセス装置VCにおいて、基板をフェイスアップ方式で設置する構成とすることができる。フェイスアップ方式では、構造物を形成する基板表面を上面として搬送装置のハンド部に基板を載せて搬送でき、真空プロセス装置VC内のステージ（電極等）への設置も容易である。

[0070]

一方で、クラスタ20Eが有する真空プロセス装置EVCの一つである蒸着装置は、蒸着材料が粉体であることが多く、坩堝などの蒸着源を要する。したがって、蒸着源を下方に設置し、基板をフェイスダウン方式として上方に設置することが好ましい。そのため、工程間で基板の反転を要することがある。

[0071]

フェイスダウン方式では、基板表面を搬送装置のハンド部で触れずに基板を搬送する必要がある。したがって、図2A、図2Bに示すような基板搬送治具を用いることが好ましい。基板搬送治具は、治具51と治具54を有する。図2Aは、治具51と治具54で基板60を挟持した図であり、本明細書では、当該構成をワーク基板50と呼ぶ。治具51と治具54で基板60を挟持することで、基板の撓みを抑えることができ、特にフェイスダウン方式での基板設置時に有効である。

[0072]

なお、治具54は開口部を有し、その他部分を用いて基板60を保持する。発光素子などの構造物は開口部に形成されるため、開口部の大きさ及び形状はは目的に応じて調整すればよい。例えば、開口部の大きさは、以下に説明する露光領域の大きさに応じて決定することができる。

[0073]

図3A乃至図3Cに、直径 $\Phi = 12 \text{ inch}$ の基板（例えば、シリコンウエハ）1枚あたりの表示装置の取り数の一例を示す。図3A乃至図3Cにおいて、外部接続端子は貫通電極を用いて裏面から取り出すことを想定して見積もりを行っている。そのため、表示領域を広くすることができる。なお、露光領域内にパッドを設けてもよい。この場合、表示領域は小さくなるが、外部接続端子を取り出すための構成に係る製造コストを低減できる効果を奏する。

[0074]

図3A乃至図3Cは、それぞれ、表示領域のアスペクト比を4:3とした場合の例である。

[0075]

図3Aは、露光装置の露光領域（32mm×24mm）の内側に、封止領域を設ける例である。図3Aの例では、封止領域の幅を上下方向は1.5mmとし、左右方向は2.0mmとしている。このとき、表示領域のサイズは、28mm×21mm（アスペクト比は4：3）で、対角約1.38inchとなる。そして、基板1枚あたりの表示装置の取り数は、72個である。なお、封止領域の幅を上下方向は2.0mmとし、左右方向は2.65mmとすると、表示領域のサイズは、26.7mm×20mm（アスペクト比は4：3）で、対角約1.32inchとなる。また、封止領域の幅を上下方向は3.0mmとし、左右方向は4.0mmとすると、表示領域のサイズは、24mm×18mm（アスペクト比は4：3）で、対角約1.18inchとなる。いずれも、基板1枚あたりの表示装置の取り数は、72個である。

[0076]

図3B、および図3Cは、露光装置の露光領域（32mm×24mm）の外側に、封止領域を設ける例である。この場合、封止領域の分だけ隙間を空けて露光する。露光領域の内側には、マーカ領域が設けられる。図3Bは、マーカ領域の幅を上下方向は0.5mmとし、左右方向は0.7mmとし、封止領域の幅を2.0mmとした場合の例である。このとき、表示装置の表示領域のサイズは、対角約1.51inchとなる。そして、基板1枚あたりの表示装置の取り数は56個である。なお、マーカ領域の幅を上下方向は1.0mmとし、左右方向は1.3mmとする場合、当該表示領域のサイズは、対角約1.45inchとなる。図3Cは、マーカ領域の幅を上下方向は0.5mmとし、左右方向は0.7mmとし、封止領域の幅を3.0mmとした場合の例である。このとき、表示装置の表示領域のサイズは、対角約1.51inchで、図3Bの構成と同じである。基板1枚あたりの表示装置の取り数は49個となり、図3Bの構成に比べて、取り数が約13%低下する。

[0077]

図2Bは、治具51、基板60、治具54を上下に分離した図である。治具51および治具54は、金属、セラミクス、サーメットなどの硬質材料で形成することが好ましい。または、これらを複合して形成してもよい。図2Bでは、治具51に磁石を設け、磁性金属で形成した治具54で基板60を挟持する例を示している。

[0078]

他の構成として、治具54の磁石55と対向する部分のみ磁性金属を設け、他の部分をセラミクス等で形成してもよい。また、磁石55は、治具51側に設けられていてもよい。または、磁石55は治具51と治具54の両者に設けられていてもよい。なお、バネまたはその他の構成を用いて、治具51と治具54との間に基板60を挟持してもよい。

[0079]

また、治具51にはプッシャーピン用の貫通孔58およびアライメント用のピン62を設けることができる。貫通孔58にプッシャーピンを通すことで、基板60を持ち上げることができ、基板60の治具51への設置または治具51からの取り出しを容易に行うことができる。また、ピン62には、基板60が有するノッチ部を合わせることができ、ザグリ部59に基板60を合わせて粗なアライメントを行うことができる。治具51に対する基板60の設置の詳細については後述する。

[0080]

図2Bに示すように、治具51は上面形状が矩形で平板部を有し、平板部は基板60の直径と同等

サイズ以上であることが好ましい。平板部の上面と垂直な第1の端部および第1の端部と対向する第2の端部には凸部56が設けられる。凸部56は、後述するフェイスダウン方式での設置時に用いることができる。

[0081]

また、第1の端部と垂直な第3の端部と、第3の端部と対向する第4の端部との間には、貫通孔52および貫通孔53が設けられる。

[0082]

ここで、貫通孔52と搬送装置70のハンド部71のサイズの比較を図4Bに示す。貫通孔52の長軸に垂直な断面の内寸を $X1 \times Y1$ 、ハンド部71の長軸に垂直な断面の外寸を $X2 \times Y2$ としたとき、 $X1 > X2$ 、 $Y1 > Y2$ とする。したがって、貫通孔52には、図4Aに示すように、搬送装置70のハンド部71を挿入することができる。

[0083]

また、図4Cに示すように、ワーク基板50が反転した場合でも貫通孔52に搬送装置70のハンド部71を挿入して搬送することができる。したがって、基板60の表面および治具54にハンド部71が触れないため、基板60表面に対する傷および汚染の防止、治具54に付着している膜の剥がれなどを防止することができる。

[0084]

また、貫通孔52の内寸の高さ($Y1$)は、ハンド部71の厚み($Y2$)よりも大きいため、固定されているワーク基板50に対して、搬送装置70のハンド部71の貫通孔52への挿入、抜き取りを搬送装置70の動作のみで行うことができる。なお、図4B、図4Cでは、貫通孔52の数を3としているが、2または4以上であってもよい。なお、本実施の形態で説明した基板搬送治具は一例であり、その他の構成の基板搬送治具を用いてもよい。

[0085]

<基板反転装置>

貫通孔53は、図5Aに示す基板反転装置80のハンド部85a、85bを挿入するための貫通孔である。基板反転装置80は、架台81に固定された柱82と、柱82に固定された回転機構83と、回転機構83の回転軸に固定された回転部84を有する。また、回転部84は、水平移動機構86a、86bを有し、水平移動機構86aにハンド部85aが接続され、水平移動機構86bにハンド部85bが接続される。

[0086]

基板反転装置80のハンド部85bの長軸に垂直な断面および貫通孔53の長軸に垂直な断面を図5Bに示す。ハンド部85bの長軸に垂直な断面は、一部に凸型の形状部87を有する。また、貫通孔53の長軸に垂直な断面は一部に凹型の形状部57を有する。

[0087]

図5Cに示すように、凸型の形状部87と凹型の形状部57が接するように水平移動機構86bを水平移動機構で動かすことで、両者が密着する。図5Dに示すように、線対称の構成を有するハンド部85aも同様に動かすことで、ハンド部85a、85bとワーク基板50とを固定することができる。なお、凸型の形状部87および凹型の形状部57は、両者が密着する形状であればよく、曲率を有していてもよい。

[0088]

なお、図5Dでは、ハンド部85aとハンド部85bが互いに離れる方向に動いたときに上記の凸型の形状部87と凹型の形状部57が接する構成としているが、ハンド部85aとハンド部85bが互いに近づく方向に動いたときに上記の凸型の形状部87と凹型の形状部57が接する構成としてもよい。

[0089]

次に、ワーク基板50の反転動作を説明する。なお、予め搬送装置70のハンド部71が貫通孔52に挿入された状態でワーク基板50が待機している状態とする。また、基板60の表面が上面となっている状態とする。

[0090]

まず、基板反転装置80のハンド部85aおよびハンド部85bを互いに近づく方向に移動させ、貫通孔53にハンド部85aおよびハンド部85bが挿入されるように搬送装置70を動作する(図6A参照)。

[0091]

次に、ハンド部85aおよびハンド部85bを互いに離れる方向に移動させ、ハンド部85aおよびハンド部85bにワーク基板50を固定させる。そして、搬送装置70のハンド部71を貫通孔52の内壁に接しない高さまで若干下降する(図6B参照)。そして、ハンド部71を貫通孔52から抜き取る(図6C参照)。

[0092]

次に、回転機構83で回転部84を回転させ(図7A参照)、反転後に搬送装置のハンド部71を貫通孔53に挿入する。次に、基板反転装置80のハンド部85aおよびハンド部85bを互いに近づく方向に移動させ、ハンド部85aおよびハンド部85bとワーク基板50の固定を解除する。そして、搬送装置70のハンド部71を貫通孔52の内壁に接する高さまで若干上昇させる(図7B参照)。

[0093]

そして、ハンド部71を後退させて、基板反転装置80のハンド部85aおよびハンド部85bからワーク基板50を抜き取る。以上がワーク基板50の反転動作である。なお、図7Cの状態から図6Aの状態に戻すときも同様の動作を行えばよい。

[0094]

<真空プロセス装置EVC>

次に、真空プロセス装置EVCに対するワーク基板50の設置について説明する。図8Aは、ワーク基板50をフェイスダウン方式で設置する真空プロセス装置EVCを説明する図であり、ここでは蒸着装置90aを例示している。なお、図の明瞭化のため、ゲートバルブは省略している。

[0095]

蒸着装置90aは、蒸着源92(坩堝)よりも高い位置において、チャンバーに固定された一対のレール91を有する。レール91にワーク基板50の凸部56の側面が載るように設置することで、ワーク基板50をフェイスダウン方式で蒸着装置90aのチャンバー内に設置することができる。

[0096]

なお、スパッタリング装置も図8Aに示す蒸着装置90aと同様にレール91上にワーク基板50を設置する構成とし、フェイスダウン方式で基板を設置する構成とすることができる。

[0097]

図8 Bは、ワーク基板50をフェイスアップ方式で設置する真空プロセス装置EVCを説明する図であり、ここではドライエッチング装置90bを例示している。なお、図の明瞭化のため、ゲートバルブは省略している。

[0098]

ドライエッチング装置90bは平行平板型でカソード95（ステージ）とアノード96を有する。ステージにワーク基板50の治具51側が接して載るように設置することで、ワーク基板50をフェイスアップ方式でドライエッチング装置90bのチャンバー内に設置することができる。なお、搬送装置70の動作のみでワーク基板50の搬出入が可能であるため、ここでは基板を持ち上げるためのプッシャーピンなどは不要となる。

[0099]

フェイスアップ方式でワーク基板50を設置するCVD装置、ALD装置なども図8 Bに示すドライエッチング装置90bと同様にステージ上にワーク基板50を設置する構成とすることができる。

[0100]

上記説明の本発明の一態様の製造装置を用いることで、成膜工程、リソグラフィ工程、エッチング工程、および封止工程を連続して行うことができる。したがって、微細、高輝度、高信頼性の有機EL素子を形成することができる。

[0101]

<大判対応>

なお、図9に示すように、クラスタ20Eを複数の基板をバッチ処理できる大判対応としてもよい。クラスタ20Eを大判対応とすることで、スループットを高めることができる。または、大判対応装置をすでに有している場合に有効利用することができる。なお、図9に示す構成では、クラスタ20E以外は図1と同じ構成とすることができる。

[0102]

当該構成とする場合、搬送治具は複数の基板60に対応する。図10Aは、4枚の基板60を治具51上に整列させて配置する例である。なお、図10Bに示すように、千鳥配置に近い構成としてもよい。図10Bは6枚、図10Cは9枚の基板60をそれぞれ千鳥配置にした構成を示している。基板60を千鳥配置にすることで、治具51のサイズを小さくすることができる。または、治具51に、より多くの基板60を配置することができる。

[0103]

図11Aは、基板60の治具51への配置を説明する図である。治具51はステージ46上に設置される。ステージ46はレール76に沿って水平方向に移動することができ、搬送装置70の可動範囲に応じて移動させることができる。

[0104]

まず、前方にノッチが位置するように基板60を搬送装置70のハンドに載せる動作を行う。ノッチの位置は、ロードロック室LL2の基板回転機構45の回転動作により調整することができる。

[0105]

続いて、基板60を治具51の配置位置上に搬送し、プッシャーピン69を上昇させて基板60を持ち上げ、搬送装置70のハンドを引き抜く。そして、プッシャーピン69を降下し、ザグリ部59に設置する。これらの動作のとき、図11Bの上面図に示すように、ピン62と基板60のノッチ61との間には互いに接しない距離を設けることが好ましい。このようにすることで、基板60

がザグリ部59の遊びの範囲で動いてもノッチ61とピン62が接して止まるため、基板60が大きく動くことはない。すなわち、ザグリ部とピン62で粗なアライメントができることになる。

[0106]

続いて、図11Cに示すように、治具54を搬送装置66で把持し、基板60の上に搬送する。ここで、基板60に設けたマーカと治具54に設けたマーカをカメラ65で観察することにより精密なアライメントを行う。そして、治具54を降下させ、基板60と密着させ、治具54を搬送装置66から取り外す。なお、搬送装置66における治具54の把持は、例えば静電チャックまたは電磁石などを用いて行うことができる。

[0107]

以上の動作により、治具51上に複数の基板60を設置し、基板60上に治具54をアライメントして設置することができる。なお、図2に示す搬送治具を用いた場合においても同様の動作を行うことができる。

[0108]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[0109]

(実施の形態2)

本実施の形態では、本発明の一態様の表示装置の製造装置を用いて作製されるトランジスタおよび発光素子(有機EL素子)の具体例を説明する。

[0110]

なお、本明細書等において、メタルマスク、またはFMM(ファインメタルマスク、高精細なメタルマスク)を用いるデバイスをMM(メタルマスク)構造と呼称する場合がある。また、本明細書等において、メタルマスク、またはFMMを用いないデバイスをMML(メタルマスクレス)構造と呼称する場合がある。

[0111]

なお、本明細書等において、各色の発光デバイス(ここでは青(B)、緑(G)、および赤(R))で、発光層を作り分ける、または発光層を塗り分ける構造をSBS(Side By Side)構造と呼ぶ場合がある。また、本明細書等において、白色光を発することのできる発光デバイスを白色発光デバイスと呼ぶ場合がある。なお、白色発光デバイスは、着色層(たとえば、カラーフィルタ)と組み合わせることで、フルカラー表示の発光デバイスとすることができる。

[0112]

また、発光デバイスは、シングル構造と、タンデム構造とに大別することができる。シングル構造のデバイスは、一対の電極間に1つの発光ユニットを有し、当該発光ユニットは、1以上の発光層を含む構成とすることが好ましい。白色発光を得るには、2以上の発光層の各々の発光色が補色の関係となるような発光層を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する構成を得ることができる。また、発光層を3つ以上有する発光デバイスの場合も同様である。

[0113]

タンデム構造のデバイスは、一対の電極間に2以上の複数の発光ユニットを有し、各発光ユニットは、1以上の発光層を含む構成とすることが好ましい。白色発光を得るには、複数の発光ユニットの発光層からの光を合わせて白色発光が得られる構成とすればよい。なお、白色発光が得られる構

成については、シングル構造の構成と同様である。なお、タンデム構造のデバイスにおいて、複数の発光ユニットの間には、電荷発生層などの中間層を設けると好適である。

[0114]

また、上述の白色発光デバイス（シングル構造またはタンデム構造）と、SBS構造の発光デバイスと、を比較した場合、SBS構造の発光デバイスは、白色発光デバイスよりも消費電力を低くすることができる。消費電力を低く抑えたい場合は、SBS構造の発光デバイスを用いると好適である。一方で、白色発光デバイスは、製造プロセスがSBS構造の発光デバイスよりも簡単であるため、製造コストを低くすることができる、または製造歩留まりを高くすることができるため、好適である。

[0115]

なお、タンデム構造のデバイスは、同色の光を射出する発光層を有する構成（BB、GG、RRなど）であってもよい。複数の層から発光が得られるタンデム構造は、発光に高い電圧を要するが、シングル構造と同じ発光強度を得るための電流値は小さくなる。したがって、タンデム構造では、発光ユニットあたりの電流ストレスを少なくすることができ、素子寿命を延ばすこともできる。

[0116]

<構成例>

図12に、本発明の一態様の表示装置100の上面概略図を示す。表示装置100は、赤色を呈する発光素子110R、緑色を呈する発光素子110G、および青色を呈する発光素子110Bをそれぞれ複数有する。図12では、各発光素子の区別を簡単にするため、各発光素子の発光領域内にR、G、Bの符号を付している。

[0117]

発光素子110R、発光素子110G、および発光素子110Bは、それぞれマトリクス状に配列している。図12は、一方向に同一の色の発光素子が配列する、いわゆるストライプ配列を示している。なお、発光素子の配列方法はこれに限られず、デルタ配列、ジグザグ配列などの配列方法を適用してもよいし、ペンタイル配列を用いることもできる。

[0118]

発光素子110R、発光素子110G、および発光素子110Bとしては、OLED（Organic Light Emitting Diode）、またはQLED（Quantum-dot Light Emitting Diode）などのEL素子を用いることが好ましい。EL素子が有する発光物質としては、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、無機化合物（量子ドット材料など）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Thermally activated delayed fluorescence：TADF）材料）などが挙げられる。

[0119]

図13Aは、図12中の一点鎖線A1-A2に対応する断面概略図である。

[0120]

図12には、発光素子110R、発光素子110G、および発光素子110Bの断面を示している。発光素子110R、発光素子110G、および発光素子110Bは、それぞれ画素回路上に設けられ、画素電極111、および共通電極113を有する。

[0121]

発光素子110Rは、画素電極111と共通電極113との間に、EL層112Rを有する。EL層112Rは、少なくとも赤色の波長域にピークを有する光を発する発光性の有機化合物を有する。発光素子110Gが有するEL層112Gは、少なくとも緑色の波長域にピークを有する光を発する発光性の有機化合物を有する。発光素子110Bが有するEL層112Bは、少なくとも青色の波長域にピークを有する光を発する発光性の有機化合物を有する。なお、EL層112R、EL層112G、およびEL層112Bがそれぞれ異なる色の光を発する構造をSBS (Side By Side) 構造と呼称してもよい。

[0122]

EL層112R、EL層112G、およびEL層112Bは、それぞれ発光性の有機化合物を含む層（発光層）のほかに、電子注入層、電子輸送層、正孔注入層、および正孔輸送層のうち、一以上を有していてもよい。

[0123]

画素電極111は、発光素子毎に設けられている。また、共通電極113は、各発光素子に共通な一続きの層として設けられている。画素電極111と共通電極113のいずれか一方に可視光に対して透光性を有する導電膜を用い、他方に可視光に対して反射性を有する導電膜を用いる。画素電極111を透光性、共通電極113を反射性とすることで、下面射出型（ボトムエミッション型）の表示装置とすることができ、反対に画素電極111を反射性、共通電極113を透光性とすることで、上面射出型（トップエミッション型）の表示装置とすることができる。なお、画素電極111と共通電極113の双方を透光性とすることで、両面射出型（デュアルエミッション型）の表示装置とすることもできる。本実施の形態では、上面射出型（トップエミッション型）の表示装置を作製する例を説明する。

[0124]

画素電極111の端部を覆って、絶縁層131が設けられている。絶縁層131の端部は、テーパ形状であることが好ましい。

[0125]

EL層112R、EL層112G、およびEL層112Bは、それぞれ画素電極111の上面に接する領域と、絶縁層131の表面に接する領域と、を有する。また、EL層112R、EL層112G、およびEL層112Bの端部は、絶縁層131上に位置する。

[0126]

図13Aに示すように、異なる色の発光素子間において、2つのEL層の間に隙間が設けられている。このように、EL層112R、EL層112G、およびEL層112Bが、互いに接しないように設けられていることが好ましい。これにより、互いに隣接する2つのEL層を介して電流が流れ、意図しない発光が生じることを好適に防ぐことができる。そのため、コントラストを高めることができ、表示品位の高い表示装置を実現できる。

[0127]

また、共通電極113上には、発光素子110R、発光素子110G、および発光素子110Bを覆って、保護層121が設けられている。保護層121は、上方から各発光素子に不純物が拡散することを防ぐ機能を有する。または、保護層121は、各発光素子に入り込む得る不純物（代表的には、水および水素などの不純物）を捕獲（ゲッターリングともいう）する機能を有する。

[0128]

保護層 1 2 1 としては、例えば、少なくとも無機絶縁膜を含む単層構造または積層構造とすることができる。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜などの酸化物膜または窒化物膜が挙げられる。または、保護層 1 2 1 としてインジウムガリウム酸化物、インジウムガリウム亜鉛酸化物などの半導体材料を用いてもよい。

[0 1 2 9]

画素電極 1 1 1 は、トランジスタ 1 1 6 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 1 1 6 には、例えば、チャンネル形成領域に金属酸化物を有するトランジスタ（以下、OS トランジスタ）を用いることができる。OS トランジスタは非晶質シリコンよりも移動度が高く、電気特性に優れている。また、OS トランジスタは、多結晶シリコンの製造工程にある結晶化工程が不要であり、配線工程などで形成することができる。したがって、OS トランジスタは、基板 6 0 に形成されている、チャンネル形成領域にシリコンを有するトランジスタ 1 1 5（以下、Si トランジスタ）上に、貼り合わせ工程などを用いずに形成することができる。

[0 1 3 0]

ここで、トランジスタ 1 1 6 は画素回路を構成するトランジスタであり、本発明の一態様の製造装置で形成することができる。また、トランジスタ 1 1 5 は、画素回路の駆動回路などを構成するトランジスタである。すなわち、駆動回路上に画素回路を形成することができるため、狭額縁の表示装置を形成することができる。

[0 1 3 1]

OS トランジスタに用いる半導体材料としては、エネルギーギャップが 2 e V 以上、好ましくは 2.5 e V 以上、より好ましくは 3 e V 以上である金属酸化物を用いることができる。

[0 1 3 2]

OS トランジスタは半導体層のエネルギーギャップが大きいので、数 y A / μ m（チャンネル幅 1 μ m あたりの電流値）という極めて低いオフ電流特性を示す。また、OS トランジスタは、インパクトイオン化、アバランシェ降伏、および短チャンネル効果などが生じないなど Si トランジスタとは異なる特徴を有し、高耐圧で信頼性の高い回路を形成することができる。また、Si トランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきも OS トランジスタでは生じにくい。

[0 1 3 3]

OS トランジスタが有する半導体層は、例えばインジウム、亜鉛および M（M は、アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属の一つまたは複数）を含む In-M-Zn 系酸化物で表記される膜とすることができる。In-M-Zn 系酸化物は、代表的には、スパッタリング法で形成することができる。または、ALD（Atomic layer deposition）法を用いて形成してもよい。

[0 1 3 4]

In-M-Zn 系酸化物をスパッタリング法で形成するために用いるスパッタリングターゲットの金属元素の原子数比は、 $I n \geq M$ 、 $Z n \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $I n : M : Z n = 1 : 1 : 1$ 、 $I n : M : Z n = 1 : 1 : 1.2$ 、 $I n : M : Z n = 3 : 1 : 2$ 、 $I n : M : Z n = 4 : 2 : 3$ 、 $I n : M : Z n = 4 :$

2 : 4、1、In : M : Zn = 5 : 1 : 6、In : M : Zn = 5 : 1 : 7、In : M : Zn = 5 : 1 : 8等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

[0135]

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、 $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

[0136]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成の酸化物半導体を用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度および不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0137]

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンまたは炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0138]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0139]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

[0140]

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0141]

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能する。しかしながら、当該欠

陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0142]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0143]

本発明の一態様である表示装置の製造装置は、スパッタリング装置またはALD装置を有しており、高品質の酸化物半導体の形成が可能である。

[0144]

図13Aでは、R、G、Bの発光素子の発光層が互いに異なっている構成について例示したが、これに限定されない。例えば、図13Bに示すように白色発光を行うEL層112Wを設け、EL層112Wに重畳するように、着色層114R（赤色）、114G（緑色）、114B（青色）を設けて発光素子110R、110G、110Bを形成し、カラー化する方式を用いてもよい。

[0145]

EL層112Wは、例えば、R、G、Bのそれぞれの発光を行うEL層を直列に接続したタンデム構造を有することができる。または、R、G、Bのそれぞれの発光を行う発光層を直列に接続した構造を用いてもよい。着色層114R、114G、114Bとしては、例えば、赤色、緑色、青色のカラーフィルタなどを用いることができる。

[0146]

または、図13Cに示すように、基板60が有するトランジスタ117で画素回路を構成し、トランジスタ117のソースまたはドレインの一方と画素電極111を電氣的に接続してもよい。

[0147]

ここで、トランジスタ117は基板60に形成されるSiトランジスタである。本発明の一態様の製造装置では、トランスファー室TF4に設けられるロード室からトランジスタ117が形成された基板60を投入し、クラスタ20Eおよびクラスタ30Eで各発光素子を形成し、トランスファー室TF4に設けられるアンロード室から搬出することができる。例えば、この間にクラスタ20およびクラスタ30では別の処理（OSトランジスタの形成など）を行うことができる。

[0148]

<作製方法例>

以下では、本発明の一態様の表示デバイスの作製方法について説明する。ここでは、上記構成例で示した表示装置100が有する表示デバイスを例に挙げて説明する。

[0149]

図14A乃至図16Dは、以下で例示する表示デバイスの作製方法の、各工程における断面概略図である。なお、図14A乃至図16Dでは、図13Aで示した画素回路の構成要素であるトランジスタ116および駆動回路の構成要素であるトランジスタ115は省略して図示している。

[0150]

表示装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、原子層堆積（ALD）法等を用いて形成することができる。CVD法としては、プラズマ化学気相堆積（PECVD：Plasma Enhanced CVD）法、または熱CVD法などがある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD：Metal Organic CVD）法がある。本発明の一態様の製造装置では、上記方法で薄膜を形成するための装置を有することができる。

[0151]

また、表示装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）の形成およびリソグラフィ工程に用いる樹脂等の塗布は、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法を用いることができる。本発明の一態様の製造装置では、上記方法で薄膜を形成するための装置を有することができる。また、本発明の一態様の製造装置では、上記方法で樹脂を塗布するための装置を有することができる。

[0152]

また、表示装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法を用いることにより薄膜を加工してもよい。また、遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成する方法を併用してもよい。

[0153]

フォトリソグラフィ法を用いた薄膜の加工方法としては、代表的には以下の2つの方法がある。一つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう一つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0154]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV：Extreme Ultraviolet）光またはX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0155]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法などを用いることができる。本発明の一態様の製造装置では、上記方法で薄膜を加工するための装置を有することができる。

[0156]

<基板60の準備>

基板60としては、少なくとも後の熱処理に耐えうる程度の耐熱性を有する基板を用いることができる。基板60として、絶縁性基板を用いる場合には、ガラス基板、石英基板、サファイア基板、セラミック基板、有機樹脂基板などを用いることができる。また、シリコンまたは炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板などの半導体基板を用いることができる。

[0157]

特に、基板60として、上記半導体基板または絶縁性基板上に、トランジスタなどの半導体素子を含む半導体回路が形成された基板を用いることが好ましい。当該半導体回路は、例えば画素回路、ゲート線駆動回路（ゲートドライバ）、ソース線駆動回路（ソースドライバ）などを構成していることが好ましい。また、上記に加えて演算回路、記憶回路などが構成されていてもよい。

[0158]

<画素回路および画素電極111の形成>

続いて、基板60上に複数の画素回路を形成し、それぞれの画素回路に画素電極111を形成する。まず画素電極111となる導電膜を成膜し、フォトリソグラフィ法によりレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後、レジストマスクを除去することで、画素電極111を形成することができる。

[0159]

画素電極111としては、可視光の波長域全域での反射率ができるだけ高い材料（例えば銀またはアルミニウムなど）を適用することが好ましい。当該材料で形成された画素電極111は、光反射性を有する電極ということができる。これにより、発光素子の光取り出し効率を高められるだけでなく、色再現性を高めることができる。

[0160]

<絶縁層131の形成>

続いて、画素電極111の端部を覆って、絶縁層131を形成する（図14A参照）。絶縁層131としては、有機絶縁膜または無機絶縁膜を用いることができる。絶縁層131は、後のEL膜の段差被覆性を向上させるために、端部をテーパ形状とすることが好ましい。特に、有機絶縁膜を用いる場合には、感光性の材料を用いると、露光および現像の条件により端部の形状を制御しやすいため好ましい。

[0161]

<EL膜112Rfの形成>

続いて、画素電極111および絶縁層131上に、後にEL層112RとなるEL膜112Rfを成膜する（図14B参照）。

[0162]

EL膜112Rfは、少なくとも赤色発光性の有機化合物を含む膜を有する。このほかに、電子注入層、電子輸送層、電荷発生層、正孔輸送層、正孔注入層が積層された構成としてもよい。EL膜112Rfは、例えば蒸着法、またはスパッタリング法等により形成することができる。なおこれに限られず、上述した成膜方法を適宜用いることができる。

[0163]

<レジストマスク143aの形成>

続いて、発光素子110Rに対応する画素電極111上にレジストマスク143aを形成する（図

14C参照)。レジストマスク143aは、リソグラフィ工程で形成することができる。

[0164]

<EL層112Rの形成>

続いて、レジストマスク143aをマスクとしてEL膜112Rfのエッチングを行い、EL層112Rを島状に形成する(図14D参照)。エッチング工程にはドライエッチング法またはウェットエッチング法を用いることができる。

[0165]

<EL膜112Gfの形成>

続いて、露出している画素電極111および絶縁層131上、ならびにレジストマスク143a上に後にEL層112GとなるEL膜112Gfを成膜する(図15A参照)。

[0166]

EL膜112Gfは、少なくとも緑色発光性の有機化合物を含む膜を有する。このほかに、電子注入層、電子輸送層、電荷発生層、正孔輸送層、正孔注入層が積層された構成としてもよい。

[0167]

<レジストマスク143bの形成>

続いて、発光素子110Gに対応する画素電極111上にレジストマスク143bを形成する(図15B参照)。レジストマスク143bは、リソグラフィ工程で形成することができる。

[0168]

<EL層112Gの形成>

続いて、レジストマスク143bをマスクとしてEL膜112Gfのエッチングを行い、EL層112Gを島状に形成する(図15C参照)。エッチング工程にはドライエッチング法またはウェットエッチング法を用いることができる。

[0169]

<EL膜112Bfの形成>

続いて、露出している画素電極111および絶縁層131上、ならびにレジストマスク143aおよびレジストマスク143b上に後にEL層112BとなるEL膜112Bfを成膜する(図15D参照)。

[0170]

EL膜112Bfは、少なくとも青色発光性の有機化合物を含む膜を有する。このほかに、電子注入層、電子輸送層、電荷発生層、正孔輸送層、正孔注入層が積層された構成としてもよい。

[0171]

<レジストマスク143cの形成>

続いて、発光素子110Bに対応する画素電極111上にレジストマスク143cを形成する(図16A参照)。レジストマスク143bは、リソグラフィ工程で形成することができる。

[0172]

<EL層112Bの形成>

続いて、レジストマスク143cをマスクとしてEL膜112Bfのエッチングを行い、EL層112Gを島状に形成する(図16B参照)。エッチング工程にはドライエッチング法またはウェットエッチング法を用いることができる。

[0173]

<レジストマスク除去>

続いて、レジストマスク 1 4 3 a、レジストマスク 1 4 3 b、レジストマスク 1 4 3 c を除去する（図 1 6 C 参照）。レジストマスクの除去には、例えば、有機溶剤による剥離法などを用いることができる。または、ドライエッチング装置を用いたアッシングなどを用いてもよい。

[0 1 7 4]

<共通電極形成>

続いて、前の工程で露出した EL 層 1 1 2 R、EL 層 1 1 2 G、EL 層 1 1 2 B、および絶縁層 1 3 1 上に有機 EL 素子の共通電極 1 1 3 となる導電膜を形成する。共通電極 1 1 3 としては、発光層から発する光を透過する薄い金属膜（例えば銀およびマグネシウムの合金など）、透光性導電膜（例えば、インジウムスズ酸化物、またはインジウム、ガリウム、亜鉛などを一つ以上含む酸化物など）のいずれか単膜または両者の積層膜を用いることができる。このような膜からなる共通電極 1 1 3 は、光透過性を有する電極ということができる。共通電極 1 1 3 となる導電膜を形成する工程には、蒸着装置および／またはスパッタリング装置などを用いることができる。

[0 1 7 5]

画素電極 1 1 1 として光反射性を有する電極を有し、共通電極 1 1 3 として光透過性を有する電極を有することで、発光層から発する光は共通電極 1 1 3 を通じて外部に射出することができる。すなわち、トップエミッション型の発光素子が形成される。

[0 1 7 6]

<保護層形成>

続いて、共通電極 1 1 3 上に保護層 1 2 1 を形成する（図 1 6 D 参照）。保護層を形成する工程には、スパッタリング装置、CVD 装置、または ALD 装置などを用いることができる。

[0 1 7 7]

<製造装置例 1>

上述した画素回路および EL 膜 1 1 2 R f の形成から保護層 1 2 1 形成までの作製工程に用いることができる製造装置の例を図 1 7 に示す。図 1 7 に示す製造装置の基本構成は、図 1 に示す製造装置と同じであるが、トランジスタの作製工程、R、G、B の各発光素子の形成、マルチタスク化による工程時間の短縮などを考慮し、必要な装置を具体化した例を示している。

[0 1 7 8]

以下に、クラスタ 2 0 E およびクラスタ 3 0 E、ならびにクラスタ 2 0 およびクラスタ 3 0 について具体的に説明する。図 1 7 は製造装置全体を模式化した斜視図であり、ユーティリティー設備およびゲートバルブなどの図示は省いている。また、トランスファー室 TF 1 乃至 TF 7、およびロードロック室 LL 1、LL 2 は、明瞭化のために内部を可視化した図としている。

[0 1 7 9]

<クラスタ 2 0 E>

クラスタ 2 0 E は、トランスファー室 TF 5 および真空プロセス装置 EVC 1 乃至 EVC 1 1 を有するブロックと、トランスファー室 TF 7 および真空プロセス装置 EVC 1 2 乃至 EVC 1 4 を有するブロックを有する。なお、クラスタ 2 0 E を二つのブロックに分けずに、トランスファー室 TF 6 および真空プロセス装置 EVC 1 乃至 EVC 1 4 を一つのブロックとして形成してもよい。

[0 1 8 0]

トランスファー室 TF 6 は、搬送装置 7 0 f 1、7 0 f 2 を有する。トランスファー室 TF 7 は、

搬送装置70gを有する。ここで、搬送装置70f1、70f2は自走式であり、レール78に沿って移動することができる。

[0181]

<EVC1乃至EVC5>

真空プロセス装置EVC1乃至EVC5は、EL膜112Rf、EL膜112Gf、EL膜112Bfを形成するための蒸着装置である。例えば、真空プロセス装置EVC2、EVC3、EVC4のそれぞれを発光層(R)、発光層(G)、発光層(B)のそれぞれの形成装置とすることができる。また、真空プロセス装置EVC1、EVC5を共通層である電子注入層、電子輸送層、電荷発生層、正孔輸送層、正孔注入層などの形成装置に割り当てることができる。

[0182]

<EVC6、EVC7>

真空プロセス装置EVC6は、図2A、図2Bで説明した基板搬送治具の脱着装置とすることができる。搬送装置70f1で真空プロセス装置EVC6に基板を搬入して基板搬送治具の取り付けを行うことができる。また、真空プロセス装置EVC6で基板搬送治具を外し、基板単体を搬出することができる。

[0183]

真空プロセス装置EVC7は、図5A、図5Bで説明した基板反転装置とすることができる。真空プロセス装置EVC7で必要に応じてワーク基板50を反転することができる。

[0184]

<EVC8、EVC9>

真空プロセス装置EVC8、EVC9は、共通電極113を形成する成膜装置とすることができる。例えば、真空プロセス装置EVC8は、可視光を透過する金属膜の形成に用いる蒸着装置とすることができる。また、真空プロセス装置EVC9は、透光性導電膜の形成に用いるスパッタリング装置とすることができる。

[0185]

<EVC10、EVC11>

真空プロセス装置EVC10は、保護層121を形成する成膜装置とすることができる。例えば、真空プロセス装置EVC10は、スパッタリング装置とすることができる。あるいは、CVD装置またはALD装置などであってもよい。または、真空プロセス装置EVCを別途設けて、異なる成膜装置を複数設け、保護層121を積層膜で形成してもよい。

[0186]

真空プロセス装置EVC11は、EL層112R、EL層112G、EL層112Bの形成、およびレジストマスク除去を行うドライエッチング装置とすることができる。または、真空プロセス装置EVCを別途設けて、別途アッシング装置を設けてもよい。

[0187]

<EVC12乃至EVC14>

真空プロセス装置EVC12、EVC13、EVC14の一つ以上は真空ベーク装置とすることができる。有機EL素子では水などの不純物の侵入で信頼性が悪化するため、EL膜112Rf、EL膜112Gf、EL膜112Bfを形成する前の工程として真空ベーク(減圧下での加熱処理)を行い、ワーク基板50に付着している水などの不純物を除去することが好ましい。

[0188]

なお、上記では、一種類の装置を一つずつ配置する例を示したが、工程時間の比較的長い装置を2または3個配置してもよい。例えば、真空プロセス装置EVC12、EVC13、EVC14すべてを真空ベーク装置とすることができる。

[0189]

<クラスタ30E>

クラスタ30Eは、トランスファー室TF5および常圧プロセス装置EAC1乃至EAC9を有する。

[0190]

トランスファー室TF5は、搬送装置70eを有する。搬送装置70eは自走式であり、レール77上を移動することができる。

[0191]

<EAC1乃至EAC3>

常圧プロセス装置EAC1乃至EAC3には、洗浄装置、ウェットエッチング装置、レジスト剥離装置、対向基板貼り合わせ装置など、いずれか一つ以上を割り当てることができる。工程に合わせて適宜選択すればよい。

[0192]

<EAC4乃至EAC9>

常圧プロセス装置EAC4乃至EAC9は、リソグラフィ工程に用いる装置とすることができる。例えば、常圧プロセス装置EAC4を樹脂（フォトリジスト）塗布装置、常圧プロセス装置EAC5を露光装置、常圧プロセス装置EAC6を現像装置とすることができる。

[0193]

または、常圧プロセス装置EAC4を樹脂（UV硬化樹脂など）塗布装置、常圧プロセス装置EAC5をナノインプリント装置、常圧プロセス装置EAC6を現像装置とすることができる。なお、現像装置を利用しない場合は、常圧プロセス装置EAC6に他の装置を割り当ててもよい。

[0194]

また、常圧プロセス装置EAC7乃至EAC9はベーク装置とすることができる。ベーク装置では、フォトリジストのプリベーク、ポストベーク、または洗浄後の乾燥などを行うことができる。

[0195]

<クラスタ20>

クラスタ20は、トランスファー室TF2および真空プロセス装置VC1乃至VC11を有するブロックを有する。

[0196]

トランスファー室TF2は、搬送装置70bを有する。ここで、搬送装置70bは自走式であり、レール73に沿って移動することができる。

[0197]

<VC1乃至VC3>

真空プロセス装置VC1乃至VC3は、絶縁層、半導体層（金属酸化物など）、導電層などを形成するためのスパッタリング装置とすることができる。例えば、真空プロセス装置VC1、VC2、VC3のそれぞれを絶縁層、半導体層、導電層のそれぞれを形成するための専用の装置とすること

ができる。

[0198]

<VC4乃至VC6>

真空プロセス装置VC4乃至VC6は、リソグラフィ後における各層のパターン形成、コンタクトホール形成、およびレジストマスク除去（アッシング）を行うドライエッチング装置とすることができる。または、真空プロセス装置VCを別途設けて、アッシング装置としてもよい。

[0199]

<VC7乃至VC9>

真空プロセス装置VC7乃至VC9は、絶縁層、導電層などを形成するためのCVD装置である。例えば、絶縁膜の形成にはプラズマCVD装置、導電層（金属）の形成には、金属を含む原料ガスを用いた熱CVDなどを用いることができる。

[0200]

<VC10、VC11>

真空プロセス装置VC10は、ALD装置とすることができる。ALD装置は段差被覆性に優れるため、保護層、ゲート絶縁層などに用いることができる。また、真空プロセス装置VC11は、プラズマ処理装置とすることができる。プラズマ処理装置では、ゲート絶縁層に酸素を補うことができ、ゲート絶縁層を高品質化することができる。また、OSトランジスタを用いた場合において、当該ゲート絶縁層を介してチャンネル形成領域に酸素を補うことができる。

[0201]

<クラスタ30>

クラスタ30は、トランスファー室TF3および常圧プロセス装置AC1乃至AC9を有する。

[0202]

トランスファー室TF3は、搬送装置70eを有する。搬送装置70eは自走式であり、レール74上を移動することができる。

[0203]

<AC1、AC2>

常圧プロセス装置AC1およびAC2には、洗浄装置、ウェットエッチング装置、CMP装置、レジスト剥離装置など、いずれか一つ以上を割り当てることができる。工程に合わせて適宜選択すればよい。なお、さらに常圧プロセス装置ACを設けて、上記装置のいずれかを割り当ててもよい。

[0204]

<AC4乃至AC9>

常圧プロセス装置AC4乃至AC6は、リソグラフィ工程に用いる装置とすることができる。常圧プロセス装置AC4乃至AC6の構成は、常圧プロセス装置EAC4乃至EAC6と同様とすることができる。

[0205]

また、常圧プロセス装置AC7乃至AC9はベーク装置とすることができる。ベーク装置では、フォトリソのプリベーク、ポストベーク、または洗浄後の乾燥などを行うことができる。

[0206]

<製造装置例2>

図9に示す製造装置を基本構成として、図17と同様に必要な装置を具体化した例を図18に示す。

ロードアンロード部10、クラスタ20、クラスタ30、クラスタ30Eは図17に示す構成と同様にすることができ、クラスタ20Eの構成を大判化している点、およびトランスファー室TF7をトランスファー室TF6と統合している点が異なる。

[0207]

また、クラスタ20の構成では、図9乃至図11で説明した基板60のバッチ処理を行うための要素が設けられ、搬送装置70f2を大型化している。なお、搬送装置70f2と同様の搬送装置70f3を設けた構成としているが、搬送装置70f3を設けなくてもよい。

[0208]

また、真空プロセス装置EVC12乃至EVC14は真空ベーク装置であるが、大判対応でなくてもよい。真空ベーク工程は、基板60に搬送治具を装着する前に行うため、基板60単位で処理を行うことができる。

[0209]

図17に示す製造装置におけるクラスタ20Eおよびクラスタ30Eを用いた工程と処理装置、基板表裏（up：フェイスアップ方式、down：フェイスダウン方式）、前述した作製方法に対応する要素を表1、表2にまとめる。なお、ロードロック室LL2および各装置への基板の搬出入については記載を省いている。

[0210]

表1は、画素電極111を形成した後の工程であって、1種類のEL層を形成するまでの工程を示している。なお、EL層はR、G、Bごとに当該工程を行って形成するため、表1のNo. 1からNo. 16までの工程を3回行うことになる。

[0211]

[表1]

工程No.	工程	処理装置	基板表裏	対応する要素
1	洗浄	AC1	up	
2	真空ベーク	VC12	up	
3	搬送治具着装	VC6	up	
4	基板反転	VG7	down	
5	共通層成膜	VC1	down	
6	発光層成膜	VC2,VC3,VC4	down	EL膜112Rf、112Gf、112Bf
7	共通層成膜	VC5	down	
8	基板反転	VG7	up	
9	搬送治具取り外し	VC6	up	
10	フォトリソスト塗布	AC4	up	
11	プリベーク	AC7	up	
12	露光	AC5	up	レジストマスク143a、143b、143c
13	現像	AC6	up	
14	ポストベーク	AC8	up	
15	EL膜タッチング	VC11	up	EL層112R、112G、112B
16	レジストマスク除去	AC3	up	

[0212]

表2は、EL層112R、112G、112Bを形成した後の工程であって、保護層121を形成するまでの工程を示している。なお、工程No. 55の基板搬送治具の換装は、工程No. 50で装着した治具54の開口部よりも大きい開口部を有する治具54に換装すればよい。これにより、共通電極の端部を覆う保護層を設けることができる。

[0213]

[表2]

工程No.	工程	処理装置	基板表裏	対応する要素
49	真空バーク	VC12	up	
50	搬送治具着装	VC6	up	
51	基板反転	VC7	down	
52	共通電極成膜	VC8	down	共通電極113
53	共通電極成膜	VC9	down	
54	基板反転	VC7	up	
55	搬送治具換装	VC6	up	
56	基板反転	VC7	down	
57	保護層成膜	VC10	down	保護層121
58	基板反転	VC7	up	
59	搬送治具取り外し	VC6	up	

[0214]

本発明の一態様の製造装置は、表1に示す工程No. 1から表2に示す工程No. 59までを自動的に処理する機能を有する。

[0215]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[符号の説明]

[0216]

AC1：常圧プロセス装置、AC2：常圧プロセス装置、AC3：常圧プロセス装置、AC4：常圧プロセス装置、AC5：常圧プロセス装置、AC6：常圧プロセス装置、AC7：常圧プロセス装置、AC8：常圧プロセス装置、AC9：常圧プロセス装置、EAC1：常圧プロセス装置、EAC2：常圧プロセス装置、EAC3：常圧プロセス装置、EAC4：常圧プロセス装置、EAC5：常圧プロセス装置、EAC6：常圧プロセス装置、EAC7：常圧プロセス装置、EAC8：常圧プロセス装置、EAC9：常圧プロセス装置、EVC1：真空プロセス装置、EVC2：真空プロセス装置、EVC3：真空プロセス装置、EVC4：真空プロセス装置、EVC5：真空プロセス装置、EVC6：真空プロセス装置、EVC7：真空プロセス装置、EVC8：真空プロセス装置、EVC9：真空プロセス装置、EVC10：真空プロセス装置、EVC11：真空プロセス装置、EVC12：真空プロセス装置、EVC13：真空プロセス装置、EVC14：真空プロセス装置、LL1：ロードロック室、LL2：ロードロック室、LU1：ロードアンロード室、TF1：トランスファー室、TF2：トランスファー室、TF3：トランスファー室、TF4：トランスファー室、TF5：トランスファー室、TF6：トランスファー室、TF7：トランスファー室、VC1：真空プロセス装置、VC2：真空プロセス装置、VC3：真空プロセス装置、VC4：真空プロセス装置、VC5：真空プロセス装置、VC6：真空プロセス装置、VC7：真空プロセス装置、VC8：真空プロセス装置、VC9：真空プロセス装置、VC10：真空プロセス装置、VC11：真空プロセス装置、10：ロードアンロード部、20：クラスタ、20E：クラスタ、30：クラスタ、30E：クラスタ、45：基板回転機構、46：ステージ、47：基板回転機構、50：ワーク基板、51：治具、52：貫通孔、53：貫通孔、54：治具、55：磁石、56：凸部、57：形状部、58：貫通孔、59：ザグリ部、60：基板、61：ノッチ、62：ピン、65：カメラ、66：搬送装置、69：プッシャーピン、70：搬送装置、70a：搬送装置、7

0 b : 搬送装置、7 0 c : 搬送装置、7 0 d : 搬送装置、7 0 e : 搬送装置、7 0 f 1 : 搬送装置、7 0 f 2 : 搬送装置、7 0 f 3 : 搬送装置、7 0 g : 搬送装置、7 1 : ハンド部、7 3 : レール、7 4 : レール、7 5 : レール、7 6 : レール、7 7 : レール、7 8 : レール、8 0 : 基板反転装置、8 1 : 架台、8 2 : 柱、8 3 : 回転機構、8 4 : 回転部、8 5 a : ハンド部、8 5 b : ハンド部、8 6 a : 水平移動機構、8 6 b : 水平移動機構、8 7 : 形状部、9 0 a : 蒸着装置、9 0 b : ドライエッチング装置、9 1 : レール、9 2 : 蒸着源、9 5 : カソード、9 6 : アノード、1 0 0 : 表示装置、1 1 0 B : 発光素子、1 1 0 G : 発光素子、1 1 0 R : 発光素子、1 1 1 : 画素電極、1 1 2 B : EL層、1 1 2 B f : EL膜、1 1 2 G : EL層、1 1 2 G f : EL膜、1 1 2 R : EL層、1 1 2 R f : EL膜、1 1 2 W : EL層、1 1 3 : 共通電極、1 1 4 B : 着色層、1 1 4 G : 着色層、1 1 4 R : 着色層、1 1 5 : トランジスタ、1 1 6 : トランジスタ、1 1 7 : トランジスタ、1 2 1 : 保護層、1 3 1 : 絶縁層、1 4 3 a : レジストマスク、1 4 3 b : レジストマスク、1 4 3 c : レジストマスク

請求の範囲

[請求項 1]

画素回路の製造装置と、発光デバイスの製造装置と、を有し、
前記発光デバイスの製造装置は、
第 1 のロードロック室と、第 1 のクラスタと、第 2 のクラスタと、を有し、
前記第 1 のロードロック室は、前記第 1 のクラスタと第 1 のゲートバルブを介して接続され、
前記第 1 のロードロック室は、前記第 2 のクラスタと第 2 のゲートバルブを介して接続され、
前記第 1 のロードロック室は、減圧または不活性ガス雰囲気制御され、
前記第 1 のクラスタは、減圧に制御され、
前記第 2 のクラスタは、不活性ガス雰囲気に制御され、
前記第 1 のクラスタは、第 1 の搬送装置と、複数の成膜装置と、エッチング装置と、を有し、
前記第 2 のクラスタは、第 2 の搬送装置と、リソグラフィ工程を行う複数の装置を有し、
前記画素回路の製造装置は、第 2 のロードロック室を有し、
前記第 1 のロードロック室は、トランスファー室を介して前記第 2 のロードロック室と接続され、
前記画素回路の製造装置で基板上に形成した画素電極上に、有機化合物を有する発光デバイスを
形成する機能を有する表示装置の製造装置。

[請求項 2]

請求項 1 において、
前記成膜装置は、蒸着装置、スパッタリング装置、CVD 装置、ALD 装置から選ばれる一つ以上であり、
前記エッチング装置は、ドライエッチング装置である表示装置の製造装置。

[請求項 3]

請求項 1 または 2 において、
前記第 1 のクラスタは、真空ベーク装置を有する表示装置の製造装置。

[請求項 4]

請求項 1 乃至 3 のいずれか一項において、
前記リソグラフィ工程を行う複数の装置として、塗布装置、露光装置、現像装置、ベーク装置を
有する表示装置の製造装置。

[請求項 5]

請求項 1 乃至 3 のいずれか一項において、
前記リソグラフィ工程を行う複数の装置として、塗布装置、ナノインプリント装置を有する表示
装置の製造装置。

[請求項 6]

請求項 1 乃至 5 のいずれか一項において、
前記エッチング装置は、前記有機化合物を島状に加工する機能を有する表示装置の製造装置。

[請求項 7]

請求項 1 乃至 6 のいずれか一項において、
前記第 1 のクラスタにおいて、
前記基板は基板搬送治具に装着されて処理が行われる表示装置の製造装置。

[請求項 8]

請求項 7 において、

前記基板搬送治具は、第 1 の治具および第 2 の治具を有し、

前記第 1 の治具と前記第 2 の治具との間に前記基板を挾持する表示装置の製造装置。

[請求項 9]

請求項 7 において、

前記基板搬送治具は、第 1 の治具および複数の第 2 の治具を有し、

前記第 1 の治具上に離隔した複数の前記基板を配置し、

前記第 1 の治具と前記第 2 の治具との間に前記基板を挾持する表示装置の製造装置。

[請求項 10]

請求項 7 乃至 9 のいずれか一項において、

前記第 1 のクラスタは、前記基板搬送治具の脱着装置を有する表示装置の製造装置。

[請求項 11]

請求項 7 乃至 10 のいずれか一項において、

前記第 1 のクラスタは、前記基板搬送治具が装着された基板の反転装置を有する表示装置の製造装置。

[請求項 12]

請求項 1 乃至 11 のいずれか一項において、

前記画素回路の製造装置は、

第 3 のクラスタと、第 4 のクラスタと、を有し、

前記第 2 のロードロック室は、前記第 3 のクラスタと第 3 のゲートバルブを介して接続され、

前記第 2 のロードロック室は、前記第 4 のクラスタと第 4 のゲートバルブを介して接続され、

前記第 2 のロードロック室は、減圧または常圧に制御され、

前記第 3 のクラスタは、減圧に制御され、

前記第 4 のクラスタは、常圧に制御され、

前記第 3 のクラスタは、第 3 の搬送装置と、複数の成膜装置と、エッチング装置と、プラズマ処理装置と、を有し、

前記第 2 のクラスタは、第 4 の搬送装置と、リソグラフィ工程を行う複数の装置と、研磨装置と、を有する表示装置の製造装置。

[請求項 13]

請求項 12 において、

前記成膜装置は、スパッタリング装置、CVD装置、ALD装置から選ばれる一つ以上であり、

前記エッチング装置は、ドライエッチング装置であり、

前記研磨装置は、CMP装置である表示装置の製造装置。

[請求項 14]

請求項 12 または 13 において、

前記リソグラフィ工程を行う複数の装置として、塗布装置、露光装置、現像装置、ベーク装置を有する表示装置の製造装置。

[請求項 15]

請求項 12 乃至 14 のいずれか一項において、

前記第 1 のロードロック室は、第 5 のゲートバルブおよび前記トランスファー室を介して前記第

2のロードロック室と接続される表示装置の製造装置。

[請求項16]

請求項1乃至15のいずれか一項において、
前記基板は、シリコンウエハである表示装置の製造装置。

[請求項17]

請求項16において、
前記シリコンウエハには駆動回路が設けられ、
前記駆動回路と電氣的に接続する画素回路を形成する表示装置の製造装置。

図 1

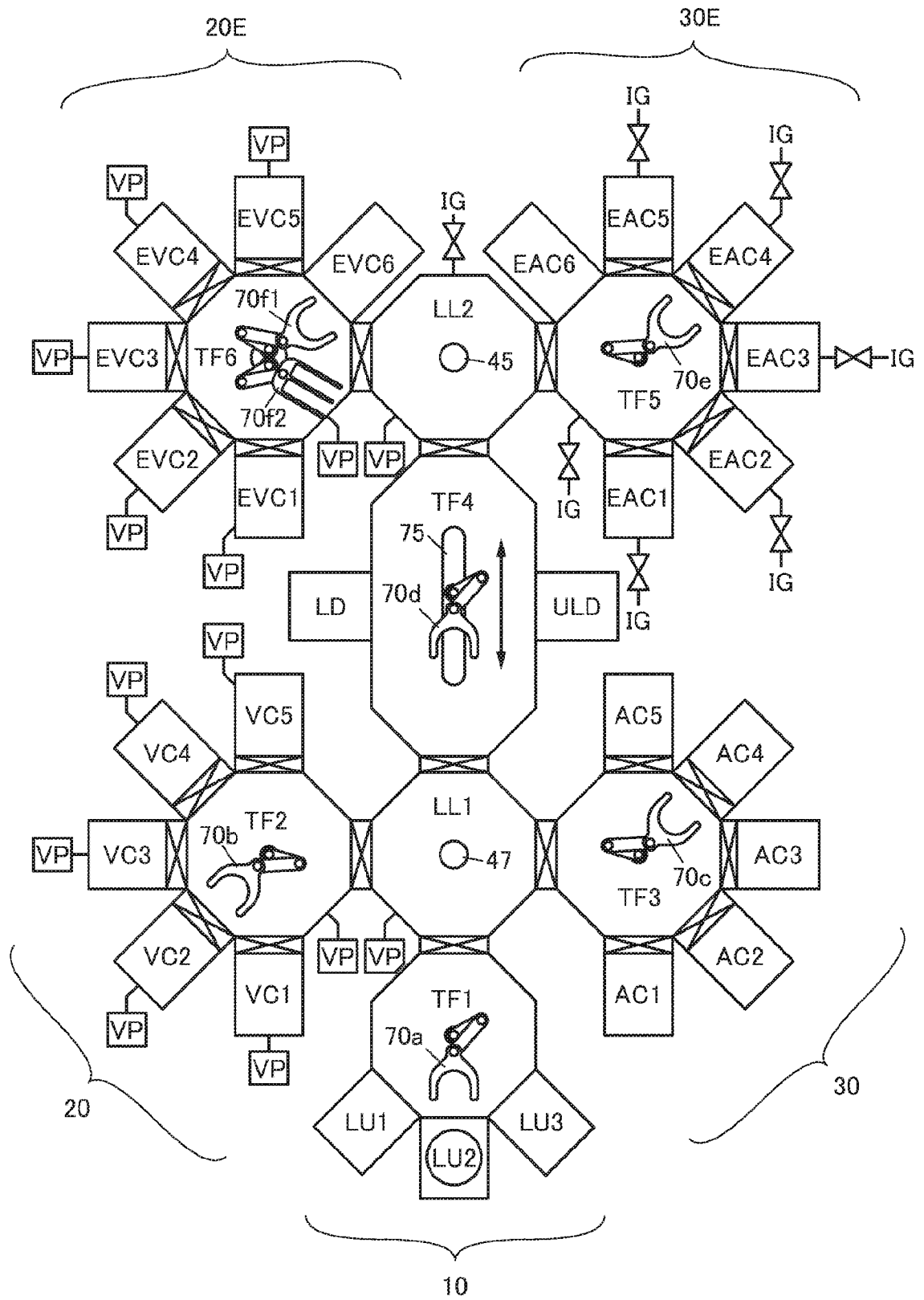


図2A

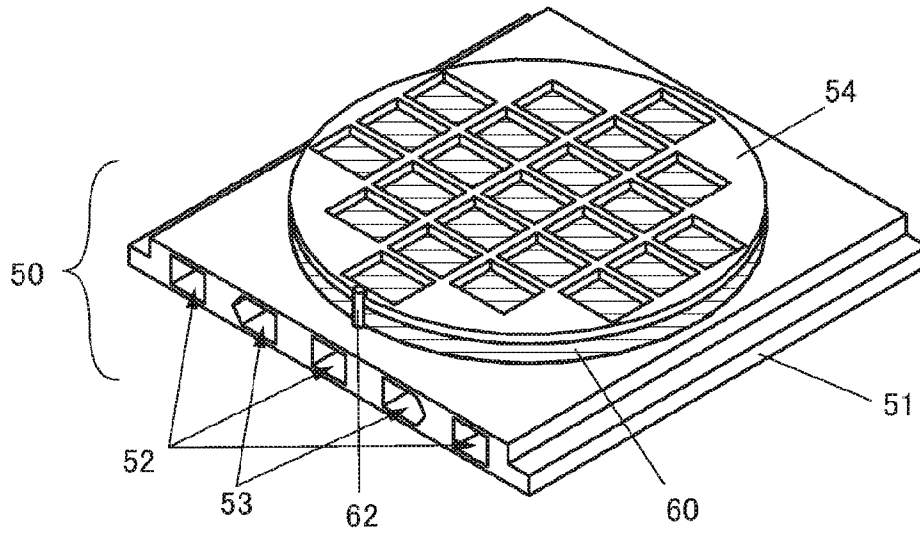


図2B

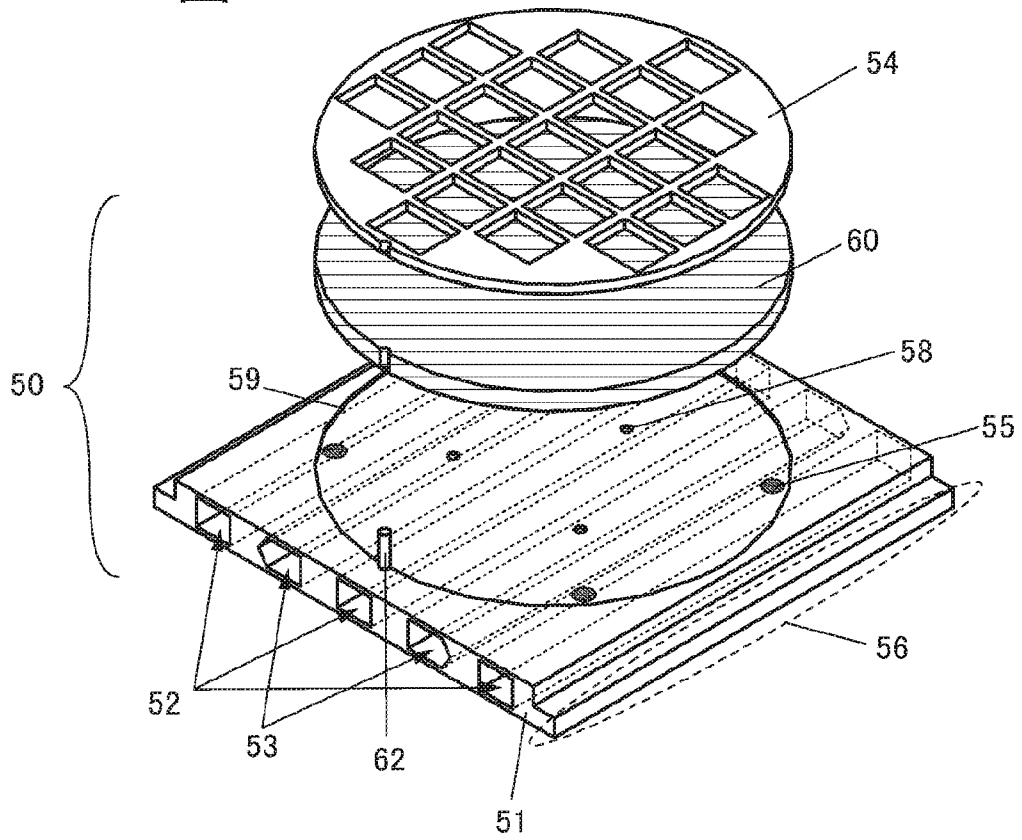


図3A

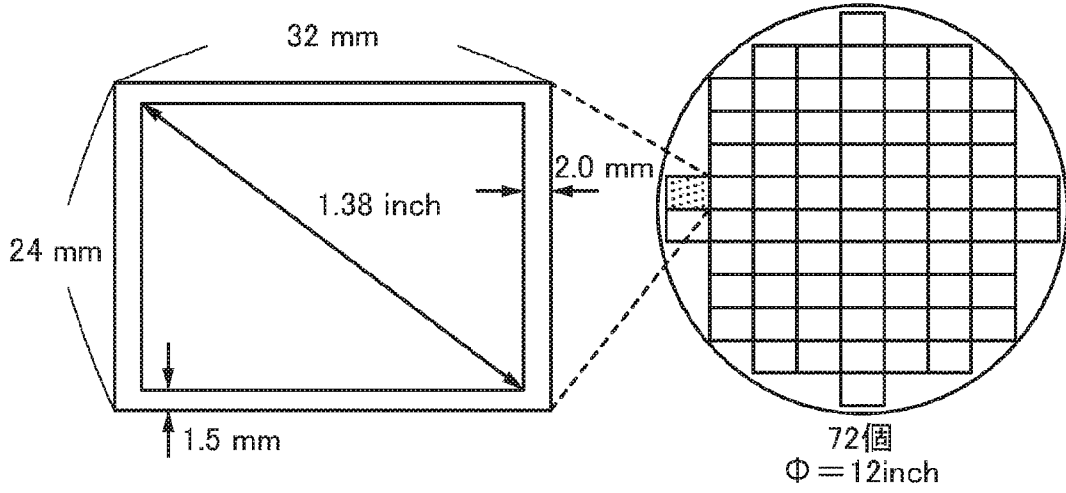


図3B

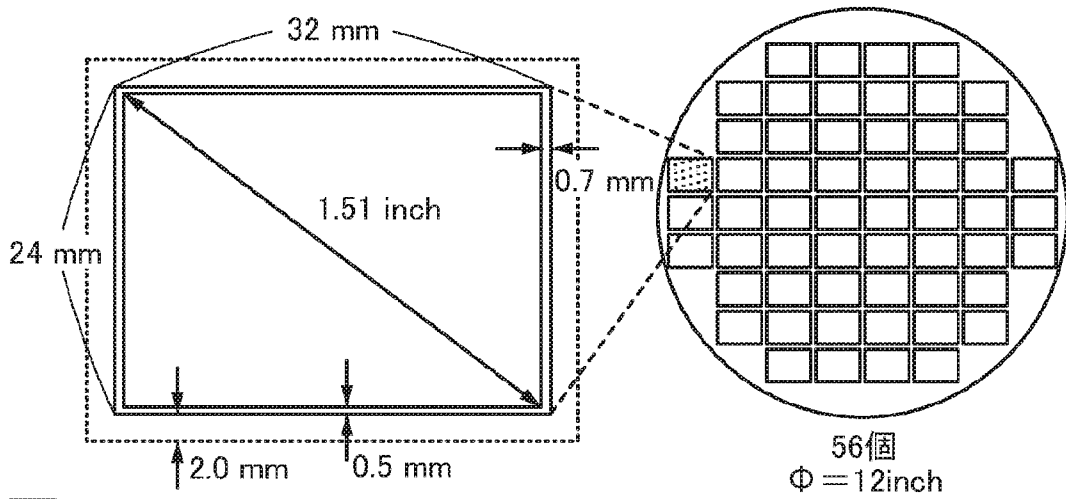
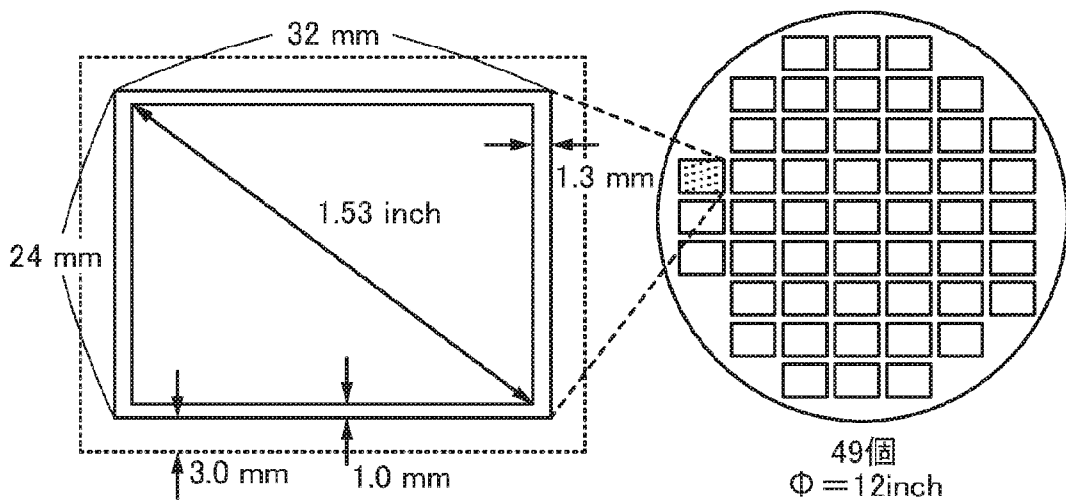
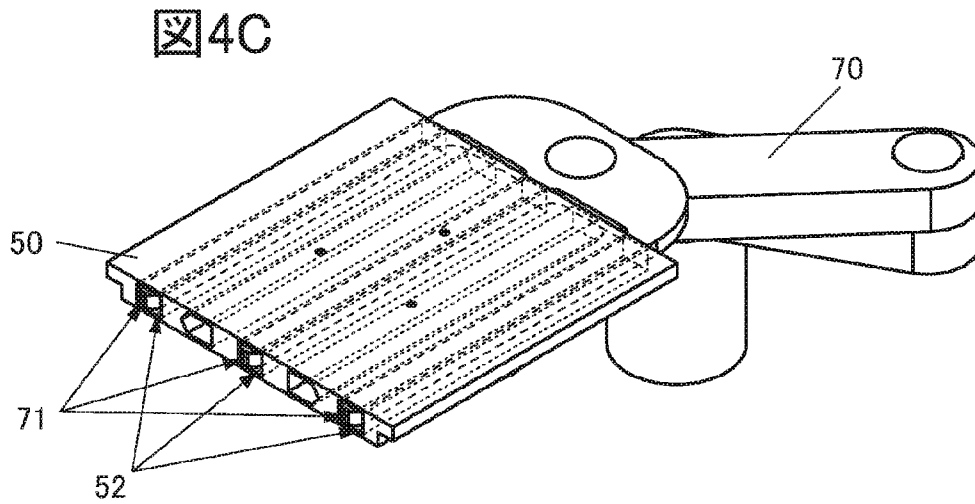
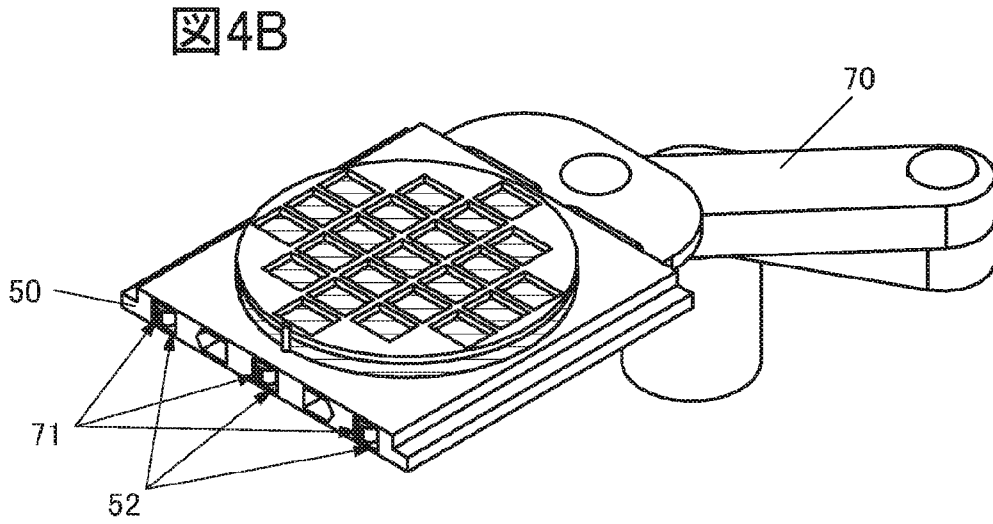
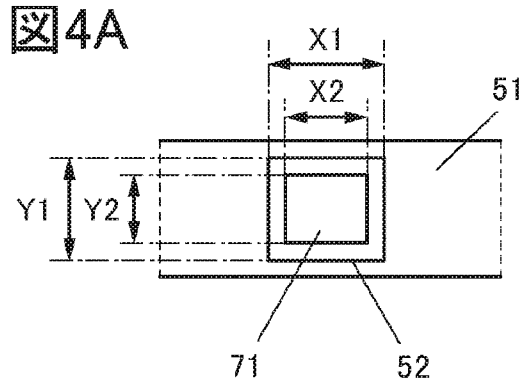
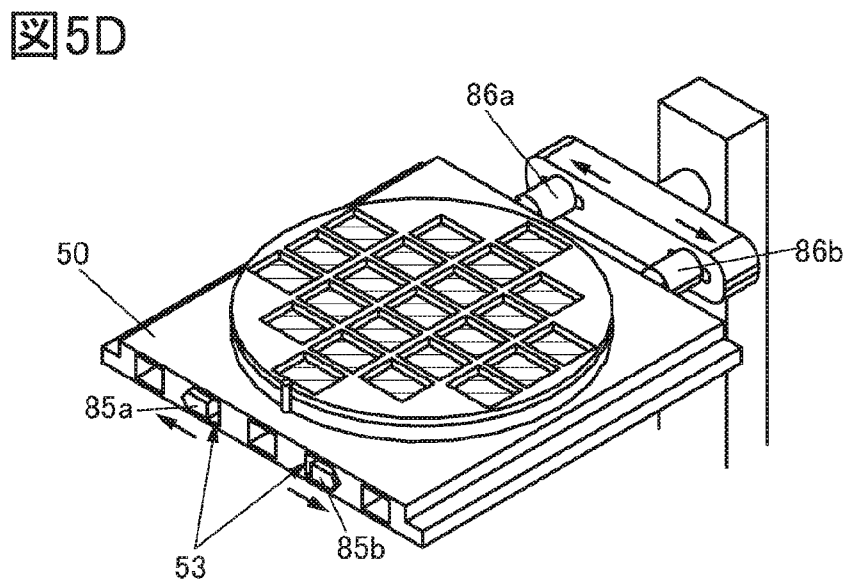
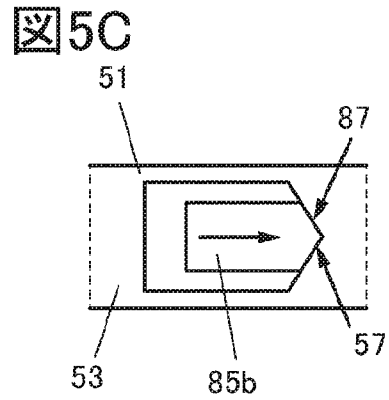
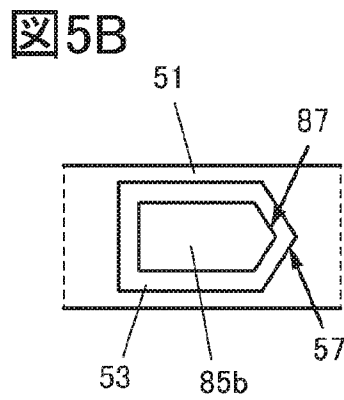
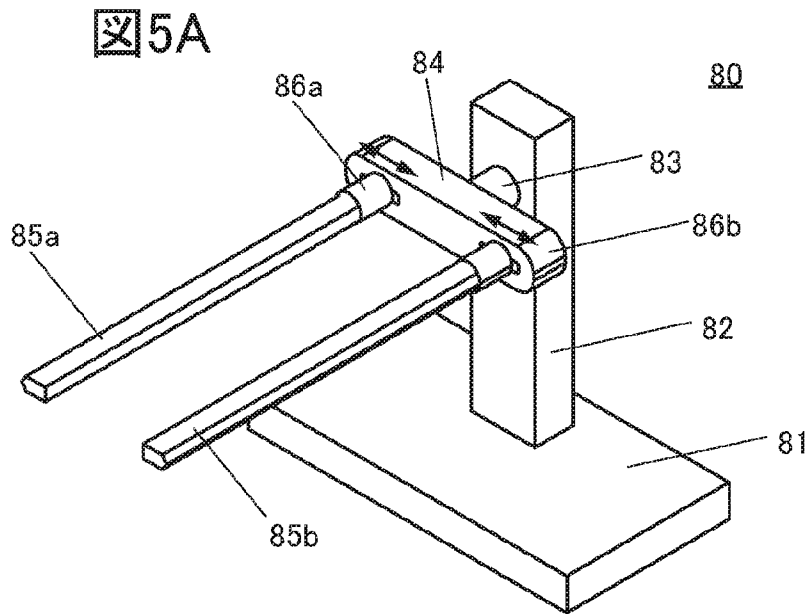
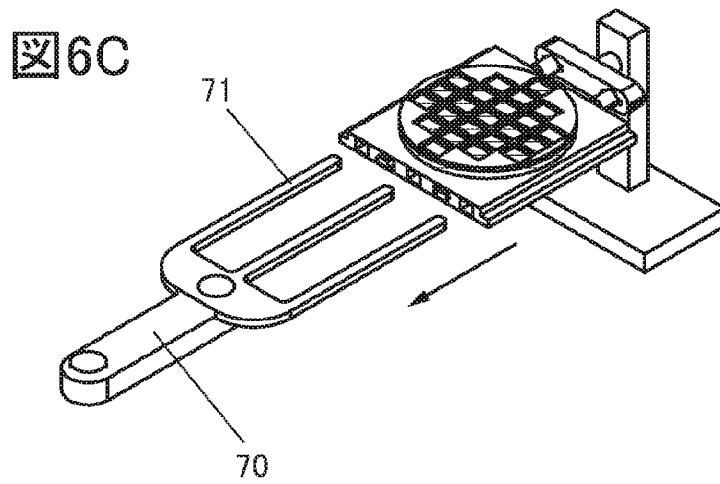
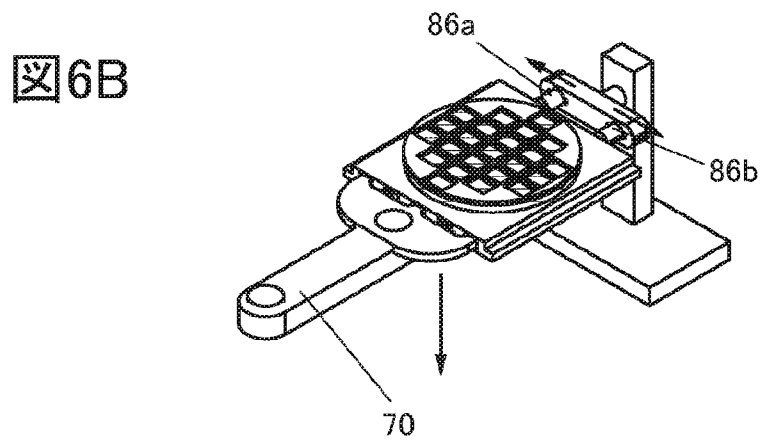
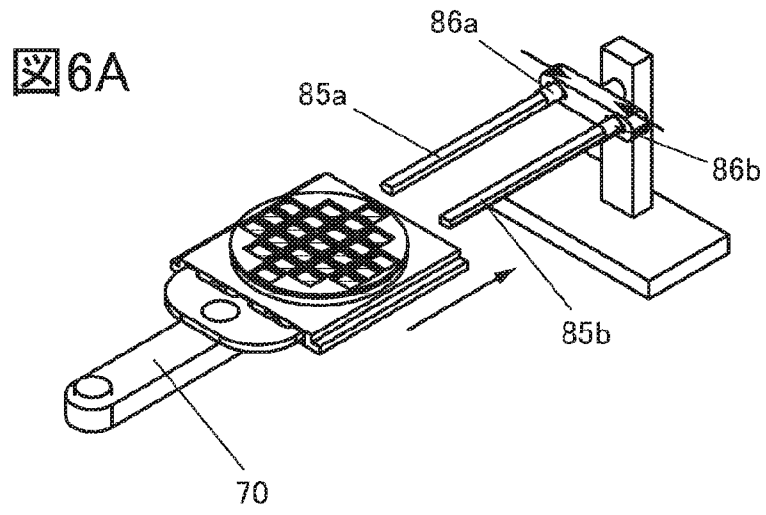


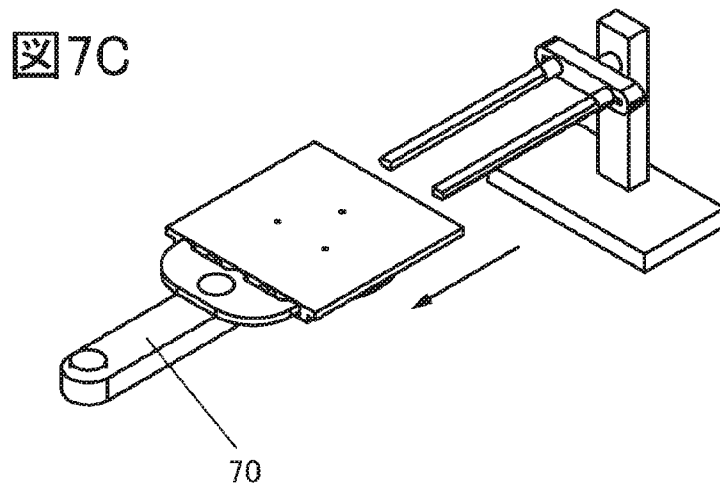
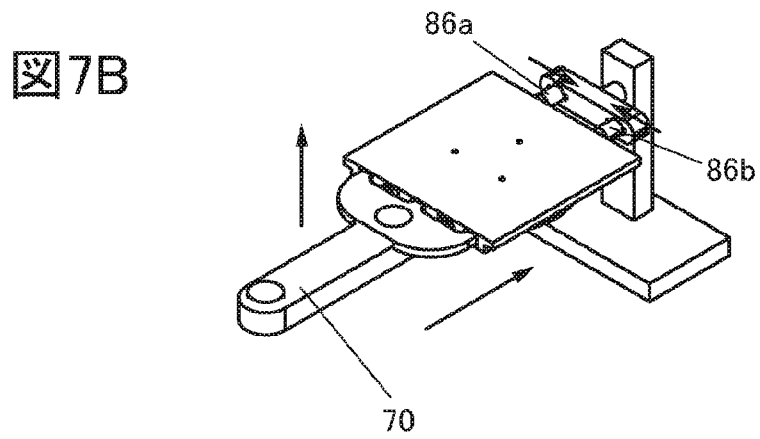
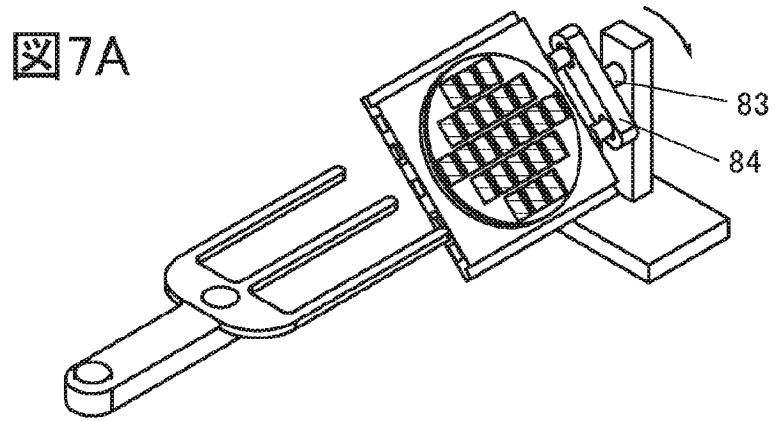
図3C



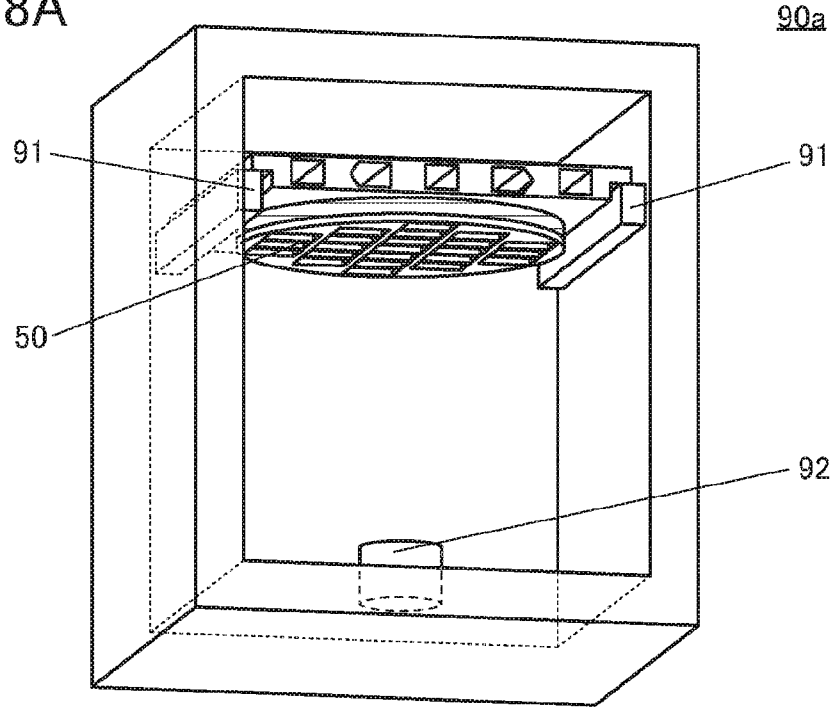








8A



8B

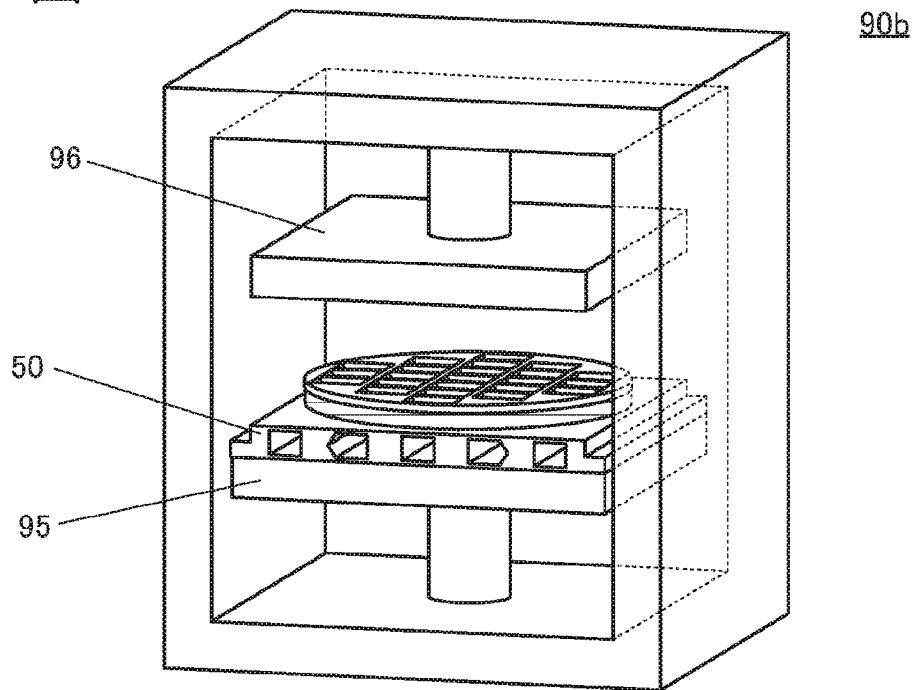


図9

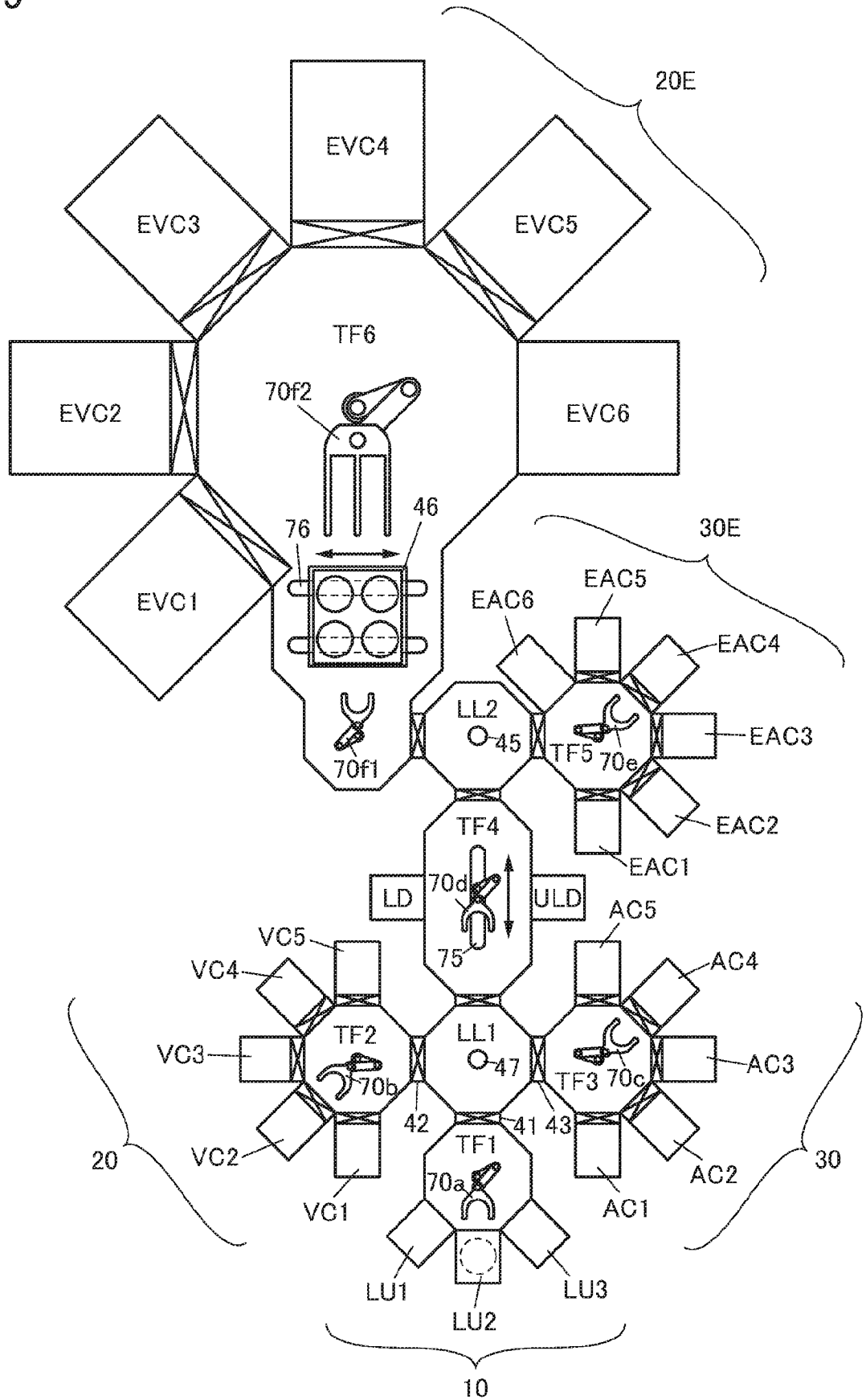


図10A

図10B

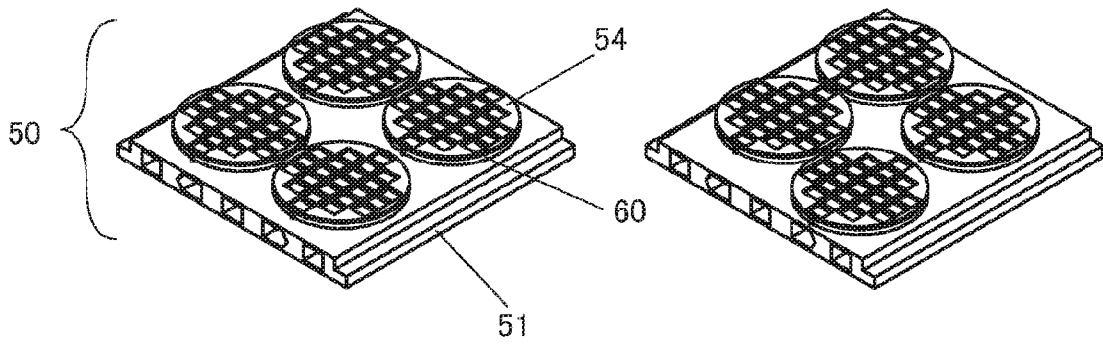


図10C

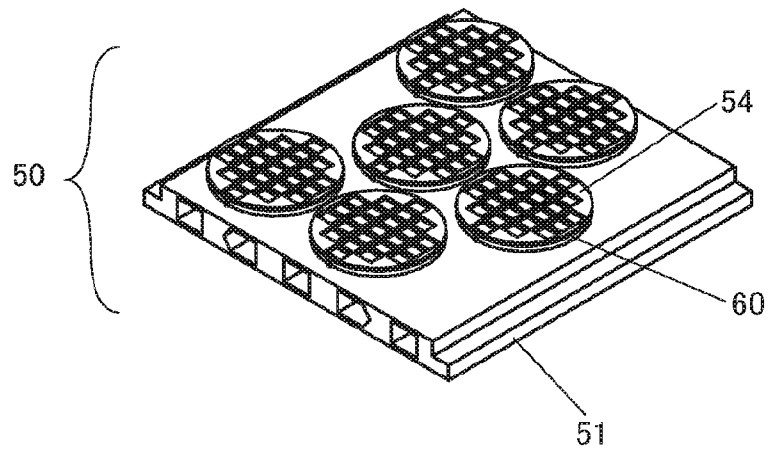
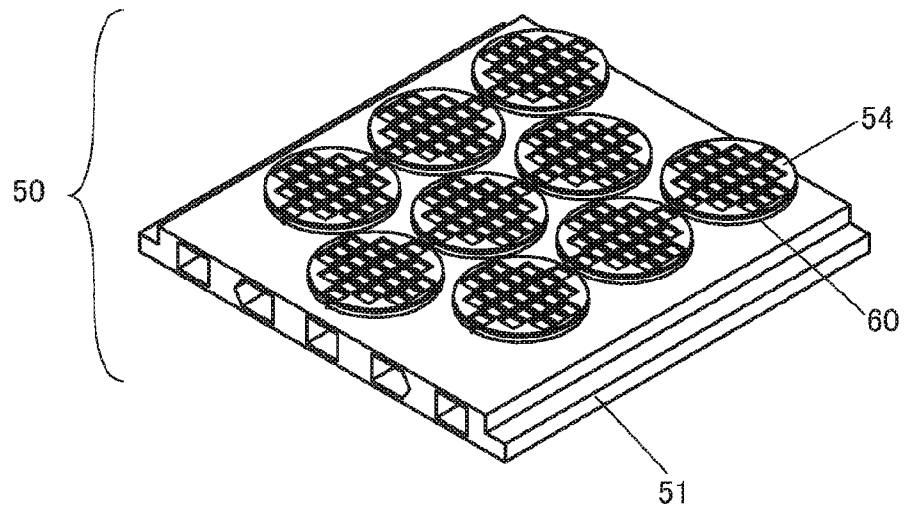


図10D



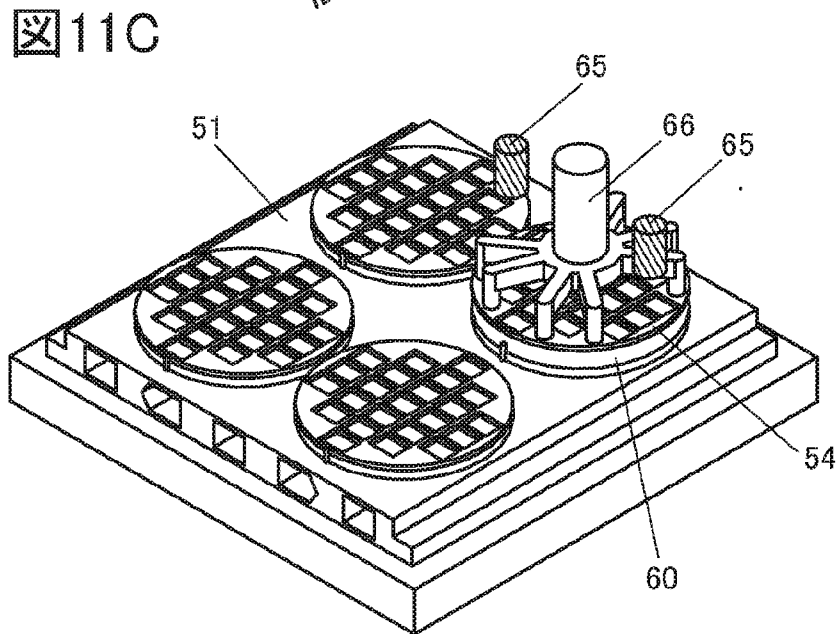
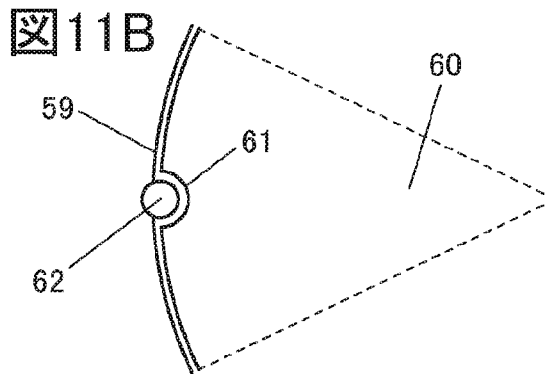
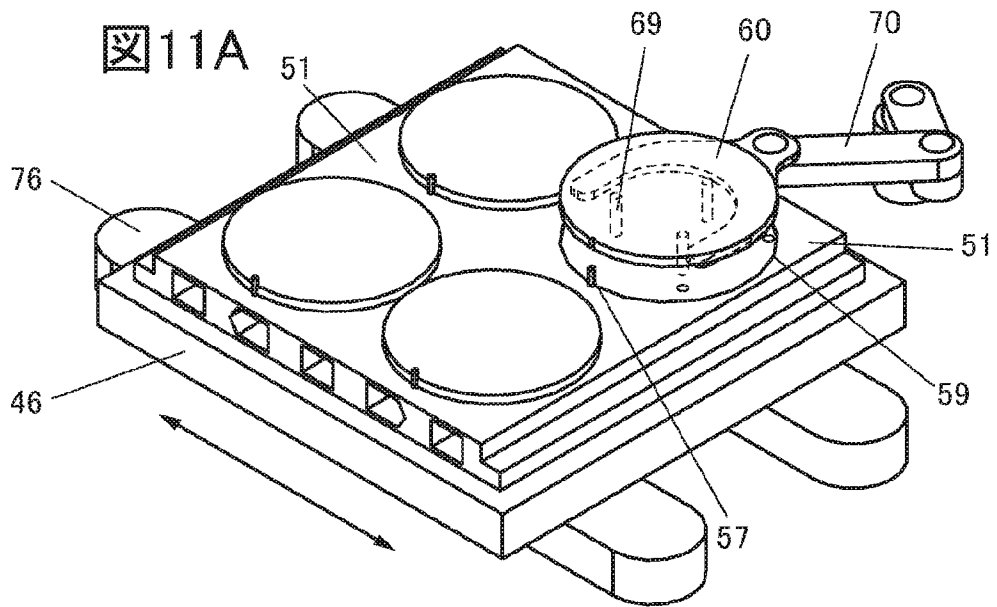


図12

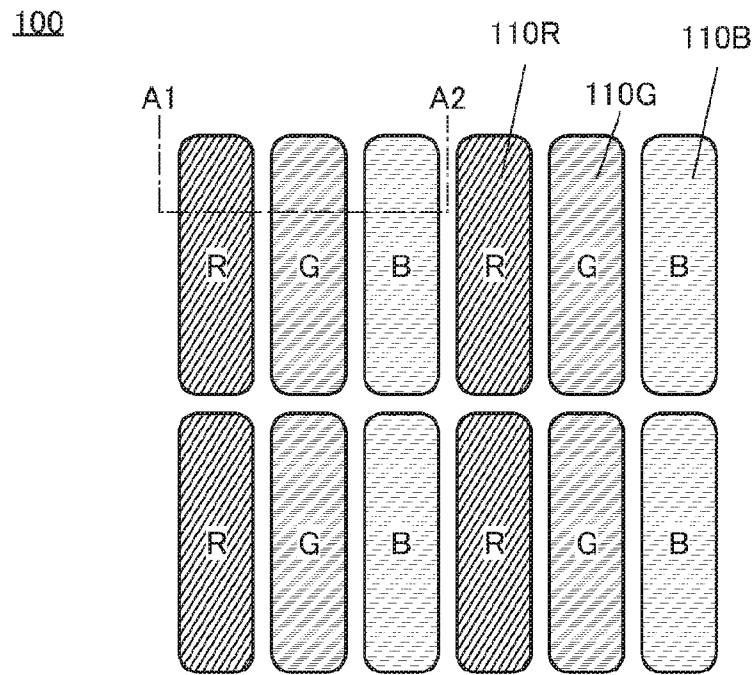


図14A

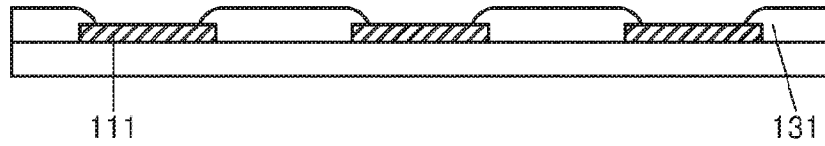


図14B

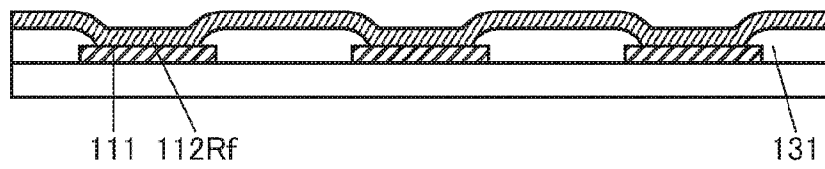


図14C

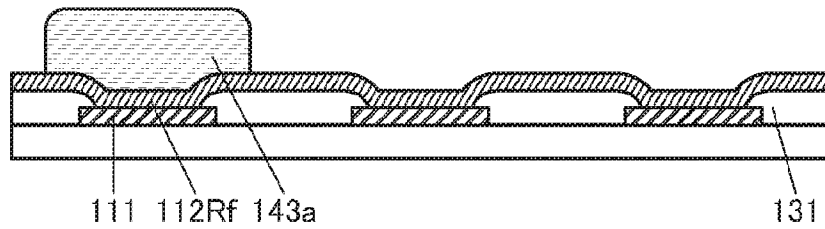


図14D

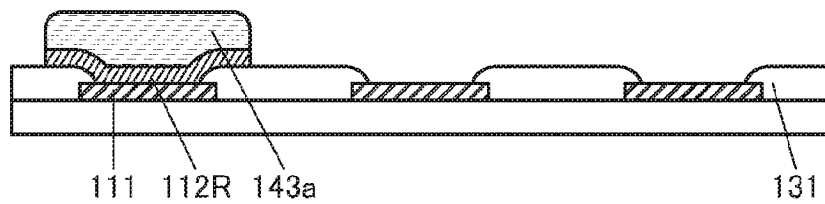


図15A

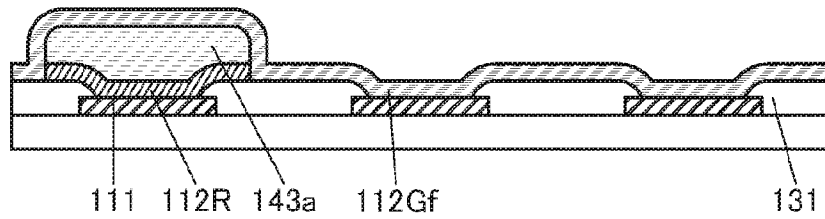


図15B

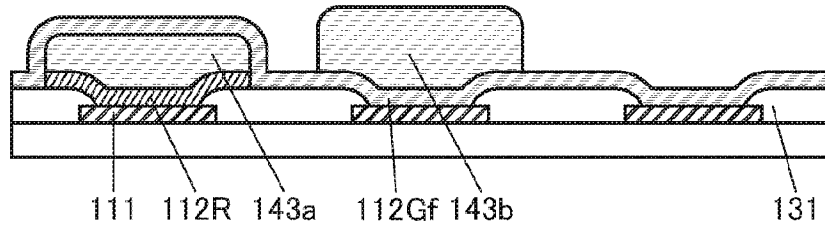


図15C

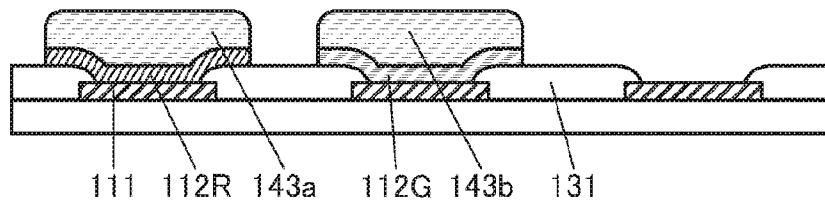


図15D

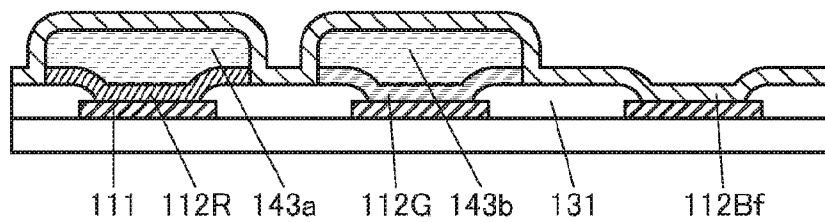


図16A

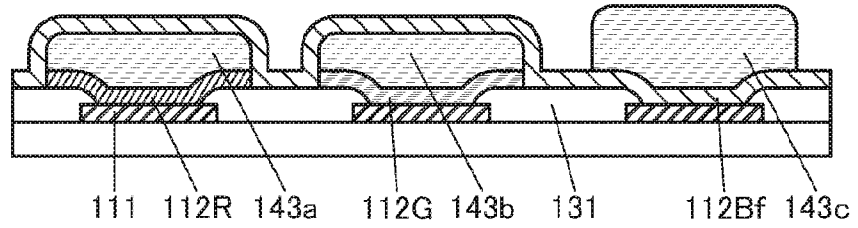


図16B

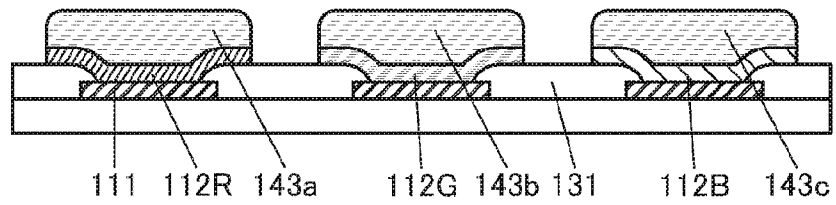


図16C

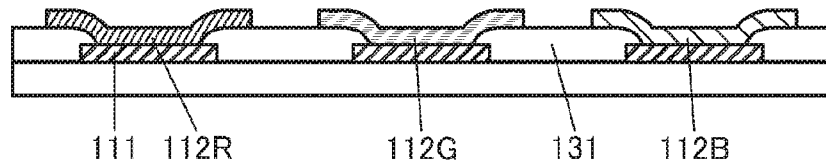
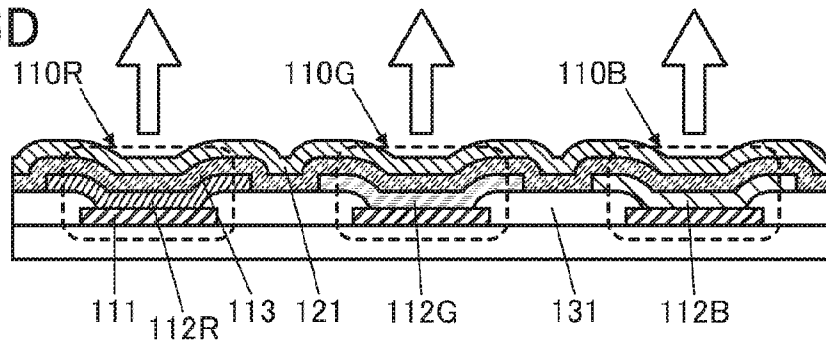
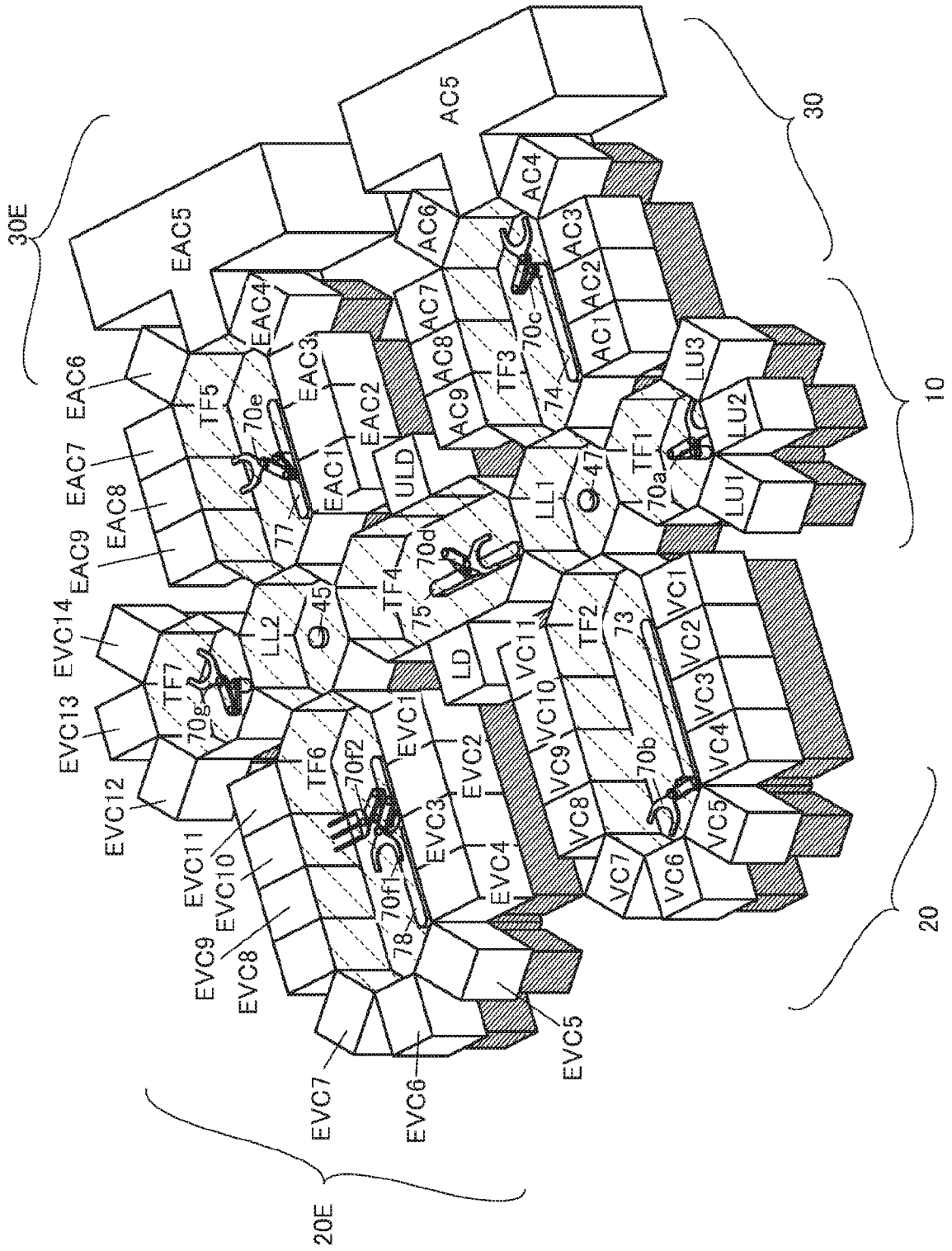


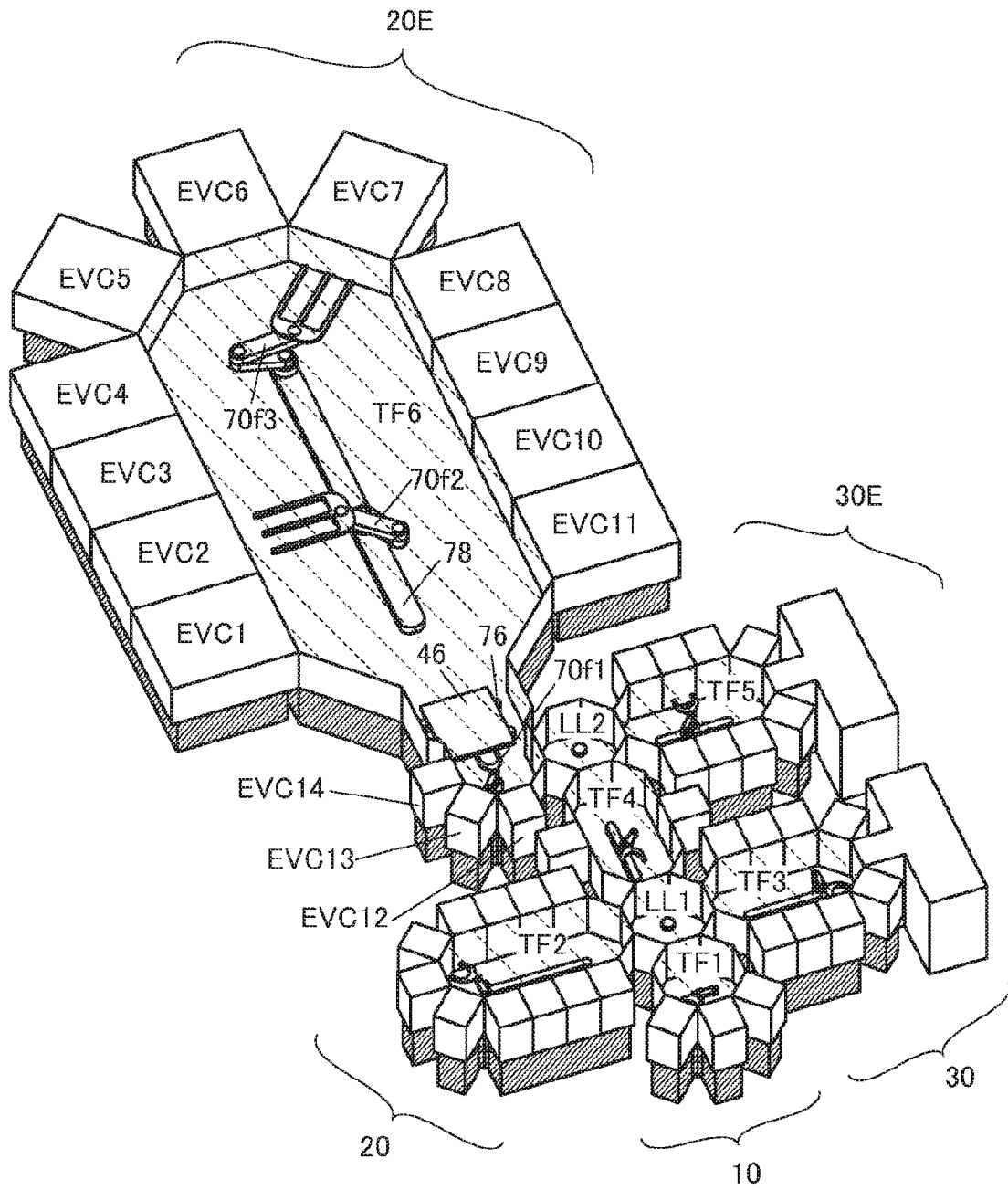
図16D





17

18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/061730

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G09F 9/30</i> (2006.01)i; <i>H01L 27/32</i> (2006.01)i; <i>H05B 33/02</i> (2006.01)i; <i>H05B 33/10</i> (2006.01)i; <i>H01L 51/50</i> (2006.01)i FI: H05B33/10; H05B33/14 A; H05B33/02; H01L27/32; G09F9/30 365		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09F9/30; H01L27/32; H05B33/02; H05B33/10; H01L51/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-220410 A (JAPAN DISPLAY INC) 14 December 2017 (2017-12-14) paragraphs [0001]-[0003], [0013], [0015], [0031]-[0043], fig. 1	1-17
Y	JP 2002-158090 A (SEMICONDUCTOR ENERGY LAB CO LTD) 31 May 2002 (2002-05-31) paragraphs [0029], [0109], fig. 1	1-17
Y	JP 2005-285576 A (MITSUBISHI-HITACHI METALS MACHINERY INC) 13 October 2005 (2005-10-13) paragraph [0035], fig. 2	9, 11
Y	JP 2001-102170 A (SEMICONDUCTOR ENERGY LAB CO LTD) 13 April 2001 (2001-04-13) paragraph [0031]	11
A	JP 2018-022619 A (JAPAN DISPLAY INC) 08 February 2018 (2018-02-08) entire text, all drawings	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 March 2022		Date of mailing of the international search report 22 March 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2021/061730

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-220410	A	14 December 2017	US 2017/0358469 A1 paragraphs [0002]-[0004], [0018], [0020], [0036]-[0048], fig. 1 CN 107492602 A KR 10-2017-0140075 A	
JP	2002-158090	A	31 May 2002	US 2002/0030443 A1 paragraphs [0041], [0126], fig. 1 CN 1343011 A	
JP	2005-285576	A	13 October 2005	KR 10-2006-0043861 A CN 1676659 A	
JP	2001-102170	A	13 April 2001	US 2005/0005850 A1 paragraph [0042] EP 1071117 A2 KR 10-2001-0015386 A CN 1283952 A	
JP	2018-022619	A	08 February 2018	US 2018/0040856 A1 entire text, all drawings CN 107689429 A KR 10-2018-0016253 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/30(2006.01)i; H01L 27/32(2006.01)i; H05B 33/02(2006.01)i; H05B 33/10(2006.01)i; H01L 51/50(2006.01)i FI: H05B33/10; H05B33/14 A; H05B33/02; H01L27/32; G09F9/30 365</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） G09F9/30; H01L27/32; H05B33/02; H05B33/10; H01L51/50</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2022年																			
日本国実用新案登録公報	1996 - 2022年																			
日本国登録実用新案公報	1994 - 2022年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2017-220410 A（株式会社ジャパンディスプレイ）14.12.2017（2017-12-14） [0001]-[0003], [0013], [0015], [0031]-[0043]及び図1</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>JP 2002-158090 A（株式会社半導体エネルギー研究所）31.05.2002（2002-05-31） [0029], [0109]及び図1</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>JP 2005-285576 A（三菱日立製鉄機械株式会社）13.10.2005（2005-10-13） [0035]及び図2</td> <td>9, 11</td> </tr> <tr> <td>Y</td> <td>JP 2001-102170 A（株式会社半導体エネルギー研究所）13.04.2001（2001-04-13） [0031]</td> <td>11</td> </tr> <tr> <td>A</td> <td>JP 2018-022619 A（株式会社ジャパンディスプレイ）08.02.2018（2018-02-08） 全文全図</td> <td>1-17</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2017-220410 A（株式会社ジャパンディスプレイ）14.12.2017（2017-12-14） [0001]-[0003], [0013], [0015], [0031]-[0043]及び図1	1-17	Y	JP 2002-158090 A（株式会社半導体エネルギー研究所）31.05.2002（2002-05-31） [0029], [0109]及び図1	1-17	Y	JP 2005-285576 A（三菱日立製鉄機械株式会社）13.10.2005（2005-10-13） [0035]及び図2	9, 11	Y	JP 2001-102170 A（株式会社半導体エネルギー研究所）13.04.2001（2001-04-13） [0031]	11	A	JP 2018-022619 A（株式会社ジャパンディスプレイ）08.02.2018（2018-02-08） 全文全図	1-17
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	JP 2017-220410 A（株式会社ジャパンディスプレイ）14.12.2017（2017-12-14） [0001]-[0003], [0013], [0015], [0031]-[0043]及び図1	1-17																		
Y	JP 2002-158090 A（株式会社半導体エネルギー研究所）31.05.2002（2002-05-31） [0029], [0109]及び図1	1-17																		
Y	JP 2005-285576 A（三菱日立製鉄機械株式会社）13.10.2005（2005-10-13） [0035]及び図2	9, 11																		
Y	JP 2001-102170 A（株式会社半導体エネルギー研究所）13.04.2001（2001-04-13） [0031]	11																		
A	JP 2018-022619 A（株式会社ジャパンディスプレイ）08.02.2018（2018-02-08） 全文全図	1-17																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献							
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																			
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																			
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																			
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																			
“O” 口頭による開示、使用、展示等に言及する文献																				
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																				
<p>国際調査を完了した日</p> <p>01.03.2022</p>	<p>国際調査報告の発送日</p> <p>22.03.2022</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>渡邊 吉喜 20 3406</p> <p>電話番号 03-3581-1101 内線 3271</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/061730

引用文献			公表日	パテントファミリー文献		公表日
JP	2017-220410	A	14.12.2017	US 2017/0358469 A1 [0002]-[0004], [0018], [0020], [0036]-[0048]及び 図1		
				CN 107492602 A		
				KR 10-2017-0140075 A		
JP	2002-158090	A	31.05.2002	US 2002/0030443 A1 [0041], [0126]及び図1		
				CN 1343011 A		
JP	2005-285576	A	13.10.2005	KR 10-2006-0043861 A		
				CN 1676659 A		
JP	2001-102170	A	13.04.2001	US 2005/0005850 A1 [0042]		
				EP 1071117 A2		
				KR 10-2001-0015386 A		
				CN 1283952 A		
JP	2018-022619	A	08.02.2018	US 2018/0040856 A1 全文全図		
				CN 107689429 A		
				KR 10-2018-0016253 A		