

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207432

(P2004-207432A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl.⁷

H01L 25/07

H01L 23/24

H01L 25/18

F I

H01L 25/04

H01L 23/24

テーマコード (参考)

C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2002-373737 (P2002-373737)

(22) 出願日 平成14年12月25日 (2002.12.25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100062144

弁理士 青山 稜

(74) 代理人 100086405

弁理士 河宮 治

(72) 発明者 新井 規由

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 本田 喜久

福岡県福岡市西区今宿東一丁目1番1号

福菱セミコンエンジニアリング株式会社内

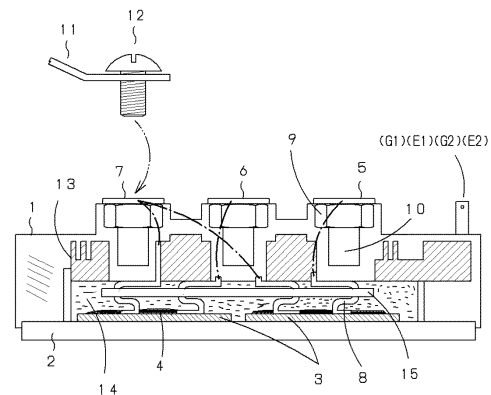
(54) 【発明の名称】 パワーモジュール

(57) 【要約】

【課題】 パワー半導体などのチップをパッケージ化したパワーモジュールにおいては、モジュール内の複数ある電極(リード)に対してノイズ低減の手段を設けることは取付けスペースの面で困難であった。

【解決手段】 パワーモジュールにおいて、チップと接続端子とを接続する複数本の電極(8)を一括して単一のフェライトコア(15)にて囲むようにして、かつ、そのフェライトコアをチップ保護用のゲル質のシリコン(14)中に埋設する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

チップより引き出された電極を個別のノイズ吸収体にて囲み、かつ、ノイズ吸収体をチップ保護用のゲル質の封止材中に埋設したことを特徴とするパワーモジュール。

【請求項 2】

上記電極を単一のノイズ吸収体にて囲むようにした請求項 1 記載のパワーモジュール。

【請求項 3】

上記ノイズ吸収体を、ゲル質の封止材中への埋設に替えて、モジュール本体封止用の封止材の中に埋設した請求項 1 もしくは 2 記載のパワーモジュール。

【請求項 4】

上記電極の接続先である外部接続端子近傍において、前記電極を上記ノイズ吸収体にて包囲した請求項 1 記載のパワーモジュール。

【請求項 5】

チップ及びチップから引き出された電極を保護するゲル質の封止材の中に、ノイズ吸収材を混入したことを特徴とするパワーモジュール。

【請求項 6】

チップをゲル質の封止材にて覆い、その上部に設けた封止用の封止材中にノイズ吸収材を混入したことを特徴とするパワーモジュール。

【請求項 7】

チップをモールド樹脂にて覆ったトランスファモールドタイプのパワーモジュールにおいて、ノイズ吸収材を含む樹脂にて前記モールド樹脂を覆ったことを特徴とするパワーモジュール。

【請求項 8】

チップを搭載するセラミック基板にノイズ吸収材を混入させたことを特徴とするパワーモジュール。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、パワー半導体のスイッチング時に放射される電磁ノイズを低減することを目的として、ノイズ吸収体もしくはノイズ吸収材をノイズ発生位置に搭載したパワーモジュールに関するものである。

【0002】**【従来技術】**

近年、EMC 規制が厳しくなる中、汎用インバータを始め、様々な産業機器で放射ノイズの低減が技術課題となっている。特にこれらの主部品であるパワー半導体がスイッチングすることにより発生する放射ノイズの低減については、パワー半導体素子を搭載したパワーモジュール自体のノイズ低減が必要である。

【0003】

これまではインバータなどの機器でのノイズ対策が主に行われてきたが、前記 EMC 規制をクリアするためユーザーは様々な対策を強いられており、パワーモジュール側での対策としては以下のようなものがある。

【0004】

スイッチング電源を構成するダイオードの一端にビーズコアを挿入している(例えば特許文献 1 参照)。

【0005】

また、大電力用の半導体装置において、ケース内のパワー部全体を磁界不透過部材で覆っている(例えば特許文献 2 参照)。

【0006】

また、半導体装置において、モールド樹脂としてエポキシ樹脂に、フェライト粉末を分散させているものがある(例えば特許文献 3 参照)。

10

20

30

40

50

【0007】

また、電磁波吸収材として、磁性金属粒子とセラミックスとを一体化した複合磁性粒子を含むものがある(例えば特許文献4参照)。

【0008】

また、汎用インバータ用高周波回路モジュールにおいて、筐体内の空間にフェライトコンパウンド樹脂を充填している(例えば特許文献5参照)。

【0009】

搭載部品及び配線基板がエポキシ樹脂等によるモールド樹脂で封止された構造の半導体装置において、封止体にフェライト粉末を分散添加している(例えば特許文献6参照)。

【0010】

【特許文献1】

特開平8-279592号「整流部の組立構造」(段落番号[0014]、図3)

【0011】

【特許文献2】

特開平8-293578号「大電力用半導体装置」(段落番号[0030]、図3)

【0012】

【特許文献3】

特開平11-407087号「半導体装置」(段落番号[0025]、図2)

【0013】

【特許文献4】

特開2001-358493号「電磁波吸収材」(段落番号[0022]、図14)

【0014】

【特許文献5】

特開平5-291783号「汎用インバータ用高周波回路モジュール」(段落番号[0007]、図1)

【0015】

【特許文献6】

特開平11-214592号「半導体装置」(段落番号[0048]、図1)

【0016】

【発明が解決しようとする課題】

しかしながら、特許文献2のように、パワー部全体を布状の磁界不透過部材で覆う手法では、分散した電極(リード)を覆うのは困難である。

特許文献3では半導体装置のモールド樹脂としてエポキシ樹脂に、フェライト粉末を分散させているが、モールド樹脂が直接パワー半導体素子に接触しているトランスファーマールドタイプでは、樹脂は不純物が低くかつ低応力タイプのものが必要で、樹脂にフェライト粉末を混入することはできない。

特許文献4は、磁性金属粒子とセラミックスとを一体化した複合磁性粒子を含む電磁波吸収材を提供しているが、パワーモジュールのように内部に強化用の樹脂などが充填されているものでは、電波吸収材を別途設けることは困難である。

また、特許文献5および6では、ケース内の空間にフェライトコンパウンド樹脂を充填しているが、チップ表面に接触する樹脂にフェライト粉末を含むと、絶縁性能が低下した。

【0017】

この発明は、上述した課題を解決できるパワーモジュールを提供するものである。

【0018】

【課題を解決するための手段】

フェライト材は、分類すると、ハードフェライトとソフトフェライトとがある。ハードフェライトは主に永久磁石に使用され、EMC対策用に用いるノイズ吸収体としてはソフトフェライトが広く使用されている。

【0019】

電流の流れているケーブルや電極には、その周りに磁界が発生し、この磁界がケーブルや

10

20

30

40

50

電極をアンテナ代りにして電波として外部に放射される。電流が流れている経路をリング状のソフトフェライトによるコア(以下、単にフェライトコアという)に貫通させると、その経路の周囲に発生していた磁界がフェライトコア内に集中するようになり、そのフェライトコア内で熱に変換されることにより、外部に放射される電波の強度が軽減される。

【0020】

本発明は、パワーモジュールにおいて、内部のチップと接続端子とを接続する複数本の電極を一括して単一のノイズ吸収体にて囲み、かつ、そのノイズ吸収体はチップ保護用のゲル質の封止材中に埋設するようにしている。

【0021】

【発明の実施の形態】

10

実施の形態1 .

図1は、本発明の実施の形態1(請求項1対応)によるパワーモジュールの断面図である。このパワーモジュールは、図2に示すように、1相分のパワーモジュール構成となっており(以下の各実施の形態においても同様)、両図で対応する要素には共通の符号を付している。

【0022】

プラスチック製のケース1の底板である銅ベース板2上には、セラミック基板3が位置し、そのセラミック基板3上にトランジスタやダイオードなどのシリコンチップ4が搭載されている。

【0023】

20

ケース1の上部には、トランジスタTR1のコレクタ端子(C1)5、トランジスタTR2のエミッタ端子(E2)6および、トランジスタTR1のエミッタ(E1)とトランジスタTR2のコレクタ(C2)との共通端子(C2E1)7が設けられている。これらの各端子5~7は、電極8を通じてシリコンチップ4に接続されている(各端子と電極8との接続については後で参照する図5に示している)。これ以外にトランジスタTR1のエミッタ電極(E1)およびゲート電極(G1)と、トランジスタTR2のエミッタ電極(E2)およびゲート電極(G2)との端子が設けられる。

【0024】

また、各端子5~7の下には、ケース1内にナット9が埋め込まれていて、それらのナット9の下部には、凹穴10が形成されている。これらのナット9に、リード11を挟んでネジ12を締め付けることにより、各端子5~7とリード11とが電氣的に接続される。凹穴10の側方に設けたエポキシ樹脂13は、ケース1の強度を増すためのものである。

30

【0025】

さて、シリコンチップ4の上面およびそのシリコンチップ4から引き出された4本の電極8の周りには、ゲル質の封止材として、ゲル質のシリコン14が充填されているが、本実施の形態1では、そのゲル質のシリコン14中に設けた、ノイズ吸収体としてのフェライトコア15に4本の電極8が貫通している。フェライトコア15は長円のリングをなす。

【0026】

図1のパワーモジュールでは、パワー半導体のスイッチング動作時に発生するノイズが電極を介して放射されるのを、内部電極全体を囲むようにフェライトコア15を設置することにより、1つのフェライトコア15で構成でき、また電極8相互が近接する場合などには、小型化が達成できる。

40

【0027】

実施の形態2 .

図3は、本発明の実施の形態2(請求項2対応)によるパワーモジュールの断面図であり、図1と同一の要素に対しては共通の符号を付している。この実施の形態2では、4本の各電極8に対して個別にフェライトコア21を設けており、それぞれのフェライトコア21はゲル質のシリコン14内に埋め込まれている。フェライトコア21は一般に使用されているリング状のものである。フェライトコア21が囲む位置としては、ゲル質のシリコン14中に入っていれば、特に制約はない。また、フェライトコア21がゲル質のシリコン

50

14の中に完全に埋設させる理由は、フェライトコア21は、その一部がエポキシ樹脂で覆われると機械的応力が作用して破損する可能性があるためである。

【0028】

図3のパワーモジュールによれば、パワー半導体のスイッチング動作時に発生するノイズが電極を介して放射されるのを、電極単体毎に対応するフェライトコア21で防ぐことにより、パワーモジュールでのノイズ低減効果が得られる。特に電極8相互の距離が大きい場合や、電極8の構造が各々異なる場合などに個別に設定することができ、全体として省スペースが達成できる。

【0029】

実施の形態3

図4は、本発明の実施の形態3(請求項3対応)によるパワーモジュールの断面図であり、図3と比較して異なる点は、ゲル質のシリコン14は、シリコンチップ4のみを覆っており、4個の各フェライトコア21は、ゲル質のシリコン14の上に封止材として位置する熱硬化性のエポキシ樹脂22内に埋め込まれており、フェライトコア自体は他の部品とは非接触にある。

【0030】

実施の形態1、2ではフェライトコア15、21は弾力性のあるゲル質のシリコン14内に埋め込まれていたが、この弾力性のためにフェライトコア自体は完全に固定されていない。通常、電極8に位置決めのための切り欠き等を設けたりしてなんらかで固定する措置がとられているため、まったく位置が定まらないこともないが、振動などが加わった場合にある条件下では取付け位置が動く可能性がある。特にフェライトコアが他の部品に近接している場合などは接触による破損などの可能性がある。

【0031】

しかし、図4のパワーモジュールによれば、各フェライトコア21はエポキシ樹脂22内に埋め込まれているため、振動などが加わった場合にある条件下でもフェライトコア21が移動することなく、そのため接触による破損などを防止する効果がある。

【0032】

実施の形態4

図5は、実施の形態4(請求項4対応)によるパワーモジュールを側方から見た断面図である。コレクタ端子5への電極8の上部(ナット9の側方)に対してフェライトコア23が挿入されている。この図5では示していない他の上記端子6、7に対しても個別にフェライトコア23が同様に設置される。

【0033】

ノイズは、前述したようにパワー半導体のスイッチングにより発生し、アンテナとなる部材を介して外部に放出される。上記の実施の形態1～3については、パワーモジュールの内部電極について磁界を吸収させる構造であるが、たとえばインバータなどの産業用機器に使用される場合には、外部電極をブスバーや、電力用のパワーボードにて接続する必要がある。このとき、この接続個所がノイズに対して無防備になる。これに対し、従来はインバータ機器側で対策が講じられていた。

【0034】

本実施の形態4では、外部接続される端子取り付け部の周辺にフェライトコア23を設置したので、外に剥出しタイプの電極でのノイズ低減効果があり、パワー半導体のスイッチング動作時に発生するノイズがインバータなどの産業用機器に接続される個所の電極を介して放射されるのを防ぐことができる。

【0035】

実施の形態5

図6は、本発明の実施の形態5(請求項5対応)によるパワーモジュールの断面図である。上述の実施の形態1～4のように、パワーモジュールの電極をフェライトコアで囲めばノイズ低減に効果があるが、製品によっては、特に小型のパワーモジュールなどは、通常端子間の距離が小さく、かつ製品自体も大変小さいため、個別のフェライトコアを設置する

10

20

30

40

50

ことができないことも考えられる。

【0036】

この実施の形態5はこのような場合に有効な手段であり、上記ゲル質のシリコン14中に、ノイズ吸収材として例えばフェライト材を粉末状にして満遍なく混入させたノイズ吸収材含有のゲル質のシリコン23を使用しており、内部にある構成部品をすべて上面及び側面を取り囲むことにより、発生磁界を吸収することが可能となる。尚、フェライトコアで電極を囲む場合よりもノイズの低減効率は低くなるが、一般的にこのような小型・小容量のパワーモジュールはノイズレベルも低いため、所望のレベルに低減が可能である。

【0037】

実施の形態6

図7は、本発明の実施の形態6(請求項6対応)によるパワーモジュールの断面図である。実施の形態5では、ゲル質のシリコン中にノイズ吸収材を混入させたものであったため、チップ表面に薄いゲル膜に覆われたノイズ吸収材が近接して存在することになる。この場合、チップ表面での絶縁性が低下して、チップに高電圧が印加されたと絶縁破壊を招くことがある。

【0038】

この実施の形態6では、まずチップ4の表面には通常のゲル質のシリコン14で覆い、その上に封止される封止材としてのエポキシ樹脂24中に、上記ノイズ吸収材を混入させており、そのため、チップ近傍での絶縁が低下することはなくなる。特に小型のパワーモジュールなどで、高耐圧の製品であり、個別のノイズ吸収材を設置することができないような場合に本実施の形態6を適用することでサイズを大型することなく、かつ素子特性に影響を与えることなく、パワー半導体のスイッチング動作時にチップ及びワイヤーから放射されるノイズを低減することができる。

【0039】

実施の形態7

図8は、本発明の実施の形態7(請求項7対応)によるパワーモジュールの断面図である。本実施形態7においては、トランスファーモールド構造のパワーモジュールへの適用例を示している。トランスファーモールドタイプは、モールド樹脂が直接パワー半導体素子に接触するため、樹脂は不純物が低くかつ低応力タイプのものが開発されてきた経緯があり、この樹脂にノイズ吸収材を混入したりして材質を変更することは、将来は可能になるかもしれないが現段階では困難が伴う。

【0040】

そこで実施の形態7では、シリコンチップ及び電極は従来のモールド材25で覆い、その周りをノイズ吸収材を混入した別の樹脂26で別モールドしている。これにより、トランスファーモールドタイプのパワーモジュールにおいて、モールド樹脂を変更することなくその外周にノイズ吸収材を混入した樹脂でモールドすることにより、チップへの電気的特性や機械的応力、信頼性に影響を与えることなく、パワー半導体のスイッチング動作時にチップ、端子及び電極から放射されるノイズを低減することができる。

【0041】

実施の形態8

図9は、本発明の実施の形態8(請求項6対応)によるパワーモジュールの断面図である。パワーモジュールにおいては浮遊インダクタンスを低減する方法の一つとして、DBC基板などに代表される薄銅箔回路付きセラミック基板のインダクタンスが電極に比べて小さいことを利用して、この回路を長くすることがある。その場合、この回路パターンがノイズを放射するアンテナとなるため、この部分に対するノイズ対策が必要になる。

【0042】

実施の形態7までは基本的には、パワー半導体素子の上面側からノイズを吸収することに注目してきたが、この実施の形態8では、パワー半導体素子などのシリコンチップ4が半田等で取付けられているセラミック基板27に、ノイズ吸収材を混入している。これにより、発生磁界を、チップ下部のセラミック基板27によって吸収することで、パワー半導

10

20

30

40

50

体のスイッチング動作時に発生する底面方向へのノイズを低減することができる。

【0043】

【発明の効果】

この発明によれば、内部のチップより引き出された電極全てを単一のノイズ吸収体にて囲み、かつ、ノイズ吸収体をチップ保護用の封止ゲル中に埋設したので、スイッチングにより生じる磁界をノイズ吸収体によって効率よく吸収され、外部へのノイズ発生を抑制できる。また、ノイズ吸収体の設置は1個ですむので、モジュール本体が大型化することもない。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるパワーモジュールの断面図

10

【図2】図1のパワーモジュールの回路図

【図3】本発明の実施の形態2によるパワーモジュールの断面図

【図4】本発明の実施の形態3によるパワーモジュールの側断面図

【図5】本発明の実施の形態4によるパワーモジュールの断面図

【図6】本発明の実施の形態5によるパワーモジュールの断面図

【図7】本発明の実施の形態6によるパワーモジュールの断面図

【図8】本発明の実施の形態7によるトランスファーモールド構造のパワーモジュールの断面図

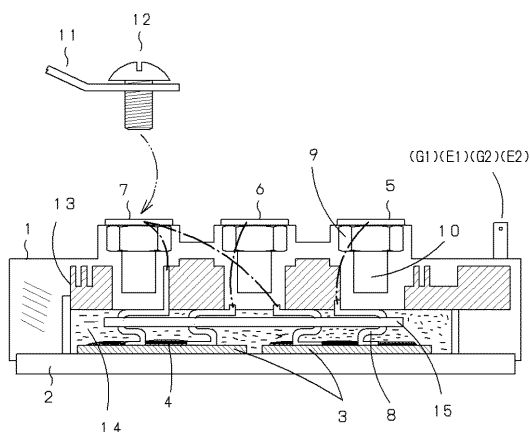
【図9】本発明の実施の形態8によるパワーモジュールの断面図

【符号の説明】

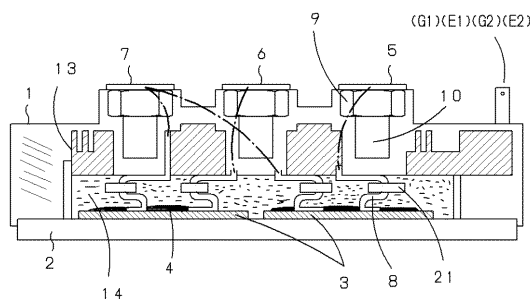
20

- 1 ケース、2 銅ベース、3 セラミック基板、4 シリコンチップ、5～7 端子、8 電極、9 ナット、13 エポキシ樹脂、14 ゲル質のシリコン、21 フェライトコア、22 エポキシ樹脂、23 フェライトコア、23 ノイズ吸収体含有のゲル質シリコン、24 ノイズ吸収体含有エポキシ樹脂、25 モールド材、26 ノイズ吸収体含有樹脂、27 ノイズ吸収体含有セラミック基板

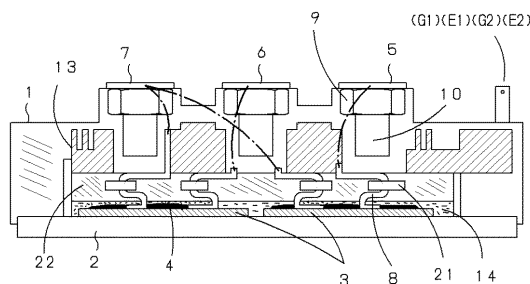
【図1】



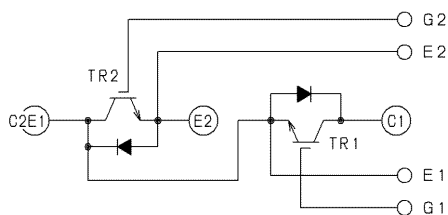
【図3】



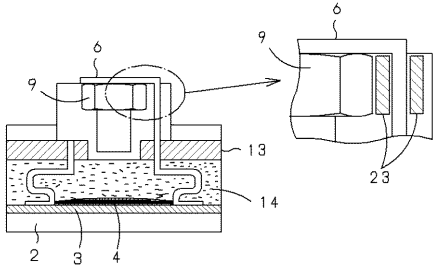
【図4】



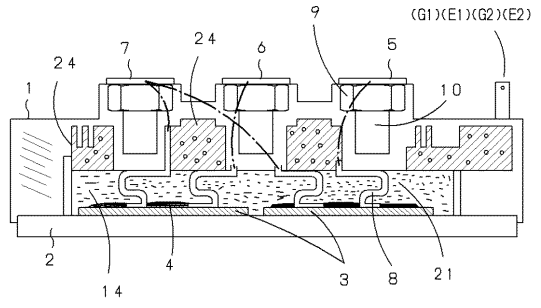
【図2】



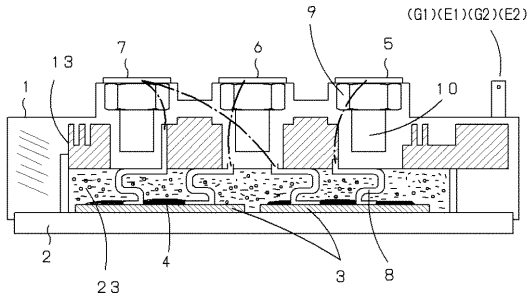
【図5】



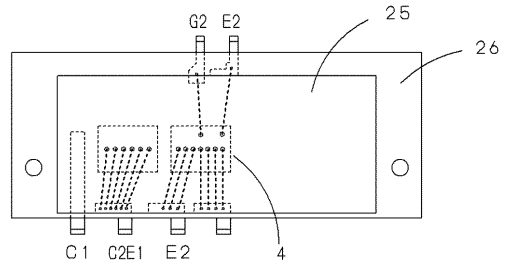
【図7】



【図6】



【図8】



【図9】

