

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4621718号
(P4621718)

(45) 発行日 平成23年1月26日 (2011. 1. 26)

(24) 登録日 平成22年11月5日 (2010. 11. 5)

(51) Int. Cl.

F I

H O 1 L 21/3213 (2006. 01)

H O 1 L 21/88

C

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/88

E

請求項の数 2 (全 14 頁)

(21) 出願番号 特願2007-233908 (P2007-233908)
 (22) 出願日 平成19年9月10日 (2007. 9. 10)
 (65) 公開番号 特開2009-65093 (P2009-65093A)
 (43) 公開日 平成21年3月26日 (2009. 3. 26)
 審査請求日 平成21年9月9日 (2009. 9. 9)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001092
 特許業務法人サクラ国際特許事務所
 (74) 代理人 100077849
 弁理士 須山 佐一
 (74) 代理人 100113871
 弁理士 川原 行雄
 (74) 代理人 100124073
 弁理士 山下 聡
 (74) 代理人 100134223
 弁理士 須山 英明

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

パターンニングすべき第1の膜上に、ラインとスペースの比率が1：1のパターンを有する膜を形成した後、ラインとスペースの比率が3：1となるように前記膜の両側に側壁を形成して、ラインとスペースの比率が3：1のパターンを形成する工程と、

前記ラインとスペースの比率が3：1のパターンをマスクとして前記第1の膜を加工する工程と、

前記第1の膜の加工後、前記ラインとスペースの比率が3：1のパターン両側の幅それぞれ1/3分を選択的に除去する工程と、

前記加工された第1の膜を、前記両側が除去されたパターン直下を除いて改質する工程と、

前記両側が除去されたパターンを除去する工程と、

前記第1の膜の非改質部分を選択的に除去して、ライン幅がリソグラフィの解像限界以下であるパターンを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

パターンニングすべき第1の膜上に少なくとも第2の膜を形成し、その上にラインとスペースの比率が1：1のパターンを有する第3の膜を形成した後、前記第3の膜をマスクとして前記第2の膜をテーパ加工してラインとスペースの比率が3：1のパターンを形成し、さらに、この第2の膜に形成されたパターンを前記パターンニングすべき第1の膜まで転

10

20

写する工程と、

前記第3の膜を除去する工程と、

前記第1の膜上に転写されたラインとスペースの比率が3：1のパターンを有する前記第2の膜の両側の幅それぞれ1／3分を選択的に除去する工程と、

前記第1の膜の露出した表面のみを酸化する工程と、

前記第2の膜を除去する工程と、

前記第1の膜の表面が酸化されていない部分を異方性エッチングにより除去して、ライン幅がリソグラフィの解像限界以下であるパターンを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は半導体装置の製造方法に関する。

【背景技術】

【0002】

近年の半導体デバイスの高集積化、高性能化に伴い、パターン形成に要求される寸法は年々微細になってきている。特に高集積化の進むメモリデバイスにおいては微細なラインアンドスペースパターンが必要とされており、それを実現させるためにリソグラフィ技術は技術的革新を続けている。しかし、最近では微細化の要求がリソグラフィの解像限界を超え始めており、それに伴い解像限界以上の超微細パターンを形成する方法が提案されてきている。

20

【0003】

その一つが、レジストなどで形成されたパターンの側壁に形成した膜を残存させ、これをパターンとして使用する、いわゆる側壁残し法と称する方法である。しかし、この方法では、側壁に残存した膜の形状が左右非対称となり、寸法制御が困難になるという難点がある。

【0004】

そこで、この問題を解決するものとして、ラインアンドスペースが3：1のパターン形成を2度繰り返すことにより、初期ピッチの半分のピッチのパターンを形成する方法が提案されている（例えば、特許文献1参照。）。しかし、この方法は、製造工程が煩雑であるという問題がある。

30

【特許文献1】特開2006-19496号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、リソグラフィの解像限界以上で、かつ、寸法制御性に優れた超微細パターンを容易に形成することができる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、パターンニングすべき第1の膜上に、ラインとスペースの比率が1：1のパターンを有する膜を形成した後、ラインとスペースの比率が3：1となるように前記膜の両側に側壁を形成して、ラインとスペースの比率が3：1のパターンを形成する工程と、前記ラインとスペースの比率が3：1のパターンをマスクとして前記第1の膜を加工する工程と、前記第1の膜の加工後、前記ラインとスペースの比率が3：1のパターン両側の幅それぞれ1／3分を選択的に除去する工程と、前記加工された第1の膜を、前記両側が除去されたパターン直下を除いて改質する工程と、前記両側が除去されたパターンを除去する工程と、前記第1の膜の非改質部分を選択的に除去して、ライン幅がリソグラフィの解像限界以下であるパターンを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

40

また、本発明の一態様によれば、パターンニングすべき第1の膜上に少なくとも第2の膜

50

を形成し、その上にラインとスペースの比率が 1 : 1 のパターンを有する第 3 の膜を形成した後、前記第 3 の膜をマスクとして前記第 2 の膜をテーパー加工してラインとスペースの比率が 3 : 1 のパターンを形成し、さらに、この第 2 の膜に形成されたパターンを前記パターンニングすべき第 1 の膜まで転写する工程と、前記第 3 の膜を除去する工程と、前記第 1 の膜上に転写されたラインとスペースの比率が 3 : 1 のパターンを有する前記第 2 の膜の両側の幅それぞれ 1 / 3 分を選択的に除去する工程と、前記第 1 の膜の露出した表面のみを酸化する工程と、前記第 2 の膜を除去する工程と、前記第 1 の膜の表面が酸化されていない部分を異方性エッチングにより除去して、ライン幅がリソグラフィの解像限界以下であるパターンを形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

10

【発明の効果】

【0009】

本発明の一態様による半導体装置の製造方法によれば、リソグラフィの解像限界以上で、かつ、寸法制御性に優れた超微細パターンを容易に形成することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について説明する。なお、以下では本発明の実施の形態を図面に基づいて説明するが、それらの図面は図解のために提供されるものであり、本発明はそれらの図面に何ら限定されるものではない。

【0011】

20

(第 1 の実施の形態)

第 1 の実施の形態について説明する。図 1 (a) ~ (j) は本実施形態に係る半導体装置の製造方法の工程を示す断面図である。なお、本実施形態および以下に示す実施形態においては、素子分離領域やゲート電極を加工する際のハードマスク、ダマシン構造の配線の溝形成などに使用することが可能なオルトケイ酸テトラエチル (以下、T E O S と略す) 膜やシリコン窒化膜のラインアンドスペースパターン形成を行う際のハードマスクとなるアモルファスシリコン膜などのパターン形成を行う場合を説明するが、工程や材料を適宜使い分けることによって微細なパターン形成が必要な種々の膜に広く適用できることはいうまでもない。

【0012】

30

本実施形態においては、まず、シリコンなどの半導体基板 1 1 上に C V D (Chemical Vapour Deposition) 技術を用いて T E O S 膜 1 2、アモルファスシリコン膜 1 3 およびシリコン窒化膜 1 4 を順次堆積する。次に、その上にスピコート技術を用いて反射防止膜 1 5 およびレジスト 1 6 を順次積層し、このレジスト 1 6 にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト 1 6 が残ったライン部とレジスト 1 6 が除去されたスペース部の寸法比率、つまりラインアンドスペース比率は 1 : 1 程度とする。ライン部とスペース部の合計で表されるピッチは、E である (図 1 (a))。

【0013】

次に、このパターンニングされたレジスト 1 6 をマスクとして、ドライエッチング技術を用いて反射防止膜 1 5 およびシリコン窒化膜 1 4 をそれぞれ順に加工する (図 1 (b))。さらに、アッシング技術およびウェット洗浄技術を用いて反射防止膜 1 5 およびレジスト 1 6 を除去した後、C V D 技術を用いてシリコン窒化膜 1 7 をラインアンドスペースの比率が略 3 : 1 になるように堆積する (図 1 (c))。

40

【0014】

次に、再びドライエッチング技術を用いて下地のアモルファスシリコン膜 1 3 が露出するようにシリコン窒化膜 1 7 を加工し (図 1 (d))、さらに、ドライエッチング技術を用いてシリコン窒化膜 1 4、1 7 をマスクとしてアモルファスシリコン膜 1 3 を下地の T E O S 膜 1 2 が露出するまで加工する。加工後のラインアンドスペースの比率は略 3 : 1 のままである (図 1 (e))。

50

【 0 0 1 5 】

次に、ウエットエッチング技術を用いてシリコン窒化膜 1 4 とシリコン窒化膜 1 7 を同時に等方的にエッチングし、ラインアンドスペースの比率が 1 : 3 のシリコン窒化膜 1 4 のパターンを形成する (図 1 (f))。さらに、このパターニングされたシリコン窒化膜 1 4 上にホウ素を添加したシリコン酸化膜 (以下、B S G 膜と称する) 1 8 を C V D 技術を用いて厚く堆積した後、この B S G 膜 1 8 の表面を C M P (Chemical Mechanical Polishing) 技術によってシリコン窒化膜 1 4 の表面が露出するまで削り取る (図 1 (g))。

【 0 0 1 6 】

次に、再びウエットエッチング技術を用いてシリコン窒化膜 1 4 を除去し、ラインアンドスペースの比率が図 1 (f) のそれとは逆転した略 3 : 1 の B S G 膜 1 8 のパターンを形成する (図 1 (h))。続いて、このパターニングされた B S G 膜 1 8 をマスクとしてドライエッチング技術を用いてアモルファスシリコン膜 1 3 を加工し (図 1 (i))、さらに、フッ酸ペーパー処理により B S G 膜 1 8 を選択的に除去する。この結果、ラインアンドスペースの比率が 1 : 1 で、かつ、ピッチが、元のレジスト 1 6 のラインアンドスペースのピッチ E の略半分、つまり $E / 2$ のアモルファスシリコン膜 1 3 のパターンが形成される (図 1 (j))。

【 0 0 1 7 】

本実施形態においては、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程はなく、図 1 (a) に示すリソグラフィ技術の解像度の限界内のパターンのレジスト 1 6 をマスクとした加工が最も細いラインパターンをマスクとした加工であって、その後は、逆により太いラインパターンをマスクとして狭いスペースを形成している。このような方法によれば、左右対称の寸法制御性に優れたライン形状を有するアモルファスシリコン膜 1 3 のパターンを容易に形成することができる。

【 0 0 1 8 】

ここで、本実施形態との比較のために、いわゆる側壁残し法によって、本実施形態と同様、ラインアンドスペースの比率が 1 : 1 で、かつ、そのピッチが、元のレジストパターンのラインアンドスペースのピッチの半分であるアモルファスシリコン膜のパターンを形成した例について、図 2 を用いて説明する。

【 0 0 1 9 】

この例では、まず、シリコンなどの半導体基板 1 0 1 上に C V D 技術を用いて T E O S 膜 1 0 2 およびシリコン窒化膜 1 0 3 を順次堆積する。次に、その上にスピコート技術を用いて反射防止膜 1 0 4 およびレジスト 1 0 5 を順次積層し、このレジスト 1 0 5 にリソグラフィ技術を用いてラインアンドスペースの比率が 1 : 1 で、ピッチ E のパターンを形成する (図 2 (a))。続いて、ドライエッチング技術を用いて反射防止膜 1 0 4 を加工しながら、レジスト 1 0 5 のライン部を等方的に後退させて、ラインアンドスペースの比率を 1 : 3 とする。ライン部の寸法は $E / 4$ となる (図 2 (b))。次に、ライン部寸法を $E / 4$ までスリミングしたレジスト 1 0 5 をマスクとしてフルオロカーボン系のガスを用いるドライエッチング技術によりシリコン窒化膜 1 0 3 を加工し (図 2 (c))、さらに、アッシング技術およびウェット洗浄技術を用いて反射防止膜 1 0 4 とレジスト 1 0 5 を除去し、ラインアンドスペースの比率が 1 : 3 のシリコン窒化膜 1 0 3 のパターンを形成する (図 2 (d))。次に、C V D 技術を用いてアモルファスシリコン膜 1 0 6 をラインアンドスペースの比率が 3 : 1 になるように堆積する (図 2 (e))。続いて、ドライエッチング技術を用いてシリコン窒化膜 1 0 3 とシリコン酸化膜 1 0 2 の各表面が露出するまでエッチバックし、シリコン窒化膜 1 0 3 の側壁にアモルファスシリコン膜 1 0 6 からなる側壁層を形成する (図 2 (f))。この後、ウエットエッチング技術を用いてシリコン窒化膜 1 0 3 を除去する。この結果、ラインアンドスペースの比率が 1 : 1 で、かつ、そのピッチが、元のレジスト 1 0 5 のラインアンドスペースのピッチの半分であるアモルファスシリコン膜 1 0 6 のパターンが形成される (図 2 (g))。

【 0 0 2 0 】

このような方法においては、図 2 (d) に示すように、シリコン窒化膜 1 0 3 のパター

10

20

30

40

50

ンにいわゆる肩落ちFが生じる。これは、シリコン窒化膜103を加工する際、マスクとして使用するレジスト105が、ライン幅E/4までスリミングされたものであるため、ファセットが形成されてしまい、レジストが極端に消費されることによる。なお、シリコン窒化膜103の加工後を示す図2(c)には、反射防止膜104とレジスト105が示されているが、実際には、加工工程でレジスト105が消失してしまい、図2(d)に示すようなパターンが既に形成されている。このように肩落ちFが形成されたシリコン窒化膜103上に、アモルファスシリコン膜106を堆積し、加工し、シリコン窒化膜103を除去しても、図2(e)~(g)に示すように、最終的にライン部形状が左右非対称のアモルファスシリコン膜106のパターンが形成され、これをマスクとしてパターン転写を行った場合には、この非対称性がそのまま転写され、デバイス特性に影響を及ぼすことになる。

10

【0021】

ここで、上記のように細いラインパターンをマスクとした場合に、パターンの肩落ちが発生しやすい原因を図3(a)および(b)を用いてさらに検証する。図3(a)においては、半導体基板201上にTEOS膜202が形成され、その上には寸法AのラインL1と寸法BのラインL2(但し、 $A \gg B$)を有するレジストパターン203が形成されている。ここでフルオロカーボン系のガスを用いるドライエッチング技術によってレジストパターン203をマスクとしてTEOS膜202を加工するとき、イオンによるスパッタリングによってラインL1、L2の両側に図2(b)に示すような肩落ちFが発生する。寸法が十分に大きいラインL1ではこれらの肩落ち部Fが離れているが、寸法の小さい

20

【0022】

このように、細いラインパターンをマスクとして加工する工程、特に微細なレジストパターンをマスクとして加工する工程を含む場合、左右非対称のラインアンドスペースパターンが形成され、ひいてはデバイス特性に重大な影響を与えることになる。しかしながら、本実施形態では、細いラインパターンをマスクとして加工する工程を含まないため、リソグラフィ技術の解像度の限界より微細であって、かつ、左右対称性に優れるラインアンドスペースパターンを形成することができる。

30

【0023】

また、本実施形態では、図1(c)および図1(d)に示したようなスペーサ(側壁材料)の堆積と加工というプロセスを、例えば図1(h)に示すシリコン窒化膜14除去後に、BSG膜をスペーサとして適用することにより、容易にアモルファスシリコン膜13のラインアンドスペースの比率を調整することができる。

【0024】

(第2の実施形態)

次に、第2の実施の形態について説明する。図4(a)~(j)は本実施形態に係る半導体装置の製造方法の工程を示す断面図である。

40

【0025】

まず、シリコンなどの半導体基板21上にCVD技術を用いてTEOS膜22、アモルファスシリコン膜23およびシリコン窒化膜24を順次堆積する。次に、その上にスピコート技術を用いてノボラック樹脂などの有機材料膜25、SOG(spin on glass)膜26およびレジスト27を順次積層し、このレジスト27にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト27が残ったライン部とレジスト27が除去されたスペース部の寸法比率、つまりラインアンドスペース比率は1:1程度とする。ライン部とスペース部の合計で表されるピッチは、Eである(図4(a))。続いて、このパターニングされたレジスト27をマスクとして、フルオロカーボンガス

50

を用いたドライエッチング技術によりSOG膜26をテーパ加工する。この際、SOG膜26の下部におけるラインアンドスペースの比率を3:1程度とする(図4(b))。このようなラインアンドスペースの比率の調整は、例えばドライエッチング用ガスとして C_4F_8 ガス、COガス、Arガスおよび O_2 ガスの混合ガスを用い、そのガス分圧を制御することにより可能であり、例えば C_4F_8 ガスの分圧を上げることによりテーパ面を水平に近付けることができ、 O_2 ガスの分圧を上げることにより垂直に近付けることができる。

【0026】

次に、ドライエッチング技術により、レジスト27を除去しながら、SOG膜26をマスクとして有機材料膜25を加工する(図4(c))。続いて、ドライエッチング技術を用いて、シリコン窒化膜24を加工し、さらにアモルファスシリコン膜23を加工する(図4(d))。テーパ状で残っていたSOG膜26はシリコン窒化膜24を加工する初期の段階で除去されてしまい、ラインの形状にほとんど影響することはない。

【0027】

続いて、アッシング技術およびウェット洗浄技術を用いて有機材料膜25を除去することにより、ラインアンドスペースの比率が3:1のアモルファスシリコン膜23とシリコン窒化膜24の積層パターンを形成する(図4(e))。次に、ウェットエッチング技術によりシリコン窒化膜24を等方的にエッチングし、ラインアンドスペースの比率が1:3のシリコン窒化膜24のパターンを形成する(図4(f))。さらに、このパターニングされたシリコン窒化膜24上にBSG膜28をCVD技術を用いて厚く堆積した後、このBSG膜28の表面をCMP技術によってシリコン窒化膜24の表面が露出するまで削り取る(図4(g))。

【0028】

次に、再びウェットエッチング技術を用いてシリコン窒化膜24を除去し、ラインアンドスペースの比率が図4(f)のそれとは逆転した3:1のBSG膜28のパターンを形成する(図4(h))。続いて、このパターニングされたBSG膜28をマスクとしてドライエッチング技術を用いてアモルファスシリコン膜23を加工し(図4(i))、さらに、フッ酸ペーパー処理によりBSG膜28を除去する。この結果、ラインアンドスペースの比率が略1:1で、ピッチが元のレジスト27のラインアンドスペースのピッチEの略半分、つまり $E/2$ のアモルファスシリコン膜23のパターンが形成される(図4(j))。

【0029】

本実施形態においても、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程がないため、左右対称の寸法制御性に優れたライン形状を有するアモルファスシリコン膜23のパターンを容易に形成することができる。

【0030】

また、本実施形態では、第1の実施形態と相違して、レジストのパターンを厚い有機材料膜に転写する工程を含む。これは、近年、リソグラフィ技術においては微細パターンを形成するためにレジスト膜厚が急激に薄くなってきていることに対応するためであり、レジストをマスクとしてシリコン窒化膜を加工するのが困難な場合にそれを解決することができる。また、シリコン窒化膜24およびアモルファスシリコン膜23を一度のエッチング工程で加工することができ、スペース寸法調整のためのシリコン窒化膜の再堆積も省略することが可能となることにより、工程がより簡便となる効果も有する。

【0031】

さらに、本実施形態では、従来の側壁残し法で用いられているような側壁の成膜工程や、側壁でラインアンドスペースパターンを形成する際に必要なエッチング工程およびその後処理工程を省略することができる。

【0032】

(第3の実施形態)

次に、第3の実施の形態について説明する。図5(a)~(f)は本実施形態に係る半

10

20

30

40

50

導体装置の製造方法の工程を示す断面図である。

【0033】

まず、シリコンなどの半導体基板31上にCVD技術などを用いてTEOS膜32およびアモルファスシリコン膜33を順次堆積する。次に、その上にスピンコート技術を用いてレジスト34を積層し、このレジスト34にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト34が残ったライン部とレジスト34が除去されたスペース部の寸法比率、つまりラインアンドスペース比率は1:1程度とする。ライン部とスペース部の合計で表されるピッチは、Eである(図5(a))。

【0034】

次に、このパターニングされたレジスト34にレジストシュリンク法を適用して反応層35を形成し、スペース部の寸法を元の略半分、つまりE/4とする(図5(b))。なお、レジストシュリンク法に代えて、多層レジスト技術を用いてもよい。続いて、この反応層35を形成したレジスト34をマスクとしてドライエッチング技術によりアモルファスシリコン膜33を加工し、ラインアンドスペースの比率が略3:1のアモルファスシリコン膜33と反応層35を形成したレジスト34の積層パターンを形成する(図5(c))。

【0035】

次に、ドライエッチング技術もしくはウェットエッチング技術を用いて反応層35を形成したレジスト34をスリミング化し、ラインアンドスペースの比率を略1:3とする。ライン部の寸法は略E/4となる(図5(d))。続いて、イオンインプラント法などを用いてボロン、酸素、窒素などの元素を照射することにより、アモルファスシリコン膜33のレジスト34でマスクされていない部分を改質する(図5(e))。図5(e)中、33Aはイオンの注入によって改質されたアモルファスシリコン膜33の改質部を示す。続いて、アッシング技術およびウェット洗浄技術を用いてレジスト34を除去し、さらに、コリンなどの薬液処理によりアモルファスシリコン膜33の非改質部を選択的に除去し、改質部33Aを残す。この結果、ラインアンドスペースの比率が略1:1で、ピッチが元のレジスト34のラインアンドスペースのピッチEの略半分、つまりE/2のアモルファスシリコン膜33の改質部33Aのパターンが形成される(図5(f))。

【0036】

本実施形態においても、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程がないため、左右対称の寸法制御性に優れたライン形状を有するアモルファスシリコン膜33の改質部33Aのパターンを容易に形成することができる。

【0037】

なお、アモルファスシリコンに代わるパターン形成材料としては、Al、Ti、Co、Niなどの金属材料、有機絶縁材料、MSQ(methylsilsesquioxane)、HSQ(hydrogensilsesquioxane)などの絶縁材料が例示される。有機絶縁材料や、MSQ(methylsilsesquioxane)、HSQ(hydrogensilsesquioxane)などの絶縁材料からなる膜にパターン形成する場合、膜改質方法として、上記したイオンインプラント法その他、電子線や紫外光の照射、プラズマ処理などの方法を用いることができる。

【0038】

(第4の実施の形態)

次に、第4の実施の形態について説明する。図6(a)~(h)は本実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【0039】

まず、シリコンなどの半導体基板41上にCVD技術を用いて、シリコン酸化膜42、アモルファスシリコン膜43、シリコン窒化膜44およびBSG膜45を順次堆積する。次に、その上にスピンコート技術を用いてレジスト46を積層し、このレジスト46にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト46が残ったライン部とレジスト46が除去されたスペース部の寸法比率、つまりラインア

10

20

30

40

50

ンドスペース比率は1 : 1とする。ライン部とスペース部の合計で表されるピッチは、Eである(図6(a))。

【0040】

次に、このパターニングされたレジスト46をマスクとして、ドライエッチング技術によりBSG膜45をテーパ加工し、さらに、アッシング技術を用いてレジスト46を除去する。この際、BSG膜45の下部におけるラインアンドスペースの比率を3 : 1とする(図6(b))。

【0041】

続いて、このテーパ加工されたBSG膜45をマスクとして、ドライエッチング技術を用いてシリコン窒化膜44およびアモルファスシリコン膜43をそれぞれ順に加工し(図6(c))、さらに、ウエットエッチング技術を用いてBSG膜45を除去する(図6(d))。次に、ウエットエッチング技術もしくはドライエッチング技術を用いて、シリコン窒化膜44のライン部を等方的にエッチングし、ラインアンドスペースの比率が1 : 3のシリコン窒化膜44のパターンを形成する(図6(e))。その後、例えば800以上の O_2 雰囲気やプラズマ O_2 雰囲気下でアモルファスシリコン膜43の表面を酸化し、酸化膜43Aを形成する(図6(f))。

【0042】

続いて、ドライエッチング技術またはウエットエッチング技術を用いてシリコン窒化膜44を除去し、さらに、アモルファスシリコン膜43の表面に酸化膜43Aが形成されていない領域を異方的にエッチング除去する(図6(g))。その後、再び、例えば800

以上の O_2 雰囲気やプラズマ O_2 雰囲気下でアモルファスシリコン膜43のエッチング加工表面にも酸化膜43Aを形成する。この酸化膜43Aの形成により、パターンの左右対称性を向上させることができる。この結果、ラインアンドスペースの比率が略1 : 1で、かつ、ピッチが、元のレジスト46のラインアンドスペースのピッチEの略半分、つまりE / 2のアモルファスシリコン膜43のパターンが形成される(図6(h))。

【0043】

本実施形態においても、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程がないため、左右対称の寸法制御性に優れたライン形状を有するアモルファスシリコン膜43のパターンを容易に形成することができる。また、本実施形態では、従来の側壁残し法で用いられているような側壁の成膜工程や、側壁でラインアンドスペースパターンを形成する際に必要なエッチング工程およびその後処理工程、さらには、CMP工程を省略することができる。

【0044】

(第5の実施形態)

次に、第5の実施の形態について説明する。図7(a) ~ (e)は本実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【0045】

まず、シリコンなどの半導体基板51上にCVD技術などを用いてTEOS膜52およびアモルファスシリコン膜53を順次堆積する。次に、その上にスピコート技術を用いて、熱処理やプラズマ処理などによる下層への影響を防止するためのSiNなどからなる保護膜54およびレジスト55を順次積層し、このレジスト55にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト55が残ったライン部とレジスト55が除去されたスペース部の寸法比率、つまりラインアンドスペース比率は略1 : 1とする。ライン部とスペース部の合計で表されるピッチは、Eである(図7(a))。

【0046】

次に、このパターニングされたレジスト55の側面にレジストシュリンク法を適用して反応層56を形成し、スペース部の寸法を元の半分、つまりE / 4とする(図7(b))。なお、レジストシュリンク法に代えて、多層レジスト技術を用いてもよい。続いて、この反応層56を形成したレジスト55をマスクとしてドライエッチング技術により保護膜

10

20

30

40

50

5 4 およびアモルファスシリコン膜 5 3 を加工し、ラインアンドスペースの比率が 3 : 1 のアモルファスシリコン膜 5 3、保護層 5 4 および反応層 5 6 を形成したレジスト 5 5 からなる積層パターンを形成する（図 7（c））。

【0047】

次に、アッシング技術およびウェット洗浄技術を用いてレジスト 5 5 を反応層 5 6 とともに除去した後、 O_2 、 N_2 、 NH_3 などのガス雰囲気中で熱処理を行うことにより、パターンニングされたアモルファスシリコン膜 5 3 を側面から等方的に改質する（図 7（d））。図 7（d）中、5 3 A は熱処理によって改質されたアモルファスシリコン膜 5 3 の改質部、また、5 3 B は非改質部を示す。なお、改質は、熱処理に代えてプラズマ処理により行ってもよい。この際、ライン部中央の非改質部 5 3 B とその両側の改質部 5 3 A の寸法を略同一とする。例えば、 O_2 ガス雰囲気中で熱処理した場合には、シリコン酸化物からなる改質部 5 3 A が形成される。続いて、コリンなどの薬液処理により保護膜 5 4 とアモルファスシリコン 5 3 の非改質部 5 3 B を選択的に除去する。この結果、ラインアンドスペースの比率が略 1 : 1 で、かつ、ピッチが、元のレジスト 5 5 のラインアンドスペースのピッチ E の半分、つまり E / 2 のアモルファスシリコン膜 5 3 の改質部 5 3 A のパターンが形成される（図 7（e））。

10

【0048】

本実施形態においても、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程がないため、左右対称の寸法制御性に優れたライン形状を有するアモルファスシリコン膜 5 3 の改質部 5 3 A のパターンを容易に形成することができる。

20

【0049】

（第 6 の実施の形態）

次に、第 6 の実施の形態について説明する。図 8（a）～（j）は本実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【0050】

まず、シリコンなどの半導体基板 6 1 上に CVD 技術を用いてシリコン窒化膜 6 2 およびアモルファスシリコン膜 6 3 を順次堆積する。次に、その上にスピンコート技術を用いて反射防止膜 6 4 およびレジスト 6 5 を順次積層し、このレジスト 6 5 にリソグラフィ技術を用いてラインアンドスペースパターンを形成する。この際、レジスト 6 5 が残ったライン部とレジスト 6 5 が除去されたスペース部の寸法比率、つまりラインアンドスペース比率は 1 : 1 程度とする。ライン部とスペース部の合計で表されるピッチは、E である（図 8（a））。

30

【0051】

続いて、ドライエッチング技術により反射防止膜 6 4 を加工しながら、レジスト 6 5 のライン部を等方的に後退させ（図 8（b））、さらに、この後退させたレジスト 6 5 をマスクとしてドライエッチング技術によりアモルファスシリコン膜 6 3 を加工し、ラインアンドスペースの比率を 1 : 3 程度とする。ライン部の寸法は略 E / 4 となる（図 8（c））。次に、アッシング技術およびウェットエッチング技術を用いて反射防止膜 6 4 とレジスト 6 5 を除去し、ラインアンドスペースの比率が略 1 : 3 のアモルファスシリコン膜 6 3 のパターンを形成した後、CVD 技術を用いて TEOS 膜 6 6 を堆積させる。この際、堆積させる TEOS 膜 6 6 の膜厚は、パターンニングされたアモルファスシリコン膜 6 3 のライン部の寸法と略同一とする。（図 8（d））。続いて、ドライエッチング技術を用いてアモルファスシリコン膜 6 3 とシリコン窒化膜 6 2 の各表面が露出するまでエッチバックし、アモルファスシリコン膜 6 3 に TEOS 膜 6 6 からなる側壁を形成する。この側壁の幅は、アモルファスシリコン膜 6 3 のライン部の寸法と略同一であるため、ラインアンドスペースの比率は略 3 : 1 となる（図 8（e））。次に、TEOS 膜 6 6 からなる側壁が形成されたアモルファスシリコン膜 6 3 をマスクとして、ドライエッチング技術を用いて半導体基板 6 1 が露出するようにシリコン窒化膜 6 2 を加工する（図 8（f））。

40

【0052】

50

続いて、その全面に再びTEOS膜66と同一組成の膜、TEOS膜67を、CVD技術を用いて厚く堆積してスペース部を埋め込んだ後、このTEOS膜67の表面をCMP技術を用いてアモルファスシリコン膜63の表面が露出するまで削り取る(図8(g))。CMP技術に代えて、ドライエッチング技術を用いてTEOS膜67をエッチバックしてもよい。次に、ウエットエッチング技術を用いてTEOS膜66と選択比を持たせてアモルファスシリコン膜63を除去して、ラインアンドスペースの比率が3:1のTEOS膜66、67のパターンを形成する(図8(h))。続いて、このパターニングされたTEOS膜66、67をマスクとしてドライエッチング技術を用いてシリコン窒化膜62を加工し(図8(i))、さらに、ウエットエッチング技術を用いてTEOS膜66、67を除去する。この結果、ラインアンドスペースの比率が略1:1で、ピッチが元のレジスト65のラインアンドスペースのピッチEの略半分、つまりE/2のシリコン窒化膜62のパターンが形成される(図8(j))。

10

【0053】

本実施形態においては、図8(b)に示すように、リソグラフィ技術の解像度の限界より微細なラインパターンをマスクとして加工する工程を含んでおり、アモルファスシリコン膜63にTEOS膜66からなる側壁を形成する工程(図8(e))において、図2で説明したようなパターンの肩落ちが発生しているものと推測される。しかしながら、その後の工程において肩落ち部がTEOS膜67によって埋められるため、その影響が実質的に解消され、左右対称の寸法制御性に優れたライン形状を有するシリコン窒化膜62が形成される。つまり、後に行われるシリコン窒化膜62の2回目の加工を含めて、シリコン窒化膜62を加工する際のマスク材のラインアンドスペースの比率は3:1とライン部寸法が太くなっており、マスク材の肩落ちのない安定した加工が実現できる。

20

【0054】

以上説明した実施形態においては、いずれも、最初にパターニングするレジストのラインアンドスペースの比率を1:1程度とし、その後、ラインアンドスペースの比率が略3:1(実施形態1~5)または略1:3(実施形態6)のパターンを形成しているが、最初のパターニングの際の比率は1:1に限定されない。さらに、通常のリソグラフィ技術にてラインアンドスペースの比率が略3:1または略1:3のレジストパターンを形成し、これをアモルファスシリコン膜に対するマスクパターンとして用いることも可能である。この場合、製造工程をより簡略化することができる。

30

【0055】

本発明の実施の形態は本発明の技術的思想の範囲内で拡張もしくは変更することができ、この拡張、変更した実施の形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0056】

【図1】本発明の第1の実施の形態に係る半導体装置の製造工程を示す断面図である。

【図2】側壁残し法による半導体装置の製造工程を示す断面図である。

【図3】パターンの肩落ちの発生原因を説明するための断面図である。

【図4】本発明の第2の実施の形態に係る半導体装置の製造工程を示す断面図である。

【図5】本発明の第3の実施の形態に係る半導体装置の製造工程を示す断面図である。

40

【図6】本発明の第4の実施の形態に係る半導体装置の製造工程を示す断面図である。

【図7】本発明の第5の実施の形態に係る半導体装置の製造工程を示す断面図である。である。

【図8】本発明の第6の実施の形態に係る半導体装置の製造工程を示す断面図である。

【符号の説明】

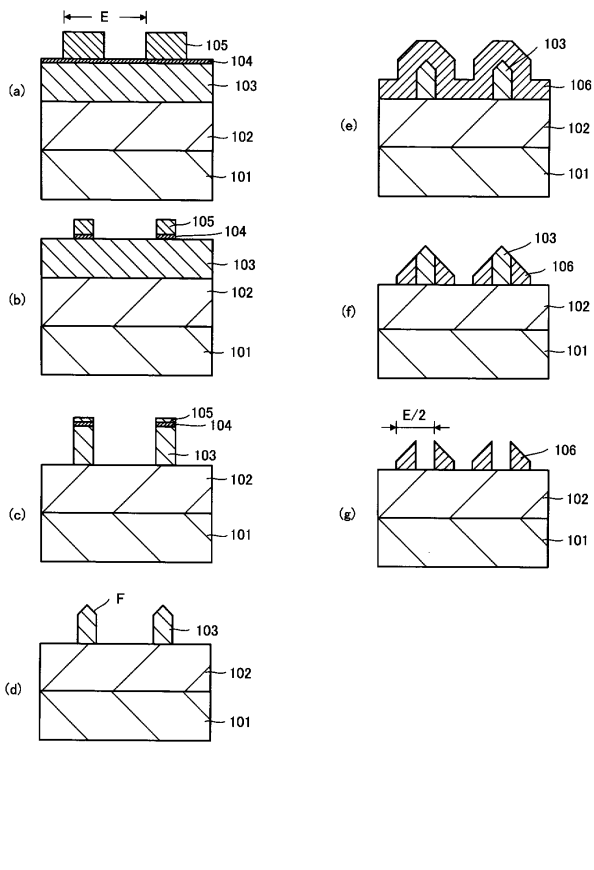
【0057】

11, 21, 31, 41, 51, 61...半導体基板、12, 22, 32, 52, 66, 67...TEOS膜、13, 23, 33, 43, 53, 63...アモルファスシリコン膜、14, 17, 24, 44, 62...シリコン窒化膜、15, 64...反射防止膜、16, 27, 34, 46, 55, 65...レジスト、18, 28, 45...BSG膜、25...有機材料膜、

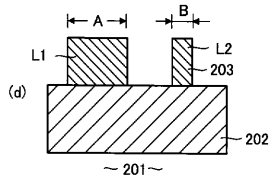
50

2 6 ... S O G 膜、3 3 A , 5 3 A ... 改質部、3 5 , 5 6 ... 反応層、4 2 ... シリコン酸化膜、4 3 A ... 酸化膜、5 3 B ... 非改質部、5 4 ... 保護膜。

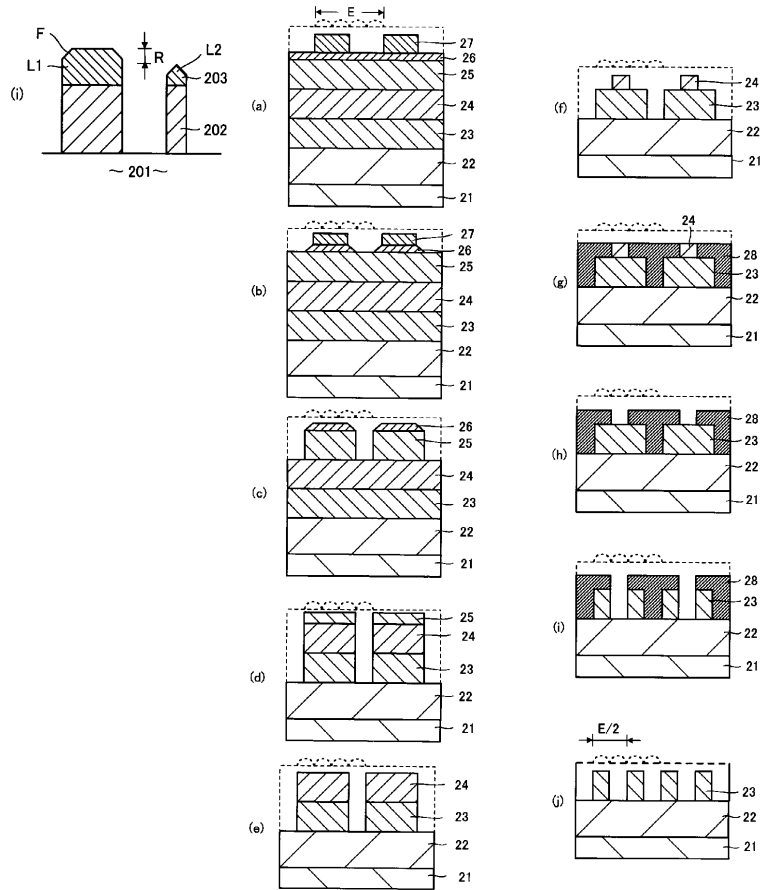
【圖 2】



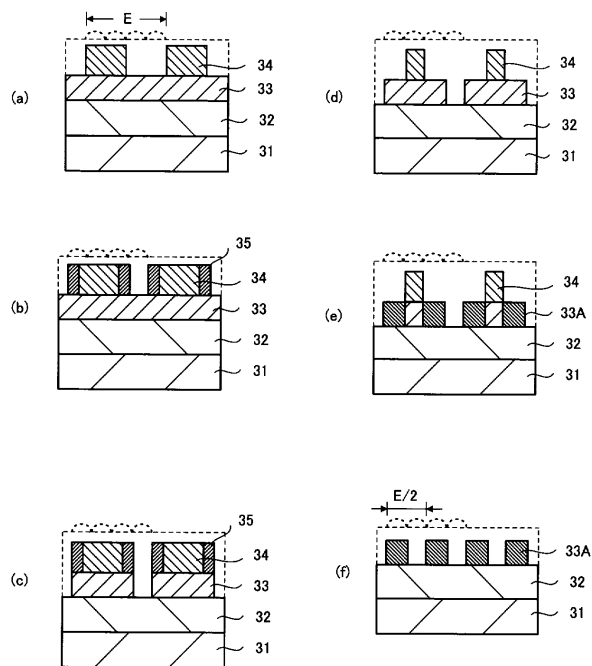
【図 3】



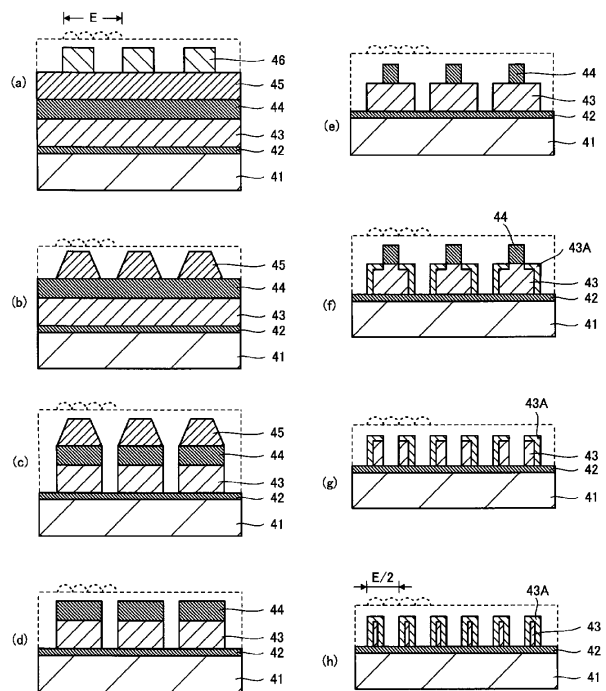
【図 4】



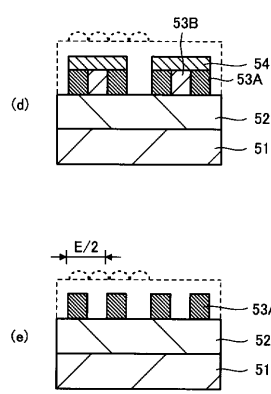
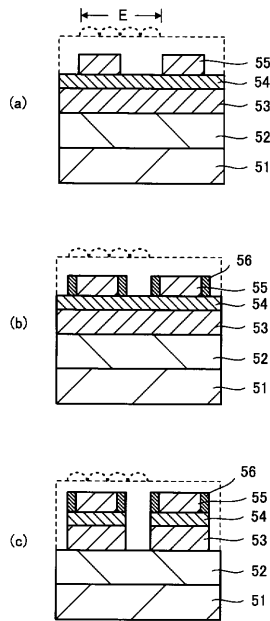
【図 5】



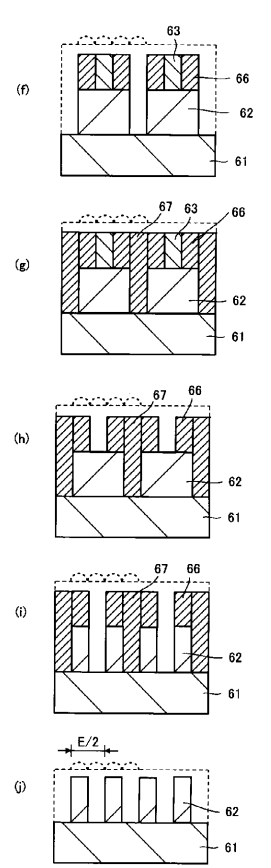
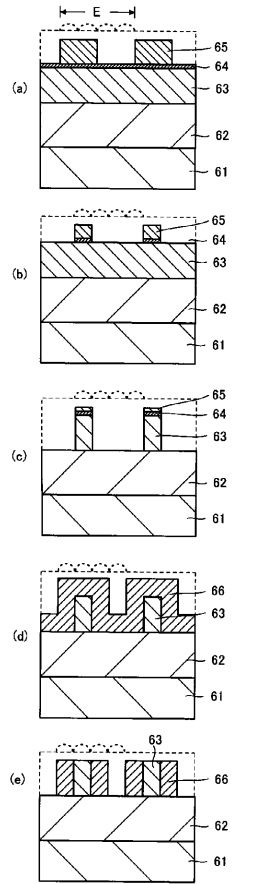
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 大村 光広
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 東 和幸
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 国谷 卓司
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 和田 真
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 梶田 明広
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石川 勝朗
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小熊 英樹
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 三浦 尊裕

- (56)参考文献 特開2004-014652(JP,A)
特開2007-005377(JP,A)
国際公開第2006/121824(WO,A1)
特開平08-306698(JP,A)
特開平04-072622(JP,A)
特開2002-280388(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288
H01L 21/3205
H01L 21/3213
H01L 21/44 - 21/445
H01L 21/768
H01L 23/52 - 23/522
H01L 29/40 - 29/49
H01L 29/872
H01L 27/10 - 27/112
H01L 21/8242 - 21/8247
H01L 21/8229
H01L 21/302
H01L 21/3065
H01L 21/30
H01L 21/027